



(45)授权公告日 2020.01.14

审查员 潘佳丽

申请公布号 CN 107358916 A

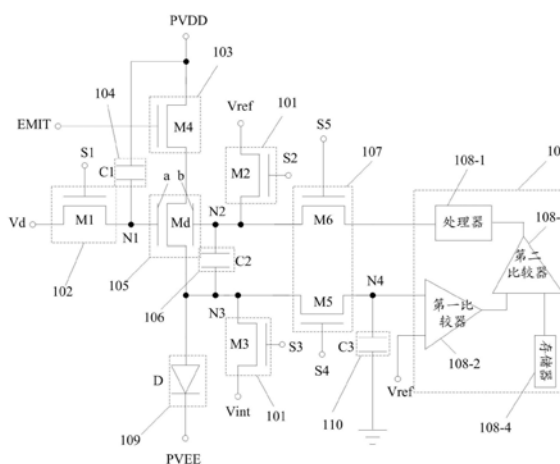
地址 201201 上海市浦东新区龙东大道
6111号1幢509

代理人 黄志华

权利要求书7页 说明书23页 附图15页

(57)摘要

本发明公开了一种像素电路、其驱动方法、电致发光显示面板及显示装置,该像素电路包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管,且驱动晶体管为双栅晶体管,双栅晶体管的第二栅极通过开关控制模块与外部补偿模块电连接;外部补偿模块在开关控制模块的控制下,首先采集第三节点的电压,然后对第二节点提供补偿电压,实现对双栅晶体管的阈值电压的调节,可使得双栅晶体管的阈值电压更接近标准阈值电压,使发光二极管在发光时的电流与阈值电压无关,不仅避免了因阈值电压的漂移而影响电流的大小,同时消除了残像,提高显示画面的质量。



1. 一种像素电路,包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管;其中,

所述驱动晶体管为双栅晶体管,用于驱动所述发光二极管发光;

所述数据写入模块与第一扫描信号端电连接,用于在所述第一扫描信号端输入的第一扫描信号的控制下,将数据信号端输入的信号传输至所述双栅晶体管的第一栅极;

所述初始化模块的第一端与第二扫描信号端电连接,第二端与参考信号端电连接,第三端与所述双栅晶体管的第二栅极电连接,第四端与第三扫描信号端电连接,第五端与起始信号端,第六端与所述双栅晶体管的漏极电连接;所述初始化模块,用于在所述第二扫描信号端输入的第二扫描信号的控制下,将所述参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极,在所述第三扫描信号端输入的第三扫描信号的控制下,将所述起始信号端输入的起始信号传输至所述双栅晶体管的漏极;

所述发光控制模块,用于将第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;

所述电压存储模块,用于存储所述数据信号端输入的数据信号的电位;

所述第一电压维持模块,用于维持所述双栅晶体管的漏极的电位或维持所述双栅晶体管的第二栅极与漏极之间的电压差值;

所述开关控制模块,用于将所述双栅晶体管的漏极的电位传输至所述外部补偿模块,将所述外部补偿模块提供的补偿电压传输至所述双栅晶体管的第二栅极;

所述外部补偿模块,用于为所述双栅晶体管提供补偿电压。

2. 如权利要求1所述的像素电路,其特征在于,所述外部补偿模块,具体用于在所述开关控制模块的控制下,采集所述双栅晶体管的漏极的电位,为所述双栅晶体管的第二栅极提供补偿电压。

3. 如权利要求2所述的像素电路,其特征在于,所述外部补偿模块包括:处理器;

所述处理器的信号输入端和信号输出端均与所述开关控制模块电连接;

所述处理器,用于将采集到的所述双栅晶体管的漏极的电位处理后输出。

4. 如权利要求3所述的像素电路,其特征在于,所述外部补偿模块还包括:设置于所述开关控制模块与所述处理器的信号输入端之间的第一比较器;

所述第一比较器的第一信号输入端与所述开关控制模块电连接,第二信号输入端与所述参考信号端电连接,信号输出端与所述处理器的信号输入端电连接;所述第一比较器,用于输出所述第一信号输入端和第二信号输入端的电压差值;

所述处理器,还用于输出所述电压差值。

5. 如权利要求4所述的像素电路,其特征在于,所述外部补偿模块还包括:设置于所述第一比较器和所述处理器之间的第二比较器,以及与所述第二比较器电连接的存储器;其中,

所述存储器,用于存储标准阈值电压;

所述第二比较器的第一信号输入端与所述第一比较器的信号输出端电连接,第二信号输入端与所述存储器电连接,信号输出端与所述处理器的信号输入端电连接;所述第二比较器,用于在第一信号输入端和第二信号输入端的电压相同时,输出所述标准阈值电压;在第一信号输入端和第二信号输入端的电压不同时,输出与所述电压差值对应的控制电压;

所述处理器,还用于将接收到的所述标准阈值电压输出,或根据接收到的所述控制电压输出对应的补偿电压。

6.如权利要求1-5任一项所述的像素电路,其特征在于,还包括:第二电压维持模块;

所述第二电压维持模块,用于在所述开关控制模块将所述双栅晶体管的漏极的电位传输至所述外部补偿模块之前,维持所述双栅晶体管的漏极的电位。

7.一种像素电路,其特征在于,包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管;其中,

所述数据写入模块的第一端与第一扫描信号端电连接,第二端与数据信号端电连接,第三端与第一节点电连接;所述数据写入模块,用于在所述第一扫描信号端输入的第一扫描信号的控制下,将所述数据信号端输入的信号传输至所述第一节点;

所述初始化模块的第一端与第二扫描信号端电连接,第二端与参考信号端电连接,第三端与第二节点电连接,第四端与第三扫描信号端电连接,第五端与起始信号端,第六端与第三节点电连接;所述初始化模块,用于在所述第二扫描信号端输入的第二扫描信号的控制下,将所述参考信号端输入的参考信号传输至所述第二节点;在所述第三扫描信号端输入的第三扫描信号的控制下,将所述起始信号端输入的起始信号传输至所述第三节点;

所述第一电压维持模块的第一端与所述第二节点电连接,第二端与所述第三节点电连接;所述第一电压维持模块,用于在所述第二节点的电位的控制下,维持所述第三节点的电位;维持所述第二节点和所述第三节点之间的电压差值;

所述驱动晶体管为双栅晶体管,所述双栅晶体管的第一栅极与所述第一节点电连接,第二栅极与第二节点电连接,漏极与第三节点电连接;

所述发光控制模块的第一端与发光控制信号端电连接,第二端与第一电压信号端电连接,第三端与所述双栅晶体管的源极电连接;所述发光控制模块,用于在所述发光控制信号端输入的发光控制信号的控制下,将所述第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;

所述电压存储模块连接于所述第一电压信号端与所述第一节点之间;

所述开关控制模块的第一端与第四扫描信号端电连接,第二端与所述第三节点电连接,第三端与第四节点电连接,第四端与第五扫描信号端电连接,第五端与所述第二节点电连接,第六端与所述外部补偿模块的信号输出端电连接;所述开关控制模块,用于在所述第四扫描信号端输入的第四扫描信号的控制下,将所述第三节点的电位提供至所述第四节点;在所述第五扫描信号端输入的第五扫描信号的控制下,将所述外部补偿模块的信号输出端输出的信号传输至所述第二节点;

所述外部补偿模块的第一信号端输入端与所述第四节点电连接,第二信号输入端与所述参考信号端电连接;所述外部补偿模块,用于在所述开关控制模块的控制下,采集所述第三节点的电压,对所述第二节点提供补偿电压;

所述发光二极管连接于所述第三节点与第二电压信号端之间。

8.如权利要求7所述的像素电路,其特征在于,所述外部补偿模块包括:处理器;

所述处理器的信号输入端分别与所述第四节点和所述参考信号端电连接,信号输出端与所述开关控制模块的第六端电连接;

所述处理器,用于将采集到的所述第三节点的电位处理后输出。

9.如权利要求8所述的像素电路,其特征在于,所述外部补偿模块还包括:设置于所述第四节点与所述处理器的信号输入端之间的第一比较器;

所述第一比较器的第一信号输入端与所述第四节点电连接,第二信号输入端与所述参考信号端电连接,信号输出端与所述处理器的信号输入端电连接;所述第一比较器,用于输出所述第一信号输入端和第二信号输入端的电压差值;

所述处理器,还用于输出所述电压差值。

10.如权利要求9所述的像素电路,其特征在于,所述外部补偿模块还包括:设置于所述第一比较器和所述处理器之间的第二比较器,以及与所述第二比较器电连接的存储器;其中,

所述存储器,用于存储标准阈值电压;

所述第二比较器的第一信号输入端与所述第一比较器的信号输出端电连接,第二信号输入端与所述存储器电连接,信号输出端与所述处理器的信号输入端电连接;所述第二比较器,用于在第一信号输入端和第二信号输入端的电压相同时,输出所述标准阈值电压;在第一信号输入端和第二信号输入端的电压不同时,输出与所述电压差值对应的控制电压;

所述处理器,还用于将接收到的所述标准阈值电压输出,或根据接收到的所述控制电压输出对应的补偿电压。

11.如权利要求7所述的像素电路,其特征在于,所述数据写入模块,包括:第一开关晶体管;

所述第一开关晶体管的栅极与所述第一扫描信号端电连接,源极与所述数据信号端电连接,漏极与所述第一节点电连接。

12.如权利要求7所述的像素电路,其特征在于,所述初始化模块,包括:第二开关晶体管和第三开关晶体管;

所述第二开关晶体管的栅极与所述第二扫描信号端电连接,源极与所述参考信号端电连接,漏极与所述第二节点电连接;

所述第三开关晶体管的栅极与所述第三扫描信号端电连接,源极与所述起始信号端电连接,漏极与所述第三节点电连接。

13.如权利要求7所述的像素电路,其特征在于,所述发光控制模块,包括:第四开关晶体管;

所述第四开关晶体管的栅极与所述发光控制信号端电连接,源极与所述第一电压信号端电连接,漏极与所述双栅晶体管的源极电连接。

14.如权利要求7所述的像素电路,其特征在于,所述开关控制模块,包括:第五开关晶体管和第六开关晶体管;

所述第五开关晶体管的栅极与所述第四扫描信号端电连接,源极与所述第三节点电连接,漏极与所述第四节点电连接;

所述第六开关晶体管的栅极与所述第五扫描信号端电连接,源极与所述外部补偿模块的信号输出端电连接,漏极与所述第二节点电连接。

15.如权利要求7所述的像素电路,其特征在于,所述电压存储模块,包括:第一电容;

所述第一电容连接于所述第一节点与所述第一电压信号端之间。

16. 如权利要求7所述的像素电路,其特征在于,所述第一电压维持模块,包括:第二电容;

所述第二电容连接于所述第二节点与所述第三节点之间。

17. 如权利要求7-16任一项所述的像素电路,其特征在于,还包括:第二电压维持模块;

所述第二电压维持模块的第一端与所述第四节点电连接,第二端与接地信号端电连接;所述第二电压维持模块,用于在所述接地信号端输入的接地信号的控制下,维持所述第四节点的电位。

18. 如权利要求17所述的像素电路,其特征在于,所述第二电压维持模块,包括:第三电容;

所述第三电容连接于所述第四节点与所述接地信号端之间。

19. 如权利要求7-16任一项所述的像素电路,其特征在于,所有开关晶体管均为N型晶体管;所述双栅晶体管为N型晶体管。

20. 一种显示装置,其特征在于,包括:电致发光显示面板;

所述电致发光显示面板,包括:呈阵列排布的多个如权利要求7-19任一项所述的像素电路。

21. 一种如权利要求7-19任一项所述的像素电路的驱动方法,其特征在于,包括:

第一初始化阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至所述双栅晶体管的漏极;

第一阈值电压提取阶段,所述数据写入模块将所述数据信号端输入的参考信号传输至所述双栅晶体管的第一栅极;所述初始化模块将所述参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极;发光控制模块将第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;

数据写入阶段,所述数据写入模块将所述数据信号端输入的数据信号传输至所述双栅晶体管的第一栅极;所述初始化模块将所述参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极;电压存储模块存储所述数据信号的电位;第一电压维持模块在所述双栅晶体管的第二栅极的电位的控制下,维持所述双栅晶体管的漏极的电位;

发光阶段,所述发光控制模块将所述第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;所述第一电压维持模块在所述双栅晶体管的漏极的电位的控制下,维持所述双栅晶体管的第二栅极的电位;所述双栅晶体管驱动发光二极管发光。

22. 如权利要求21所述的驱动方法,其特征在于,

第一初始化阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号,第五扫描信号端提供第二电平信号,发光控制信号端提供第二电平信号,数据信号端提供参考信号;

第一阈值电压提取阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第二电平信号,所述第四扫描信号端提供第二电平信号,所述第五扫描信号端提供第二电平信号,所述发光控制信号端提供第一电平信号,所述数据信号端提供参考信号;

数据写入阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第

一电平信号,所述第三扫描信号端提供第二电平信号,所述第四扫描信号端提供第二电平信号,所述第五扫描信号端提供第二电平信号,所述发光控制信号端提供第二电平信号,所述数据信号端提供数据信号;

发光阶段,所述第一扫描信号端提供第二电平信号,所述第二扫描信号端提供第二电平信号,所述第三扫描信号端提供第二电平信号,所述第四扫描信号端提供第二电平信号,所述第五扫描信号端提供第二电平信号,所述发光控制信号端提供第一电平信号。

23. 如权利要求22所述的驱动方法,其特征在于,在所述第一初始化阶段之前,且外部补偿模块包括第一比较器、第二比较器、处理器和存储器时,所述驱动方法还包括:第二初始化阶段、第二阈值电压提取阶段、以及至少一个循环阶段;且所述循环阶段包括:阈值电压修正阶段、第三初始化阶段和第三阈值电压提取阶段;所述循环阶段直至所述第二比较器输出标准阈值电压为止;其中,

所述第二初始化阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第一电平信号,所述第四扫描信号端提供第二电平信号;所述第五扫描信号端提供第二电平信号;所述发光控制信号端提供第二电平信号,所述数据信号端提供参考信号;

所述第二阈值电压提取阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第二电平信号;所述第四扫描信号端提供第一电平信号;所述第五扫描信号端提供第二电平信号;所述发光控制信号端提供第一电平信号,所述数据信号端提供参考信号;

所述阈值电压修正阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第二电平信号,所述第三扫描信号端提供第二电平信号;所述第四扫描信号端提供第二电平信号;所述第五扫描信号端提供第一电平信号;所述发光控制信号端提供第二电平信号,所述数据信号端提供参考信号;

所述第三初始化阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第一电平信号,所述第四扫描信号端提供第二电平信号;所述第五扫描信号端提供第二电平信号;所述发光控制信号端提供第二电平信号,所述数据信号端提供参考信号;

所述第三阈值电压提取阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第二电平信号;所述第四扫描信号端提供第一电平信号;所述第五扫描信号端提供第二电平信号;所述发光控制信号端提供第一电平信号,所述数据信号端提供参考信号。

24. 一种如权利要求7-19任一项所述的像素电路的驱动方法,其特征在于,包括:

第一初始化阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至所述双栅晶体管的漏极;

第一阈值电压提取阶段,所述数据写入模块将所述数据信号端输入的参考信号传输至所述双栅晶体管的第一栅极;所述初始化模块将所述参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极;发光控制模块将第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;开关控制模块将所述双栅晶体管的漏极的电位传输至外部补偿模

块;外部补偿模块对所述双栅晶体管的漏极的电位进行处理后确定所述双栅晶体管所需的补偿电压;

数据写入阶段,所述数据写入模块将所述数据信号端输入的数据信号传输至所述双栅晶体管的第一栅极;所述电压存储模块存储所述数据信号的电位;所述初始化模块将所述起始信号端输入的起始信号传输至所述双栅晶体管的漏极;所述开关控制模块将所述外部补偿模块确定出的补偿电压传输至所述双栅晶体管的第二栅极;

发光阶段,所述发光控制模块将所述第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;所述第一电压维持模块在所述双栅晶体管的漏极的电位的控制下,维持所述双栅晶体管的第二栅极的电位;所述双栅晶体管驱动发光二极管发光。

25. 如权利要求24所述的驱动方法,其特征在于,

第一初始化阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号;第五扫描信号端提供第二电平信号,发光控制信号端提供第二电平信号,数据信号端提供参考信号;

第一阈值电压提取阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第二电平信号,所述第四扫描信号端提供第一电平信号;所述第五扫描信号端提供第二电平信号,所述发光控制信号端提供第一电平信号,所述数据信号端提供参考信号;

数据写入阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第二电平信号,所述第三扫描信号端提供第一电平信号,所述第四扫描信号端提供第二电平信号;所述第五扫描信号端提供第一电平信号,所述发光控制信号端提供第二电平信号,所述数据信号端提供数据信号;

发光阶段,所述第一扫描信号端提供第二电平信号,所述第二扫描信号端提供第二电平信号,所述第三扫描信号端提供第二电平信号,所述第四扫描信号端提供第二电平信号;所述第五扫描信号端提供第二电平信号,所述发光控制信号端提供第一电平信号。

26. 如权利要求25所述的驱动方法,其特征在于,在所述外部补偿模块包括第二比较器时,在所述第一阈值电压提取阶段和所述数据写入阶段之间,所述驱动方法还包括:至少一个循环阶段;所述循环阶段直至所述第二比较器输出标准阈值电压为止;所述循环阶段包括:阈值电压修正阶段、第二初始化阶段和第二阈值电压提取阶段;其中,

所述阈值电压修正阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第二电平信号,所述第三扫描信号端提供第二电平信号;所述第四扫描信号端提供第二电平信号;所述第五扫描信号端提供第一电平信号;所述发光控制信号端提供第二电平信号,所述数据信号端提供参考信号;

所述第二初始化阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第一电平信号,所述第四扫描信号端提供第二电平信号;所述第五扫描信号端提供第二电平信号;所述发光控制信号端提供第二电平信号,所述数据信号端提供参考信号;

所述第二阈值电压提取阶段,所述第一扫描信号端提供第一电平信号,所述第二扫描信号端提供第一电平信号,所述第三扫描信号端提供第二电平信号;所述第四扫描信号端提供第一电平信号;所述第五扫描信号端提供第二电平信号;所述发光控制信号端提供第

一电平信号,所述数据信号端提供参考信号。

像素电路、其驱动方法、电致发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤指一种像素电路、其驱动方法、电致发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Display, OLED)显示器,是一种电流驱动的显示器,所以需要稳定的电流来驱动使其发光;而由于工艺制程和器件老化等原因,像素电路中驱动晶体管的阈值电压(V_{th})容易产生漂移,从而造成显示不均和残像。

[0003] 目前,为了避免阈值电压的漂移,一般有两种方式:一是采用具有内部补偿的像素电路对驱动晶体管的阈值电压进行补偿,二是采用外部补偿电路为像素电路中驱动晶体管的阈值电压进行补偿,以缓解显示不均和残像的问题。

[0004] 然而,利用具有内部补偿的像素电路,难以实现将阈值电压调整到标准阈值电压,使得阈值电压不可避免地还是会产生漂移;而采用外部补偿电路时,通用的方法是将阈值电压的变化量加到数据信号上而实现阈值电压的补偿,但此种方法不仅使阈值电压漂移没有得到缓解,反而会恶化阈值电压的漂移;例如,在正偏压下阈值电压发生正漂移时,若此时通过外部补偿电路将变大的阈值电压加到数据信号之上,正偏压反而会变得更大,使得阈值电压正漂移越严重,从而加重残像问题。

[0005] 基于此,如何有效改善阈值电压的漂移,消除残像,提高显示画面的均一性,是本领域技术人员亟待解决的技术问题。

发明内容

[0006] 本发明实施例提供了一种像素电路、其驱动方法、电致发光显示面板及显示装置,用以解决现有技术中如何有效改善阈值电压的漂移,消除残像,提高显示画面的均一性的问题。

[0007] 本发明实施例提供了一种像素电路,包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管;其中,

[0008] 所述驱动晶体管为双栅晶体管,用于驱动所述发光二极管发光;

[0009] 所述数据写入模块,用于将数据信号端输入的信号传输至所述双栅晶体管的第一栅极;

[0010] 所述初始化模块,用于将参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至所述双栅晶体管的漏极;

[0011] 所述发光控制模块,用于将第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;

[0012] 所述电压存储模块,用于存储所述数据信号端输入的数据信号的电位;

[0013] 所述第一电压维持模块,用于维持所述双栅晶体管的漏极的电位或维持所述双栅

晶体管的第二栅极与漏极之间的电压差值；

[0014] 所述开关控制模块,用于将所述双栅晶体管的漏极的电位传输至所述外部补偿模块,将所述外部补偿模块提供的补偿电压传输至所述双栅晶体管的第二栅极；

[0015] 所述外部补偿模块,用于为所述双栅晶体管提供补偿电压。

[0016] 另一方面,本发明实施例还提供了一种像素电路,包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管;其中,

[0017] 所述数据写入模块的第一端与第一扫描信号端电连接,第二端与数据信号端电连接,第三端与第一节点电连接;所述数据写入模块,用于在所述第一扫描信号端输入的第一扫描信号的控制下,将所述数据信号端输入的信号传输至所述第一节点;

[0018] 所述初始化模块的第一端与第二扫描信号端电连接,第二端与参考信号端电连接,第三端与第二节点电连接,第四端与第三扫描信号端电连接,第五端与起始信号端,第六端与第三节点电连接;所述初始化模块,用于在所述第二扫描信号端输入的第二扫描信号的控制下,将所述参考信号端输入的参考信号传输至所述第二节点;在所述第三扫描信号端输入的第三扫描信号的控制下,将所述起始信号端输入的起始信号传输至所述第三节点;

[0019] 所述第一电压维持模块的第一端与所述第二节点电连接,第二端与所述第三节点电连接;所述第一电压维持模块,用于在所述第二节点的电位的控制下,维持所述第三节点的电位;维持所述第二节点和所述第三节点之间的电压差值;

[0020] 所述发光控制模块的第一端与发光控制信号端电连接,第二端与第一电压信号端电连接,第三端与所述双栅晶体管的源极电连接;所述发光控制模块,用于在所述发光控制信号端输入的发光控制信号的控制下,将所述第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;

[0021] 所述电压存储模块连接于所述第一电压信号端与所述第一节点之间;

[0022] 所述驱动晶体管为双栅晶体管,所述双栅晶体管的第一栅极与所述第一节点电连接,第二栅极与第二节点电连接,漏极与第三节点电连接;

[0023] 所述开关控制模块的第一端与第四扫描信号端电连接,第二端与所述第三节点电连接,第三端与第四节点电连接,第四端与第五扫描信号端电连接,第五端与所述第二节点电连接,第六端与所述外部补偿模块的信号输出端电连接;所述开关控制模块,用于在所述第四扫描信号端输入的第四扫描信号的控制下,将所述第三节点的电位提供至所述第四节点;在所述第五扫描信号端输入的第五扫描信号的控制下,将所述外部补偿模块的信号输出端输出的信号传输至所述第二节点;

[0024] 所述外部补偿模块的第一信号端输入端与所述第四节点电连接,第二信号输入端与所述参考信号端电连接;所述外部补偿模块,用于在所述开关控制模块的控制下,采集所述第三节点的电压,对所述第二节点提供补偿电压;

[0025] 所述发光二极管连接于所述第三节点与第二电压信号端之间。

[0026] 另一方面,本发明实施例还提供了一种显示装置,包括:电致发光显示面板;

[0027] 所述电致发光显示面板,包括:呈阵列排布的多个如本发明实施例提供的上述像素电路。

[0028] 另一方面,本发明实施例还提供了一种如本发明实施例提供的上述像素电路的驱动方法,包括:

[0029] 第一初始化阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至所述双栅晶体管的漏极;

[0030] 第一阈值电压提取阶段,所述数据写入模块将所述数据信号端输入的参考信号传输至所述双栅晶体管的第一栅极;所述初始化模块将所述参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极;发光控制模块将第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;

[0031] 数据写入阶段,所述数据写入模块将所述数据信号端输入的数据信号传输至所述双栅晶体管的第一栅极;所述初始化模块将所述参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极;电压存储模块存储所述数据信号的电位;第一电压维持模块在所述双栅晶体管的第二栅极的电位的控制下,维持所述双栅晶体管的漏极的电位;

[0032] 发光阶段,所述发光控制模块将所述第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;所述第一电压维持模块在所述双栅晶体管的漏极的电位的控制下,维持所述双栅晶体管的第二栅极的电位;所述双栅晶体管驱动发光二极管发光。

[0033] 另一方面,本发明实施例还提供了一种如本发明实施例提供的上述像素电路的驱动方法,包括:

[0034] 第一初始化阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至所述双栅晶体管的漏极;

[0035] 第一阈值电压提取阶段,所述数据写入模块将所述数据信号端输入的参考信号传输至所述双栅晶体管的第一栅极;所述初始化模块将所述参考信号端输入的参考信号传输至所述双栅晶体管的第二栅极;发光控制模块将第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;开关控制模块将所述双栅晶体管的漏极的电位传输至外部补偿模块;外部补偿模块对所述双栅晶体管的漏极的电位进行处理后确定所述双栅晶体管所需的补偿电压;

[0036] 数据写入阶段,所述数据写入模块将所述数据信号端输入的数据信号传输至所述双栅晶体管的第一栅极;所述电压存储模块存储所述数据信号的电位;所述初始化模块将所述起始信号端输入的起始信号传输至所述双栅晶体管的漏极;所述开关控制模块将所述外部补偿模块确定出的补偿电压传输至所述双栅晶体管的第二栅极;

[0037] 发光阶段,所述发光控制模块将所述第一电压信号端输入的第一电压信号传输至所述双栅晶体管的源极;所述第一电压维持模块在所述双栅晶体管的漏极的电位的控制下,维持所述双栅晶体管的第二栅极的电位;所述双栅晶体管驱动发光二极管发光。

[0038] 本发明有益效果如下:

[0039] 本发明实施例提供一种像素电路、其驱动方法、电致发光显示面板及显示装置,该像素电路包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管,且驱动晶体管为双栅晶体管,双栅晶体管的第二栅极通过开关控制模块与外部补偿模块电连接;外部补偿模块在开

关控制模块的控制下,首先采集第三节点的电压,然后对第二节点提供补偿电压,实现对双栅晶体管的阈值电压的调节,可使得双栅晶体管的阈值电压更接近标准阈值电压,使发光二极管在发光时的电流与阈值电压无关,不仅避免了因阈值电压的漂移而影响电流的大小,同时消除了残像,提高显示画面的质量。

附图说明

- [0040] 图1至图7分别为本发明实施例中提供的像素电路的结构示意图;
- [0041] 图8为本发明实施例中提供的双栅晶体管的剖视图;
- [0042] 图9至图13分别为本发明实施例中提供的像素电路的输入输出时序图;
- [0043] 图14和图15分别为本发明实施例中提供的驱动方法的流程图;
- [0044] 图16和图17分别为本发明实施例中提供的电致发光显示面板的结构示意图。

具体实施方式

[0045] 下面将结合附图,对本发明实施例提供的一种像素电路、其驱动方法、电致发光显示面板及显示装置的具体实施方式进行详细地说明。需要说明的是,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0046] 本发明实施例提供了一种像素电路,可以包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管;其中,

[0047] 驱动晶体管为双栅晶体管,用于驱动发光二极管发光;

[0048] 数据写入模块,用于将数据信号端输入的信号传输至双栅晶体管的第一栅极;

[0049] 初始化模块,用于将参考信号端输入的参考信号传输至双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至双栅晶体管的漏极;

[0050] 发光控制模块,用于将第一电压信号端输入的第一电压信号传输至双栅晶体管的源极;

[0051] 电压存储模块,用于存储数据信号端输入的数据信号的电位;

[0052] 第一电压维持模块,用于维持双栅晶体管的漏极的电位或维持双栅晶体管的第二栅极与漏极之间的电压差值;

[0053] 开关控制模块,用于将双栅晶体管的漏极的电位传输至外部补偿模块,将外部补偿模块提供的补偿电压传输至双栅晶体管的第二栅极;

[0054] 外部补偿模块,用于为双栅晶体管提供补偿电压。

[0055] 在本发明实施例提供的上述像素电路中,双栅晶体管的第二栅极通过开关控制模块与外部补偿模块电连接,同时,外部补偿模块对双栅晶体管的第二栅极提供补偿电压,实现对双栅晶体管的阈值电压的调节,使发光二极管在发光时的电流与阈值电压无关,避免了因阈值电压的漂移而影响电流的大小,从而避免了显示不均的问题;同时,通过外部补偿模块与双栅晶体管的作用,可以使得双栅晶体管的阈值电压更接近标准阈值电压,从而消除残像,提高显示画面的质量。

[0056] 在具体实施时,由于开关控制模块的作用为将双栅晶体管的漏极的电位传输至外

部补偿模块,将外部补偿模块提供的补偿电压传输至双栅晶体管的第二栅极,所以,在本发明实施例提供的上述像素电路中,外部补偿模块,可以具体用于在开关控制模块的控制下,采集双栅晶体管的漏极的电位,为双栅晶体管的第二栅极提供补偿电压。

[0057] 具体地,为了实现外部补偿模块的作用,在本发明实施例提供的上述像素电路中,外部补偿模块可以包括:处理器;

[0058] 处理器的信号输入端和信号输出端均与开关控制模块电连接;

[0059] 处理器,用于将采集到的双栅晶体管的漏极的电位处理后输出。

[0060] 具体地,为了能够使处理器对采集到的双栅晶体管的漏极的电位进行处理,以实现双栅晶体管的阈值电压的补偿,可以在处理器内部设置相应的处理电路和缓存电路;其中,处理电路可以根据采集到的电位,确定双栅晶体管所需的补偿电压;缓存电路将确定出的补偿电压缓存起来,在开关控制模块的控制下,将该补偿电压输出至双栅晶体管的第二栅极。

[0061] 然而,仅通过处理器对采集到的双栅晶体管的漏极的电位进行处理来提供补偿电压是不够的,处理器的处理能力也是有限,为了能够有效补偿双栅晶体管的阈值电压,在本发明实施例提供的上述像素电路中,外部补偿模块还可以包括:设置于开关控制模块与处理器的信号输入端之间的第一比较器;

[0062] 第一比较器的第一信号输入端与开关控制模块电连接,第二信号输入端与参考信号端电连接,信号输出端与处理器的信号输入端电连接;第一比较器,用于输出第一信号输入端和第二信号输入端的电压差值;

[0063] 处理器,还用于输出电压差值。

[0064] 具体地,第一比较器的作用为将双栅晶体管的漏极的电位与参考信号端输入的参考信号电位进行处理,得到二者的电压差值,然后将该电压差值输出至处理器;因此,可以在处理器中设置缓存电路,将输入的信号缓存起来,在开关控制模块的控制下,将缓存起来的电压差值输出至双栅晶体管的第二栅极,实现对双栅晶体管的阈值电压的补偿;进一步地,由于初始化模块的作用,双栅晶体管的漏极电位在进入第一比较器时可能为参考信号电位与阈值电压的差值,所以,通过第一比较器的作用,可以提取出阈值电压,并通过处理器和开关控制模块的作用,提供至双栅晶体管的第二栅极,实现对双栅晶体管的阈值电压的补偿;当然,双栅晶体管的漏极电位并不限于参考信号电位与阈值电压的差值,在此不作限定。

[0065] 进一步地,通过第一比较器为双栅晶体管的第二栅极提供的阈值电压,并不一定是标准阈值电压,所以使得双栅晶体管的工作状态不同于出厂时的工作状态,而双栅晶体管在长时间的工作下,其工作性能难免会有所下降,从而出现残像;因此,为了能够使双栅晶体管在长时间的工作下,其工作性能仍然能够保持在出厂时的工作性能,在本发明实施例提供的上述像素电路中,外部补偿模块还可以包括:设置于第一比较器和处理器之间的第二比较器,以及与第二比较器电连接的存储器;其中,

[0066] 存储器,用于存储标准阈值电压;

[0067] 第二比较器的第一信号输入端与第一比较器的信号输出端电连接,第二信号输入端与存储器电连接,信号输出端与处理器的信号输入端电连接;第二比较器,用于在第一信号输入端和第二信号输入端的电压相同时,输出标准阈值电压;在第一信号输入端和第二

信号输入端的电压不同时,输出与电压差值对应的控制电压;

[0068] 处理器,还用于将接收到的标准阈值电压输出,或根据接收到的控制电压输出对应的补偿电压。

[0069] 具体地,在外部补偿模块包括第一比较器、处理器、第二比较器和存储器时,首先在第一比较器的作用下,将第一比较器的第一信号输入端和第二信号输入端的电压差值输出至第二比较器,然后在第二比较器的作用下,比较存储器中的标准阈值电压是否与电压差值相同,若相同,说明该电压差值为标准阈值电压,此时第二比较器将标准阈值电压输出至处理器,再通过处理器的缓存处理,在开关控制模块打开时,将标准阈值电压传输至双栅晶体管的第二栅极,使双栅晶体管的阈值电压恢复至标准阈值电压,从而消除显示不均和残像的问题;若在第二比较器的作用下,比较存储器中的标准阈值电压与电压差值不相同,说明该电压差值不是标准阈值电压,此时第二比较器将输出一个与电压差值相对应的控制电压至处理器中;此时,处理器在接收到控制电压后,经过运算处理得到一个与该控制电压对应的补偿电压,并在开关控制模块打开时,将此补偿电压传输至双栅晶体管的第二栅极,对双栅晶体管的阈值电压进行修正和补偿,使修正后的双栅晶体管的阈值电压接近于标准阈值电压,从而消除显示不均和残像的问题。

[0070] 具体地,在第二比较器输出一个与电压差值相对应的控制电压时,处理器会对此控制电压进行解析处理,判断出阈值电压发生了正漂,还是负漂,然后根据阈值电压的漂移情况,确定出一个合适的补偿电压,然后在开关控制模块的作用下,将此补偿电压传输至双栅晶体管的第二栅极,实现对双栅晶体管的阈值电压的修正和补偿,以使双栅晶体管的阈值电压接近标准阈值电压,消除显示不均和残像的问题;因此,此处并未对控制电压和补偿电压的具体数值作具体限定,需要根据实际的情况进行预先设置和调整,以达到消除显示不均和残像的目的。

[0071] 在具体实施时,为了能够使开关控制模块向外部补偿模块传输稳定的电位,以便于外部补偿模块的工作,在本发明实施例提供的上述像素电路中,还可以包括:第二电压维持模块;

[0072] 第二电压维持模块,用于在开关控制模块将双栅晶体管的漏极的电位传输至外部补偿模块之前,维持双栅晶体管的漏极的电位。

[0073] 需要说明的是,本发明实施例提供的上述像素电路,每个模块的具体并不限于某种结构,只要是可以实现上述各模块功能的结构即可,在此不作限定。

[0074] 基于同一发明构思,本发明实施例还提供了一种像素电路,如图1所示,可以包括:初始化模块101、数据写入模块102、发光控制模块103、电压存储模块104、驱动晶体管105、第一电压维持模块106、开关控制模块107、外部补偿模块108和发光二极管109;其中,

[0075] 数据写入模块102的第一端与第一扫描信号端S1电连接,第二端与数据信号端Vd电连接,第三端与第一节点N1电连接;数据写入模块102,用于在第一扫描信号端S1输入的第一扫描信号的控制下,将数据信号端Vd输入的信号传输至第一节点N1;

[0076] 初始化模块101的第一端与第二扫描信号端S2电连接,第二端与参考信号端Vref电连接,第三端与第二节点N2电连接,第四端与第三扫描信号端S3电连接,第五端与起始信号端Vint,第六端与第三节点N3电连接;初始化模块101,用于在第二扫描信号端S2输入的第二扫描信号的控制下,将参考信号端Vref输入的参考信号传输至第二节点N2;在第三扫

描信号端S3输入的第三扫描信号的控制下,将起始信号端Vint输入的起始信号传输至第三节点N3;

[0077] 第一电压维持模块106的第一端与第二节点N2电连接,第二端与第三节点N3电连接;第一电压维持模块106,用于在第二节点N2的电位的控制下,维持第三节点N3的电位;维持第二节点N2和第三节点N3之间的电压差值;

[0078] 发光控制模块103的第一端与发光控制信号端EMIT电连接,第二端与第一电压信号端PVDD电连接,第三端与双栅晶体管的源极电连接;发光控制模块103,用于在发光控制信号端EMIT输入的发光控制信号的控制下,将第一电压信号PVDD端输入的第一电压信号传输至双栅晶体管的源极;

[0079] 电压存储模块104连接于第一电压信号端PVDD与第一节点N1之间;

[0080] 驱动晶体管105为双栅晶体管Md;双栅晶体管Md的第一栅极a与第一节点N1电连接,第二栅极b与第二节点N2电连接,漏极与第三节点N3电连接;

[0081] 开关控制模块107的第一端与第四扫描信号端S4电连接,第二端与第三节点N3电连接,第三端与第四节点N4电连接,第四端与第五扫描信号端S5电连接,第五端与第二节点N2电连接,第六端与外部补偿模块108的信号输出端电连接;开关控制模块107,用于在第四扫描信号端S4输入的第四扫描信号的控制下,将第三节点N3的电位提供至第四节点N4;在第五扫描信号端S5输入的第五扫描信号的控制下,将外部补偿模块108的信号输出端输出的信号传输至第二节点N2;

[0082] 外部补偿模块108的第一信号端输入端与第四节点N4电连接,第二信号输入端与参考信号端Vref电连接;外部补偿模块108,用于在开关控制模块107的控制下,采集第三节点N3的电压,对第二节点N2提供补偿电压;

[0083] 发光二极管109连接于第三节点N3与第二电压信号端PVEE之间。

[0084] 在本发明实施例提供的上述像素电路中,双栅晶体管Md的第二栅极b通过开关控制模块107与外部补偿模块108电连接,同时,外部补偿模块108在开关控制模块107的控制下,首先采集第三节点N3的电压,然后对第二节点N2提供补偿电压,实现对双栅晶体管Md的阈值电压的调节,使发光二极管109在发光时的电流与阈值电压无关,避免了因阈值电压的漂移而影响电流的大小,从而避免了显示不均的问题;同时,通过外部补偿模块108与双栅晶体管Md的作用,可以使得双栅晶体管Md的阈值电压更接近标准阈值电压,从而消除残像,提高显示画面的质量。

[0085] 在具体实施时,为了能够实现外部补偿模块108的作用,在本发明实施例提供的上述像素电路中,外部补偿模块108的内部结构可以有以下三种:第一种结构,外部补偿模块108仅包括处理器108-1,如图2所示,通过处理器108-1对采集到的第三节点N3的电位进行处理后输出补偿电压,以实现对双栅晶体管Md的阈值电压的补偿;但仅通过处理器108-1对采集到的第三节点N3的电位进行处理提供补偿电压是不够的,处理器108-1的处理能力也是有限的,为了能够有效补偿双栅晶体管Md的阈值电压,提出了第二种结构,即外部补偿模块108由第一比较器108-2和处理器108-1组成,如图3所示,通过第一比较器108-2将第一信号输入端和第二信号输入端的电压差值输出至处理器108-1,再通过处理器108-1的缓存处理,在开关控制模块107打开时,将电压差值传输至第二节点N2,实现对双栅晶体管Md的阈值电压的补偿;然而,通过第一比较器108-2为双栅晶体管Md的第二栅极b提供的阈值电压,

并不一定是标准阈值电压 V_0 ，所以使得双栅晶体管Md的工作状态并不同于出厂时的工作状态，双栅晶体管Md在长时间的工作下，其工作性能难免会有所下降，使显示画面出现残像；因此，为了能够使双栅晶体管Md在长时间的工作下，其工作性能仍然能够保持在出厂时的工作性能，提出了第三种结构，即外部补偿模块108由第一比较器108-2、第二比较器108-3、处理器108-1和存储器108-4组成，如图4所示，通过第一比较器108-2和第二比较器108-3的作用，针对性地为第二节点N2提供补偿电压，实现对双栅晶体管Md的阈值电压的补偿；当然，还可以将上述第二种结构与第三种结构相结合，即在像素电路中不仅包括第二种结构，还包括第三种结构，两种结构可以切换使用，但需要通过预先设定的程序完成两种结构的切换，但此种情况会使得像素电路的控制变得复杂，增加电致发光显示面板的功耗；因此，下面就以上述三种结构为例，分别对本发明实施例提供的上述像素电路进行详细说明。

[0086] 可选地，第一种结构，在本发明实施例提供的上述像素电路中，如图2所示，外部补偿模块108可以包括：处理器108-1；

[0087] 处理器108-1的信号输入端分别与第四节点N4和参考信号端Vref电连接，信号输出端与开关控制模块107的第六端电连接；

[0088] 处理器108-1，用于将采集到的第三节点N3的电位处理后输出。

[0089] 具体地，为了能够使处理器108-1对采集到的第三节点N3的电位进行处理，以实现对双栅晶体管Md的阈值电压的补偿，可以在处理器108-1内部设置相应的处理电路和缓存电路；其中，处理电路可以根据采集到的第三节点N3电位，以及参考信号端Vref提供的参考信号的电位，确定双栅晶体管Md所需的补偿电压；缓存电路将确定出的补偿电压缓存起来，在开关控制模块107的控制下，将该补偿电压输出第二节点N2；当然，处理电路还可以仅根据采集到的第三节点N3电位，确定双栅晶体管Md所需的补偿电压，在此不作限定。

[0090] 可选地，第二种结构，在本发明实施例提供的上述像素电路中，如图3所示，外部补偿模块108还可以包括：设置于第四节点N4与处理器108-1的信号输入端之间的第一比较器108-2；

[0091] 第一比较器108-2的第一信号输入端与第四节点N4电连接，第二信号输入端与参考信号端Vref电连接，信号输出端与处理器108-1的信号输入端电连接；第一比较器108-2，用于输出第一信号输入端和第二信号输入端的电压差值；

[0092] 处理器108-1，还用于输出电压差值。

[0093] 具体地，假设第四节点N4的电位为 $V_{ref}-V_{th}$ 时，由于第一比较器108-2的第二信号输入端输入的是参考信号，所以第一比较器108-2会将第一信号输入端输入的 $V_{ref}-V_{th}$ 与第二信号端输入的参考信号进行处理，提取出阈值电压 V_{th} ，输出至处理器108-1；当然，第四节点N4的电位并不限于 $V_{ref}-V_{th}$ ，此处只是举例说明，第一比较器108-2会根据第一信号输入端输入的信号和第二信号输入端输入的参考信号，将第一信号输入端和第二信号输入端的电压差值提取出来，并输出至处理器108-1，以便于处理器108-1作下一步地处理；因此，对于第一信号输入端和第二信号输入端的电压差值，在此不作具体限定。

[0094] 可选地，第三种结构，在本发明实施例提供的上述像素电路中，如图4所示，外部补偿模块108还可以包括：设置于第一比较器108-2和处理器108-1之间的第二比较器108-3，以及与第二比较器108-3电连接的存储器108-4；其中，

[0095] 存储器108-4，用于存储标准阈值电压 V_0 ；

[0096] 第二比较器108-3的第一信号输入端与第一比较器108-2的信号输出端电连接,第二信号输入端与存储器108-4电连接,信号输出端与处理器108-1的信号输入端电连接;第二比较器108-3,用于在第一信号输入端和第二信号输入端的电压相同时,输出标准阈值电压 V_0 ;在第一信号输入端和第二信号输入端的电压不同时,输出与电压差值对应的控制电压 V_c ;

[0097] 处理器108-1,还用于将接收到的标准阈值电压 V_0 输出,或根据接收到的控制电压 V_c 输出对应的补偿电压 V_s 。

[0098] 具体地,在外部补偿模块108包括第一比较器108-2、处理器108-1、第二比较器108-3和存储器108-4时,首先在第一比较器108-2的作用下,将第一比较器108-2的第一信号输入端和第二信号输入端的电压差值输出至第二比较器108-3,然后在第二比较器108-3的作用下,比较存储器108-4中的标准阈值电压 V_0 是否与电压差值相同,若相同,说明该电压差值为标准阈值电压 V_0 ,此时第二比较器108-3将标准阈值电压 V_0 输出至处理器108-1,再通过处理器108-1的缓存处理,在开关控制模块107打开时,将标准阈值电压 V_0 传输至第二节点N2,使双栅晶体管Md的阈值电压恢复至标准阈值电压 V_0 ,从而消除显示不均和残像的问题;若在第二比较器108-3的作用下,比较存储器108-4中的标准阈值电压 V_0 与电压差值不相同,说明该电压差值不是标准阈值电压 V_0 ,此时第二比较器108-3将输出一个与电压差值相对应的控制电压 V_c 至处理器108-1中;此时,处理器108-1在接收到控制电压 V_c 后,经过运算处理得到一个与该控制电压 V_c 对应的补偿电压 V_s ,并在开关控制模块107打开时,将此补偿电压 V_s 传输至第二节点N2,对双栅晶体管Md的阈值电压进行修正和补偿,使修正后的双栅晶体管Md的阈值电压接近于标准阈值电压 V_0 ,从而消除显示不均和残像的问题。

[0099] 具体地,在第二比较器108-3输出一个与电压差值相对应的控制电压 V_c 时,处理器108-1会对此控制电压 V_c 进行解析处理,判断出阈值电压 V_{th} 发生了正漂,还是负漂,然后根据阈值电压 V_{th} 的漂移情况,确定出一个合适的补偿电压 V_s ,然后在开关控制模块107的作用下,将此补偿电压 V_s 传输至第二节点N2,实现对双栅晶体管Md的阈值电压的修正和补偿,以使双栅晶体管Md的阈值电压接近标准阈值电压,消除显示不均和残像的问题;因此,此处并未对控制电压 V_c 和补偿电压 V_s 的具体数值作具体限定,需要根据实际的情况进行预先设置和调整,以达到消除显示不均和残像的目的。

[0100] 具体地,在本发明实施例提供的上述像素电路中,需要为存储器108-4中预先存储各像素单元的像素电路中的双栅晶体管Md的标准阈值电压 V_0 的对应表格,或者是在第一次开机时,通过自行侦测写入,实现标准阈值电压 V_0 的存储。

[0101] 在具体实施时,为了实现数据写入模块102的功能,为第一节点N1提供相应的信号,在本发明实施例提供的上述像素电路中,如图5和图7所示,其中,图5为与图2对应的具体的像素电路的结构示意图,图6为与图3对应的像素电路的结构示意图,图7为与图4对应的具体的像素电路的结构示意图,数据写入模块102,可以包括:第一开关晶体管M1;

[0102] 第一开关晶体管M1的栅极与第一扫描信号端S1电连接,源极与数据信号端Vd电连接,漏极与第一节点N1电连接。

[0103] 具体地,第一开关晶体管M1在第一扫描信号端S1输入的第一扫描信号的控制下,将数据信号端Vd输入的信号传输至第一节点N1。

[0104] 具体地,由于第一节点N1与双栅晶体管Md的第一栅极a电连接,所以在初始化阶

段,需要对第一栅极a(即第一节点N1)进行初始化,因此,此时数据信号端Vd输入的信号为参考信号Vref;而在数据写入阶段,由于需要为双栅晶体管Md的第一栅极a写入数据,所以此时数据信号端Vd输入的信号为数据信号Vdata;因此,在本发明实施例提供的上述像素电路中,数据信号端Vd输入的信号可以是参考信号Vref,还可以数据信号Vdata,需要在不同的阶段输入不同的信号,以满足像素电路的正常工作。

[0105] 具体地,在本发明实施例提供的上述像素电路中,第一开关晶体管M1可以为N型晶体管,在第一扫描信号端S1输入的第一扫描信号为高电平信号时,第一开关晶体管M1导通;第一开关晶体管M1还可以为P型晶体管,在第一扫描信号端S1输入的第一扫描信号为低电平信号时,第一开关晶体管M1导通。

[0106] 以上仅是举例说明数据写入模块102的具体结构,在具体实施时,数据写入模块102的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0107] 在具体实施时,为了能够实现初始化模块101的功能,实现对第二节点N2和第三节点N3的初始化,在本发明实施例提供的上述像素电路中,如图5和图7所示,初始化模块101,可以包括:第二开关晶体管M2和第三开关晶体管M3;

[0108] 第二开关晶体管M2的栅极与第二扫描信号端S2电连接,源极与参考信号端Vref电连接,漏极与第二节点N2电连接;

[0109] 第三开关晶体管M3的栅极与第三扫描信号端S3电连接,源极与起始信号端Vint电连接,漏极与第三节点N3电连接。

[0110] 具体地,第二开关晶体管M2在第二扫描信号端S2输入的第二扫描信号的控制下,将参考信号端Vref输入的参考信号传输至第二节点N2;第三开关晶体管M3在第三扫描信号端S3输入的第三扫描信号的控制下,将起始信号端Vint输入的起始信号传输至第三节点N3。

[0111] 具体地,第二开关晶体管M2和第三开关晶体管M3可以均为N型晶体管,在第二扫描信号端S2输入的第二扫描信号为高电平信号时,第二开关晶体管M2导通,在第三扫描信号端S3输入的第三扫描信号为高电平信号时,第三开关晶体管M3导通;第二开关晶体管M2和第三开关晶体管M3还可以均为P型晶体管,在第二扫描信号端S2输入的第二扫描信号为低电平信号时,第二开关晶体管M2导通,在第三扫描信号端S3输入的第三扫描信号为低电平信号时,第三开关晶体管M3导通。

[0112] 以上仅是举例说明初始化模块101的具体结构,在具体实施时,初始化模块101的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0113] 在具体实施时,为了能够实现发光控制模块103的功能,有助于实现发光二极管109的发光,在本发明实施例提供的上述像素电路中,如图5和图7所示,发光控制模块103,可以包括:第四开关晶体管M4;

[0114] 第四开关晶体管M4的栅极与发光控制信号端EMIT电连接,源极与第一电压信号端PVDD电连接,漏极与双栅晶体管Md的源极电连接。

[0115] 具体地,第四开关晶体管M4在发光控制信号端EMIT输入的发光控制信号的控制下,将第一电压信号端PVDD输入的第一电压信号传输至双栅晶体管Md的源极。

[0116] 具体地,第四开关晶体管M4可以为N型晶体管,在发光控制信号端EMIT输入的发光控制信号为高电平信号时,第四开关晶体管M4导通;第四开关晶体管M4还可以为P型晶体管,在发光控制信号端EMIT输入的发光控制信号为低电平信号时,第四开关晶体管M4导通。

[0117] 以上仅是举例说明发光控制模块103的具体结构,在具体实施时,发光控制模块103的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0118] 在具体实施时,为了实现开关控制模块107的功能,有助于外部补偿模块108采集第三节点N3的电压,并对第二节点N2提供补偿电压,在本发明实施例提供的上述像素电路中,如图5和图7所示,开关控制模块107,可以包括:第五开关晶体管M5和第六开关晶体管M6;

[0119] 第五开关晶体管M5的栅极与第四扫描信号端S4电连接,源极与第三节点N3电连接,漏极与第四节点N4电连接;

[0120] 第六开关晶体管M6的栅极与第五扫描信号端S5电连接,源极与外部补偿模块108的信号输出端电连接,漏极与第二节点N2电连接。

[0121] 具体地,第五开关晶体管M5在第四扫描信号端S4输入的第四扫描信号的控制下,将第三节点N3的电位提供至第四节点N4;第六开关晶体管M6在第五扫描信号端S5输入的第五扫描信号的控制下,将外部补偿模块108的信号输出端输出的信号传输至第二节点N2。

[0122] 具体地,第五开关晶体管M5和第六开关晶体管M6可以均为N型晶体管,在第四扫描信号端S4输入的第四扫描信号为高电平信号时,第五开关晶体管M5导通,在第五扫描信号端S5输入的第五扫描信号为高电平信号时,第六开关晶体管M6导通;第五开关晶体管M5和第六开关晶体管M6还可以均为P型晶体管,在第四扫描信号端S4输入的第四扫描信号为低电平信号时,第五开关晶体管M5导通,在第五扫描信号端S5输入的第五扫描信号为低电平信号时,第六开关晶体管M6导通。

[0123] 以上仅是举例说明开关控制模块107的具体结构,在具体实施时,开关控制模块107的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作赘述。

[0124] 在具体实施时,本发明实施例提供的上述像素电路中提到的双栅晶体管Md和各开关晶体管可以全部采用P型晶体管设计,或者,如图5至图7所示,双栅晶体管Md和各开关晶体管可以全部采用N型晶体管设计,这样可以简化像素电路的制作工艺流程。

[0125] 当然,在本发明实施例提供的上述像素电路中涉及的各开关晶体管和双栅晶体管可以是薄膜晶体管(Thin Film Transistor,TFT),还可以是金属氧化物半导体场效应管(Metal Oxide Semiconductor,MOS);并且,上述各开关晶体管和双栅晶体管的源极和漏极的制作工艺相同,名称上是可以互换的,其可根据电压的方向在名称上改变。

[0126] 在具体实施时,在本发明实施例提供的上述像素电路中,如图1至图7所示,驱动晶体管105为双栅晶体管Md,即双栅晶体管Md具有两个栅极,包括第一栅极a和第二栅极b;在如图8所示的双栅晶体管的剖视图中,第一栅极a可以是设置于有源层1与源漏电极2之间的顶栅3,第二栅极b可以是设置于基板4与有源层1之间的底栅5;当然,第一栅极a还可以是设置于基板4与有源层1之间的底栅5,而此时第二栅极b则为设置于有源层1与源漏电极2之间的顶栅3,在此不作具体限定。

[0127] 在具体实施时,为了能够实现电压存储模块104的功能,实现对数据信号的存储,在本发明实施例提供的上述像素电路中,如图5至图7所示,电压存储模块104,可以包括:第一电容C1;

[0128] 第一电容C1连接于第一电压信号端PVDD与第一节点N1之间。

[0129] 在具体实施时,为了能够实现第一电压维持模块106的功能,在数据写入阶段,维持第三节点N3的电位,以及在发光阶段,维持第二节点N2和第三节点N3之间的电压差值,在本发明实施例提供的上述像素电路中,如图5至图7所示,第一电压维持模块106,可以包括:第二电容C2;

[0130] 第二电容C2连接于第二节点N2与第三节点N3之间。

[0131] 在具体实施时,为了能够为第一比较器108-2的第一信号输入端输入稳定的电位,在本发明实施例提供的上述像素电路中,如图1至图4所示,还可以包括:第二电压维持模块110;

[0132] 第二电压维持模块110的第一端与第四节点N4电连接,第二端与接地信号端GND电连接;第二电压维持模块110,用于在接地信号端GND输入的接地信号的控制下,维持第四节点N4的电位。

[0133] 具体地,为了能够实现第二电压维持模块110的功能,实现对第四节点N4的电位的控制,在本发明实施例提供的上述像素电路中,第二电压维持模块110,如图5至图7所示,包括:第三电容C3;

[0134] 第三电容C3连接于第四节点N4与接地信号端GND之间。

[0135] 进一步地,接地信号端GND可以直接接地,当然,还可以是提供接地信号的信号端,在此不作限定。

[0136] 下面将结合具体实施例详细说明本发明实施例提供的上述像素电路的具体工作过程。

[0137] 具体地,由于本发明实施例提供的上述像素电路中不仅具有外部补偿模块,还将驱动晶体管改进为双栅晶体管,以实现阈值电压的补偿,解决因阈值电压的漂移而产生的显示亮度不均和残像的问题;因此,在具体实施时,可以有以下几种实施方式:第一种实施方式,仅通过内部补偿的方式对阈值电压进行补偿;第二种实施方式,仅通过外部补偿模块实现阈值电压的补偿;由于第一种实施方式和第二种实施方式均是在一定的偏压下对阈值电压进行的补偿,使得对消除残像和解决显示亮度不均的能力有限,因此提出了第三种实施方式和第四种实施方式,即通过内部补偿和外部补偿相结合的方式,实现阈值电压的补偿,以使驱动晶体管的阈值电压调整为标准阈值电压,有效解决显示亮度不均和残像的问题,提高显示画面的质量。

[0138] 可选地,第一种实施方式,以图6所示的像素电路为例,结合图9所示的输入输出时序图,对本发明实施例提供的上述像素电路的工作过程进行描述。

[0139] 在T1阶段,为初始化阶段,此阶段包括对第一节点N1的初始化、第二节点N2的初始化、以及对第三节点N3的初始化,其中 $S1=1$, $S2=1$, $S3=1$, $S4=0$, $S5=0$, $EMIT=0$, $Vd=V_{ref}$ 。

[0140] 由于 $S1=1$, $S2=1$, $S3=1$,所以第一开关晶体管M1,第二开关晶体管M2和第三开关晶体管M3均导通,第一开关晶体管M1将数据信号端Vd输入的参考信号 V_{ref} 传输至第一节点

N1,第二开关晶体管M2将参考信号端Vref输入的参考信号传输至第二节点N2,第三开关晶体管M3将起始信号端Vint输入的起始信号传输至第三节点N3,完成对双栅晶体管Md的第一栅极a和第二栅极b的初始化,以及对漏极的初始化;因此,在此阶段,第一节点N1的电位为Vref,第二节点N2的电位为Vref,第三节点N3的电位为Vint;需要说明的是,通过预先设置使得 $V_{ref}-V_{int}>V_{th}$,即第一节点N1与第三节点N3的电压差值大于双栅晶体管Md的阈值电压 V_{th} ,或第二节点N2与第三节点N3的电压差值大于双栅晶体管Md的阈值电压 V_{th} 。

[0141] 在T2阶段,为阈值电压提取阶段, $S1=1, S2=1, S3=0, S4=0, S5=0, EMIT=1, V_d=V_{ref}$ 。

[0142] 由于 $S1=1, S2=1$,所以第一开关晶体管M1和第二开关晶体管M2处于导通状态,使得第一节点N1和第二节点N2的电位始终保持为参考信号Vref的电位;因 $EMIT=1$,且 $V_{ref}-V_{int}>V_{th}$,所以在第四开关晶体管M4导通时,双栅晶体管Md中有电流通过,使得双栅晶体管Md的第一栅极a与漏极导通,或第二栅极b与漏极导通;又因 $S3=0$,第三开关晶体管M3截止,使得第三节点N3的电位变为 $V_{ref}-V_{th}$;若要使得发光二极管D发光,第三节点N3的电位至少为 $P_{VEE}+V_{oled}$,而通过预先设置 $V_{ref}-V_{th}<P_{VEE}+V_{oled}$,所以此阶段发光二极管D不发光。

[0143] 在T3阶段,为数据写入阶段, $S1=1, S2=1, S3=0, S4=0, S5=0, EMIT=0, V_d=V_{data}$ 。

[0144] 由于 $S1=1, S2=1$,第一开关晶体管M1和第二开关晶体管M2处于导通状态,使得第一节点N1的电位数据信号Vdata的电位,并将此数据信号Vdata存储至第一电容C1中,而第二节点N2的电位始终保持为参考信号Vref的电位;因第三开关晶体管M3截止,所以在第二电容C2的作用下,第三节点N3的电位始终保持为 $V_{ref}-V_{th}$,所以此阶段发光二极管D也不发光。

[0145] 在T4阶段,为发光阶段, $S1=0, S2=0, S3=0, S4=0, S5=0, EMIT=1$ 。

[0146] 由于 $S1=0, S2=0, S3=0$,第一开关晶体管M1,第二开关晶体管M2和第三开关晶体管M3均截止;因发光控制信号端EMIT输入的发光控制信号为高电平信号,所以第四开关晶体管M4导通,并且在第一节点N1的数据信号Vdata的作用下,双栅晶体管Md导通;此外,在发光二极管D发光时,第三节点N3的电位需至少为 $P_{VEE}+V_{oled}$,因此,在 $N3=P_{VEE}+V_{oled}$ 时,可以得知第三节点N3的电位变化量 ΔV 等于T4阶段时的电位减去T3阶段时的电位,即 $\Delta V=P_{VEE}+V_{oled}-(V_{ref}-V_{th})=P_{VEE}+V_{oled}-V_{ref}+V_{th}$;由于第二电容C2的作用,所以第二节点N2的电位从T3阶段的参考信号Vref的电位变化为 $V_{ref}+\Delta V$,即 $N2=V_{ref}+\Delta V=P_{VEE}+V_{oled}+V_{th}$;因此,双栅晶体管Md的 $V_{gs}=N1+N2-N3=V_{data}+(P_{VEE}+V_{oled}+V_{th})-(P_{VEE}+V_{oled})=V_{data}+V_{th}$, $I=K(V_{gs}-V_{th})^2=K(V_{data})^2$,即双栅晶体管Md的驱动电流只与数据信号Vdata的电位有关,而与阈值电压 V_{th} 无关,使得阈值电压 V_{th} 的漂移不会影响驱动电流的大小,进而保证显示亮度的均一性。

[0147] 需要指出的是,在上述四个阶段中,即在T1至T4中,因第四扫描信号端S4和第五扫描信号端S5始终为低电平,使得第五开关晶体管M5和第六开关晶体管M6始终为截止状态,所以外部补偿模块108始终不工作;因此,在本实施例中,仅通过内部补偿和双栅晶体管Md的作用,解决了因阈值电压的漂移而引起的显示亮度不均和残像的问题。

[0148] 可选地,第二种实施方式,以图6所示的像素电路为例,结合图10所示的输入输出

时序图,对本发明实施例提供的上述像素电路的工作过程进行描述。

[0149] 在T1阶段,为初始化阶段,此阶段包括对第一节点N1的初始化、第二节点N2的初始化、以及对第三节点N3的初始化,其中 $S1=1, S2=1, S3=1, S4=0, S5=0, EMIT=0, Vd=V_{ref}$ 。

[0150] 由于 $S1=1, S2=1, S3=1$,所以第一开关晶体管M1,第二开关晶体管M2和第三开关晶体管M3均导通,第一开关晶体管M1将数据信号端Vd输入的参考信号 V_{ref} 传输至第一节点N1,第二开关晶体管M2将参考信号端 V_{ref} 输入的参考信号传输至第二节点N2,第三开关晶体管M3将起始信号端 V_{int} 输入的起始信号传输至第三节点N3,完成对双栅晶体管Md的第一栅极a和第二栅极b的初始化,以及对漏极的初始化;因此,在此阶段,第一节点N1的电位为 V_{ref} ,第二节点N2的电位为 V_{ref} ,第三节点N3的电位为 V_{int} ;需要说明的是,通过预先设置使得 $V_{ref}-V_{int}>V_{th}$,即第一节点N1与第三节点N3的电压差值大于双栅晶体管Md的阈值电压 V_{th} ,或第二节点N2与第三节点N3的电压差值大于双栅晶体管Md的阈值电压 V_{th} 。

[0151] 在T2阶段,为阈值电压提取阶段, $S1=1, S2=1, S3=0, S4=1, S5=0, EMIT=1, Vd=V_{ref}$ 。

[0152] 由于 $S1=1, S2=1$,所以第一开关晶体管M1和第二开关晶体管M2处于导通状态,使得第一节点N1和第二节点N2的电位始终保持为参考信号 V_{ref} 的电位;因 $EMIT=1$,且 $V_{ref}-V_{int}>V_{th}$,所以在第四开关晶体管M4导通时,双栅晶体管Md中有电流通过,使得双栅晶体管Md的第一栅极a与漏极导通,或第二栅极b与漏极导通;又因 $S3=0$,第三开关晶体管M3截止,使得第三节点N3的电位变为 $V_{ref}-V_{th}$;若要使得发光二极管D发光,第三节点N3的电位需至少为 $PV_{EE}+V_{oled}$,而通过预先设置 $V_{ref}-V_{th}<PV_{EE}+V_{oled}$,所以此阶段发光二极管D不发光;此外,由于 $S4=1$,使得第五开关晶体管M5导通,将第三节点N3的电位提供至第四节点N4,使得第四节点N4的电位为 $V_{ref}-V_{th}$,且在第三电容C3的作用下,第四节点N4的电位可维持在 $V_{ref}-V_{th}$;通过第一比较器108-2的作用,采集到此时的阈值电压 V_{th} ,并将其输出至处理器108-1中。

[0153] 在T3阶段,为数据写入阶段, $S1=1, S2=0, S3=1, S4=0, S5=1, EMIT=0, Vd=V_{data}$ 。

[0154] 由于 $S1=1, S3=1$,第一开关晶体管M1和第三开关晶体管M3处于导通状态,使得第一节点N1的电位数据信号 V_{data} 的电位,并将此数据信号 V_{data} 存储至第一电容C1中,而第三节点N3的电位为起始信号 V_{int} 的电位,实现对发光二极管D的阳极(即第三节点N3)的初始化;由于 $S5=1$,使得第六开关晶体管M6导通,将处理器108-1中缓存的阈值电压 V_{th} 传输至第二节点N2,使 $N2=V_{th}$ 。

[0155] 在T4阶段,为发光阶段, $S1=0, S2=0, S3=0, S4=0, S5=0, EMIT=1$ 。

[0156] 由于 $S1=0, S2=0, S3=0$,第一开关晶体管M1,第二开关晶体管M2和第三开关晶体管M3均截止;因发光控制信号端EMIT输入的发光控制信号为高电平信号,所以第四开关晶体管M4导通,并且在第一节点N1的数据信号 V_{data} 的作用下,双栅晶体管Md导通;此外,在发光二极管D发光时,第三节点N3的电位需至少为 $PV_{EE}+V_{oled}$,因此,在 $N3=PV_{EE}+V_{oled}$ 时,可以得知第三节点N3的电位变化量 ΔV 等于T4阶段时的电位减去T3阶段时的电位,即 $\Delta V=PV_{EE}+V_{oled}-V_{int}$;由于第二电容C2的作用,所以第二节点N2的电位从T3阶段的阈值电压 V_{th} 变化为 $V_{th}+\Delta V$,即 $N2=V_{th}+\Delta V=PV_{EE}+V_{oled}-V_{int}+V_{th}$;因此,双栅晶体管Md的 $V_{gs}=$

$N1+N2-N3=Vdata+(PVEE+Voled-Vint+Vth)-(PVEE+Voled)=Vdata-Vint+Vth$, $I=K(Vgs-Vth)^2=K(Vdata-Vint)^2$, 即双栅晶体管Md的驱动电流只与数据信号Vdata的电位和起始信号Vint的电位有关, 而与阈值电压Vth无关, 使得阈值电压Vth的漂移不会影响驱动电流的大小, 进而保证显示亮度的均一性。

[0157] 需要指出的是, 在上述四个阶段中, 即在T1至T4中, 仅通过外部补偿模块108实现了对双栅晶体管Md的阈值电压的补偿, 即外部补偿模块108将采集到的阈值电压Vth提供给第二节点N2, 而未使用像素电路的内部补偿功能; 因此, 在本实施例中, 仅通过外部补偿模块108解决了因阈值电压Vth的漂移而引起的显示亮度不均和残像的问题。

[0158] 可选地, 第三种实施方式, 以图7所示的像素电路为例, 结合图11所示的输入输出时序图, 对本发明实施例提供的上述像素电路的工作过程进行描述。

[0159] 在T1阶段, 为第一初始化阶段, 此阶段包括对第一节点N1的初始化、第二节点N2的初始化、以及对第三节点N3的初始化, 其中 $S1=1, S2=1, S3=1, S4=0, S5=0, EMIT=0, Vd=Vref$ 。

[0160] 由于 $S1=1, S2=1, S3=1$, 所以第一开关晶体管M1, 第二开关晶体管M2和第三开关晶体管M3均导通, 第一开关晶体管M1将数据信号端Vd输入的参考信号Vref传输至第一节点N1, 第二开关晶体管M2将参考信号端Vref输入的参考信号传输至第二节点N2, 第三开关晶体管M3将起始信号端Vint输入的起始信号传输至第三节点N3, 完成对双栅晶体管Md的第一栅极a和第二栅极b的初始化, 以及对漏极的初始化; 因此, 在此阶段, 第一节点N1的电位为Vref, 第二节点N2的电位为Vref, 第三节点N3的电位为Vint; 需要说明的是, 通过预先设置使得 $Vref-Vint>Vth$, 即第一节点N1与第三节点N3的电压差值大于双栅晶体管Md的阈值电压Vth, 或第二节点N2与第三节点N3的电压差值大于双栅晶体管Md的阈值电压Vth。

[0161] 在T2阶段, 为第一阈值电压提取阶段, $S1=1, S2=1, S3=0, S4=1, S5=0, EMIT=1, Vd=Vref$ 。

[0162] 由于 $S1=1, S2=1$, 所以第一开关晶体管M1和第二开关晶体管M2处于导通状态, 使得第一节点N1和第二节点N2的电位始终保持为参考信号Vref的电位; 因 $EMIT=1$, 且 $Vref-Vint>Vth$, 所以在第四开关晶体管M4导通时, 双栅晶体管Md中有电流通过, 使得双栅晶体管Md的第一栅极a与漏极导通, 或第二栅极b与漏极导通; 又因 $S3=0$, 第三开关晶体管M3截止, 使得第三节点N3的电位变为 $Vref-Vth$; 若要使得发光二极管D发光, 第三节点N3的电位需至少为 $PVEE+Voled$, 而通过预先设置 $Vref-Vth<PVEE+Voled$, 所以此阶段发光二极管D不发光; 此外, 由于 $S4=1$, 使得第五开关晶体管M5导通, 将第三节点N3的电位提供至第四节点N4, 使得第四节点N4的电位为 $Vref-Vth$, 且在第三电容C3的作用下, 第四节点N4的电位可维持在 $Vref-Vth$; 然后, 通过第一比较器108-2的作用, 采集到此时的阈值电压Vth, 并将其输出至第二比较器108-3中; 第二比较器108-3再对输入的阈值电压Vth与存储器108-4中存储的标准阈值电压 V_0 进行比较, 若输入的阈值电压Vth与存储的标准阈值电压 V_0 不相同, 第二比较器108-3输出与阈值电压Vth对应的控制电压Vc, 将其输入至处理器108-1中; 若输入的阈值电压Vth与存储的标准阈值电压 V_0 相同时, 第二比较器108-3则输出标准阈值电压 V_0 , 将其输入至处理器108-1中; 进一步地, 处理器108-1在接收到控制电压Vc时, 会对该控制电压Vc进行解析处理, 确定出一个与控制电压Vc对应的补偿电压Vs, 并缓存下来; 在处理器108-1接收到标准阈值电压 V_0 时, 则将此标准阈值电压 V_0 进行缓存处理; 因此, 该阶段不仅能

够实现阈值电压 V_{th} 的提取,还可以实现外部补偿模块108对阈值电压 V_{th} 的处理。

[0163] 由于外部补偿模块108首次工作,所以第一比较器108-2输出的阈值电压 V_{th} 一般与标准阈值电压 V_0 不相同,使得第二比较器108-3输出与阈值电压 V_{th} 对应的控制电压 V_c ,进而使得处理器108-1将输入的控制电压 V_c 进行处理后确定出补偿电压 V_s 并缓存下来;因此,进入T3阶段,即阈值电压修正阶段, $S1=1, S2=0, S3=0, S4=0, S5=1, EMIT=0, V_d=V_{ref}$ 。

[0164] 因 $S1=1$,第一开关晶体管M1导通,第一开关晶体管M1继续将数据信号端 V_d 输入的参考信号 V_{ref} 传输至第一节点N1,保持第一节点N1的电位始终为参考信号的电位;由于 $S5=1$,第六开关晶体管M6导通,将处理器108-1中缓存的补偿电压 V_s 传输至第二节点N2,使得 $N2=V_s$;当然,该补偿电压 V_s 与阈值电压 V_{th} 的漂移有关,若阈值电压 V_{th} 在正偏压下发生漂移,即为正漂,则补偿电压 V_s 为一个负的电压;若阈值电压 V_{th} 在负偏压下发生漂移,即为负漂,则补偿电压 V_s 为一个正的电压,以使阈值电压 V_{th} 恢复正常状态,实现对阈值电压 V_{th} 的修正。

[0165] 在T4阶段,为第二初始化阶段,此阶段包括对第一节点N1的初始化、第二节点N2的初始化、以及对第三节点N3的初始化,其中 $S1=1, S2=1, S3=1, S4=0, S5=0, EMIT=0, V_d=V_{ref}$ 。

[0166] 由于在此阶段内,各开关晶体管的工作状态与T1阶段(即第一初始化阶段)内的各开关晶体管的工作状态一致,因此,各开关晶体管的具体工作过程可参见T1阶段的具体描述,重复之处不再赘述。

[0167] 在T5阶段,为第二阈值电压提取阶段, $S1=1, S2=1, S3=0, S4=1, S5=0, EMIT=1, V_d=V_{ref}$ 。

[0168] 在此阶段内,各开关晶体管的工作状态,以及第一比较器108-2、第二比较器108-3和处理器108-1的工作状态,与前述T2阶段(即第一阈值电压提取阶段)内各开关晶体管的工作状态,以及第一比较器108-2、第二比较器108-3和处理器108-1的工作状态一致,具体可参见前述T2阶段的具体描述,重复之处不再赘述。

[0169] 当然,由于在T3阶段(即阈值电压修正阶段)已经对双栅晶体管M_d的阈值电压进行了修正,所以,在T5阶段内,第一比较器108-2输出的阈值电压 V_{th} 有可能与标准阈值电压 V_0 相同;假使第二比较器108-3输出标准阈值电压 V_0 ,则进入T6阶段,即数据写入阶段, $S1=1, S2=0, S3=1, S4=0, S5=1, EMIT=0, V_d=V_{data}$ 。

[0170] 由于 $S1=1, S3=1$,第一开关晶体管M1和第三开关晶体管M3处于导通状态,使得第一节点N1的电位数据信号 V_{data} 的电位,并将此数据信号 V_{data} 存储至第一电容C1中,而第三节点N3的电位为起始信号 V_{int} 的电位,实现对发光二极管D的阳极(即第三节点N3)的初始化;由于 $S5=1$,使得第六开关晶体管M6导通,将处理器108-1中缓存的标准阈值电压 V_0 传输至第二节点N2,使 $N2=V_0$ 。

[0171] 在T7阶段,为发光阶段, $S1=0, S2=0, S3=0, S4=0, S5=0, EMIT=1$ 。

[0172] 由于 $S1=0, S2=0, S3=0$,第一开关晶体管M1,第二开关晶体管M2和第三开关晶体管M3均截止;因发光控制信号端EMIT输入的发光控制信号为高电平信号,所以第四开关晶体管M4导通,并且在第一节点N1的数据信号 V_{data} 的作用下,双栅晶体管M_d导通;此外,在发光二极管D发光时,第三节点N3的电位需至少为 $P_{VEE}+V_{oled}$,因此,在 $N3=P_{VEE}+V_{oled}$ 时,可

以得知第三节点N3的电位变化量 ΔV 等于T7阶段时的电位减去T6阶段时的电位,即 $\Delta V = PVEE + Voled - Vint$;由于第二电容C2的作用,所以第二节点N2的电位从T6阶段的标准阈值电压 V_0 变化为 $V_0 + \Delta V$,即 $N2 = V_0 + \Delta V = PVEE + Voled - Vint + V_0$;因此,双栅晶体管Md的 $V_{gs} = N1 + N2 - N3 = Vdata + (PVEE + Voled - Vint + V_0) - (PVEE + Voled) = Vdata - Vint + V_0$, $I = K(V_{gs} - V_0)^2 = K(Vdata - Vint)^2$,即双栅晶体管Md的驱动电流只与数据信号Vdata的电位和起始信号Vint的电位有关,而与阈值电压 V_{th} 无关,使得阈值电压 V_{th} 的漂移不会影响驱动电流的大小,进而保证显示亮度的均一性;同时,由于在此阶段之前,已经将双栅晶体管Md的阈值电压调整为标准阈值电压 V_0 ,即将双栅晶体管Md的工作状态恢复至出厂模式,使得各像素电路中的双栅晶体管Md的工作状态保持一致,有效改善了显示亮度不均和残像的问题。

[0173] 需要注意的是,在上述像素电路的工作过程中,存在着一个循环阶段,如图11中的虚线框所示,此循环阶段包括阈值电压修正阶段(即T3阶段)至第二阈值电压提取阶段(即T5阶段),且此循环阶段的循环次数与第二比较器108-3输出的信号有关,即在第二比较器108-3输出标准阈值电压 V_0 之前,在第一阈值电压提取阶段(即T2阶段)与数据写入阶段(即T6阶段)之间存在至少一个循环阶段;具体地,如图11所示,可以将T2阶段看作第二比较器108-3的第一次工作,将T5阶段看作第二次工作,如果第二比较器108-3在第二次工作时输出标准阈值电压 V_0 ,则T2阶段与T6阶段之间执行一个循环阶段;若如图12所示,将T8阶段看作第二比较器108-3的第三次工作,如果第二比较器108-3在第三次工作时输出标准阈值电压 V_0 ,则在第一阈值电压提取阶段与数据写入阶段之间执行了两个循环阶段(一个虚线框表示一个循环阶段);以此类推,当第二比较器108-3在第N次工作时输出标准阈值电压 V_0 时,则在第一阈值电压提取阶段与数据写入阶段之间则需要执行N-1个循环阶段;以使双栅晶体管Md的阈值电压调整为标准阈值电压 V_0 ,将双栅晶体管Md的工作状态恢复至出厂模式,以有效改善显示亮度不均和残像的问题。

[0174] 可选地,第四种实施方式,是在第三种方式的基础上,结合第一种方式来完成的,以图7所示的像素电路为例,结合图13所示的输入输出时序图,首先在外部补偿模块108完成对双栅晶体管Md的阈值电压的修正之后,再利用内部补偿再次对双栅晶体管Md的阈值电压进行补偿,具体的工作过程如下:

[0175] 在T1阶段,为第一初始化阶段,此阶段包括对第一节点N1的初始化、第二节点N2的初始化、以及对第三节点N3的初始化,其中 $S1=1, S2=1, S3=1, S4=0, S5=0, EMIT=0, Vd=Vref$ 。

[0176] 由于 $S1=1, S2=1, S3=1$,所以第一开关晶体管M1,第二开关晶体管M2和第三开关晶体管M3均导通,第一开关晶体管M1将数据信号端Vd输入的参考信号Vref传输至第一节点N1,第二开关晶体管M2将参考信号端Vref输入的参考信号传输至第二节点N2,第三开关晶体管M3将起始信号端Vint输入的起始信号传输至第三节点N3,完成对双栅晶体管Md的第一栅极a和第二栅极b的初始化,以及对漏极的初始化;因此,在此阶段,第一节点N1的电位为Vref,第二节点N2的电位为Vref,第三节点N3的电位为Vint;需要说明的是,通过预先设置使得 $Vref - Vint > V_{th}$,即第一节点N1与第三节点N3的电压差值大于双栅晶体管Md的阈值电压 V_{th} ,或第二节点N2与第三节点N3的电压差值大于双栅晶体管Md的阈值电压 V_{th} 。

[0177] 在T2阶段,为第一阈值电压提取阶段, $S1=1, S2=1, S3=0, S4=1, S5=0, EMIT=1, Vd=Vref$ 。

[0178] 由于 $S1=1, S2=1$,所以第一开关晶体管M1和第二开关晶体管M2处于导通状态,使得第一节点N1和第二节点N2的电位始终保持为参考信号 V_{ref} 的电位;因 $EMIT=1$,且 $V_{ref}-V_{int}>V_{th}$,所以在第四开关晶体管M4导通时,双栅晶体管Md中有电流通过,使得双栅晶体管Md的第一栅极a与漏极导通,或第二栅极b与漏极导通;又因 $S3=0$,第三开关晶体管M3截止,使得第三节点N3的电位变为 $V_{ref}-V_{th}$;若要使得发光二极管D发光,第三节点N3的电位需至少为 $PVEE+V_{oled}$,而通过预先设置 $V_{ref}-V_{th}<PVEE+V_{oled}$,所以此阶段发光二极管D不发光;此外,由于 $S4=1$,使得第五开关晶体管M5导通,将第三节点N3的电位提供至第四节点N4,使得第四节点N4的电位为 $V_{ref}-V_{th}$,且在第三电容C3的作用下,第四节点N4的电位可维持在 $V_{ref}-V_{th}$;然后,通过第一比较器108-2的作用,采集到此时的阈值电压 V_{th} ,并将其输出至第二比较器108-3中;第二比较器108-3再对输入的阈值电压 V_{th} 与存储器108-4中存储的标准阈值电压 V_0 进行比较,若输入的阈值电压 V_{th} 与存储的标准阈值电压 V_0 不相同,第二比较器108-3输出与阈值电压 V_{th} 对应的控制电压 V_c ,将其输入至处理器108-1中;若输入的阈值电压 V_{th} 与存储的标准阈值电压 V_0 相同时,第二比较器108-3则输出标准阈值电压 V_0 ,将其输入至处理器108-1中;进一步地,处理器108-1在接收到控制电压 V_c 时,会对该控制电压 V_c 进行解析处理,确定出一个与控制电压 V_c 对应的补偿电压 V_s ,并缓存下来;在处理器108-1接收到标准阈值电压 V_0 时,则将此标准阈值电压 V_0 进行缓存处理;因此,该阶段不仅能够实现阈值电压 V_{th} 的提取,还可以实现外部补偿模块108对阈值电压 V_{th} 的处理。

[0179] 由于外部补偿模块108首次工作,所以第一比较器108-2输出的阈值电压 V_{th} 一般与标准阈值电压 V_0 不相同,使得第二比较器108-3输出与阈值电压 V_{th} 对应的控制电压 V_c ,进而使得处理器108-1将输入的控制电压 V_c 进行处理后确定出补偿电压 V_s 并缓存下来;因此,进入T3阶段,即阈值电压修正阶段, $S1=1, S2=0, S3=0, S4=0, S5=1, EMIT=0, V_d=V_{ref}$ 。

[0180] 因 $S1=1$,第一开关晶体管M1导通,第一开关晶体管M1继续将数据信号端 V_d 输入的参考信号 V_{ref} 传输至第一节点N1,保持第一节点N1的电位始终为参考信号的电位;由于 $S5=1$,第六开关晶体管M6导通,将处理器108-1中缓存的补偿电压 V_s 传输至第二节点N2,使得 $N2=V_s$;当然,该补偿电压 V_s 与阈值电压 V_{th} 的漂移有关,若阈值电压 V_{th} 在正偏压下发生漂移,即为正漂,则补偿电压 V_s 为一个负的电压;若阈值电压 V_{th} 在负偏压下发生漂移,即为负漂,则补偿电压 V_s 为一个正的电压,以使阈值电压 V_{th} 恢复正常状态,实现对阈值电压 V_{th} 的修正。

[0181] 在T4阶段,为第二初始化阶段,此阶段包括对第一节点N1的初始化、第二节点N2的初始化、以及对第三节点N3的初始化,其中 $S1=1, S2=1, S3=1, S4=0, S5=0, EMIT=0, V_d=V_{ref}$ 。

[0182] 由于在此阶段内,各开关晶体管的工作状态与T1阶段(即第一初始化阶段)内的各开关晶体管的工作状态一致,因此,各开关晶体管的具体工作过程可参见T1阶段的具体描述,重复之处不再赘述。

[0183] 在T5阶段,为第二阈值电压提取阶段, $S1=1, S2=1, S3=0, S4=1, S5=0, EMIT=1, V_d=V_{ref}$ 。

[0184] 在此阶段内,各开关晶体管的工作状态,以及第一比较器108-2、第二比较器108-3和处理器108-1的工作状态,与前述T2阶段(即第一阈值电压提取阶段)内各开关晶体管的

工作状态,以及第一比较器108-2、第二比较器108-3和处理器108-1的工作状态一致,具体可参见前述T2阶段的具体描述,重复之处不再赘述。

[0185] 当然,由于在T3阶段(即阈值电压修正阶段)已经对双栅晶体管Md的阈值电压进行了修正,所以,在T5阶段,第一比较器108-2输出的阈值电压 V_{th} 有可能与标准阈值电压 V_0 相同;假使第二比较器108-3输出标准阈值电压 V_0 ,则进入第三初始化阶段,即T6阶段,此阶段包括对第一节点N1的初始化、第二节点N2的初始化、以及对第三节点N3的初始化,其中 $S1=1, S2=1, S3=1, S4=0, S5=0, EMIT=0, V_d=V_{ref}$ 。

[0186] 由于在此阶段内,各开关晶体管的工作状态与T1阶段(即第一初始化阶段)内的各开关晶体管的工作状态一致,因此,各开关晶体管的具体工作过程可参见T1阶段的具体描述,重复之处不再赘述。

[0187] 在T7阶段,为第三阈值电压提取阶段, $S1=1, S2=1, S3=0, S4=0, S5=0, EMIT=1, V_d=V_{ref}$ 。

[0188] 由于 $S1=1, S2=1$,所以第一开关晶体管M1和第二开关晶体管M2处于导通状态,使得第一节点N1和第二节点N2的电位始终保持为参考信号 V_{ref} 的电位;因 $EMIT=1$,且 $V_{ref}-V_{int}>V_0$,所以在第四开关晶体管M4导通时,双栅晶体管Md中有电流通过,使得双栅晶体管Md的第一栅极a与漏极导通,或第二栅极b与漏极导通;又因 $S3=0$,第三开关晶体管M3截止,且因双栅晶体管Md的阈值电压已经被修正为标准阈值电压 V_0 ,所以第三节点N3的电位变为 $V_{ref}-V_0$;若要使得发光二极管D发光,第三节点N3的电位需至少为 $P_{VEE}+V_{oled}$,而通过预先设置 $V_{ref}-V_0<P_{VEE}+V_{oled}$,所以此阶段发光二极管D不发光。

[0189] 在T8阶段,为数据写入阶段, $S1=1, S2=1, S3=0, S4=0, S5=0, EMIT=0, V_d=V_{data}$ 。

[0190] 由于 $S1=1, S2=1$,第一开关晶体管M1和第二开关晶体管M2处于导通状态,使得第一节点N1的电位数据信号 V_{data} 的电位,并将此数据信号 V_{data} 存储至第一电容C1中,而第二节点N2的电位始终保持为参考信号 V_{ref} 的电位;因第三开关晶体管M3截止,所以在第二电容C2的作用下,第三节点N3的电位始终保持为 $V_{ref}-V_0$,所以此阶段发光二极管D也不发光。

[0191] 在T9阶段,为发光阶段, $S1=0, S2=0, S3=0, S4=0, S5=0, EMIT=1$ 。

[0192] 由于 $S1=0, S2=0, S3=0$,第一开关晶体管M1,第二开关晶体管M2和第三开关晶体管M3均截止;因发光控制信号端EMIT输入的发光控制信号为高电平信号,所以第四开关晶体管M4导通,并且在第一节点N1的数据信号 V_{data} 的作用下,双栅晶体管Md导通;此外,在发光二极管D发光时,第三节点N3的电位需至少为 $P_{VEE}+V_{oled}$,因此,在 $N3=P_{VEE}+V_{oled}$ 时,可以得知第三节点N3的电位变化量 ΔV 等于T9阶段时的电位减去T8阶段时的电位,即 $\Delta V=P_{VEE}+V_{oled}-(V_{ref}-V_0)=P_{VEE}+V_{oled}-V_{ref}+V_0$;由于第二电容C2的作用,所以第二节点N2的电位从T3阶段的参考信号 V_{ref} 的电位变化为 $V_{ref}+\Delta V$,即 $N2=V_{ref}+\Delta V=P_{VEE}+V_{oled}+V_0$;因此,双栅晶体管Md的 $V_{gs}=N1+N2-N3=V_{data}+(P_{VEE}+V_{oled}+V_0)-(P_{VEE}+V_{oled})=V_{data}+V_0, I=K(V_{gs}-V_0)^2=K(V_{data})^2$,即双栅晶体管Md的驱动电流只与数据信号 V_{data} 的电位有关,而与阈值电压无关,使得阈值电压的漂移不会影响驱动电流的大小,进而保证显示亮度的均一性;同时,由于在之前阶段,已经将双栅晶体管Md的阈值电压调整为标准阈值电压 V_0 ,即将双栅晶体管Md的工作状态恢复至出厂模式,使得各像素电路中的双栅晶体管Md的

工作状态保持一致,有效改善了显示亮度不均和残像的问题。

[0193] 需要注意的是,在此实施例,可以理解为第一种实施方式与第三种实施方式的结合,即该实施方式中在第二比较器108-3输出标准阈值电压 V_0 之前各阶段的工作状态,与第三种实施方式中第二比较器108-3输出标准阈值电压 V_0 之前的各阶段的工作状态相同,以实现对双栅晶体管Md的阈值电压的修正,只要在第二比较器108-3输出标准阈值电压 V_0 之后,则将第五开关晶体管M5和第六开关晶体管M6全部截止,之后的各阶段的工作状态与第一种实施方式中的各阶段的工作状态相同,即通过内部补偿再次对双栅晶体管Md的阈值电压进行修正,以充分解决残像和显示亮度不均的问题。

[0194] 当然,在第四种实施方式中,同样存在着至少一个循环阶段,且该循环阶段处于第一阈值电压提取阶段(即T2阶段)与第三初始化阶段(即T6阶段)之间(如图13中的虚线框内所示),且该循环阶段的循环次数同样与第二比较器108-3输出的信号有关,具体可参见第三种实施方式,重复之处不再赘述。

[0195] 基于同一发明构思,本发明实施例还提供了一种如本发明实施例提供的上述像素电路的驱动方法,如图14所示,可以包括以下四个步骤:

[0196] S1401、第一初始化阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至双栅晶体管的漏极;

[0197] S1402、第一阈值电压提取阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至双栅晶体管的第二栅极;发光控制模块将第一电压信号端输入的第一电压信号传输至双栅晶体管的源极;

[0198] S1403、数据写入阶段,数据写入模块将数据信号端输入的数据信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至双栅晶体管的第二栅极;电压存储模块存储数据信号的电位;第一电压维持模块在双栅晶体管的第二栅极的电位的控制下,维持双栅晶体管的漏极的电位;

[0199] S1404、发光阶段,发光控制模块将第一电压信号端输入的第一电压信号传输至双栅晶体管的源极;第一电压维持模块在双栅晶体管的漏极的电位的控制下,维持双栅晶体管的第二栅极的电位;双栅晶体管驱动发光二极管发光。

[0200] 在具体实施时,在本发明实施例提供的上述驱动方法中的四个步骤中,第一初始化阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号,第五扫描信号端提供第二电平信号,发光控制信号端提供第二电平信号,数据信号端提供参考信号;

[0201] 第一阈值电压提取阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第二电平信号,第四扫描信号端提供第二电平信号,第五扫描信号端提供第二电平信号,发光控制信号端提供第一电平信号,数据信号端提供参考信号;

[0202] 数据写入阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第二电平信号,第四扫描信号端提供第二电平信号,第五扫描信号端提供第二电平信号,发光控制信号端提供第二电平信号,数据信号端提供数据信号;

[0203] 发光阶段,第一扫描信号端提供第二电平信号,第二扫描信号端提供第二电平信号,第三扫描信号端提供第二电平信号,第四扫描信号端提供第二电平信号,第五扫描信号端提供第二电平信号,发光控制信号端提供第一电平信号。

[0204] 具体地,在本发明实施例提供的上述驱动方法中,在第一初始化阶段之前,且外部补偿模块包括第一比较器、第二比较器、处理器和存储器时,驱动方法还包括:第二初始化阶段、第二阈值电压提取阶段、以及至少一个循环阶段;且循环阶段包括:阈值电压修正阶段、第三初始化阶段和第三阈值电压提取阶段;循环阶段直至第二比较器输出标准阈值电压为止;其中,

[0205] 第二初始化阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号;第五扫描信号端提供第二电平信号;发光控制信号端提供第二电平信号,数据信号端提供参考信号;

[0206] 第二阈值电压提取阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第二电平信号;第四扫描信号端提供第一电平信号;第五扫描信号端提供第二电平信号;发光控制信号端提供第一电平信号,数据信号端提供参考信号;

[0207] 阈值电压修正阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第二电平信号,第三扫描信号端提供第二电平信号;第四扫描信号端提供第二电平信号;第五扫描信号端提供第一电平信号;发光控制信号端提供第二电平信号,数据信号端提供参考信号;

[0208] 第三初始化阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号;第五扫描信号端提供第二电平信号;发光控制信号端提供第二电平信号,数据信号端提供参考信号;

[0209] 第三阈值电压提取阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第二电平信号;第四扫描信号端提供第一电平信号;第五扫描信号端提供第二电平信号;发光控制信号端提供第一电平信号,数据信号端提供参考信号。

[0210] 基于同一发明构思,本发明实施例还提供了一种如本发明实施例提供的上述像素电路的驱动方法,如图15所示,可以包括以下四个步骤:

[0211] S1501、第一初始化阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至双栅晶体管的第二栅极,将起始信号端输入的起始信号传输至双栅晶体管的漏极;

[0212] S1502、第一阈值电压提取阶段,数据写入模块将数据信号端输入的参考信号传输至双栅晶体管的第一栅极;初始化模块将参考信号端输入的参考信号传输至双栅晶体管的第二栅极;发光控制模块将第一电压信号端输入的第一电压信号传输至双栅晶体管的源极;开关控制模块将双栅晶体管的漏极的电位传输至外部补偿模块;外部补偿模块对双栅晶体管的漏极的电位进行处理后确定双栅晶体管所需的补偿电压;

[0213] S1503、数据写入阶段,数据写入模块将数据信号端输入的数据信号传输至双栅晶

体管的第一栅极;电压存储模块存储数据信号的电位;初始化模块将起始信号端输入的起始信号传输至双栅晶体管的漏极;开关控制模块将外部补偿模块确定出的补偿电压传输至双栅晶体管的第二栅极;

[0214] S1504、发光阶段,发光控制模块将第一电压信号端输入的第一电压信号传输至双栅晶体管的源极;第一电压维持模块在双栅晶体管的漏极的电位的控制下,维持双栅晶体管的第二栅极的电位;双栅晶体管驱动发光二极管发光。

[0215] 在具体实施时,在本发明实施例提供的上述驱动方法中的四个步骤中,第一初始化阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号;第五扫描信号端提供第二电平信号,发光控制信号端提供第二电平信号,数据信号端提供参考信号;

[0216] 第一阈值电压提取阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第二电平信号,第四扫描信号端提供第一电平信号;第五扫描信号端提供第二电平信号,发光控制信号端提供第一电平信号,数据信号端提供参考信号;

[0217] 数据写入阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第二电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号;第五扫描信号端提供第一电平信号,发光控制信号端提供第二电平信号,数据信号端提供数据信号;

[0218] 发光阶段,第一扫描信号端提供第二电平信号,第二扫描信号端提供第二电平信号,第三扫描信号端提供第二电平信号,第四扫描信号端提供第二电平信号;第五扫描信号端提供第二电平信号,发光控制信号端提供第一电平信号。

[0219] 具体地,在本发明实施例提供的上述驱动方法中,在外部补偿模块包括第二比较器时,在第一阈值电压提取阶段和数据写入阶段之间,驱动方法还包括:至少一个循环阶段;循环阶段直至第二比较器输出标准阈值电压为止;循环阶段包括:阈值电压修正阶段、第二初始化阶段和第二阈值电压提取阶段;其中,

[0220] 阈值电压修正阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第二电平信号,第三扫描信号端提供第二电平信号;第四扫描信号端提供第二电平信号;第五扫描信号端提供第一电平信号;发光控制信号端提供第二电平信号,数据信号端提供参考信号;

[0221] 第二初始化阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第一电平信号,第四扫描信号端提供第二电平信号;第五扫描信号端提供第二电平信号;发光控制信号端提供第二电平信号,数据信号端提供参考信号;

[0222] 第二阈值电压提取阶段,第一扫描信号端提供第一电平信号,第二扫描信号端提供第一电平信号,第三扫描信号端提供第二电平信号;第四扫描信号端提供第一电平信号;第五扫描信号端提供第二电平信号;发光控制信号端提供第一电平信号,数据信号端提供参考信号。

[0223] 基于同一发明构思,本发明实施例还提供了一种显示装置,可以包括:一种电致发光显示面板;该电致发光显示面板可以包括:呈阵列排布的多个如本发明实施例提供的上述像素电路,如图16和图17所示;并且,该电致发光显示面板解决问题的原理与前述像素电

路相似,因此该电致发光显示面板的实施可以参见前述像素电路的实施,重复之处在此不再赘述。此外,该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置的实施可以参见电致发光显示面板的实施,重复之处不再赘述。

[0224] 在具体实施时,在本发明实施例提供的上述显示装置中,在图16所示的电致发光显示面板的剖视图中,电致发光显示面板包括相对而置的阵列基板10和盖板20,在阵列基板10面向盖板20的一侧设置有呈阵列排布的多个像素电路A;具体的俯视图如图17所示,图中仅示出了阵列基板10和呈阵列排布的多个像素电路A,且像素电路A的个数并不限于图17中所示的12个,在此不作限定。

[0225] 本发明实施例提供了一种像素电路、其驱动方法、电致发光显示面板及显示装置,该像素电路包括:初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管,且驱动晶体管为双栅晶体管,双栅晶体管的第二栅极通过开关控制模块与外部补偿模块电连接;外部补偿模块在开关控制模块的控制下,首先采集第三节点的电压,然后对第二节点提供补偿电压,实现对双栅晶体管的阈值电压的调节,可使得双栅晶体管的阈值电压更接近标准阈值电压,使发光二极管在发光时的电流与阈值电压无关,不仅避免了因阈值电压的漂移而影响电流的大小,同时消除了残像,提高显示画面的质量。

[0226] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

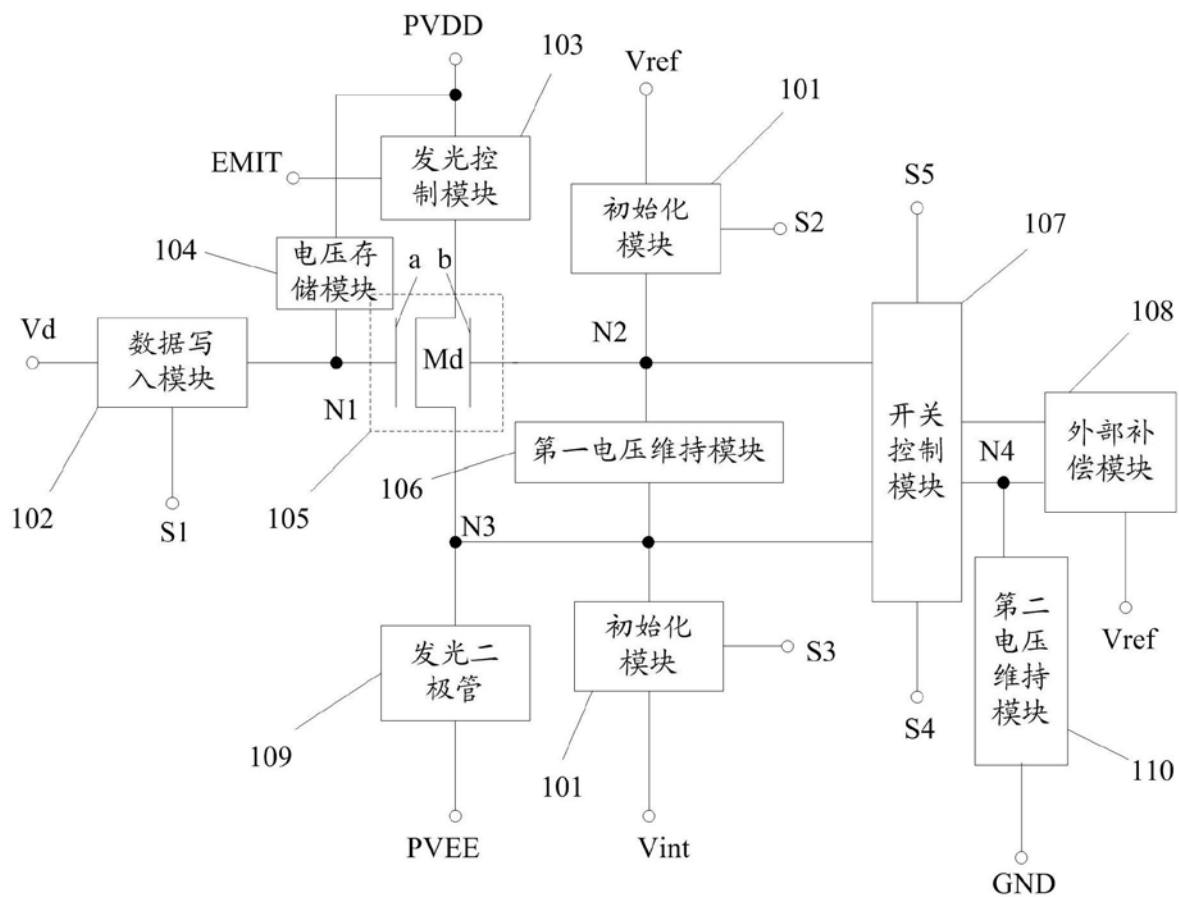


图1

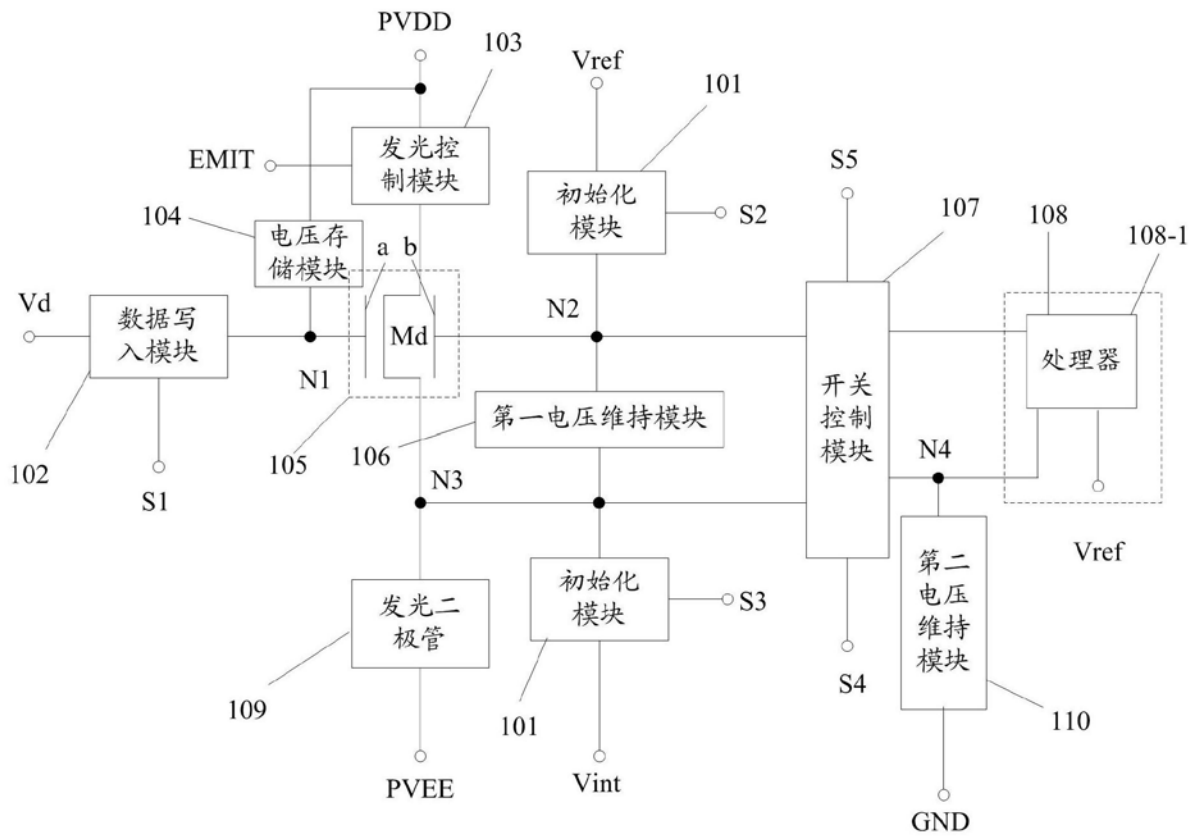


图2

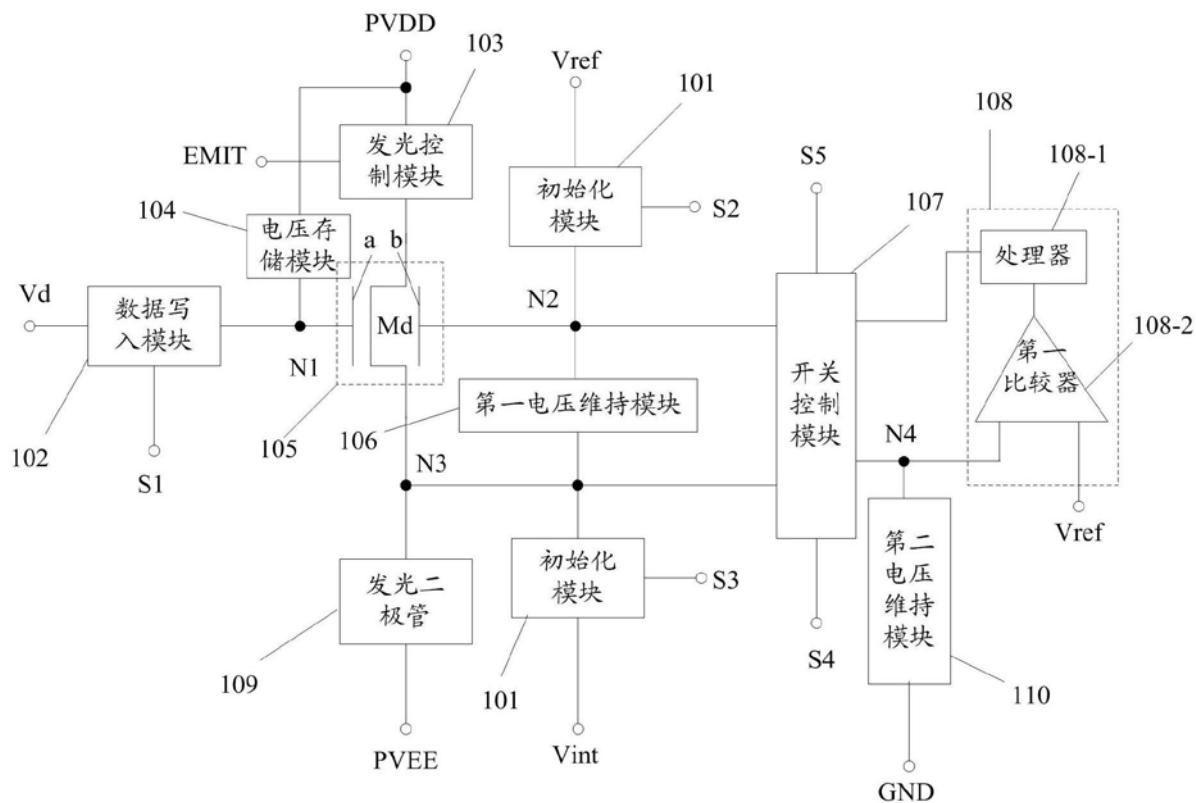


图3

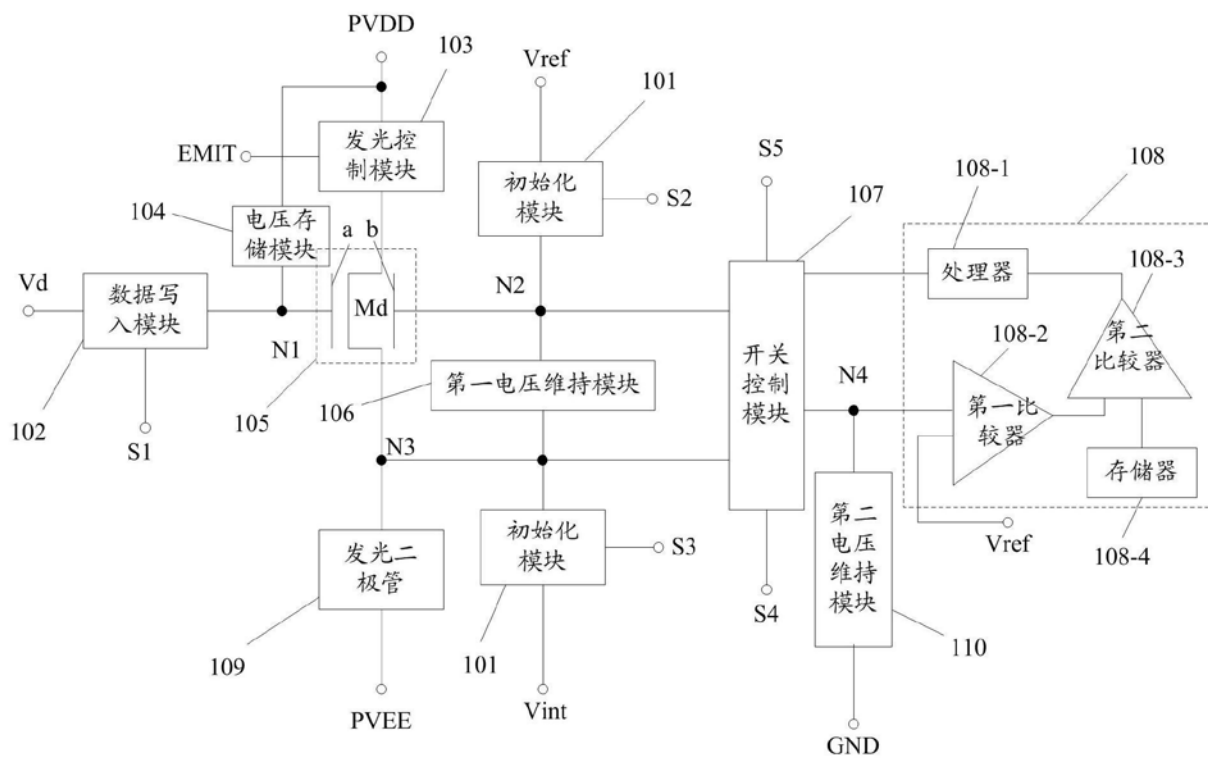


图4

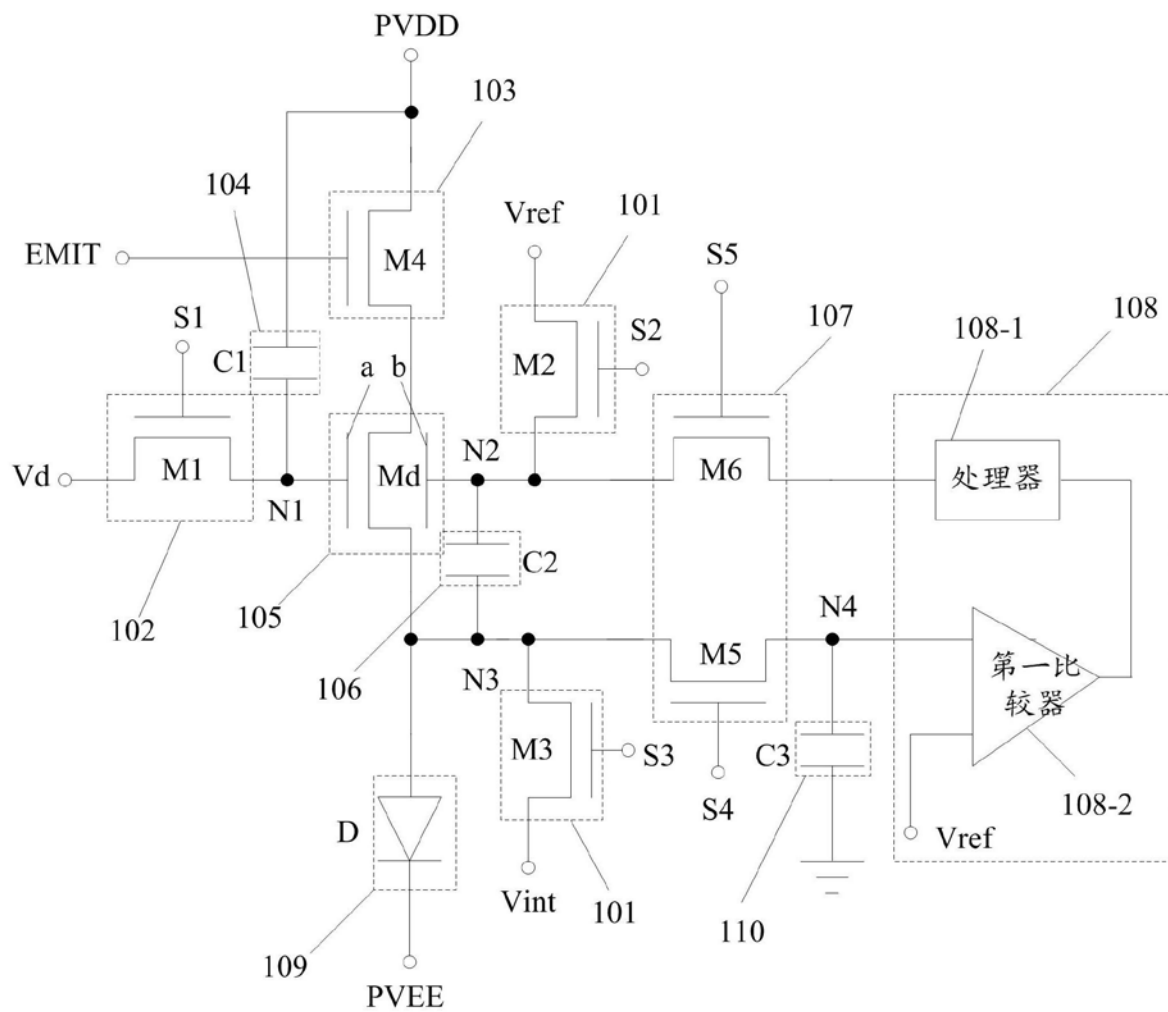


图6

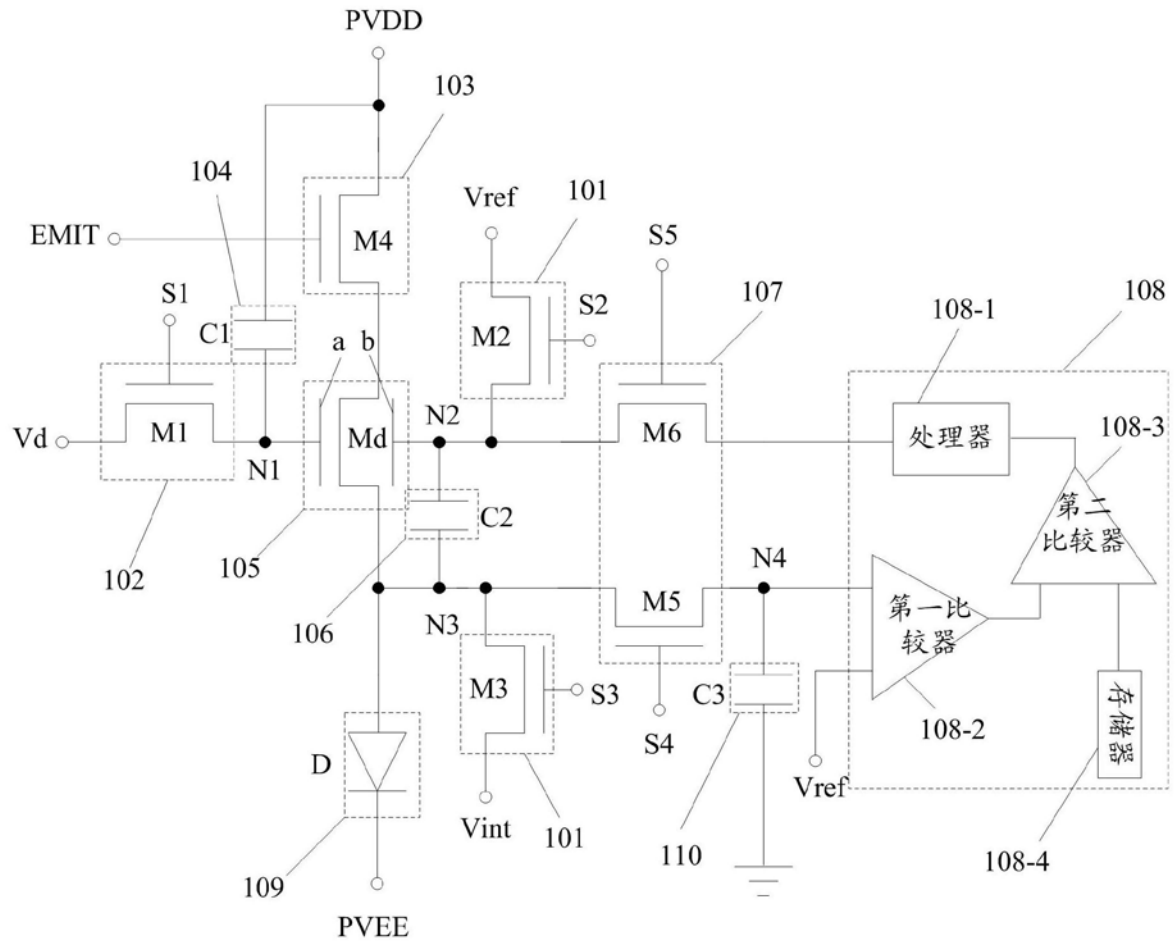


图7

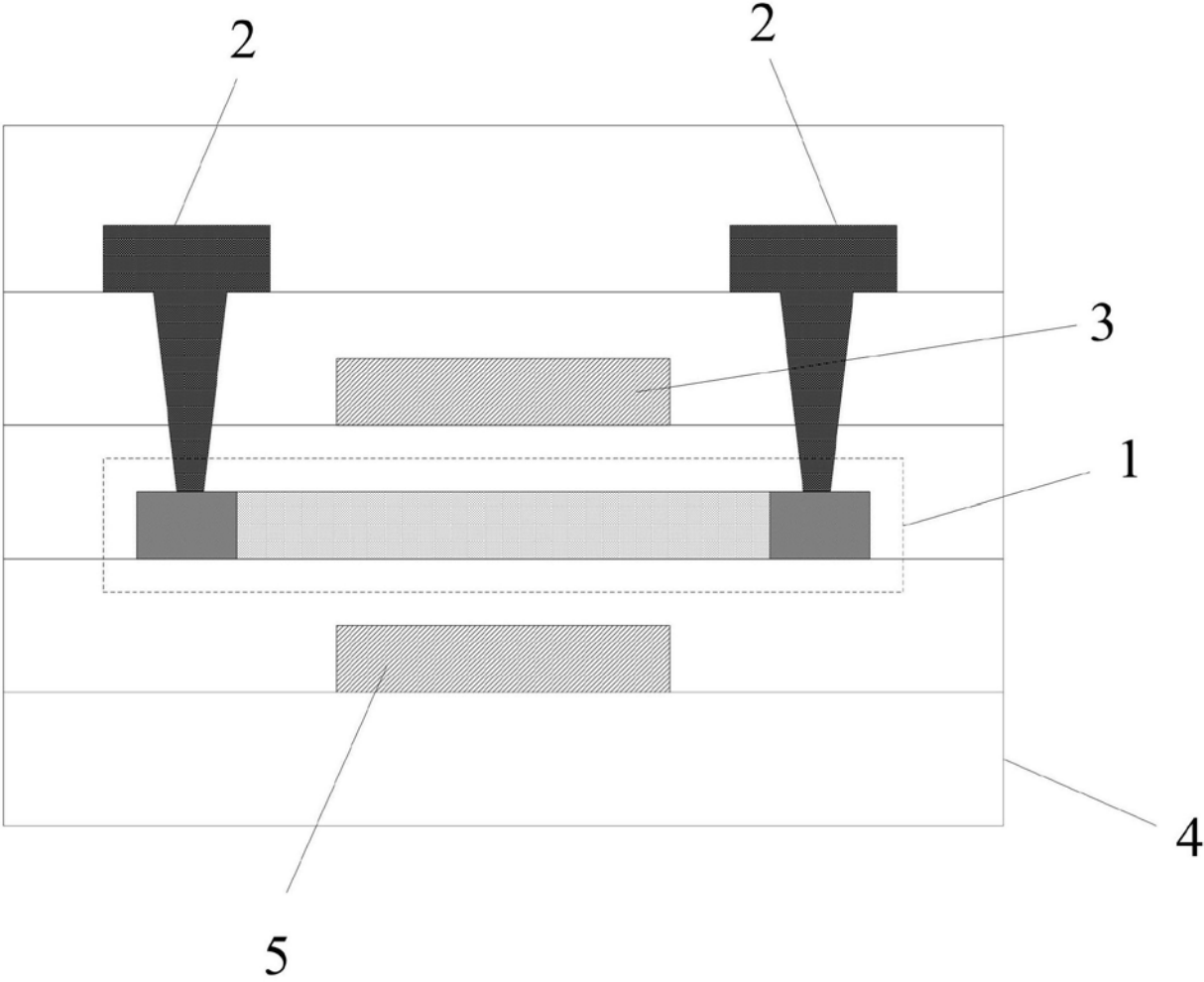


图8

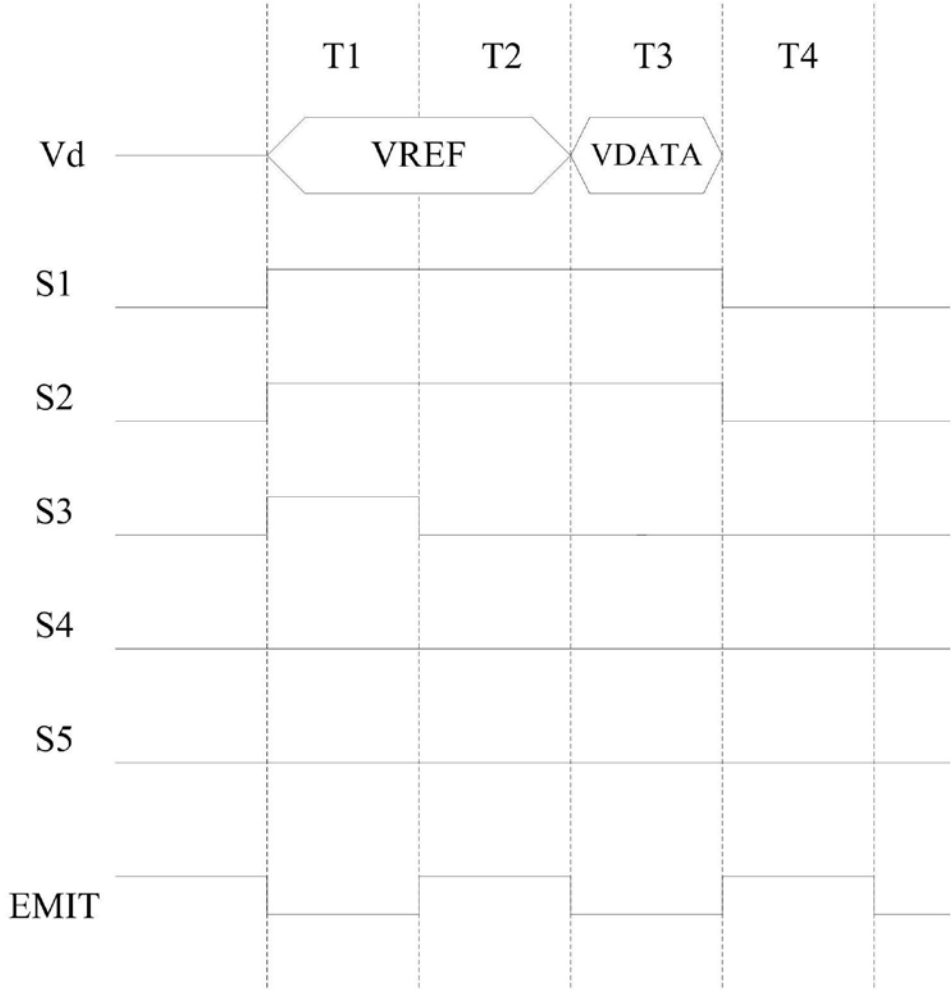


图9



图10



图11

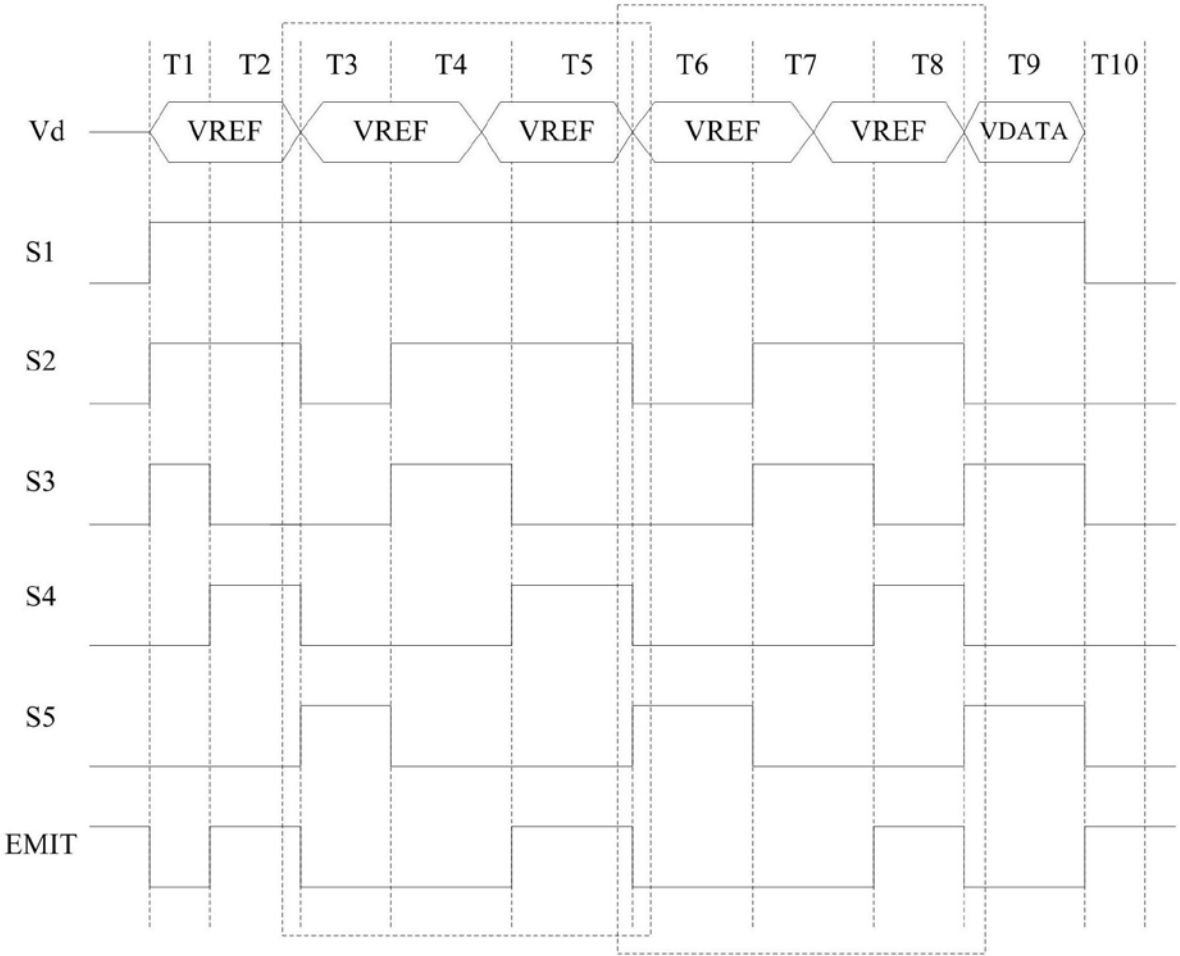


图12

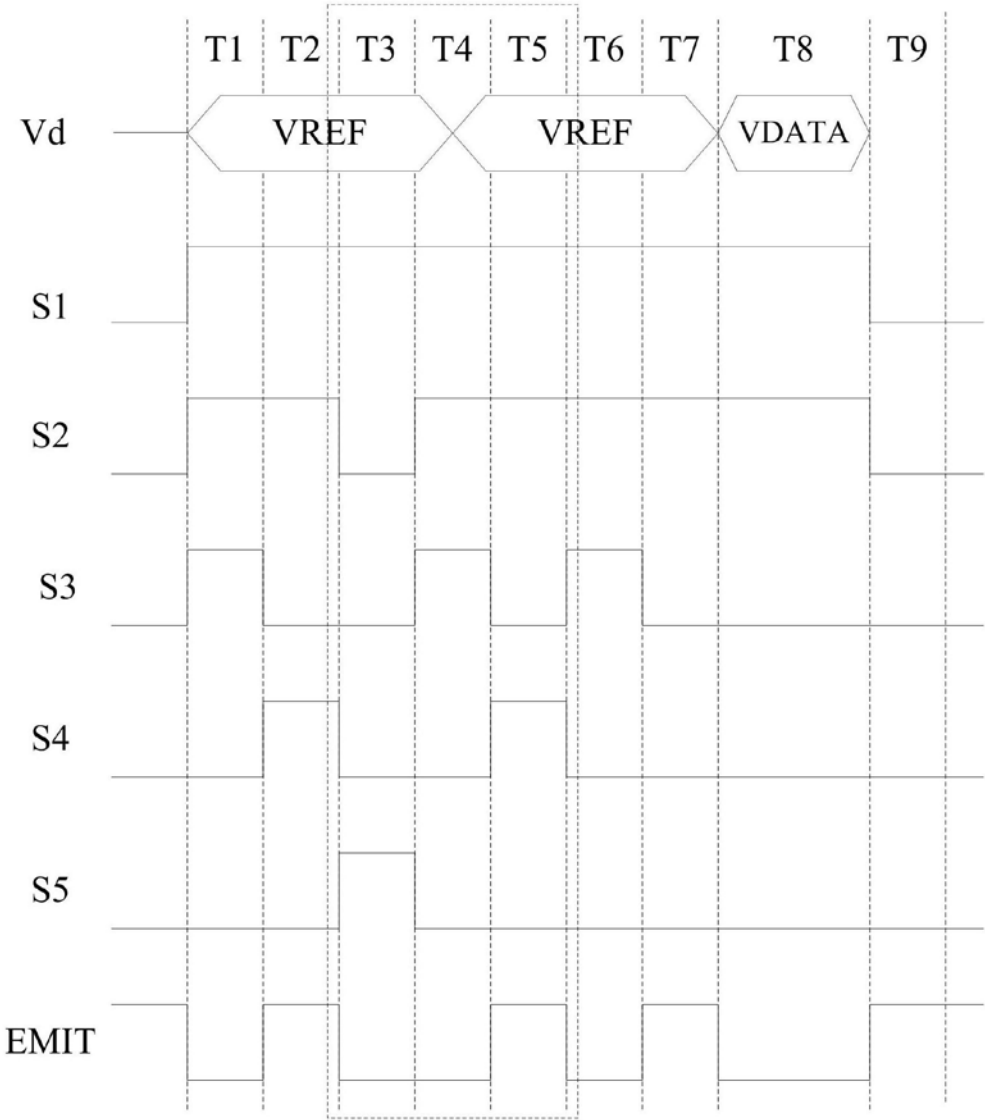


图13

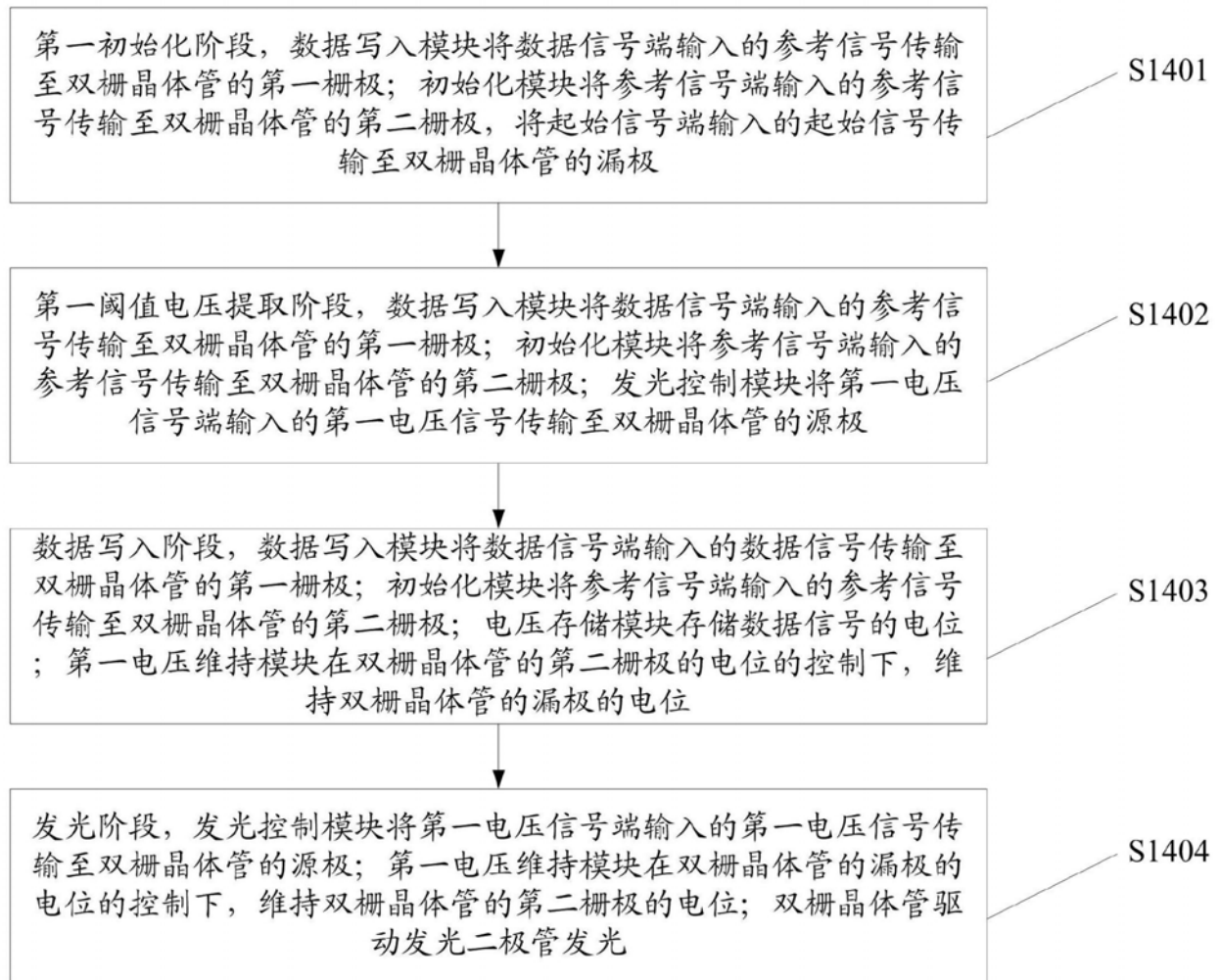


图14

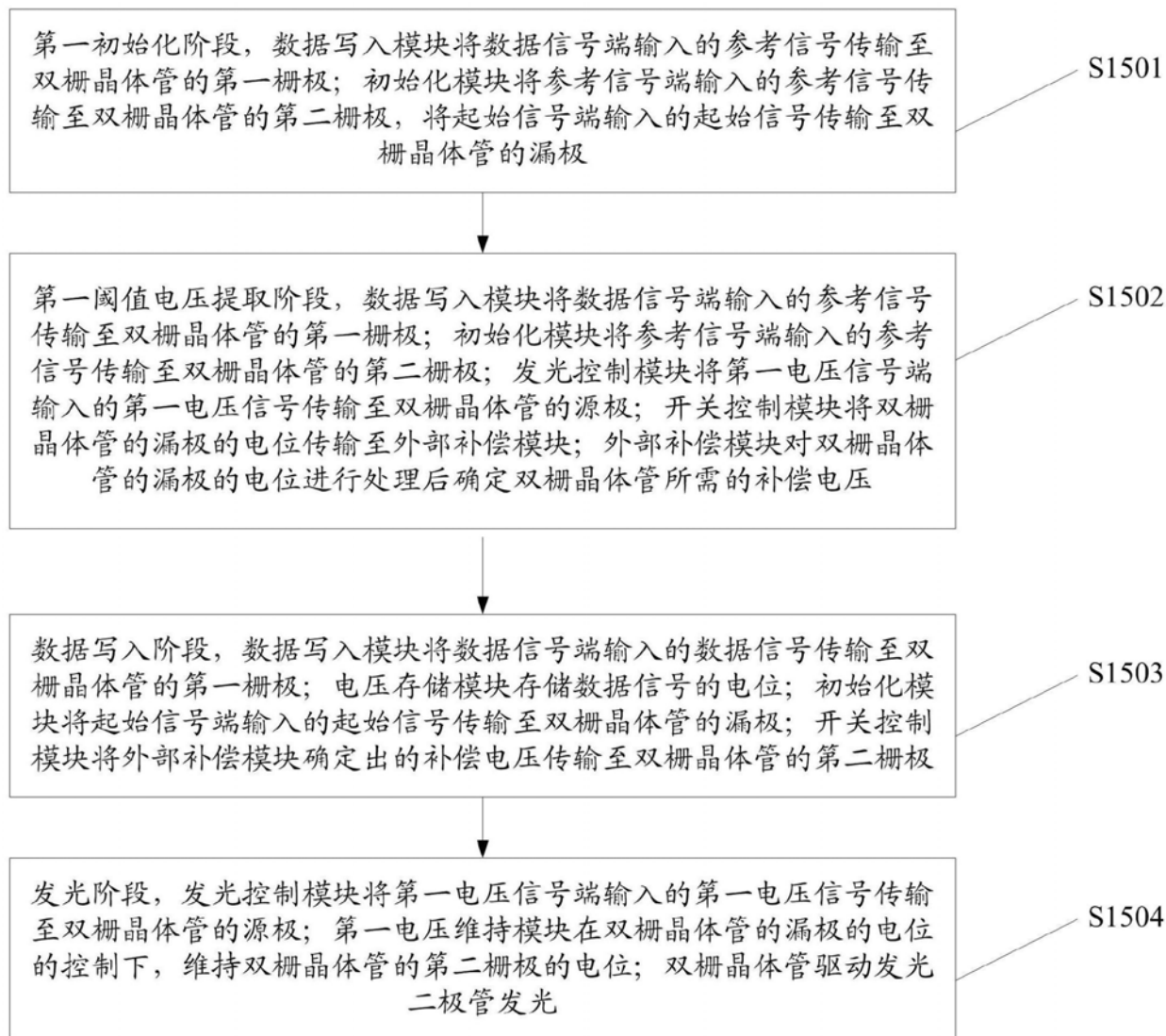


图15

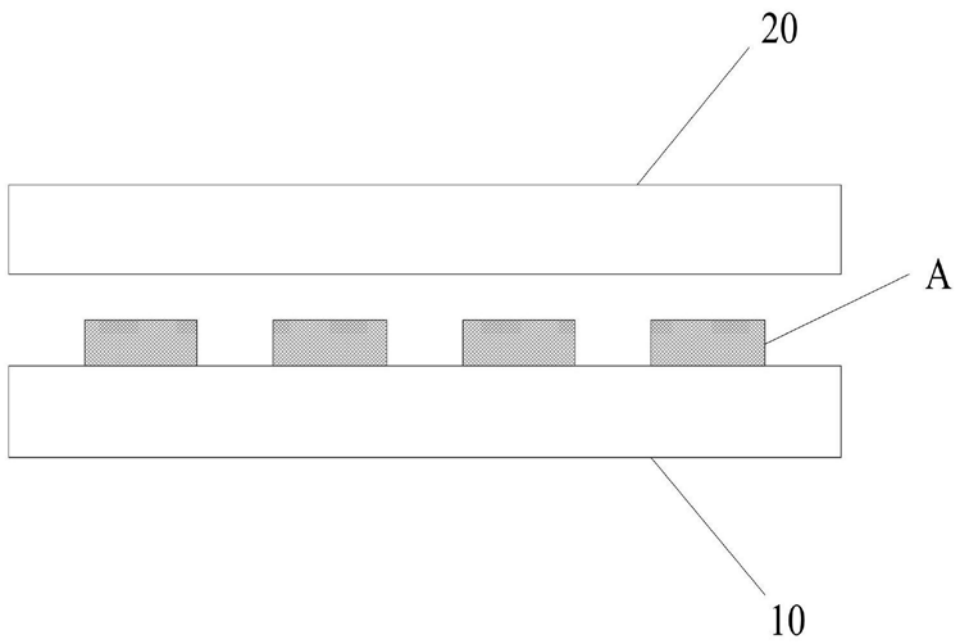


图16

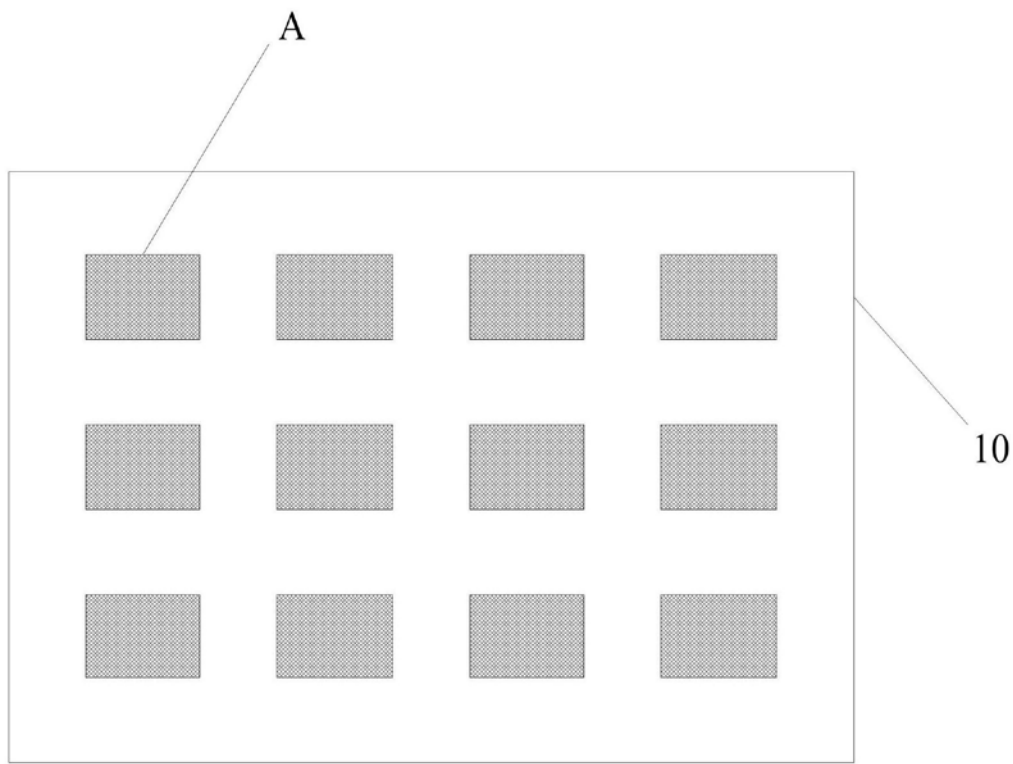


图17

专利名称(译)	像素电路、其驱动方法、电致发光显示面板及显示装置		
公开(公告)号	CN107358916B	公开(公告)日	2020-01-14
申请号	CN2017110697141.7	申请日	2017-08-15
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	朱仁远 高娅娜 李玥 陈泽源		
发明人	朱仁远 高娅娜 李玥 陈泽源		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2320/0257 G09G3/2088 G09G3/3233 G09G2300/043 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/043 H01L27/1214 H01L27/3262 H01L29/78648 G09G3/3258 G09G2320/045 H01L27/124 H01L27/1255 H01L27/3265 H01L27/3276		
代理人(译)	黄志华		
审查员(译)	潘佳丽		
其他公开文献	CN107358916A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、其驱动方法、电致发光显示面板及显示装置，该像素电路包括：初始化模块、数据写入模块、发光控制模块、电压存储模块、驱动晶体管、第一电压维持模块、开关控制模块、外部补偿模块和发光二极管，且驱动晶体管为双栅晶体管，双栅晶体管的第二栅极通过开关控制模块与外部补偿模块电连接；外部补偿模块在开关控制模块的控制下，首先采集第三节点的电压，然后对第二节点提供补偿电压，实现对双栅晶体管的阈值电压的调节，可使得双栅晶体管的阈值电压更接近标准阈值电压，使发光二极管在发光时的电流与阈值电压无关，不仅避免了因阈值电压的漂移而影响电流的大小，同时消除了残像，提高显示画面的质量。

