



(12)发明专利申请

(10)申请公布号 CN 107103878 A

(43)申请公布日 2017.08.29

(21)申请号 201710385243.5

(22)申请日 2017.05.26

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509

(72)发明人 向东旭 李玥 高娅娜 陈泽源

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3208(2016.01)

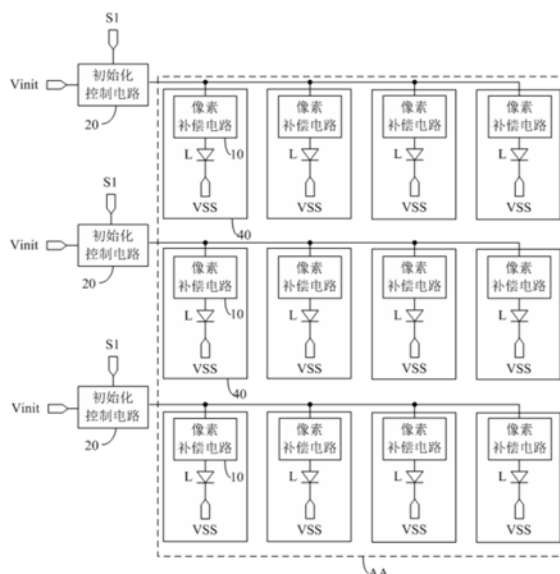
权利要求书3页 说明书18页 附图13页

(54)发明名称

阵列基板、其驱动方法、有机发光显示面板及显示装置

(57)摘要

本发明公开了一种阵列基板、其驱动方法、有机发光显示面板及显示装置,包括:多个发光器件、与各发光器件连接的像素补偿电路以及位于阵列基板的周边区域的多个初始化控制电路;每一行中所有的像素补偿电路共用一个初始化控制电路,可以简化各像素补偿电路的结构以及降低显示区域中像素补偿电路的占用面积。并且每一行所有像素补偿电路中驱动晶体管的第一极与共用的初始化控制电路相连;初始化控制电路用于在第一扫描信号端的控制下将初始化信号端的信号提供给连接的各驱动晶体管的第一极,可以避免驱动晶体管的第一极长期处于同一偏压下,可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率,提高显示的稳定性。



1. 一种阵列基板, 包括: 多个发光器件以及与各所述发光器件连接的像素补偿电路; 所述像素补偿电路包括驱动晶体管; 其特征在于, 所述阵列基板还包括: 位于所述阵列基板的周边区域的多个初始化控制电路; 其中, 一行像素补偿电路共用一个初始化控制电路, 并且一行像素补偿电路中驱动晶体管的第一极与共用的所述初始化控制电路相连, 各所述驱动晶体管的第二极与所述发光器件一一对应连接;

所述初始化控制电路用于在第一扫描信号端的控制下将初始化信号端的信号提供给连接的各驱动晶体管的第一极。

2. 如权利要求1所述的阵列基板, 其特征在于, 所述阵列基板还包括: 多个电压控制电路; 所述电压控制电路与所述像素补偿电路的驱动晶体管的第一极对应连接, 用于在发光控制信号端的控制下将第一电源端的信号提供给对应连接的驱动晶体管的第一极, 对对应连接的像素补偿电路进行充电或控制对应连接的像素补偿电路驱动连接的发光器件发光。

3. 如权利要求2所述的阵列基板, 其特征在于, 所述阵列基板还包括: 多个像素单元, 每个像素单元包括一个所述发光器件与一个所述像素补偿电路; 每个所述像素补偿电路分别一一对应连接一个所述电压控制电路, 且所述电压控制电路位于连接的像素补偿电路所在的像素单元内。

4. 如权利要求2所述的阵列基板, 其特征在于, 同一行中相邻的至少两个所述像素补偿电路与同一个所述电压控制电路连接。

5. 如权利要求4所述的阵列基板, 其特征在于, 所述阵列基板还包括: 多个像素单元, 每个像素单元包括一个所述发光器件与一个所述像素补偿电路; 同一行中相邻的两个所述像素单元中的所述像素补偿电路与同一个所述电压控制电路连接, 且所述电压控制电路位于连接的两个像素补偿电路所在的像素单元之间; 或者,

同一行中的所述像素补偿电路均与同一个所述电压控制电路连接, 且所述电压控制电路位于所述阵列基板的周边区域。

6. 如权利要求1-5任一项所述的阵列基板, 其特征在于, 所述初始化控制电路包括: 第一开关晶体管; 其中,

所述第一开关晶体管的控制极与所述第一扫描信号端相连, 第一极与所述初始化信号端相连, 第二极与对应行中的各所述像素补偿电路的驱动晶体管的第一极相连。

7. 如权利要求2-5任一项所述的阵列基板, 其特征在于, 所述电压控制电路包括: 第二开关晶体管; 其中,

所述第二开关晶体管的控制极与所述发光控制信号端相连, 第一极与所述第一电源端相连, 第二极与所述电压控制电路连接的像素补偿电路中的驱动晶体管的第一极相连。

8. 如权利要求2-5任一项所述的阵列基板, 其特征在于, 所述像素补偿电路还包括: 第一数据写入模块、分压模块、第一存储模块; 其中, 所述驱动晶体管的第二极与对应的发光器件的第一端相连, 所述发光器件的第二端与第二电源端相连;

所述第一数据写入模块分别与第二扫描信号端、数据信号端以及所述驱动晶体管的控制极相连, 用于在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;

所述第一存储模块分别与所述驱动晶体管的控制极以及所述驱动晶体管的第二极相连, 用于在所述驱动晶体管的控制极的信号与所述驱动晶体管的第二极的信号控制下充电

或放电,以及在所述驱动晶体管的第二极或控制极处于浮接状态时保持所述驱动晶体管的控制极与所述驱动晶体管的第二极之间的电压差稳定;

所述分压模块分别与所述第一电源端以及所述驱动晶体管的第二极相连,用于对所述驱动晶体管的第二极的信号电压进行分压。

9.如权利要求8所述的阵列基板,其特征在于,所述第一数据写入模块包括:第三开关晶体管;其中,所述第三开关晶体管的控制极与所述第二扫描信号端相连,所述第三开关晶体管的第一极与所述数据信号端相连,所述第三开关晶体管的第二极与所述驱动晶体管的控制极相连;

所述第一存储模块包括:第一电容;其中,所述第一电容的第一端与所述驱动晶体管的控制极相连,所述第一电容的第二端与所述驱动晶体管的第二极相连;

所述分压模块包括:第二电容;其中,所述第二电容的第一端与所述第一电源端相连,所述第二电容的第二端与所述驱动晶体管的第二极相连。

10.一种有机发光显示面板,其特征在于,包括如权利要求1-9任一项所述的阵列基板。

11.一种显示装置,其特征在于,包括如权利要求10所述的有机发光显示面板。

12.一种用于如权利要求8所述的阵列基板的驱动方法,其特征在于,包括:初始化阶段、阈值补偿阶段、数据写入阶段以及发光阶段;其中,

在所述初始化阶段,所述初始化控制电路在所述第一扫描信号端的控制下将所述初始化信号端的信号提供给连接的驱动晶体管的第一极;所述第一数据写入模块在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;所述驱动晶体管在其控制极与第一极的信号的控制下导通,对所述第一存储模块进行放电;

在所述阈值补偿阶段,所述电压控制电路在所述发光控制信号端的控制下将所述第一电源端的信号提供给对应连接的像素补偿电路中的驱动晶体管的第一极;所述第一数据写入模块在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;所述驱动晶体管在其控制极与第一极的信号的控制下导通,对所述第一存储模块进行充电;

在所述数据写入阶段,所述第一数据写入模块在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;所述第一存储模块在所述驱动晶体管的第二极处于浮接状态时,保持所述驱动晶体管的控制极与所述驱动晶体管的第二极之间的电压差稳定;所述分压模块对所述驱动晶体管的第二极的信号电压进行分压;

在所述发光阶段,所述电压控制电路在所述发光控制信号端的控制下将所述第一电源端的信号提供给连接的驱动晶体管的第一极;所述第一存储模块在所述驱动晶体管的控制极处于浮接状态时,保持所述驱动晶体管的控制极与所述驱动晶体管的第二极之间的电压差稳定;所述驱动晶体管在其控制极与第一极的信号的控制下导通,驱动连接的发光器件发光。

13.如权利要求12所述的方法,其特征在于,所述电压控制电路将第一电源端的信号提供给一一对应连接的像素补偿电路的驱动晶体管的第一极。

14.如权利要求12所述的方法,其特征在于,所述电压控制电路将第一电源端的信号提供给对应的同一行中相邻的至少两个所述像素补偿电路的驱动晶体管的第一极。

15.如权利要求14所述的方法,其特征在于,所述电压控制电路将第一电源端的信号提

供给所述同一行中所有所述像素补偿电路的驱动晶体管的第一极。

阵列基板、其驱动方法、有机发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板、其驱动方法、有机发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今平板显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前,在手机、平板电脑、数码相机等显示领域,OLED显示器已经开始取代传统的LCD显示器。

[0003] 与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制其发光。一般通过OLED显示器中像素驱动电路的驱动晶体管来驱动OLED发光。其中,驱动晶体管工作时,由于驱动晶体管内部存在缺陷态以及驱动晶体管大部分时间处于工作状态,因此在驱动晶体管的源极长时间处于同一偏压下时,其阈值电压漂移以及迁移率变化会逐渐加重,导致驱动晶体管的特性漂移,从而导致显示异常。进而影响显示器的稳定性。

发明内容

[0004] 本发明实施例提供一种阵列基板、其驱动方法、有机发光显示面板及显示装置,用于解决现有技术中由于驱动晶体管的源极长时间处于同一偏压下,造成驱动晶体管特性漂移,导致显示异常以及影响显示的稳定性的问题。

[0005] 因此,本发明实施例提供了一种阵列基板,包括:多个发光器件以及与各所述发光器件连接的像素补偿电路;所述像素补偿电路包括驱动晶体管;所述阵列基板还包括:位于所述阵列基板的周边区域的多个初始化控制电路;其中,一行像素补偿电路共用一个初始化控制电路,并且一行像素补偿电路中驱动晶体管的第一极与共用的所述初始化控制电路相连,各所述驱动晶体管的第二极与所述发光器件一一对应连接;

[0006] 所述初始化控制电路用于在第一扫描信号端的控制下将初始化信号端的信号提供给连接的各驱动晶体管的第一极。

[0007] 优选地,在本发明实施例提供的上述阵列基板中,所述阵列基板还包括:多个电压控制电路;所述电压控制电路与所述像素补偿电路的驱动晶体管的第一极对应连接,用于在发光控制信号端的控制下将第一电源端的信号提供给对应连接的驱动晶体管的第一极,对对应连接的像素补偿电路进行充电或控制对应连接的像素补偿电路驱动连接的发光器件发光。

[0008] 优选地,在本发明实施例提供的上述阵列基板中,所述阵列基板还包括:多个像素单元,每个像素单元包括一个所述发光器件与一个所述像素补偿电路;每个所述像素补偿电路分别一一对应连接一个所述电压控制电路,且所述电压控制电路位于连接的像素补偿电路所在的像素单元内。

[0009] 优选地,在本发明实施例提供的上述阵列基板中,同一行中相邻的至少两个所述

像素补偿电路与同一个所述电压控制电路连接。

[0010] 优选地,在本发明实施例提供的上述阵列基板中,所述阵列基板还包括:多个像素单元,每个像素单元包括一个所述发光器件与一个所述像素补偿电路;同一行中相邻的两个所述像素单元中的所述像素补偿电路与同一个所述电压控制电路连接,且所述电压控制电路位于连接的两个像素补偿电路所在的像素单元之间;或者,

[0011] 同一行中的所述像素补偿电路均与同一个所述电压控制电路连接,且所述电压控制电路位于所述阵列基板的周边区域。

[0012] 优选地,在本发明实施例提供的上述阵列基板中,所述初始化控制电路包括:第一开关晶体管;其中,

[0013] 所述第一开关晶体管的控制极与所述第一扫描信号端相连,第一极与所述初始化信号端相连,第二极与对应行中的各所述像素补偿电路的驱动晶体管的第一极相连。

[0014] 优选地,在本发明实施例提供的上述阵列基板中,所述电压控制电路包括:第二开关晶体管;其中,

[0015] 所述第二开关晶体管的控制极与所述发光控制信号端相连,第一极与所述第一电源端相连,第二极与所述电压控制电路连接的像素补偿电路中的驱动晶体管的第一极相连。

[0016] 优选地,在本发明实施例提供的上述阵列基板中,所述像素补偿电路还包括:第一数据写入模块、分压模块、第一存储模块;其中,所述驱动晶体管的第二极与对应的发光器件的第一端相连,所述发光器件的第二端与第二电源端相连;

[0017] 所述第一数据写入模块分别与第二扫描信号端、数据信号端以及所述驱动晶体管的控制极相连,用于在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;

[0018] 所述第一存储模块分别与所述驱动晶体管的控制极以及所述驱动晶体管的第二极相连,用于在所述驱动晶体管的控制极的信号与所述驱动晶体管的第二极的信号控制下充电或放电,以及在所述驱动晶体管的第二极或控制极处于浮接状态时保持所述驱动晶体管的控制极与所述驱动晶体管的第二极之间的电压差稳定;

[0019] 所述分压模块分别与所述第一电源端以及所述驱动晶体管的第二极相连,用于对所述驱动晶体管的第二极的信号的电压进行分压。

[0020] 优选地,在本发明实施例提供的上述阵列基板中,所述第一数据写入模块包括:第三开关晶体管;其中,所述第三开关晶体管的控制极与所述第二扫描信号端相连,所述第三开关晶体管的第一极与所述数据信号端相连,所述第三开关晶体管的第二极与所述驱动晶体管的控制极相连;

[0021] 所述第一存储模块包括:第一电容;其中,所述第一电容的第一端与所述驱动晶体管的控制极相连,所述第一电容的第二端与所述驱动晶体管的第二极相连;

[0022] 所述分压模块包括:第二电容;其中,所述第二电容的第一端与所述第一电源端相连,所述第二电容的第二端与所述驱动晶体管的第二极相连。

[0023] 相应地,本发明实施例还提供了一种有机发光显示面板,包括本发明实施例提供的上述任一种阵列基板。

[0024] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有

机发光显示面板。

[0025] 相应地,本发明实施例还提供了一种用于本发明实施例提供的上述阵列基板的驱动方法,包括:初始化阶段、阈值补偿阶段、数据写入阶段以及发光阶段;其中,

[0026] 在所述初始化阶段,所述初始化控制电路在所述第一扫描信号端的控制下将所述初始化信号端的信号提供给连接的驱动晶体管的第一极;所述第一数据写入模块在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;所述驱动晶体管在其控制极与第一极的信号的控制下导通,对所述第一存储模块进行放电;

[0027] 在所述阈值补偿阶段,所述电压控制电路在所述发光控制信号端的控制下将所述第一电源端的信号提供给对应连接的像素补偿电路中的驱动晶体管的第一极;所述第一数据写入模块在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;所述驱动晶体管在其控制极与第一极的信号的控制下导通,对所述第一存储模块进行充电;

[0028] 在所述数据写入阶段,所述第一数据写入模块在所述第二扫描信号端的控制下将所述数据信号端的信号提供给所述驱动晶体管的控制极;所述第一存储模块在所述驱动晶体管的第二极处于浮接状态时,保持所述驱动晶体管的控制极与所述驱动晶体管的第二极之间的电压差稳定;所述分压模块对所述驱动晶体管的第二极的信号的电压进行分压;

[0029] 在所述发光阶段,所述电压控制电路在所述发光控制信号端的控制下将所述第一电源端的信号提供给连接的驱动晶体管的第一极;所述第一存储模块在所述驱动晶体管的控制极处于浮接状态时,保持所述驱动晶体管的控制极与所述驱动晶体管的第二极之间的电压差稳定;所述驱动晶体管在其控制极与第一极的信号的控制下导通,驱动连接的发光器件发光。

[0030] 优选地,在本发明实施例提供的上述方法中,所述电压控制电路将第一电源端的信号提供给一一对应连接的像素补偿电路的驱动晶体管的第一极。

[0031] 优选地,在本发明实施例提供的上述方法中,所述电压控制电路将第一电源端的信号提供给对应的同一行中相邻的至少两个所述像素补偿电路的驱动晶体管的第一极。

[0032] 优选地,在本发明实施例提供的上述方法中,所述电压控制电路将第一电源端的信号提供给所述同一行中所有所述像素补偿电路的驱动晶体管的第一极。

[0033] 本发明有益效果如下:

[0034] 本发明实施例提供的阵列基板、其驱动方法、有机发光显示面板及显示装置,包括:多个发光器件、与各发光器件连接的像素补偿电路以及位于阵列基板的周边区域的多个初始化控制电路;其中,每一行中所有的像素补偿电路共用一个初始化控制电路,从而可以简化各像素补偿电路的结构以及降低显示区域中像素补偿电路的占用面积。并且每一行所有像素补偿电路中驱动晶体管的第一极与共用的初始化控制电路相连;且初始化控制电路用于在第一扫描信号端的控制下将初始化信号端的信号提供给连接的各驱动晶体管的第一极,可以避免驱动晶体管的第一极长期处于同一偏压下,从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率,进而提高显示的稳定性。

附图说明

[0035] 图1为本发明实施例提供的阵列基板的示意图;

- [0036] 图2a为本发明实施例提供的阵列基板的结构示意图之一；
- [0037] 图2b为本发明实施例提供的阵列基板的结构示意图之二；
- [0038] 图2c为本发明实施例提供的阵列基板的结构示意图之三；
- [0039] 图3a为图2a所示的阵列基板的具体结构示意图；
- [0040] 图3b为图2b所示的阵列基板的具体结构示意图；
- [0041] 图3c为图2c所示的阵列基板的具体结构示意图；
- [0042] 图4为本发明实施例提供的阵列基板的结构示意图之四；
- [0043] 图5a为图3a所示的阵列基板的具体组成结构示意图；
- [0044] 图5b为图3b所示的阵列基板的具体组成结构示意图；
- [0045] 图5c为图3c所示的阵列基板的具体组成结构示意图；
- [0046] 图6a为图4所示的阵列基板的具体组成结构示意图之一；
- [0047] 图6b为图4所示的阵列基板的具体组成结构示意图之二；
- [0048] 图7a分别为图5a至图5c所示的结构对应的时序图；
- [0049] 图7b分别为图6a与图6b所示的结构对应的时序图；
- [0050] 图8a为实施例二中各信号的仿真模拟示意图；
- [0051] 图8b为实施例二中的阈值电压在 -0.5v - 0.5v 之间变化时驱动晶体管的栅极电压的仿真模拟示意图；
- [0052] 图8c为实施例二中的阈值电压在 -0.5v - 0.5v 之间变化时驱动晶体管的漏极电压的仿真模拟示意图；
- [0053] 图9为本发明实施例提供的驱动方法的流程图；
- [0054] 图10为本发明实施例提供的一种显示装置。

具体实施方式

[0055] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的阵列基板、其驱动方法、有机发光显示面板及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0056] 本发明实施例提供了一种阵列基板,如图1所示,包括:多个发光器件L以及与各发光器件L连接的像素补偿电路10;像素补偿电路10包括驱动晶体管(图1中未示出);阵列基板还包括:位于阵列基板的周边区域的多个初始化控制电路20;其中,一行像素补偿电路10共用一个初始化控制电路20,并且一行像素补偿电路10中驱动晶体管的第一极与共用的初始化控制电路20相连;

[0057] 初始化控制电路20用于在第一扫描信号端S1的控制下将初始化信号端Vinit的信号提供给连接的各驱动晶体管的第一极,各驱动晶体管的第二极与发光器件一一对应连接。

[0058] 本发明实施例提供的上述阵列基板,包括:多个发光器件、与各发光器件连接的像素补偿电路以及位于阵列基板的周边区域的多个初始化控制电路;其中,每一行中所有的像素补偿电路共用一个初始化控制电路,从而可以简化各像素补偿电路的结构以及降低显示区域中像素补偿电路的占用面积。并且每一行所有像素补偿电路中驱动晶体管的第一极

与共用的初始化控制电路相连;且初始化控制电路用于在第一扫描信号端的控制下将初始化信号端的信号提供给连接的各驱动晶体管的第一极,可以避免驱动晶体管的第一极长期处于同一偏压下,从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率,进而提高显示的稳定性。

[0059] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图2a至图2c所示,阵列基板还可以包括:多个电压控制电路30;

[0060] 该电压控制电路30与像素补偿电路10的驱动晶体管(图2a至图2c均未示出)的第一极对应连接,用于在发光控制信号端EM的控制下将第一电源端VDD的信号提供给对应连接的驱动晶体管的第一极,对对应连接的像素补偿电路10进行充电或控制对应连接的像素补偿电路10驱动连接的发光器件L发光。这样可以使驱动晶体管的第一极的电压在第一电源端的信号与初始化信号端的信号中进行切换,以使驱动晶体管的特性得到恢复,进一步改善驱动晶体管的特性漂移以及减缓驱动晶体管的衰退速率。

[0061] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图1至图2c所示,阵列基板还可以包括:位于显示区域AA的多个像素单元40,每个像素单元40包括一个发光器件L与一个像素补偿电路10。如图2a所示,每个像素补偿电路10可以分别一一对应连接一个电压控制电路30,且各电压控制电路30位于连接的像素补偿电路10所在的像素单元40内。

[0062] 为了提高像素单元的开口率,在具体实施时,在本发明实施例提供的上述阵列基板中,如图2b与图2c所示,还可以使同一行中相邻的至少两个像素补偿电路10与同一个电压控制电路30连接。具体地,如图2b所示,同一行中相邻的两个像素单元40中的像素补偿电路10与同一个电压控制电路30连接,且该电压控制电路30位于连接的两个像素补偿电路10所在的像素单元40之间。或者,可以使同一行中相邻的三个像素单元中的像素补偿电路与同一个电压控制电路连接,该电压控制电路位于连接的两个像素补偿电路所在像素单元中的任意两个像素单元之间,或者位于连接的两个像素补偿电路所在的像素单元中的一个像素单元之内,在此不作限定。在同一行中相邻四个、五个…像素单元中的像素补偿电路与同一个电压控制电路连接时,依此类推,在此不作赘述。或者,如图2c所示,同一行中的所有像素补偿电路10均与同一个电压控制电路30连接,且该电压控制电路30位于阵列基板的周边区域。这样通过共用电压控制电路可以降低显示区域中像素补偿电路的占用面积。

[0063] 一般地,像素补偿电路具有多种结构,在具体实施时,在本发明实施例提供的上述阵列基板中,如图3a至图3c所示,像素补偿电路还可以包括:第一数据写入模块11、分压模块12、第一存储模块13;其中,驱动晶体管M0的第一极S与对应的初始化控制电路20相连,并且驱动晶体管M0的第一极S还与对应的电压控制电路30相连,驱动晶体管M0的第二极D与对应的发光器件L的第一端相连,所述发光器件L的第二端与第二电源端VSS相连;

[0064] 第一数据写入模块11分别与第二扫描信号端S2、数据信号端Data以及驱动晶体管M0的控制极G相连,用于在第二扫描信号端S2的控制下将数据信号端Data的信号提供给驱动晶体管M0的控制极G;

[0065] 第一存储模块13分别与驱动晶体管M0的控制极G以及驱动晶体管M0的第二极D相连,用于在驱动晶体管M0的控制极G的信号与驱动晶体管M0的第二极D的信号控制下充电或放电,以及在驱动晶体管M0的第二极D或控制极G处于浮接状态时保持驱动晶体管M0的控制极G与驱动晶体管M0的第二极D之间的电压差稳定;

[0066] 分压模块12分别与第一电源端VDD以及驱动晶体管M0的第二极D相连,用于对驱动晶体管M0的第二极D的信号的电压进行分压。

[0067] 本发明实施例提供的上述阵列基板,通过初始化控制电路、电压控制电路、第一数据写入模块、分压模块、第一存储模块以及驱动晶体管的相互配合,可以通过初始化控制电路与电压控制电路在不同时刻向驱动晶体管的第一极输入不同的电压,可以避免驱动晶体管长期处于同一偏压下,从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率,进而提高显示的稳定性。并且通过上述各电路与模块的相互配合,可以使驱动晶体管驱动连接的发光器件发光的工作电流与该驱动晶体管的阈值电压无关,从而可以实现补偿驱动晶体管的阈值电压漂移的效果,进而进一步避免由于驱动晶体管的阈值电压的漂移对显示的不利影响。

[0068] 或者,如图4所示,像素补偿电路还可以包括:第二数据写入模块11'、第二存储模块12'、导通控制模块13'以及电压输入模块14';其中,

[0069] 所述驱动晶体管M0的第一极S分别与对应的发光器件L的第一端以及所述像素补偿电路对应的初始化控制电路20相连,所述发光器件L的第二端与第二电源端VSS相连;

[0070] 所述第二数据写入模块11'分别与第三扫描信号端S3、数据信号端Data以及第一节点A相连,用于在所述第三扫描信号端S3的控制下将所述数据信号端Data的信号提供给所述第一节点A;其中,第一节点A位于第二数据写入模块11'与第二存储模块12'的连接线上;

[0071] 所述导通控制模块13'分别与所述第一扫描信号端S1、所述驱动晶体管M0的控制极G、所述驱动晶体管M0的第一极S、所述驱动晶体管M0的第二极D以及所述第一节点A相连,用于在所述第一扫描信号端S1的控制下导通所述驱动晶体管M0的第二极D与所述第一节点A,以及导通所述驱动晶体管M0的控制极G与其第一极S;

[0072] 所述第二存储模块12'分别与所述第一节点A以及所述驱动晶体管M0的控制极G相连,用于在所述第一节点A的信号与所述驱动晶体管M0的控制极G的信号的控制下充电或放电,以及在所述驱动晶体管M0的控制极处于浮接状态时保持所述第一节点A与所述驱动晶体管M0的控制极G之间的电压差稳定;

[0073] 电压输入模块14'分别与第一电源端VDD、发光控制信号端EM以及驱动晶体管M0的第二极D相连,用于在发光控制信号端EM的控制下将第一电源端VDD的信号提供给驱动晶体管M0的第二极D。

[0074] 本发明实施例提供的上述阵列基板,通过初始化控制电路、电压输入模块、第二数据写入模块、导通控制模块、第二存储模块以及驱动晶体管的相互配合,可以简化各像素补偿电路的结构以及降低显示区域中像素补偿电路的占用面积。并且还可以使驱动晶体管驱动连接的发光器件发光的工作电流与该驱动晶体管的阈值电压无关,从而可以实现补偿驱动晶体管的阈值电压漂移的效果,进而进一步避免由于驱动晶体管的阈值电压的漂移对显示的不利影响。

[0075] 以上仅是举例说明本发明实施例提供的像素补偿电路的结构,在具体实施时,上述像素补偿电路的结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0076] 在具体实施时,在本发明实施例提供的上述阵列基板中,发光器件一般为有机电

致发光二极管,该有机电致发光二极管的阳极 of 发光器件的第一端,阴极为发光器件的第二端,其在驱动晶体管处于饱和状态时的电流的作用下实现发光。

[0077] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图3a至图3c所示,驱动发光器件L发光的驱动晶体管M0可以为N型晶体管,该N型晶体管的栅极为驱动晶体管M0的控制极G,该N型晶体管的源极为驱动晶体管M0的第一极S,该N型晶体管的漏极为驱动晶体管M0的第二极D。此时驱动晶体管M0驱动连接的发光器件L发光的工作电流是由驱动晶体管M0的源极S流向其漏极D。或者,如图4所示,驱动发光器件L发光的驱动晶体管M0也可以为P型晶体管,该P型晶体管的栅极为驱动晶体管M0的控制极G,该P型晶体管的源极为驱动晶体管M0的第二极D,该P型晶体管的漏极为驱动晶体管M0的第一极S。此时驱动晶体管M0驱动连接的发光器件L发光的工作电流是由驱动晶体管M0的源极S流向其漏极D。

[0078] 在具体实施时,在本发明实施例提供的上述阵列基板中,第一电源端的电压 V_{dd} 为正值,第二电源端的电压 V_{ss} 为负值或接地电压。下面都是以第二电源端的电压 V_{ss} 为接地电压为例进行说明。

[0079] 在具体实施时,在本发明实施例提供的上述阵列基板中,阵列基板还包括多条电压传输信号线,该电压传输信号线用于向第一电源端输入电压信号,并且电压传输信号线采用网状布线方式,以减小IR drop。

[0080] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0081] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图5a至图6b所示,初始化控制电路20具体可以包括:第一开关晶体管M1;其中,

[0082] 第一开关晶体管M1的控制极与第一扫描信号端S1相连,第一极与初始化信号端Vinit相连,第二极与对应行中的各像素补偿电路的驱动晶体管M0的第一极S相连。

[0083] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图5a至图5c所示,第一开关晶体管M1可以为N型晶体管。或者,如图6a与图6b所示,第一开关晶体管也可以为P型晶体管,在此不作限定。

[0084] 在具体实施时,在本发明实施例提供的上述阵列基板中,第一开关晶体管在第一扫描信号端的信号的控制下处于导通状态时,将初始化信号端的信号提供给连接的各驱动晶体管的第一极。

[0085] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图5a至图5c所示,电压控制电路30具体可以包括:第二开关晶体管M2;其中,

[0086] 第二开关晶体管M2的控制极与发光控制信号端EM相连,第一极与第一电源端VDD相连,第二极与电压控制电路30连接的像素补偿电路中的驱动晶体管M0的第一极S相连。

[0087] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图5a至图5c所示,第二开关晶体管M2可以为N型晶体管。当然,第二开关晶体管也可以为P型晶体管,在此不作限定。

[0088] 在具体实施时,在本发明实施例提供的上述阵列基板中,第二开关晶体管在发光控制信号端的信号的控制下处于导通状态时,将第一电源端的信号提供给连接的驱动晶体管的第一极。

[0089] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图5a至图5c所示,第一

数据写入模块11具体可以包括：第三开关晶体管M3；其中，

[0090] 第三开关晶体管M3的控制极与第二扫描信号端S2相连，第三开关晶体管M3的第一极与数据信号端Data相连，第三开关晶体管M3的第二极与驱动晶体管M0的控制极G相连。

[0091] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图5a至图5c所示，第三开关晶体管M3可以为N型晶体管。当然，第三开关晶体管也可以为P型晶体管，在此不作限定。

[0092] 在具体实施时，在本发明实施例提供的上述阵列基板中，第三开关晶体管在第二扫描信号端的控制下处于导通状态时，将数据信号端的信号提供给连接的驱动晶体管的控制极。

[0093] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图5a至图5c所示，第一存储模块13具体可以包括：第一电容C1；其中，

[0094] 第一电容C1的第一端与驱动晶体管M0的控制极G相连，第一电容C1的第二端与驱动晶体管M0的第二极D相连。

[0095] 在具体实施时，在本发明实施例提供的上述阵列基板中，第一电容在驱动晶体管的控制极的信号以及驱动晶体管的第二极的信号的控制下进行充电或放电，在驱动晶体管的控制极处于浮接状态时保持驱动晶体管的控制极与驱动晶体管的第二极之间的电压差的稳定，以及在驱动晶体管的第二极处于浮接状态时保持驱动晶体管的控制极与驱动晶体管的第二极之间的电压差的稳定。

[0096] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图5a至图5c所示，分压模块12具体可以包括：第二电容C2；其中，

[0097] 第二电容C2的第一端与第一电源端VDD相连，第二电容C2的第二端与驱动晶体管M0的第二极D相连。

[0098] 在具体实施时，在本发明实施例提供的上述阵列基板中，第二电容可以在第一电源端的信号与驱动晶体管的第二极的信号的控制下进行充电，以通过耦合作用对驱动晶体管的第二极的信号的电压进行分压。

[0099] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图6a与图6b所示，所述第二数据写入模块11' 具体可以包括：第四开关晶体管M4；其中，

[0100] 所述第四开关晶体管M4的控制极与所述第三扫描信号端S3相连，所述第四开关晶体管M4的第一极与所述数据信号端Data相连，所述第四开关晶体管M4的第二极与所述第一节点A相连。

[0101] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图6a与图6b所示，第四开关晶体管M4可以为P型晶体管。当然，第四开关晶体管也可以为N型晶体管，在此不作限定。

[0102] 在具体实施时，在本发明实施例提供的上述阵列基板中，第四开关晶体管在第三扫描信号端的控制下处于导通状态时，将数据信号端的信号提供给第一节点。

[0103] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图6a与图6b所示，导通控制模块13' 具体可以包括：第五开关晶体管M5与第六开关晶体管M6；其中，

[0104] 第五开关晶体管M5的控制极与所述第一扫描信号端S1相连，所述第五开关晶体管M5的第一极与所述驱动晶体管M0的控制极G相连，所述第五开关晶体管M5的第二极与所述

驱动晶体管M0的第一极S相连；

[0105] 第六开关晶体管M6的控制极与所述第一扫描信号端S1相连，所述第六开关晶体管M6的第一极与所述第一节点A相连，所述第六开关晶体管M6的第二极与所述驱动晶体管M0的第二极D相连。

[0106] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图6a与图6b所示，第五开关晶体管M5与第六开关晶体管M6可以为P型晶体管。当然，第五开关晶体管与第六开关晶体管也可以为N型晶体管，在此不作限定。

[0107] 在具体实施时，在本发明实施例提供的上述阵列基板中，第五开关晶体管在第一扫描信号端的控制下处于导通状态时，可以导通驱动晶体管的控制极与驱动晶体管的第一极。第六开关晶体管在第一扫描信号端的控制下处于导通状态时，可以导通驱动晶体管的第二极与第一节点。

[0108] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图6a与图6b所示，电压输入模块14' 具体可以包括：第七开关晶体管M7；其中，

[0109] 第七开关晶体管M7的控制极与发光控制信号端EM相连，第七开关晶体管M7的第一极与第一电源端VDD相连，第七开关晶体管M7的第二极与驱动晶体管M0的第二极D相连。

[0110] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图6a与图6b所示，第七开关晶体管M7可以为P型晶体管。当然，第七开关晶体管也可以为N型晶体管，在此不作限定。

[0111] 在具体实施时，在本发明实施例提供的上述阵列基板中，第七开关晶体管在发光控制信号端的控制下处于导通状态时，将第一电源端的信号提供给驱动晶体管的第二极。

[0112] 在具体实施时，在本发明实施例提供的上述阵列基板中，如图6a所示，所述第二存储模块12' 具体可以包括：第三电容C3；其中，

[0113] 所述第三电容C3的第一端与所述第一节点A相连，所述第三电容C3的第二端与所述驱动晶体管M0的控制极G相连。

[0114] 在具体实施时，在本发明实施例提供的上述阵列基板中，第三电容在第一节点的信号与驱动晶体管的控制极的信号的控制下进行充电或放电，以及在驱动晶体管的控制极处于浮接状态时保持第一节点与驱动晶体管的控制极之间的电压差稳定。

[0115] 为了使第一节点A的信号稳定，在具体实施时，在本发明实施例提供的上述阵列基板中，如图6b所示，第二存储模块12' 还可以包括：第四电容C4；其中，

[0116] 第四电容C4的第一端与第一电源端VDD相连，第二端与第一节点A相连。

[0117] 在具体实施时，在本发明实施例提供的上述阵列基板中，第四电容可以保持第一节点的信号的电压稳定的变化。

[0118] 以上仅是举例说明本发明实施例提供的阵列基板中各电路以及各模块的具体结构，在具体实施时，上述各电路与各模块的具体结构不限于本发明实施例提供的上述结构，还可以是本领域技术人员可知的其他结构，在此不作限定。

[0119] 较佳地，在具体实施时，本发明实施例提供的上述阵列基板中提到的驱动晶体管和各个开关晶体管可以全部采用N型晶体管设计，或者，驱动晶体管和各个开关晶体管可以全部采用P型晶体管设计，这样可以简化阵列基板的制作工艺流程。

[0120] 在具体实施时，在本发明实施例提供的上述阵列基板中，N型晶体管在高电位作用

下导通,在低电位作用下截止;P型晶体管在高电位作用下截止,在低电位作用下导通。

[0121] 需要说明的是,在本发明实施例提供的上述阵列基板中,上述各驱动晶体管和开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。在具体实施时,上述各开关晶体管的控制极作为其栅极,第一极和第二极根据开关晶体管类型以及信号端的信号的不同,可以将第一极作为其源极或漏极,以及将第二极作为其漏极或源极,在此不作限定。在描述具体实施例时,均是以驱动晶体管和开关晶体管为MOS管为例进行说明的。

[0122] 下面分别以图5a至图5c以及图6b所示的阵列基板中电路的结构为例,结合电路时序图对本发明实施例提供的上述阵列基板的工作过程作以描述。下述描述中以1表示高电位,0表示低电位。需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是在具体实施时施加在各开关晶体管的栅极上的电压。

[0123] 实施例一、

[0124] 图5a中每个像素单元40包括一个像素补偿电路与一个电压控制电路,即每个像素单元40中分别包括3个晶体管与2个电容。以图5a所示的阵列基板中左侧的像素单元40中的电路的结构为例,结合图7a所示的时序图进行说明。具体地,选取如图7a所示的输入时序图中的初始化阶段T1、阈值补偿阶段T2、数据写入阶段T3以及发光阶段T4四个阶段。其中在初始化阶段T1与阈值补偿阶段T2,数据信号端Data输出的信号的电压为 V_{in} ,该 V_{in} 远小于初始化信号端Vinit的信号电压 V_{init} ,即 $V_{in} \ll V_{init}$ 。数据信号端Data至少在数据写入阶段T3输出的信号为具体灰阶电压 V_{data} 的数据信号。

[0125] 在初始化阶段T1, $EM=0$, $S1=1$, $S2=1$ 。

[0126] 由于 $S1=1$,因此第一开关晶体管M1导通。由于 $EM=0$,因此第二开关晶体管M2截止。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第一开关晶体管M1将初始化信号端Vinit的信号提供给驱动晶体管M0的源极S,使驱动晶体管M0的源极S的电压为 V_{init} 。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{in} 。由于 $V_{in} \ll V_{init}$,因此驱动晶体管M0导通以将其源极S的信号提供给其漏极D,使驱动晶体管M0的漏极的电压为 V_{init} ,以对第一电容C1进行放电,以及对连接的发光器件L的阳极进行放电复位,并且还可以释放上一显示帧中驱动晶体管M0的沟道和绝缘层中电荷陷阱捕获的载流子,可以有效缓解驱动晶体管M0的衰减速率。因此,第一电容C1的第一端的电压为 V_{in} ,第二端的电压为 V_{init} ;第二电容C2的第一端的电压为 V_{dd} ,第二端的电压为 V_{init} 。其中,为了避免连接的发光器件L在此阶段发光,因此 V_{init} 与 V_{ss} 需要满足关系: $V_{init}-V_{ss} < V_{th}(L)$;其中, $V_{th}(L)$ 为发光器件L的临界电压。

[0127] 在阈值补偿阶段T2, $EM=1$, $S1=0$, $S2=1$ 。

[0128] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=1$,因此第二开关晶体管M2导通。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{in} 。导通的第二开关晶体管M2将第一电源端VDD的信号提供给连接的驱动晶体管M0的源极S,使第一电源端VDD通过导通的驱动晶体管M0对其漏极D进行充电,直至驱动晶体管M0的漏极D的电压变为: $V_{in}-V_{th}(M0)$ 为止;其中, $V_{th}(M0)$ 为驱动晶体管M0的阈值电压。因此第一电容C1进行充电且其两端的电压差为 $V_{th}(M0)$,从而将驱动晶体管M0的 $V_{th}(M0)$ 进行存储。第二电容C2的第一端的

电压为 V_{dd} ,第二端的电压为 $V_{in}-V_{th}(M0)$ 。

[0129] 在数据写入阶段T3, $EM=0, S1=0, S2=1$ 。

[0130] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=0$,因此第二开关晶体管M2截止。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{data} 。由于驱动晶体管M0的漏极D处于浮接状态,由于第一电容C1的耦合作用以及第二电容C2的分压作用,驱动晶体管M0的漏极D的电压变为: $V_{in}-V_{th}(M0)+\frac{(V_{data}-V_{in})c_1}{c_1+c_2}$;其中 c_1 代表第一电容C1的电容值, c_2 代表第二电容C2的电容值。此时驱动晶体管M0的栅漏电压 $V_{GD}=V_{data}-V_{in}+V_{th}(M0)-\frac{(V_{data}-V_{in})c_1}{c_1+c_2}$ 。并且,驱动晶体管M0在其栅漏电压 V_{GD} 的控制下处于饱和状态。

[0131] 在发光阶段T4, $EM=1, S1=0, S2=0$ 。

[0132] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=1$,因此第二开关晶体管M2导通。由于 $S2=0$,因此第三开关晶体管M3截止。导通的第二开关晶体管M2将第一电源端VDD的信号提供给连接的驱动晶体管M0的源极S,由于驱动晶体管M0在其栅漏电压 V_{GD} 的控制下处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0且用于驱动连接的发光器件L发光的工作电流 I_L 满足公式: $I_L=K[V_{GD}-V_{th}(M0)]^2=K[V_{data}-V_{in}+V_{th}(M0)-\frac{(V_{data}-V_{in})c_1}{c_1+c_2}-V_{th}(M0)]^2$,可以得到 $I_L=K(V_{data}-V_{in})^2(1-\frac{c_1}{c_1+c_2})^2$;其中K为结构参数,相同结构中此数值相对稳定,可以算作常量。

[0133] 在初始化阶段T1之前还可以包括一个初始化准备阶段T0,即 $EM=0, S1=0, S2=0$ 。此阶段中各开关晶体管均截止,以为初始化阶段T1的工作做准备工作。

[0134] 在实施例一中,驱动晶体管的源极在T1至T4阶段可以在初始化信号端的电压 V_{init} 与第一电源端的电压 V_{dd} 下进行切换,可以避免驱动晶体管的源极长期处于同一偏压下,从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率。并且根据上述公式 $I_L=K(V_{data}-V_{in})^2(1-\frac{c_1}{c_1+c_2})^2$,可以看出,驱动发光器件L的工作电流 I_L 仅与数据信号端Data输入的信号的电压 V_{data} 与 V_{in} 、第一电容C1的电容值 c_1 以及第二电容C2的电容值 c_2 有关,因此 I_L 已经不受驱动晶体管M0的阈值电压 $V_{th}(M0)$ 影响,可以解决由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 $V_{th}(M0)$ 漂移对驱动发光器件L的工作电流 I_L 的影响,从而可以进一步保证发光器件L的正常工作,提高显示的稳定性。

[0135] 实施例二、

[0136] 图5b中相邻两个像素单元40中的像素补偿电路共用一个电压控制电路,即每个像素单元40中分别包括2.5个晶体管与2个电容。其中以图5b所示的阵列基板中左侧的像素单元40与右侧的像素单元40中的电路的结构为例,结合图7a所示的时序图进行说明。具体地,选取如图7a所示的输入时序图中的初始化阶段T1、阈值补偿阶段T2、数据写入阶段T3以及发光阶段T4四个阶段。其中在初始化阶段T1与阈值补偿阶段T2,数据信号端Data输出的信号的电压为 V_{in} ,该 V_{in} 远小于初始化信号端 V_{init} 的信号的电压 V_{init} ,即 $V_{in} \ll V_{init}$ 。数据信号端Data至少在数据写入阶段T3输出的信号为具体灰阶电压 V_{data} 的数据信号。下面优先以图5b中左侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容

C2的工作过程进行说明。

[0137] 在初始化阶段T1, $EM=0, S1=1, S2=1$ 。

[0138] 由于 $S1=1$,因此第一开关晶体管M1导通。由于 $EM=0$,因此第二开关晶体管M2截止。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第一开关晶体管M1将初始化信号端Vinit的信号提供给驱动晶体管M0的源极S,使驱动晶体管M0的源极S的电压为 V_{init} 。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{in} 。由于 $V_{in} \ll V_{init}$,因此驱动晶体管M0导通以将其源极S的信号提供给它漏极D,使驱动晶体管M0的漏极的电压为 V_{init} ,以对第一电容C1进行放电,以及对连接的发光器件L的阳极进行放电复位,并且还可以释放上一显示帧中驱动晶体管M0的沟道和绝缘层中电荷陷阱捕获的载流子,可以有效缓解驱动晶体管M0的衰减速率。因此,第一电容C1的第一端的电压为 V_{in} ,第二端的电压为 V_{init} ;第二电容C2的第一端的电压为 V_{dd} ,第二端的电压为 V_{init} 。其中,为了避免连接的发光器件L在此阶段发光,因此 V_{init} 与 V_{ss} 需要满足关系: $V_{init}-V_{ss} < V_{th}(L)$;其中, $V_{th}(L)$ 为发光器件L的临界电压。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0139] 在阈值补偿阶段T2, $EM=1, S1=0, S2=1$ 。

[0140] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=1$,因此第二开关晶体管M2导通。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{in} 。导通的第二开关晶体管M2将第一电源端VDD的信号提供给连接的驱动晶体管M0的源极S,使第一电源端VDD通过导通的驱动晶体管M0对其漏极D进行充电,直至驱动晶体管M0的漏极D的电压变为: $V_{in}-V_{th}(M0)$ 为止;其中, $V_{th}(M0)$ 为驱动晶体管M0的阈值电压。因此第一电容C1进行充电且其两端的电压差为 $V_{th}(M0)$,从而将驱动晶体管M0的 $V_{th}(M0)$ 进行存储。第二电容C2的第一端的电压为 V_{dd} ,第二端的电压为 $V_{in}-V_{th}(M0)$ 。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0141] 在数据写入阶段T3, $EM=0, S1=0, S2=1$ 。

[0142] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=0$,因此第二开关晶体管M2截止。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{data} 。由于驱动晶体管M0的漏极D处于浮接状态,由于第一电容C1的耦合作用以及第二电容C2的分压作用,驱动晶体管M0的漏极D的电压变为: $V_{in}-V_{th}(M0) + \frac{(V_{data}-V_{in})c_1}{c_1+c_2}$;其中 c_1 代表第一电容C1的电容值, c_2 代表第二电容C2的电容值。此时驱动晶体管M0的栅漏电压 $V_{GD} = V_{data} - V_{in} + V_{th}(M0) - \frac{(V_{data}-V_{in})c_1}{c_1+c_2}$ 。并且,驱动晶体管M0在其栅漏电压 V_{GD} 的控制下处于饱和状态。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0143] 在发光阶段T4, $EM=1, S1=0, S2=0$ 。

[0144] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=1$,因此第二开关晶体管M2导通。由于 $S2=0$,因此第三开关晶体管M3截止。导通的第二开关晶体管M2将第一电源端VDD的

信号提供给连接的驱动晶体管M0的源极S,由于驱动晶体管M0在其栅漏电压 V_{GD} 的控制下处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0且用于驱动连接的发光器件L发光的工作电流 I_L 满足公式: $I_L = K [V_{GD} - V_{th}(M0)]^2 = K [V_{data} - V_{in} + V_{th}(M0) - \frac{(V_{data} - V_{in})c_1}{c_1 + c_2} - V_{th}(M0)]^2$,可

以得到 $I_L = K (V_{data} - V_{in})^2 (1 - \frac{c_1}{c_1 + c_2})^2$;其中K为结构参数,相同结构中此数值相对稳定,可以算作常量。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0145] 在初始化阶段T1之前还可以包括一个初始化准备阶段T0,即 $EM=0, S1=0, S2=0$ 。此阶段中各开关晶体管均截止,以为初始化阶段T1的工作做准备工作。

[0146] 在实施例二中,驱动晶体管的源极在T1至T4阶段可以在初始化信号端的电压 V_{init} 与第一电源端的电压 V_{dd} 下进行切换,可以避免驱动晶体管的源极长期处于同一偏压下,从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率。并且根据上述公式 $I_L = K (V_{data} - V_{in})^2 (1 - \frac{c_1}{c_1 + c_2})^2$,可以看出,驱动发光器件L的工作电流 I_L 仅与数据

信号端Data输入的信号的电压 V_{data} 与 V_{in} 、第一电容C1的电容值 c_1 以及第二电容C2的电容值 c_2 有关,因此 I_L 已经不受驱动晶体管M0的阈值电压 $V_{th}(M0)$ 影响,可以解决由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 $V_{th}(M0)$ 漂移对驱动发光器件L的工作电流 I_L 的影响,从而可以进一步保证发光器件L的正常工作,提高显示的稳定性。

[0147] 以图5b所示的结构为例,采用图8a所示的各输入信号的仿真模拟时序图对驱动晶体管M0的阈值电压 $V_{th}(M0)$ 在 $-0.5v-0.5v$ 之间以步长为 $0.2v$ 漂移时,分别对其栅极G与漏极D的电压进行了仿真模拟。在图8a中,纵坐标代表电压,横坐标代表时间,a1代表发光控制信号端EM的信号,a2代表第一扫描信号端S1的信号,a3代表第二扫描信号端S2的信号。在仿真模拟过程中,驱动晶体管M0的栅极G的电压的变化如图8b所示,驱动晶体管M0的漏极D的电压的变化如图8c所示。在图8b中,纵坐标代表电压,横坐标代表时间,b1、b2、b3、b4、b5以及b6分别代表 $V_{th}(M0)$ 漂移 $-0.5v$ 、 $-0.3v$ 、 $-0.1v$ 、 $0.1v$ 、 $0.3v$ 以及 $0.5v$ 时,驱动晶体管M0的栅极G的电压变化曲线。在图8c中,纵坐标代表电压,横坐标代表时间,c1、c2、c3、c4、c5以及c6分别代表 $V_{th}(M0)$ 漂移 $-0.5v$ 、 $-0.3v$ 、 $-0.1v$ 、 $0.1v$ 、 $0.3v$ 以及 $0.5v$ 时,驱动晶体管M0的漏极D电压变化曲线。在图8a至图8c中,竖线h0对应阈值补偿阶段完成的时刻,其中,在图8b中,曲线b1、b2、b3、b4、b5以及b6与竖线h0相交的位置对应的电压分别为 $-1.50v$ 、 $-1.50v$ 、 $-1.50v$ 、 $-1.50v$ 、 $-1.50v$ 以及 $-1.50v$ 。在图8c中,曲线c1、c2、c3、c4、c5以及c6与竖线h0相交的位置对应的电压分别为 -2.62555 、 -2.81661 、 -3.00591 、 -3.19471 、 -3.39343 以及 -3.59896 。因此,在 $V_{th}(M0)$ 从 $-0.5v-0.5v$ 之间以步长 $0.2v$ 漂移仿真模拟时,驱动晶体管M0的栅极G与漏极D之间的电压差,在误差允许范围内也相当于增加 $0.2v$,从而较好的实现了对驱动晶体管M0的阈值电压 $V_{th}(M0)$ 的补偿效果。

[0148] 实施例三、

[0149] 图5c中一行中的所有像素单元40中的像素补偿电路共用一个电压控制电路,即每个像素单元40中分别包括2个晶体管与2个电容。其中仅以一行包括两个像素单元40为例,如图5c所示,且以图5c所示的阵列基板中左侧的像素单元40与右侧的像素单元40中的电路的结构为例,结合图7a所示的时序图进行说明。具体地,选取如图7a所示的输入时序图中的

初始化阶段T1、阈值补偿阶段T2、数据写入阶段T3以及发光阶段T4四个阶段。其中在初始化阶段T1与阈值补偿阶段T2,数据信号端Data输出的信号的电压为 V_{in} ,该 V_{in} 远小于初始化信号端Vinit的信号电压 V_{init} ,即 $V_{in} \ll V_{init}$ 。数据信号端Data至少在数据写入阶段T3输出的信号为具体灰阶电压 V_{data} 的数据信号。下面优先以图5c中左侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程进行说明。

[0150] 在初始化阶段T1, $EM=0, S1=1, S2=1$ 。

[0151] 由于 $S1=1$,因此第一开关晶体管M1导通。由于 $EM=0$,因此第二开关晶体管M2截止。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第一开关晶体管M1将初始化信号端Vinit的信号提供给驱动晶体管M0的源极S,使驱动晶体管M0的源极S的电压为 V_{init} 。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{in} 。由于 $V_{in} \ll V_{init}$,因此驱动晶体管M0导通以将其源极S的信号提供给它漏极D,使驱动晶体管M0的漏极的电压为 V_{init} ,以对第一电容C1进行放电,以及对连接的发光器件L的阳极进行放电复位,并且还可以释放上一显示帧中驱动晶体管M0的沟道和绝缘层中电荷陷阱捕获的载流子,可以有效缓解驱动晶体管M0的衰减速率。因此,第一电容C1的第一端的电压为 V_{in} ,第二端的电压为 V_{init} ;第二电容C2的第一端的电压为 V_{dd} ,第二端的电压为 V_{init} 。其中,为了避免连接的发光器件L在此阶段发光,因此 V_{init} 与 V_{ss} 需要满足关系: $V_{init}-V_{ss} < V_{th}(L)$;其中, $V_{th}(L)$ 为发光器件L的临界电压。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0152] 在阈值补偿阶段T2, $EM=1, S1=0, S2=1$ 。

[0153] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=1$,因此第二开关晶体管M2导通。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{in} 。导通的第二开关晶体管M2将第一电源端VDD的信号提供给连接的驱动晶体管M0的源极S,使第一电源端VDD通过导通的驱动晶体管M0对其漏极D进行充电,直至驱动晶体管M0的漏极D的电压变为: $V_{in}-V_{th}(M0)$ 为止;其中, $V_{th}(M0)$ 为驱动晶体管M0的阈值电压。因此第一电容C1进行充电且其两端的电压差为 $V_{th}(M0)$,从而将驱动晶体管M0的 $V_{th}(M0)$ 进行存储。第二电容C2的第一端的电压为 V_{dd} ,第二端的电压为 $V_{in}-V_{th}(M0)$ 。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0154] 在数据写入阶段T3, $EM=0, S1=0, S2=1$ 。

[0155] 由于 $S1=0$,因此第一开关晶体管M1截止。由于 $EM=0$,因此第二开关晶体管M2截止。由于 $S2=1$,因此第三开关晶体管M3导通。导通的第三开关晶体管M3将数据信号端Data的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为 V_{data} 。由于驱动晶体管M0的漏极D处于浮接状态,由于第一电容C1的耦合作用以及第二电容C2的分压作用,驱动晶体管M0的漏极D的电压变为: $V_{in}-V_{th}(M0) + \frac{(V_{data}-V_{in})c_1}{c_1+c_2}$;其中 c_1 代表第一电容C1的电容值, c_2 代表第二电容C2的电容值。此时驱动晶体管M0的栅漏电压

$V_{GD} = V_{data} - V_{in} + V_{th}(M0) - \frac{(V_{data}-V_{in})c_1}{c_1+c_2}$ 。并且,驱动晶体管M0在其栅漏电压 V_{GD} 的控制下处于饱和状态。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1

以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0156] 在发光阶段T4,EM=1,S1=0,S2=0。

[0157] 由于S1=0,因此第一开关晶体管M1截止。由于EM=1,因此第二开关晶体管M2导通。由于S2=0,因此第三开关晶体管M3截止。导通的第二开关晶体管M2将第一电源端VDD的信号提供给连接的驱动晶体管M0的源极S,由于驱动晶体管M0在其栅漏电压 V_{GD} 的控制下处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0且用于驱动连接的发光器件L发光的工作电流 I_L 满足公式: $I_L = K[V_{GD} - V_{th}(M0)]^2 = K[V_{data} - V_{in} + V_{th}(M0) - \frac{(V_{data} - V_{in})c_1}{c_1 + c_2} - V_{th}(M0)]^2$,可

以得到 $I_L = K(V_{data} - V_{in})^2(1 - \frac{c_1}{c_1 + c_2})^2$;其中K为结构参数,相同结构中此数值相对稳定,可以算作常量。此阶段中,右侧的像素单元40中的第三开关晶体管M3、驱动晶体管M0、第一电容C1以及第二电容C2的工作过程与左侧的相同,在此不作赘述。

[0158] 在初始化阶段T1之前还可以包括一个初始化准备阶段T0,即EM=0,S1=0,S2=0。此阶段中一行中的各像素单元40中的各开关晶体管均截止,以为初始化阶段T1的工作做准备。

[0159] 在实施例三中,驱动晶体管的源极在T1至T4阶段可以在初始化信号端的电压 V_{init} 与第一电源端的电压 V_{dd} 下进行切换,可以避免驱动晶体管的源极长期处于同一偏压下,从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率。并且

根据上述公式 $I_L = K(V_{data} - V_{in})^2(1 - \frac{c_1}{c_1 + c_2})^2$,可以看出,驱动发光器件L的工作电流 I_L 仅与数据信号端Data输入的信号的电压 V_{data} 与 V_{in} 、第一电容C1的电容值 c_1 以及第二电容C2的电容值 c_2 有关,因此 I_L 已经不受驱动晶体管M0的阈值电压 $V_{th}(M0)$ 影响,可以解决由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 $V_{th}(M0)$ 漂移对驱动发光器件L的工作电流 I_L 的影响,从而可以进一步保证发光器件L的正常工作,提高显示的稳定性。

[0160] 实施例四、

[0161] 图6b中一行中的所有像素单元40中的像素补偿电路共用一个初始化控制电路,即每个像素单元40中分别包括5个晶体管与2个电容。以图6b所示的阵列基板中左侧的像素单元40中的电路的结构为例,结合图7b所示的时序图进行说明。具体地,选取如图7b所示的输入时序图中的初始化阶段T1、阈值补偿阶段T2、数据写入阶段T3以及发光阶段T4四个阶段。

[0162] 在初始化阶段T1,EM=0,S1=0,S3=1。

[0163] 由于EM=0,因此第七开关晶体管M7导通。由于S1=0,因此第一开关晶体管M1、第五开关晶体管M5以及第六开关晶体管M6均导通。由于S3=1,因此第四开关晶体管M4截止。导通的第七开关晶体管M7将第一电源端VDD的信号电压 V_{dd} 提供给驱动晶体管M0的源极D。导通的第六开关晶体管M6使第一节点A与驱动晶体管M0的源极D导通,从而将 V_{dd} 提供给第一节点A。导通的第一开关晶体管M1将初始化信号端 V_{init} 的信号提供给驱动晶体管M0的漏极S,使驱动晶体管M0的漏极S的电压为 V_{init} ,并且导通的第五开关晶体管M5使驱动晶体管M0的栅极G与其漏极S导通,以对第三电容C3进行放电,以及对连接的发光器件L的阳极进行放电复位。第四电容C4可以使第一节点A稳定。

[0164] 在阈值补偿阶段T2,EM=1,S1=0,S3=1。

[0165] 由于S1=0,因此第一开关晶体管M1、第五开关晶体管M5以及第六开关晶体管M6均

导通。由于 $EM=1$ ，因此第七开关晶体管M7截止。由于 $S3=1$ ，因此第四开关晶体管M4截止。导通的第一开关晶体管M1将初始化信号端Vinit的信号提供给驱动晶体管M0的漏极S，导通的第六开关晶体管M6使第一节点A与驱动晶体管M0的源极D导通，导通的第五开关晶体管M5使驱动晶体管M0的栅极G与漏极S导通，使第一节点A的信号电压 V_{dd} 通过驱动晶体管M0放电，直至第一节点A的电压变为 $V_{init}+|V_{th}(M0)|$ 为止。因此，第三电容C3的第一端的电压为 $V_{init}+|V_{th}(M0)|$ ，第二端的电压为 V_{init} ，其两端的电压差为 $|V_{th}(M0)|$ 。第四电容C4可以使第一节点A稳定。

[0166] 在数据写入阶段T3， $EM=1$ 、 $S1=1$ 、 $S3=0$ 。

[0167] 由于 $EM=1$ ，因此第七开关晶体管M7截止。由于 $S1=1$ ，因此第一开关晶体管M1、第五开关晶体管M5以及第六开关晶体管M6均截止。由于 $S3=0$ ，因此第四开关晶体管M4导通。导通的第四开关晶体管M4将数据信号端Data的数据信号提供给第一节点A，使第一节点A的电压为数据信号的电压 V_{data} 。由于驱动晶体管M0的栅极G为浮接状态，由于第三电容C3的耦合作用，为了保持第三电容C3两端的电压差仍为 $|V_{th}(M0)|$ ，因此第三电容C3的第二端，即驱动晶体管M0的栅极G的电压变为 $V_{data}-|V_{th}(M0)|$ 。

[0168] 在发光阶段T4， $EM=0$ 、 $S1=1$ 、 $S3=1$ 。

[0169] 由于 $EM=0$ ，因此第七开关晶体管M7导通。由于 $S1=1$ ，因此第一开关晶体管M1、第五开关晶体管M5以及第六开关晶体管M6均截止。由于 $S3=1$ ，因此第四开关晶体管M4截止。导通的第七开关晶体管M7将第一电源端VDD的信号电压 V_{dd} 提供给驱动晶体管M0的源极D，因此驱动晶体管M0的源极D的电压为 V_{dd} ，且驱动晶体管M0的栅极G的电压为 $V_{data}-|V_{th}(M0)|$ ，驱动晶体管M0处于饱和状态，根据饱和状态电流特性可知，流过驱动晶体管M0且用于驱动连接的发光器件L发光的工作电流 I_L 满足公式： $I_L=K(V_{DG}-|V_{th}(M0)|)^2=K[V_{dd}-V_{data}+|V_{th}(M0)|-|V_{th}(M0)|]^2=K[V_{dd}-V_{data}]^2$ ，通过该式可知，驱动晶体管M0处于饱和状态时的电流与驱动晶体管M0的阈值电压 $V_{th}(M0)$ 无关，从而可以解决由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 V_{th} 漂移对流过发光器件L的电流的影响，从而使发光器件L的工作电流保持稳定，进一步保证了发光器件L的正常工作。

[0170] 基于同一发明构思，本发明实施例还提供了一种本发明实施例提供的阵列基板的驱动方法，如图9所示，包括：初始化阶段、阈值补偿阶段、数据写入阶段以及发光阶段；其中，

[0171] S901、在初始化阶段，初始化控制电路在第一扫描信号端的控制下将初始化信号端的信号提供给连接的驱动晶体管的第一极；第一数据写入模块在第二扫描信号端的控制下将数据信号端的信号提供给驱动晶体管的控制极；驱动晶体管在其控制极与第一极的信号的控制下导通，对第一存储模块进行放电；

[0172] S902、在阈值补偿阶段，电压控制电路在发光控制信号端的控制下将第一电源端的信号提供给对应连接的像素补偿电路中的驱动晶体管的第一极；第一数据写入模块在第二扫描信号端的控制下将数据信号端的信号提供给驱动晶体管的控制极；驱动晶体管在其控制极与第一极的信号的控制下导通，对第一存储模块进行充电；

[0173] S903、在数据写入阶段，第一数据写入模块在第二扫描信号端的控制下将数据信号端的信号提供给驱动晶体管的控制极；第一存储模块在驱动晶体管的第二极处于浮接状态时，保持驱动晶体管的控制极与驱动晶体管的第二极之间的电压差稳定；分压模块对驱

动晶体管的第二极的信号电压进行分压；

[0174] S904、在发光阶段，电压控制电路在发光控制信号端的控制下将第一电源端的信号提供给连接的驱动晶体管的第一极；第一存储模块在驱动晶体管的控制极处于浮接状态时，保持驱动晶体管的控制极与驱动晶体管的第二极之间的电压差稳定；驱动晶体管在其控制极与第一极的信号的控制下导通，驱动连接的发光器件发光。

[0175] 本发明实施例提供的上述驱动方法，可以避免驱动晶体管的第一极长期处于同一偏压下，从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率，进而提高显示的稳定性。

[0176] 在阵列基板中的每个像素补偿电路分别一一对应连接一个电压控制电路时，在本发明实施例提供的上述方法中，电压控制电路将第一电源端的信号提供给一一对应连接的像素补偿电路的驱动晶体管的第一极。

[0177] 在阵列基板中的同一行中相邻的至少两个所述像素补偿电路与同一个所述电压控制电路连接时，在本发明实施例提供的上述方法中，电压控制电路将第一电源端的信号提供给对应的同一行中相邻的至少两个所述像素补偿电路的驱动晶体管的第一极。

[0178] 进一步地，在阵列基板中的同一行中的所述像素补偿电路均与同一个所述电压控制电路连接时，在本发明实施例提供的上述方法中，电压控制电路将第一电源端的信号提供给所述同一行中所有所述像素补偿电路的驱动晶体管的第一极。

[0179] 基于同一发明构思，本发明实施例还提供了一种有机发光显示面板，包括本发明实施例提供的任一种阵列基板。该有机发光显示面板解决问题的原理与前述阵列基板相似，因此该有机发光显示面板的实施可以参见前述阵列基板的实施，重复之处在此不再赘述。

[0180] 在实际应用中，有机发光显示面板一般会组装有栅极驱动电路与源极驱动电路、以及控制栅极驱动电路与源极驱动电路工作的时序控制器。对于该栅极驱动电路、源极驱动电路以及时序控制器的工作原理与具体结构均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本发明的限制。

[0181] 在实际应用中，有机发光显示面板一般是从第一行像素单元依次扫描到最后一行像素单元进行发光显示的。

[0182] 基于同一发明构思，本发明实施例还提供了一种显示装置，如图10所示，包括本发明实施例提供的上述有机发光显示面板。该显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本发明的限制。该显示装置的实施可以参见上述阵列基板的实施例，重复之处不再赘述。

[0183] 本发明实施例提供的阵列基板、其驱动方法、有机发光显示面板及显示装置，包括：多个发光器件、与各发光器件连接的像素补偿电路以及位于阵列基板的周边区域的多个初始化控制电路；其中，每一行中所有的像素补偿电路共用一个初始化控制电路，从而可以简化各像素补偿电路的结构以及降低显示区域中像素补偿电路的占用面积。并且每一行所有像素补偿电路中驱动晶体管的第一极与共用的初始化控制电路相连；且初始化控制电路用于在第一扫描信号端的控制下将初始化信号端的信号提供给连接的各驱动晶体管的

第一极,可以避免驱动晶体管的第一极长期处于同一偏压下,从而可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率,进而提高显示的稳定性。

[0184] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

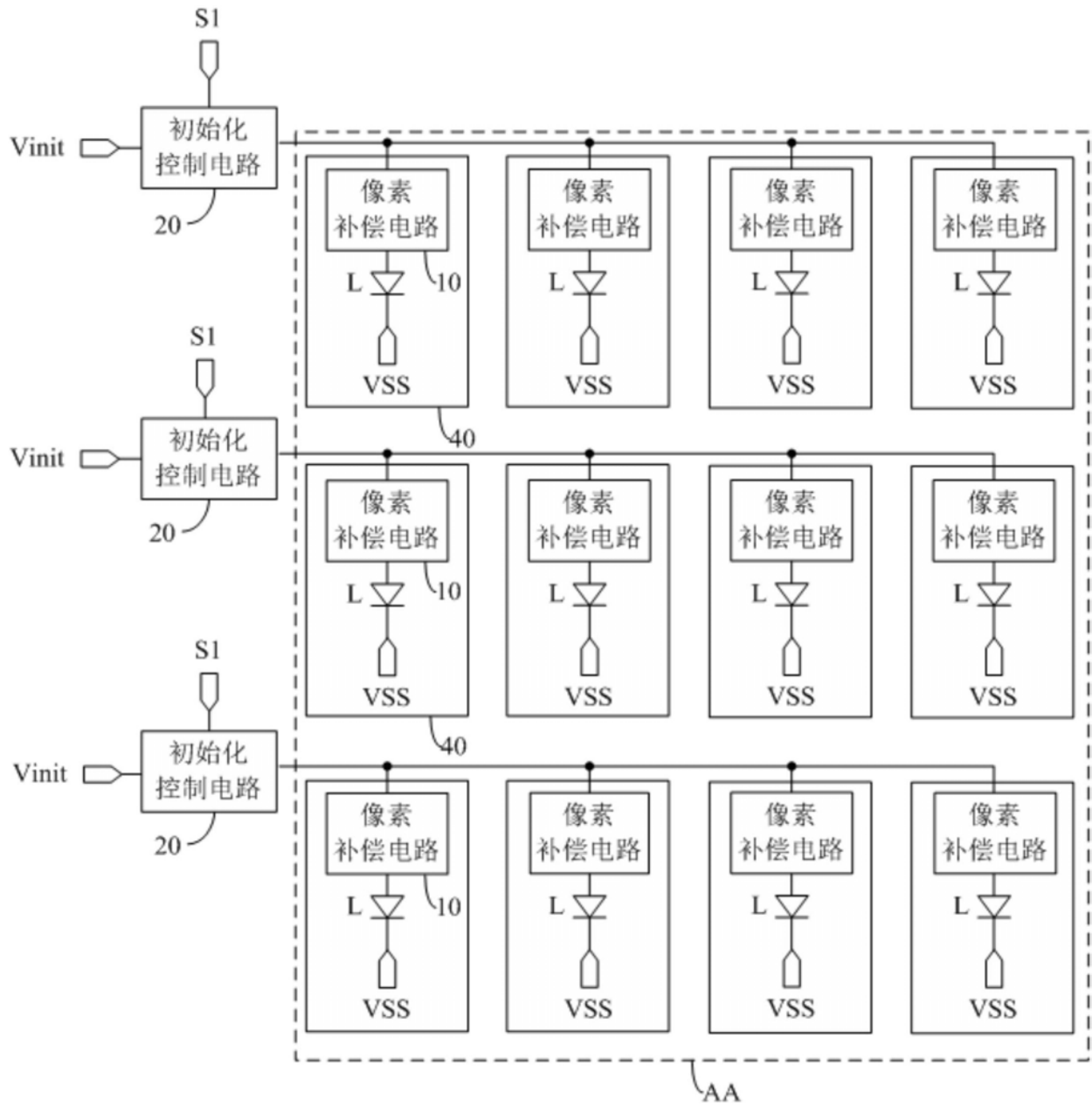


图1

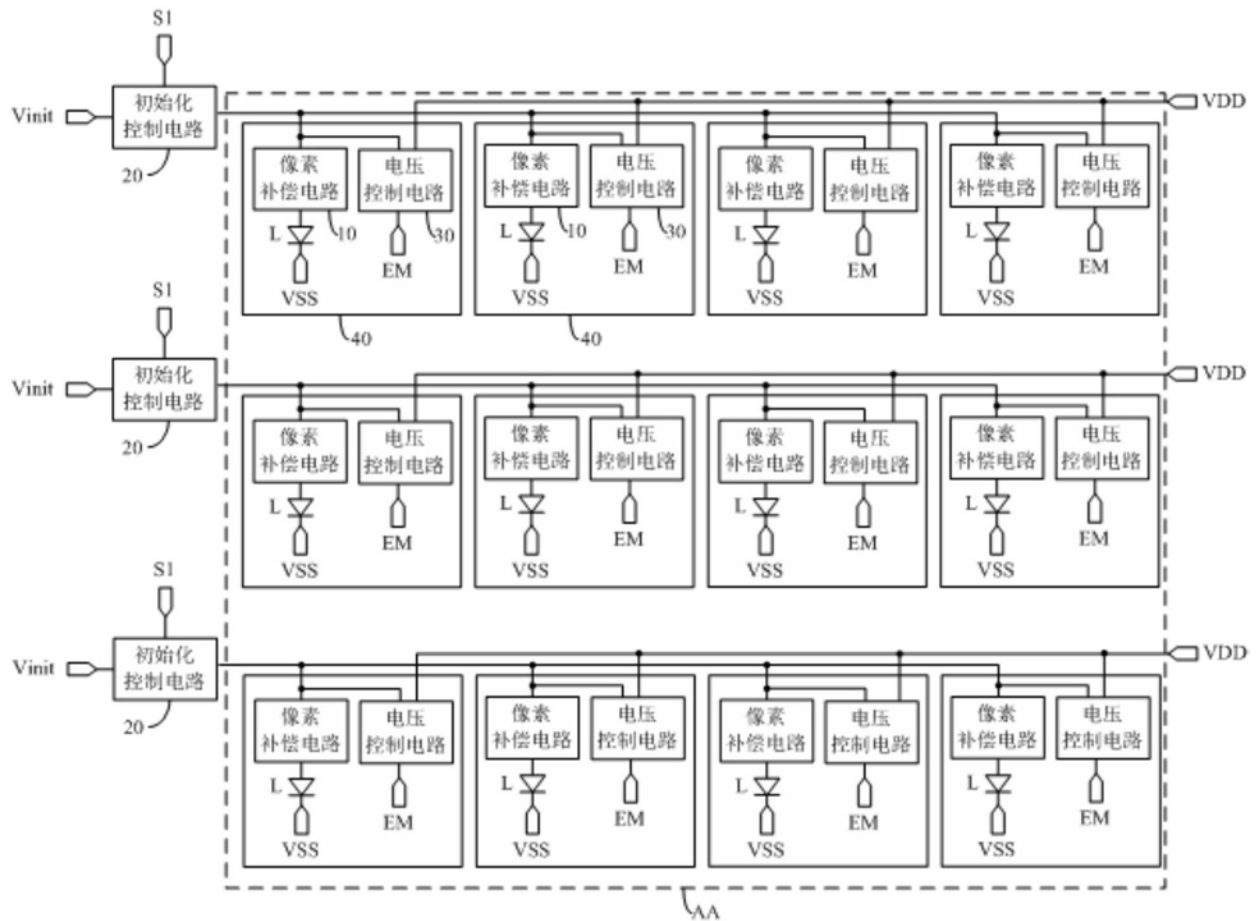


图2a

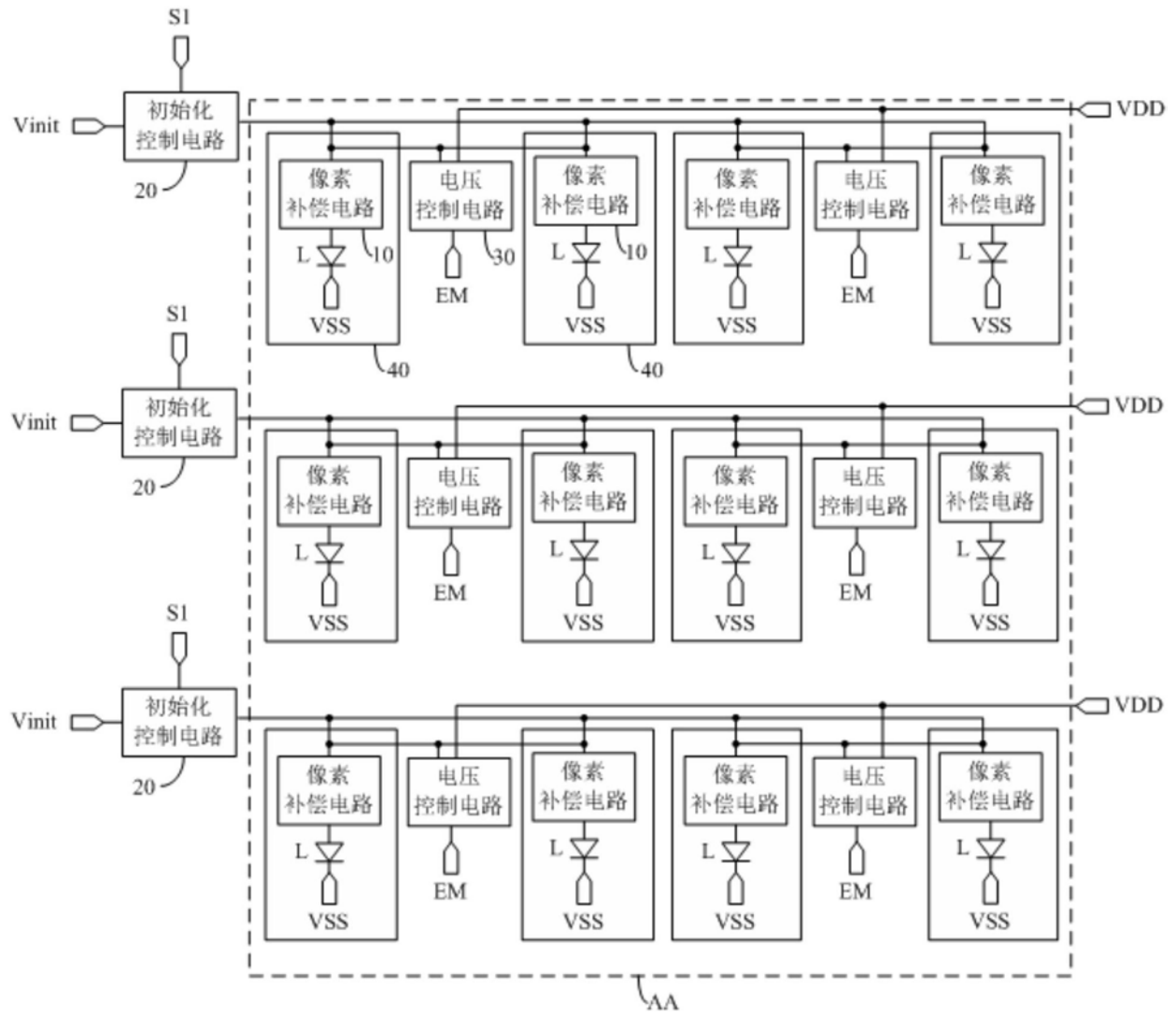


图2b

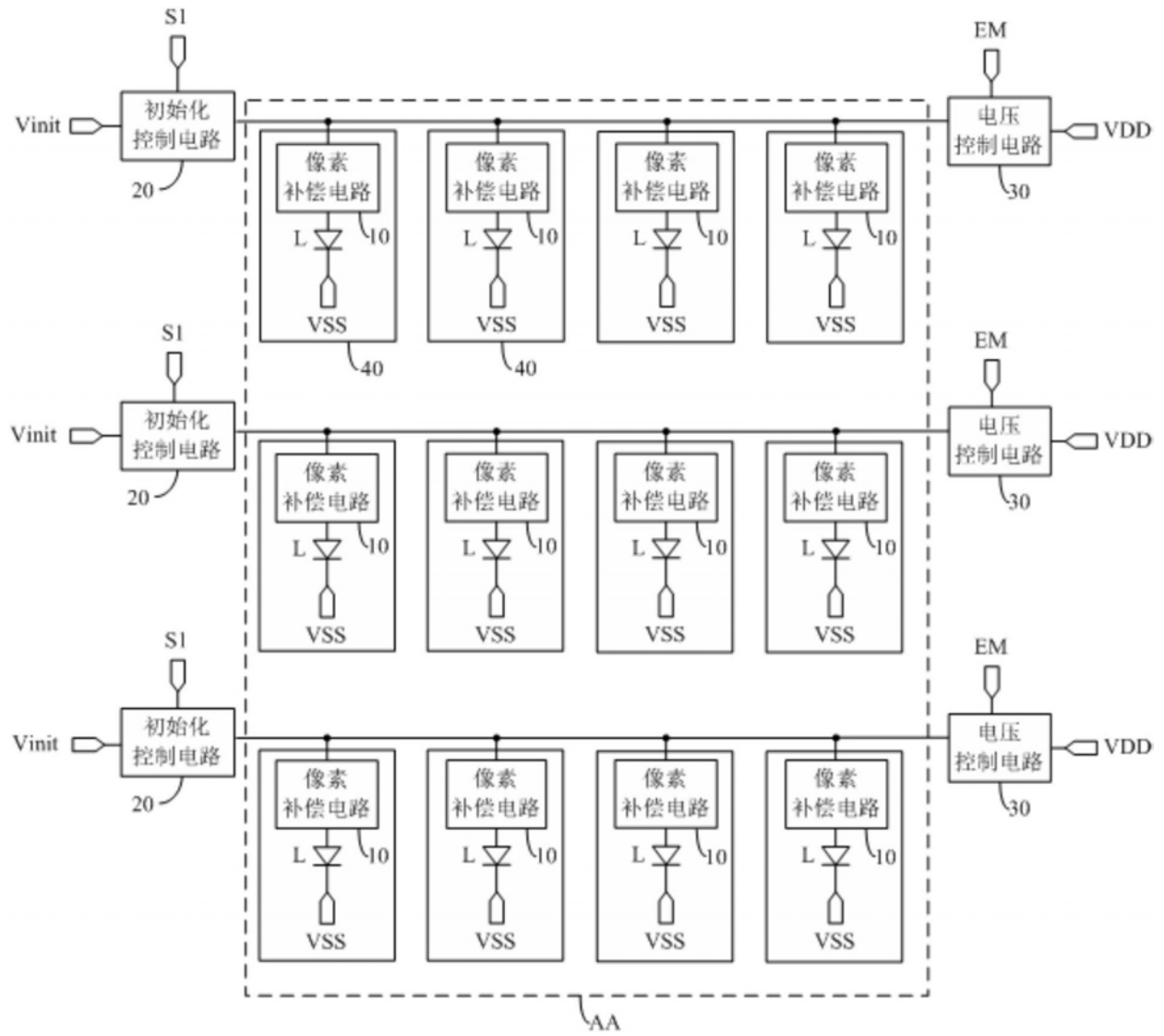


图2c

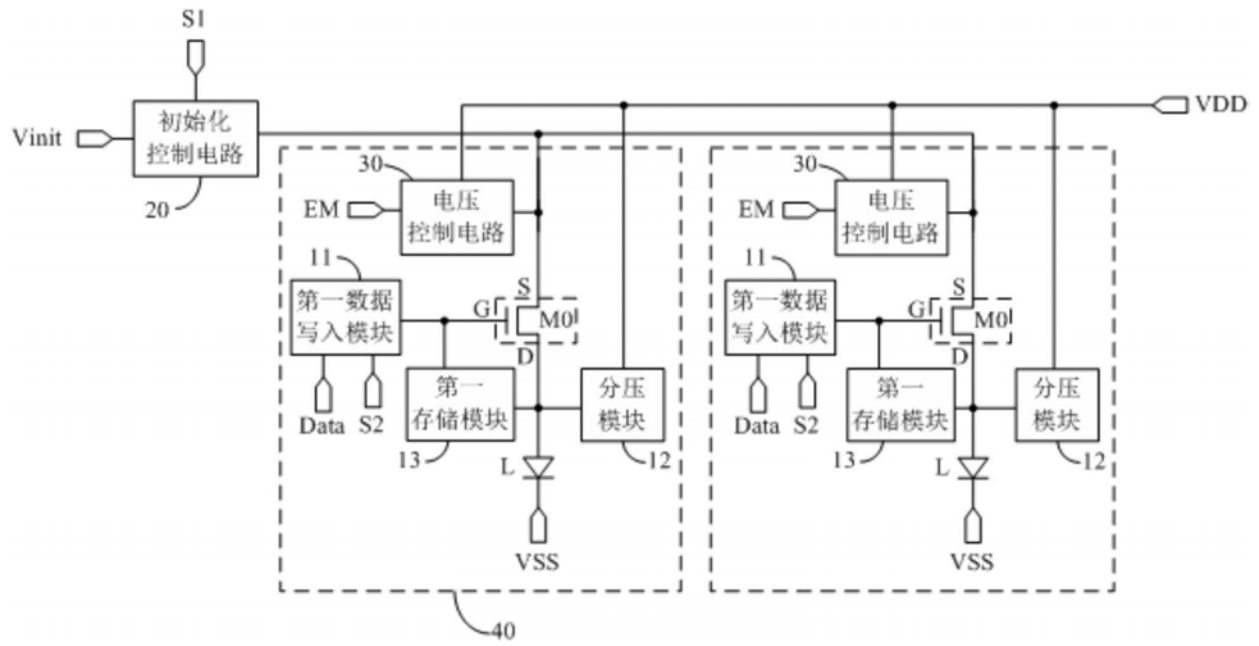


图3a

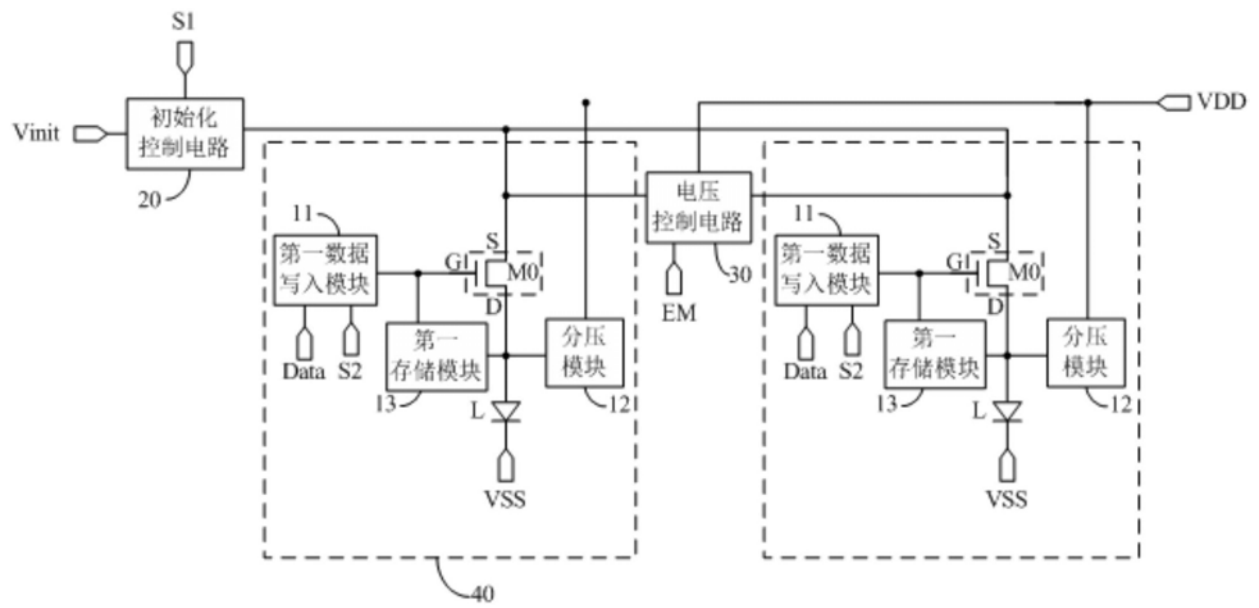


图3b

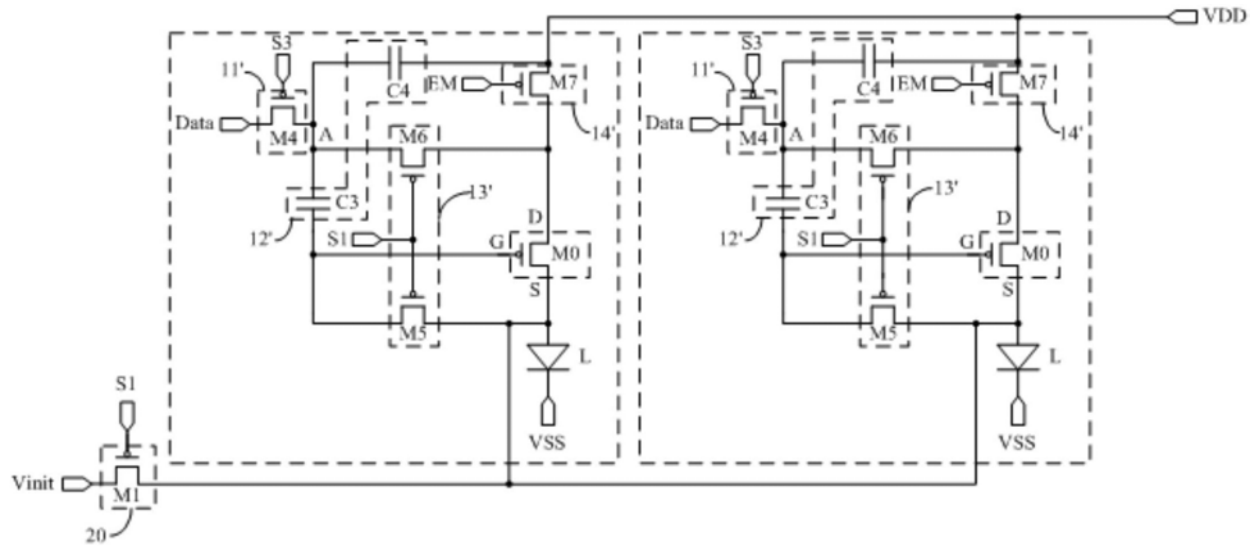


图6b

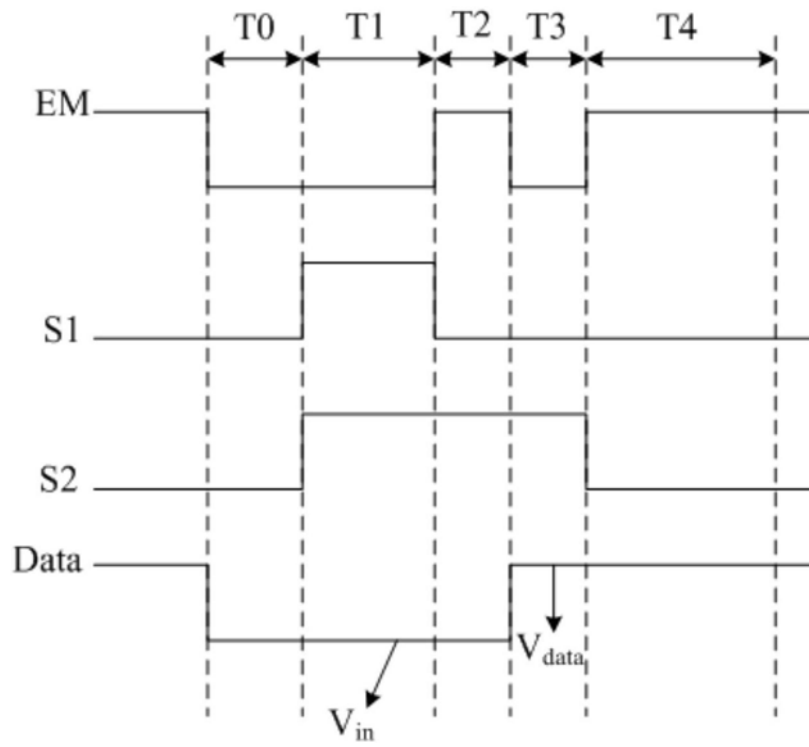


图7a

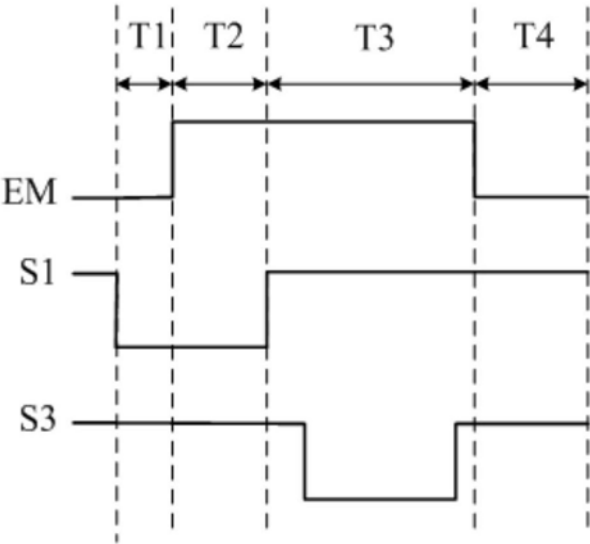


图7b

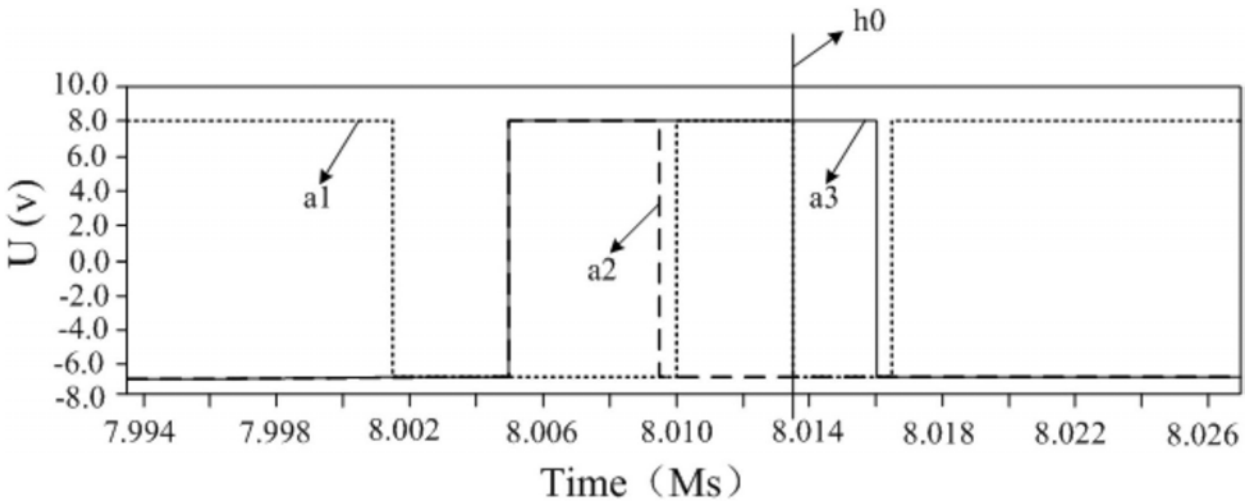


图8a

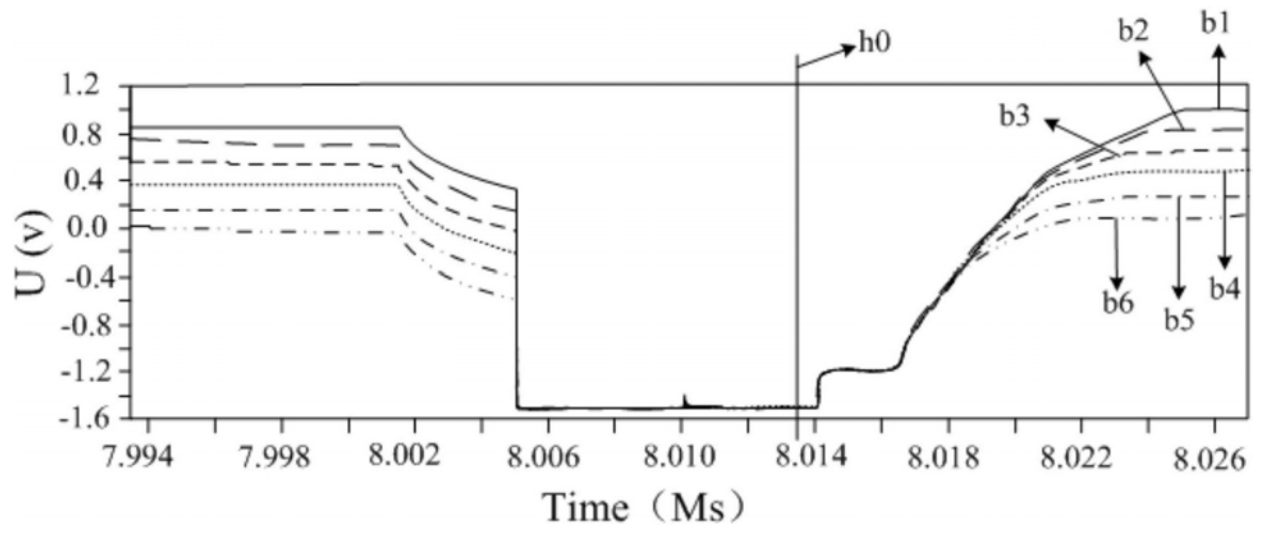


图8b

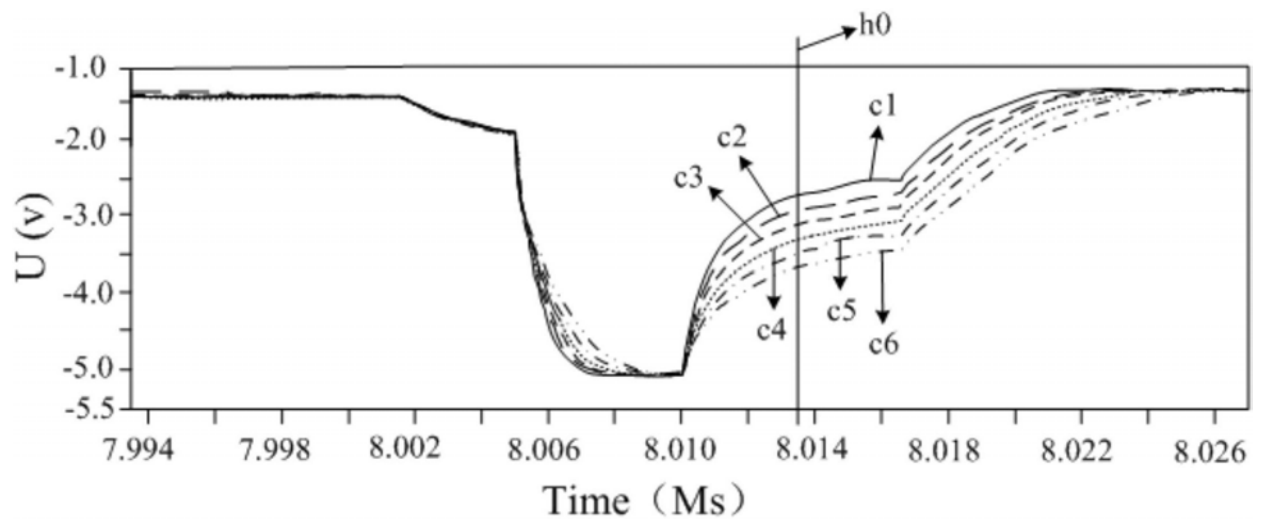


图8c

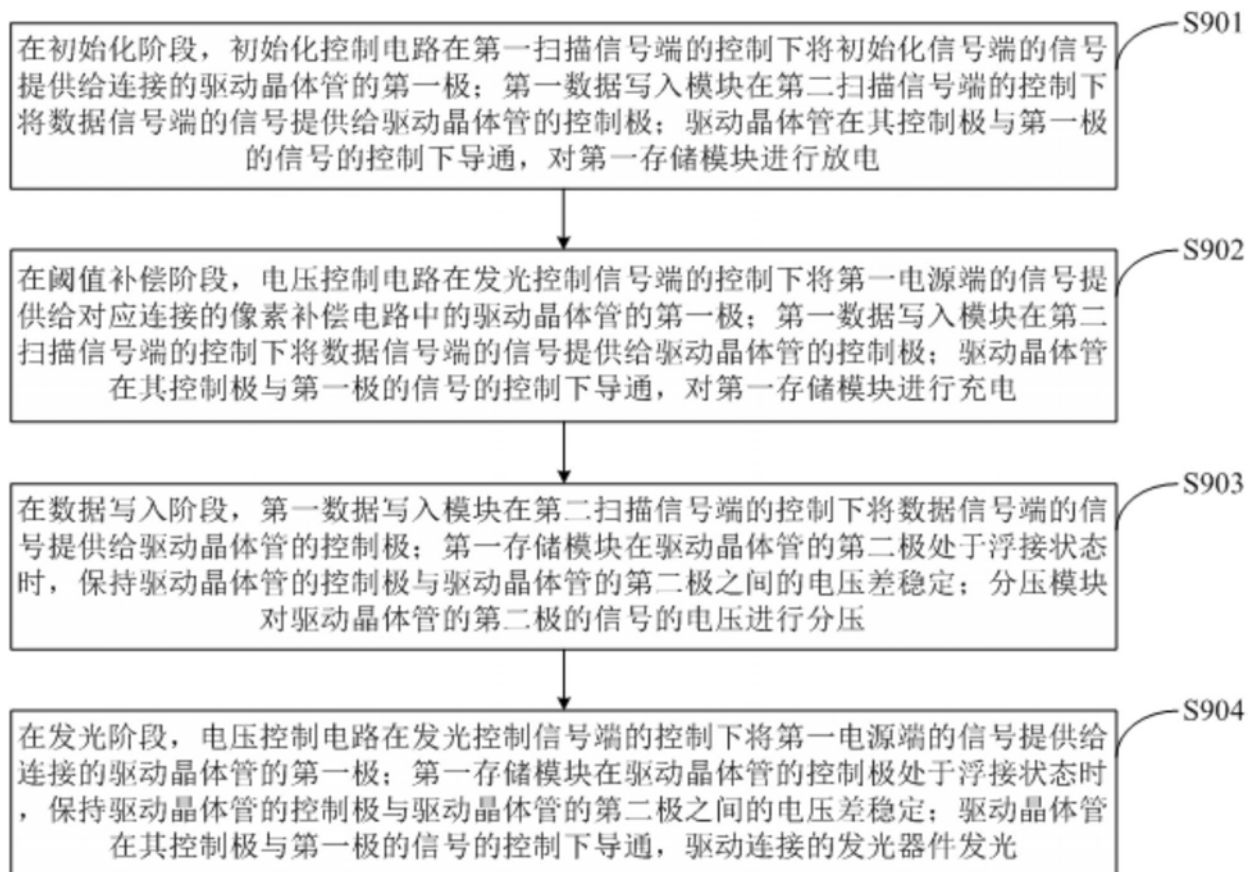


图9

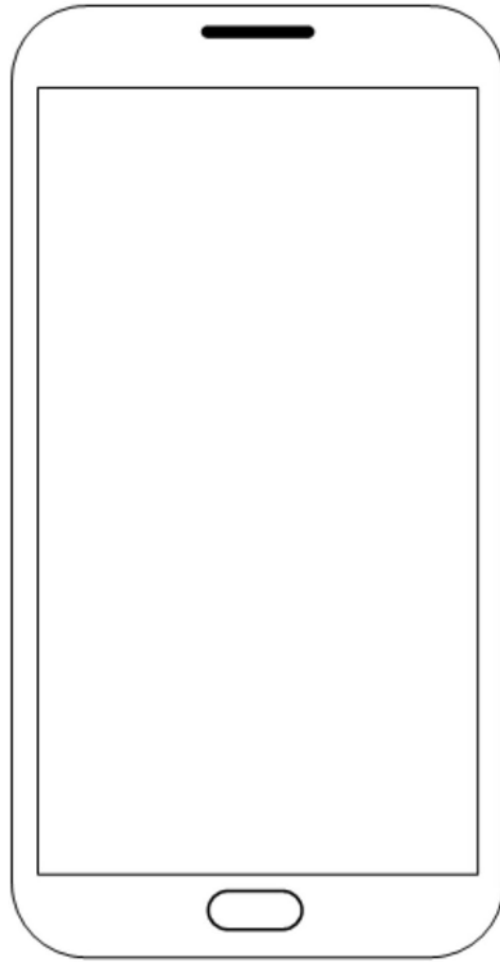


图10

专利名称(译)	阵列基板、其驱动方法、有机发光显示面板及显示装置		
公开(公告)号	CN107103878A	公开(公告)日	2017-08-29
申请号	CN201710385243.5	申请日	2017-05-26
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	向东旭 李玥 高娅娜 陈泽源		
发明人	向东旭 李玥 高娅娜 陈泽源		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208		
代理人(译)	黄志华		
其他公开文献	CN107103878B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板、其驱动方法、有机发光显示面板及显示装置，包括：多个发光器件、与各发光器件连接的像素补偿电路以及位于阵列基板的周边区域的多个初始化控制电路；每一行中所有的像素补偿电路共用一个初始化控制电路，可以简化各像素补偿电路的结构以及降低显示区域中像素补偿电路的占用面积。并且每一行所有像素补偿电路中驱动晶体管的第一极与共用的初始化控制电路相连；初始化控制电路用于在第一扫描信号端的控制下将初始化信号端的信号提供给连接的各驱动晶体管的第一极，可以避免驱动晶体管的第一极长期处于同一偏压下，可以改善驱动晶体管的阈值电压与迁移率的漂移以及减缓驱动晶体管的衰退速率，提高显示的稳定性。

