



(12) 发明专利申请

(10) 申请公布号 CN 102820007 A

(43) 申请公布日 2012. 12. 12

(21) 申请号 201210309374. 2

(22) 申请日 2012. 08. 27

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 王颖 金泰逵 金秘爽

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G09G 3/32 (2006. 01)

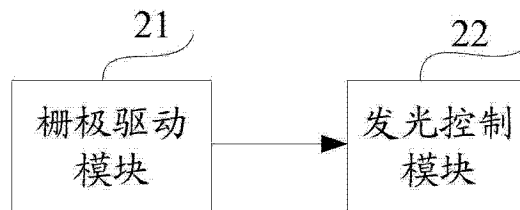
权利要求书 2 页 说明书 7 页 附图 10 页

(54) 发明名称

阵列基板行驱动电路、显示面板及显示装置

(57) 摘要

本发明涉及显示技术领域,公开了一种阵列基板行驱动电路、显示面板及显示装置。本发明中阵列基板行驱动电路能够产生精确控制 OLED 驱动电流的控制信号,实现 OLED 器件工作状态和像素电路的分别控制,从而避免在数据写入像素电路过程中可能造成的像素电流不稳定引起的 OLED 闪烁。该驱动电路包括栅极驱动模块和发光控制模块,所述栅极驱动模块用于产生栅极驱动信号,所述发光控制模块与所述栅极驱动模块的栅极驱动信号输出端连接,用于在所述栅极驱动信号的控制下产生控制有机发光二极管开/关的发光控制信号,所述栅极驱动信号和所述发光控制信号反相。



1. 一种阵列基板行驱动电路,其特征在于,包括串联的多级电路单元,每级电路单元包括栅极驱动模块和发光控制模块,所述栅极驱动模块用于产生栅极驱动信号,所述发光控制模块与所述栅极驱动模块的栅极驱动信号输出端连接,用于在所述栅极驱动信号的控制下产生控制有机发光二极管开/关的发光控制信号,所述栅极驱动信号和所述发光控制信号反相。

2. 如权利要求1所述的电路,其特征在于,所述栅极驱动模块包括第一薄膜晶体管~第五薄膜晶体管以及第一自举电容,其中,

所述第一薄膜晶体管的第一端分别与第五薄膜晶体管的第三端和第四薄膜晶体管的第二端连接,第二端连接外部电平信号,第三端分别与第一自举电容和第二薄膜晶体管的第二端连接,并作为所述栅极驱动信号的输出端;

所述第三薄膜晶体管的第一端连接时钟信号,第二端分别连接第五薄膜晶体管、第一自举电容以及第二薄膜晶体管的第一端,第三端连接上一级电路单元的栅极驱动信号输出端;

所述第四薄膜晶体管的第一端、第五薄膜晶体管的第二端连接时钟信号,所述第二薄膜晶体管的第三端连接时钟信号的反向信号,所述第四薄膜晶体管的第三端连接外部电平信号;

所述第一薄膜晶体管~第五薄膜晶体管的第一端为栅极。

3. 如权利要求2所述的电路,其特征在于,所述栅极驱动模块还包括第六薄膜晶体管和第七薄膜晶体管,其中,第七薄膜晶体管的第一端连接时钟信号的反相信号,第二端与第五薄膜晶体管的第三端连接,第三端分别与第六薄膜晶体管的第二端以及第一薄膜晶体管的第一端连接;第六薄膜晶体管的第一端连接时钟信号,第六薄膜晶体管的第三端与第四薄膜晶体管的第二端连接。

4. 如权利要求3所述的电路,其特征在于,所述栅极驱动模块还包括第二自举电容,所述第二自举电容的第一端与第一薄膜晶体管的第一端连接,第二端连接外部电平信号。

5. 如权利要求4所述的电路,其特征在于,所述发光控制模块包括第八薄膜晶体管~第十一薄膜晶体管以及第三自举电容,其中,

第九薄膜晶体管、第十一薄膜晶体管的第一端与所述第一薄膜晶体管的第三端连接,第八薄膜晶体管的第二端分别与第九薄膜晶体管的第三端以及第十薄膜晶体管、第三自举电容的第一端连接;第十薄膜晶体管的第二端分别与第三自举电容的第二端以及第十一薄膜晶体管的第三端连接且作为所述发光控制信号的输出端,第十薄膜晶体管的第三端连接时钟信号;第八薄膜晶体管的第三端、第九薄膜晶体管和第十一薄膜晶体管的第二端接外部电平信号;所述第八薄膜晶体管~第十一薄膜晶体管的第一端为栅极。

6. 如权利要求5所述的电路,其特征在于,对于第一级所述电路单元,第三薄膜晶体管的第三端连接外部输入信号;对于第n级电路单元,第三薄膜晶体管的第三端的输入信号由上一级电路单元中第一薄膜晶体管第三端输出的所述栅极驱动信号提供,本级电路单元中第八薄膜晶体管第一端所连接的输入信号为下一级电路单元中第一薄膜晶体管第三端输出的所述栅极驱动信号;对于最后一级电路单元,第八薄膜晶体管第一端连接另一外部输入信号;其中,n为大于或等于2的整数。

7. 如权利要求6所述的电路,其特征在于,第一薄膜晶体管~第十一薄膜晶体管均为

P 型薄膜晶体管,且第四薄膜晶体管、第八薄膜晶体管的第三端连接低电平,第二自举电容、第一薄膜晶体管、第十一薄膜晶体管以及第九薄膜晶体管的第二端连接高电平。

8. 如权利要求 6 所述的电路,其特征在于,第一薄膜晶体管~第十一薄膜晶体管均为 N 型薄膜晶体管,且第四薄膜晶体管、第八薄膜晶体管的第三端连接高电平,第二自举电容、第一薄膜晶体管、第十一薄膜晶体管以及第九薄膜晶体管的第二端连接低电平。

9. 如权利要求 7 或 8 所述的电路,其特征在于,将第四薄膜晶体管的第一端连接时钟信号替换为第四薄膜晶体管的第一端连接第四薄膜晶体管的第三端。

10. 如权利要求 5 所述的电路,其特征在于,第一薄膜晶体管~第十一薄膜晶体管的第二端均为源极,第三端均为漏极。

11. 如权利要求 5 所述的电路,其特征在于,第一薄膜晶体管~第十一薄膜晶体管的第二端均为漏极,第三端均为源极。

12. 一种显示面板,其特征在于,所述显示面板以权利要求 1~11 中任一项所述的电路作为阵列基板行驱动电路。

13. 一种显示装置,其特征在于,所述显示装置包括权利要求 12 所述的显示面板。

阵列基板行驱动电路、显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域，特别是涉及一种阵列基板行驱动电路、显示面板及显示装置。

背景技术

[0002] 传统的无源矩阵有机发光二极管(Passive Matrix OLED, 简称 PMOLED) 应用于显示器中时, 随着显示器的显示尺寸的增大, 需要更短的单个像素的驱动时间, 因而需要增大瞬态电流, 这样会增加功耗。同时, 大电流的应用会造成 ITO 线上压降过大, 并使 OLED 工作电压过高, 进而降低其效率。而有源矩阵有机发光二极管(Active Matrix OLED, 简称 AMOLED) 通过开关管逐行扫描输入 OLED 电流, 可以很好地解决这些问题。因此, AMOLED 由于具有高亮度、宽视角和较快的响应速度等优点, 已越来越多地被应用于高性能显示器中。

[0003] 阵列基板行驱动电路(Gate on Array, 简称 GOA) 是将栅极开关电路集成在阵列基板上, 从而实现驱动电路的高度集成, 从节省材料和减少工艺步骤两方面降低成本。

[0004] 基于低温多晶硅技术的 AMOLED 技术, 其驱动面板的薄膜晶体管具有较高的迁移率, 所以更利于 GOA 电路的集成, 然而作为一种还处于待完善阶段的技术, 市场上应用于 AMOLED 的驱动电路还比较少。

发明内容

[0005] (一) 要解决的技术问题

[0006] 本发明要解决的技术问题是: 如何设计一种能够稳定地产生精确控制 OLED 驱动电流的阵列基板行驱动电路。

[0007] (二) 技术方案

[0008] 为了解决上述技术问题, 本发明提供了一种阵列基板行驱动电路, 包括串联的多级电路单元, 每级电路单元包括栅极驱动模块和发光控制模块, 所述栅极驱动模块用于产生栅极驱动信号, 所述发光控制模块与所述栅极驱动模块的栅极驱动信号输出端连接, 用于在所述栅极驱动信号的控制下产生控制有机发光二极管开 / 关的发光控制信号, 所述栅极驱动信号和所述发光控制信号反相。

[0009] 优选地, 所述栅极驱动模块包括第一薄膜晶体管 ~ 第五薄膜晶体管以及第一自举电容, 其中,

[0010] 第一薄膜晶体管的第一端分别与第五薄膜晶体管的第三端和第四薄膜晶体管的第二端连接, 第二端连接外部电平信号, 第三端分别与第一自举电容和第二薄膜晶体管的第二端连接, 并作为所述栅极驱动信号的输出端;

[0011] 第三薄膜晶体管的第一端连接时钟信号, 第二端分别连接第五薄膜晶体管、第一自举电容以及第二薄膜晶体管的第一端, 第三端连接上一级电路单元的栅极驱动信号输出端;

[0012] 第四薄膜晶体管的第一端、第五薄膜晶体管的第二端连接时钟信号, 第二薄膜晶

体管的第三端连接时钟信号的反向信号,第四薄膜晶体管的第三端连接外部电平信号;

[0013] 第一薄膜晶体管~第五薄膜晶体管的第一端为栅极。

[0014] 优选地,所述栅极驱动模块还包括第六薄膜晶体管和第七薄膜晶体管,其中,第七薄膜晶体管的第一端连接时钟信号的反相信号,第二端与第五薄膜晶体管的第三端连接,第三端分别与第六薄膜晶体管的第二端以及第一薄膜晶体管的第一端连接;第六薄膜晶体管的第一端连接时钟信号,第六薄膜晶体管的第三端与第四薄膜晶体管的第二端连接。

[0015] 优选地,所述栅极驱动模块还包括第二自举电容,所述第二自举电容的第一端与第一薄膜晶体管的第一端连接。

[0016] 优选地,所述发光控制模块包括第八薄膜晶体管~第十一薄膜晶体管以及第三自举电容,其中,

[0017] 第九薄膜晶体管、第十一薄膜晶体管的第一端与所述第一薄膜晶体管的第三端连接,第八薄膜晶体管的第二端分别与第九薄膜晶体管的第三端以及第十薄膜晶体管、第三自举电容的第一端连接;第十薄膜晶体管的第二端分别与第三自举电容的第二端以及第十一薄膜晶体管的第三端连接且作为所述发光控制信号的输出端,第十薄膜晶体管的第三端连接时钟信号;第八薄膜晶体管的第三端、第九薄膜晶体管和第十一薄膜晶体管的第二端接外部电平信号;所述第八薄膜晶体管~第十一薄膜晶体管的第一端为栅极。

[0018] 优选地,对于第一级所述电路单元,第三薄膜晶体管的第三端连接外部输入信号;对于第n级电路单元,第三薄膜晶体管的第三端的输入信号由上一级电路单元中第一薄膜晶体管第三端输出的所述栅极驱动信号提供,本级电路单元中第八薄膜晶体管第一端所连接的输入信号为下一级电路单元中第一薄膜晶体管第三端输出的所述栅极驱动信号;对于最后一级电路单元,第八薄膜晶体管第一端连接另一外部输入信号;其中,n为大于或等于2的整数。

[0019] 优选地,第一薄膜晶体管~第十一薄膜晶体管均为P型薄膜晶体管,且第四薄膜晶体管、第八薄膜晶体管的第三端连接低电平,第二自举电容、第一薄膜晶体管、第十一薄膜晶体管以及第九薄膜晶体管的第二端连接高电平。

[0020] 优选地,第一薄膜晶体管~第十一薄膜晶体管均为N型薄膜晶体管,且第四薄膜晶体管、第八薄膜晶体管的第三端连接高电平,第二自举电容、第一薄膜晶体管、第十一薄膜晶体管以及第九薄膜晶体管的第二端连接低电平。

[0021] 优选地,将第四薄膜晶体管的第一端连接时钟信号替换为第四薄膜晶体管的第一端连接第四薄膜晶体管的第三端。

[0022] 优选地,第一薄膜晶体管~第十一薄膜晶体管的第二端均为源极,第三端均为漏极。

[0023] 优选地,第一薄膜晶体管~第十一薄膜晶体管的第二端均为漏极,第三端均为源极。

[0024] 本发明还提供了一种显示面板,所述显示面板以所述的电路作为阵列基板行驱动电路。

[0025] 本发明还提供了一种显示装置,所述显示装置包括所述的显示面板。

[0026] (三)有益效果

[0027] 上述技术方案具有如下优点:本发明所设计的阵列基板行驱动电路能稳定地产生

能够精确控制 OLED 驱动电流的控制信号 Emission,从而能够避免在数据写入像素电路过程中可能会造成的像素电流的不稳定引起的 OLED 发光的闪烁,该电路中,通过采用 CLK 信号对晶体管 T4 进行控制,确保了在 t_1 , t_2 , t_3 时段之外的该栅极线的非选阶段,输出 G[n] 的电平保持相对平稳,波动较小。同时电容 C2 保持了 N2 点的电平,保证了在非选阶段,晶体管 T1 关闭,确保 G[n] 低电平的稳定性。引入晶体管 T6 和 T7,进一步明确了 N2 点与高低电平的连接关系。

附图说明

- [0028] 图 1 是带有 OLED 驱动电流精确控制功能的 P 型 AMOLED 像素单元电路;
- [0029] 图 2 是本发明实施例的结构图;
- [0030] 图 3 是本发明实施例的 GOA 电路单元的结构框图;
- [0031] 图 4 是本发明实施例二的 GOA 电路单元的电路图;
- [0032] 图 5 是本发明实施例二的 GOA 电路单元的各信号时序图;
- [0033] 图 6~ 图 8 是本发明实施例二的 GOA 电路单元在各个工作阶段的示意图;
- [0034] 图 9 是本发明实施例三中 GOA 电路单元的电路图;
- [0035] 图 10 是本发明实施例四中 GOA 电路单元的电路图;
- [0036] 图 11 是本发明实施例四中 GOA 电路单元的各信号时序图。

具体实施方式

[0037] 对于有源矩阵液晶显示器(AMLCD),GOA 电路用于产生像素电路阵列的行选通控制信号。对于 AMOLED 显示器,OLED 为电流驱动器件,控制流入 OLED 器件的电流通路就可以控制 OLED 器件是否发光。为了对 OLED 的驱动电流进行精确的控制,在进行像素电路设计时会加入对驱动电流进行精确控制的电路单元,如图 1 所示。故若采用该类型的像素电路结构,除了采用传统的 GOA 单元为像素电路提供栅极控制信号之外,还需要设计 Emission_GOA 单元,用于产生精确控制 OLED 驱动电流的 Emission 信号。该 Emission_GOA 单元与传统的 GOA 单元(以下称其为 Gate_GOA)配合工作,用于完成 OLED 器件工作状态和像素电路的分别控制,能够避免在数据写入像素电路过程中可能造成的像素电流不稳定引起的 OLED 闪烁。

[0038] 示意性的,图 1 为带有精确控制 OLED 驱动电流功能的 P 型 AMOLED 像素单元电路。参见图 1,其中 Gate 信号是栅极控制信号,用于控制数据信号写入现有的常用像素电路(例如,2T1C 电路),而 Emission 信号,即 OLED 开关状态的发光控制信号,用以控制 T0 的开启和关闭,从而起到控制驱动电流的通/断,进而控制与之相连的 OLED 器件的开/关的作用,其中 Emission 信号与 Gate 信号是一对反相的控制信号。在图 1 所示的电路中以 T0 为 P 型薄膜晶体管为例进行说明,由于栅驱动信号数据的写入需要一定的时间,在 Gate 信号为低电平,打开像素电路的过程中,Emission 信号为高电平,T0 关闭,即切断 OLED 器件与像素电路的连接,从而使得数据的写入过程对 OLED 的状态不产生影响。只有当数据写入完成后,Gate 信号复位为高,像素电路处于一个稳定的工作状态,此时 Emission 信号拉低,打开 T0,驱动电流流入 OLED 器件,点亮 OLED 器件。

[0039] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。以下实施

例用于说明本发明,但不用来限制本发明的范围。

[0040] 实施例一

[0041] 本发明实施例一提供一种阵列基板行驱动电路,其结构图如图 2 所示,包括串联的多级电路单元 STAGE_1~STAGE_N+1,每级电路单元的结构如图 3 所示,包括栅极驱动模块 21 和发光控制模块 22,所述栅极驱动模块 21 用于产生栅极驱动信号,所述发光控制模块 22 与所述栅极驱动模块 21 的栅极驱动信号输出端连接,用于在所述栅极驱动信号的控制下产生控制有机发光二极管开关的发光控制信号,所述栅极驱动信号和所述发光控制信号反相。

[0042] 实施例二

[0043] 本发明实施例二提供一种阵列基板行驱动电路,其结构图如图 2 所示,在实施例一的基础上,其中的栅极驱动模块 21 包括第一薄膜晶体管 T1~第七薄膜晶体管 T5 以及第一自举电容 C1,其中,

[0044] T1 的第一端分别与 T5 的第三端和 T4 的第二端连接,第二端连接外部电平信号,第三端分别与 C1 和 T2 的第二端连接,并作为所述栅极驱动信号的输出端;

[0045] T3 的第一端连接时钟信号 CLK,第二端分别连接 T5、C1 以及 T2 的第一端,第三端连接上一级电路单元的栅极驱动信号输出端;

[0046] T4 的第一端、T5 的第二端连接时钟信号 CLK, T2 的第三端连接时钟信号的反向信号 CLKB, T4 的第三端连接外部电平信号;

[0047] 所述 T1~T5 的第一端为栅极。

[0048] 本实施例中,发光控制模块的电路结构可以为能够实现在所述栅极驱动信号的控制下产生控制有机发光二极管开/关的发光控制信号的任意结构。栅极驱动模块为像素电路提供栅极控制信号,其中,晶体管 T4 的开关状态影响输出 G[n] 复位的速度,采用 CLK 信号对晶体管 T4 进行控制,确保了在栅极线的非选阶段,输出的电平保持相对平稳,波动较小,实现像素电路栅驱动的稳定控制。

[0049] 实施例三

[0050] 本发明实施例三提供一种阵列基板行驱动电路,其结构图如图 2 所示,在实施例二的基础上,其中的栅极驱动模块还包括薄膜晶体管 T6 和 T7,其中, T7 的第一端连接时钟信号的反向信号 CLKB,第二端与 T5 的第三端连接,第三端分别与 T6 的第二端以及 T1 的第一端连接; T6 的第一端连接时钟信号 CLK, T6 的第三端与 T4 的第二端连接。

[0051] 该电路中加入晶体管 T6 和 T7,分别与 T4、T5 串联,使得工作状态更加稳定,并进一步明确 N2 点的电平与高低电平的连接关系,例如在复位时段 t3,晶体管 T7 在时钟信号 CLKB 的控制下关闭,确保了 N2 点的电平通过由 T4 和 T6 组成的回路与 VGL 相同,为低电平。

[0052] 实施例四

[0053] 本实施例提供一种阵列基板行驱动电路,其结构图如图 2 所示,在实施例三的基础上,其中的所述栅极驱动模块还包括第二自举电容 C2, C2 的第一端与 T1 的第一端连接,第二端连接外部电平信号。

[0054] 该电路中加入 C2,保持了 N2 点的电平,保证了在非选阶段,晶体管 T1 关闭,确保 G[n] 低电平的稳定性。

[0055] 实施例五

[0056] 本发明实施例五提供一种阵列基板行驱动电路,其结构图如图 2 所示,包括串联的多级电路单元 STAGE₁~STAGE_{N+1},每级电路单元为由 P 型 TFT 组成的 GOA 电路单元,每级电路单元的结构如图 3、图 4 所示,包括栅极驱动模块 21 和发光控制模块 22,所述栅极驱动模块用于产生栅极驱动信号,所述发光控制模块与所述栅极驱动模块的栅极驱动信号输出端连接,用于在所述栅极驱动信号的控制下产生控制有机发光二极管开/关的发光控制信号,所述栅极驱动信号和所述发光控制信号反相。所述栅极驱动模块包括第一薄膜晶体管 T1~第七薄膜晶体管 T7 以及第一自举电容 C1~第二自举电容 C2,所述发光控制模块包括第八薄膜晶体管 T8~第十一薄膜晶体管 T11 以及第三自举电容 C3。其中,T3 的第一端连接时钟信号 CLK,第二端分别连接 T5、C1 以及 T2 的第一端;T5 的第二端连接 CLK,T7 的第一端连接 CLK 的反相信号 CLKB,T4、T6 的第一端连接 CLK,T5 的第三端与 T7 的第二端连接,T7 的第三端分别与 T6 的第二端以及 C2、T1 的第一端连接,T6 的第三端与 T4 的第二端连接;T1 的第三端分别与 C1 的第二端、T2 的第二端连接,作为所述栅极驱动信号的输出端,并且与 T9、T11 的第一端连接,T2 的第三端连接 CLKB;T8 的第二端分别与 T9 的第三端以及 T10、C3 的第一端连接;T10 的第二端分别与 C3 的第二端以及 T11 的第三端连接且作为输出的所述发光控制信号,T10 的第三端连接 CLK;

[0057] 对于第一级所述电路单元,T3 的第三端连接外部输入信号;对于第 n 级电路单元,T3 的第三端的输入信号由上一级电路单元中 T1 第三端输出的所述栅极驱动信号提供,T8 第一端所连接的输入信号为下一级电路单元中 T1 第三端输出的所述栅极驱动信号;对于最后一级电路单元,T8 第一端连接另一外部输入信号,其中,n 为大于或等于 2 的整数。本实施例中,薄膜晶体管 T1~T11 均为 P 型薄膜晶体管,且 T4、T8 的第三端连接低电平 VGL,C2、T1、T11 的第二端以及 T9 的第二端连接高电平 VGH。

[0058] 上述的“第一端”对应图 4 中薄膜晶体管 T1~T11 或者自举电容 C1~C3 上标号“1”的端口,“第二端”对应其中的标号“2”的端口,第三端对应其中的标号“3”的端口;且薄膜晶体管 T1~T11 的第一端为栅极,第二端均为源极,第三端均为漏极;或者薄膜晶体管 T1~T11 的第一端为栅极,第二端均为漏极,第三端均为源极。

[0059] 图 5 为图 4 的 P 型 GOA 电路单元的信号时序图。图 6 到图 8 为该 GOA 电路单元在各个工作阶段的示意图,其中,用实线表示的薄膜晶体管为各阶段导通的薄膜晶体管,用虚线表示的薄膜晶体管为各阶段关闭的薄膜晶体管。以下参考图 6~图 8 以及图 3、图 4 描述 GOA 电路单元的工作原理如下:

[0060] 该 GOA 电路单元由两个反相(或称为互补)的时钟信号 CLK 和 CLKB 控制,上一级 GOA 单元电路的输出 G[n-1] 作为本级的输入信号。该 GOA 单元电路的工作过程分为输入采样、输出信号、复位三个阶段。

[0061] 如图 6 所示,在 t1 阶段,为输入采样阶段,G[n-1] 为低电平输入信号,CLK 为低电平,T3 导通,所以,此时 N1 点的电平相应地被拉低到 $V_{GL} + |V_{thp}|$,为低电平,其中 $|V_{thp}|$ 为 T3 的阈值电压。此时,T4 和 T6 导通,N2 点为低电平,故 T1 导通,输出 G[n] 为高电平。由于 N1 的低电平,T2 也打开,而此时 CLKB 信号为高电平,从而确保了输出 G[n] 为高电平,此时,T9 和 T11 关闭,同时 C1 被充电,C1 两端的电压差为 $V_{GH} - V_{GL} - |V_{thp}|$ 。由于 C3 的存在,N3 点会保持前一个操作周期时的低电平,所以此时 T10 保持导通,CLK 信号

为低电平,输出的发光控制信号 Emission[n] 为低电平。而在此过程中由于 G[n+1] 为高电平, T8 始终保持关闭。

[0062] 如图 7 所示, t2 阶段, 为输出阶段, G[n] 为低电平, 输入信号 G[n-1] 为高电平, 晶体管 T3 关闭, N1 点的电平由 C1 保持, 为 $V_{GL} + |V_{thp}|$, 为低电平, 故 T2、T5 导通, 同时 CLKB 为低电平, 故 T7 导通, 而 CLK 为高电平, T6 关闭, 确保了 N2 点为高电平, 但 T1 关闭, 不会对 G[n] 的低电平产生影响。G[n] 的低电平, 使 T11 和 T9 导通。T11 导通, 拉高输出 Emission[n] 为高电平。T9 导通拉高 N3 点的电平, 使晶体管 T10 关闭, 不会影响输出的发光控制信号 Emission[n]。而在此过程中由于 G[n+1] 为高电平, T8 始终保持关闭。

[0063] 如图 8 所示, t3 阶段, 为复位阶段, 输入 G[n-1] 为高电平, CLK 为低电平, T3 导通, 相应的 N1 点的电平将拉高为高电平, 则 T2、T5 关闭, 同时 CLK 为低电平, T4 和 T6 导通, 而 CLKB 为高电平, T7 关闭, 确保了 N2 点的低电平, T1 开启, G[n] 再次被拉高为高电平, 从而 T11 和 T9 关闭, 复位端 G[n+1] 此时为低电平, T8 导通, 拉低 N3 点的电平, T10 导通, CLK 的低电平输出到输出端 Emission[n], 从而实现电路的复位操作。

[0064] 本实施例中, 栅极驱动模块中的晶体管 T4 的开关状态影响输出 G[n] 复位的速度, 采用 CLK 信号对晶体管 T4 进行控制, 确保了在 t1, t2, t3 时段之外的该栅极线的非选阶段, 输出 G[n] 的电平保持相对平稳, 波动较小, 实现像素电路栅驱动的稳定控制。同时电容 C2 保持了 N2 点的电平, 保证了在非选阶段, 晶体管 T1 关闭, 确保 G[n] 低电平的稳定性。该电路中加入晶体管 T6 和 T7, 进一步明确了 N2 点的电平与高低电平的连接关系, 例如在复位时段 t3, 晶体管 T7 在时钟信号 CLKB 的控制下关闭, 确保了 N2 点的电平通过由 T4 和 T6 组成的回路与 VGL 相同, 为低电平。发光控制模块与栅极驱动模块配合使用产生能精确控制 OLED 驱动电流的控制信号。

[0065] 实施例六

[0066] 本发明实施例六提供一种阵列基板行驱动电路, 其结构图如图 2 所示, 包括串联的多级电路单元 STAGE_1~STAGE_N+1, 每级电路单元为由 P 型 TFT 组成的 GOA 电路单元, 每级电路单元如图 9 所示, 与图 4 的 GOA 电路单元相比, 其改进之处是将晶体管 T4 做 diode-connection 连接, 即把 T4 的栅极与其连接 VGL 的一端连接在一起。该方案可以在确保栅驱动精确控制功能的前提下, 缩小晶体管 T4 的布局面积, 进而减小整个 GOA 电路的面积。本实施例的工作原理与实施例五类似。

[0067] 实施例七

[0068] 本发明实施例七提供一种阵列基板行驱动电路, 其结构图如图 2 所示, 包括串联的多级电路单元 STAGE_1~STAGE_N+1, 其每级电路单元如图 10 所示, 与图 4 所示的 GOA 电路单元不同之处在于, 其中的薄膜晶体管 T1~T11 均为 N 型薄膜晶体管, 且 T4、T8 的第三端连接高电平 VGH, C2、T1、T11 的第二端以及 T9 的第二端连接低电平 VGL, 这是因为图 4 中 T1~T11 为 P 型薄膜晶体管, 负电压开启, 图 10 中 T1~T11 为 N 型薄膜晶体管, 正电压开启, 所以电源的正负极要互换。图 11 为其控制时序, 图 11 的控制时序与图 5 的控制时序相反。该 N 型 GOA 电路单元可以使用在 N 型 AMOLED 像素单元电路的背板中。本实施例的工作原理与实施例五类似。

[0069] 实施例八

[0070] 本发明实施例八提供一种阵列基板行驱动电路, 其结构图如图 2 所示, 包括串联

的多级电路单元 STAGE₁~STAGE_{N+1},其电路单元与图 10 的 GOA 电路单元类似,相对于图 10 的 GOA 电路单元来说,其改进之处是将晶体管 T4 做 diode-connection 连接,即把 T4 的栅极与其连接 VGH 的一端连接在一起。该方案可以在确保栅驱动精确控制功能的前提下,缩小晶体管 T4 的布局面积,进而减小整个 GOA 电路的面积。本实施例的工作原理与实施例五类似。

[0071] 实施例九

[0072] 本发明实施例九提供了一种显示面板,例如 OLED 显示面板。所述显示面板以所述实施例一至实施例八任一所述的电路作为阵列基板行驱动电路。由于该显示面板所使用的阵列基板行驱动电路中的电路单元能稳定地产生能够精确控制 OLED 驱动电流的控制信号,实现 OLED 器件工作状态和像素电路的分别控制,从而能够避免在数据写入像素电路过程中可能会造成的像素电流的不稳定引起的 OLED 发光的闪烁,因此显示面板所显示图像的质量得以提高。

[0073] 实施例十

[0074] 本发明实施例十提供了一种显示装置,例如 OLED 显示器。所述显示装置包括实施例九所述的显示面板。由于该显示装置所使用的阵列基板行驱动电路中的电路单元能稳定地产生能够精确控制 OLED 驱动电流的控制信号,实现 OLED 器件工作状态和像素电路的分别控制,从而能够避免在数据写入像素电路过程中可能会造成的像素电流的不稳定引起的 OLED 发光的闪烁,因此显示装置所显示图像的质量得以提高。

[0075] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和替换,这些改进和替换也应视为本发明的保护范围。

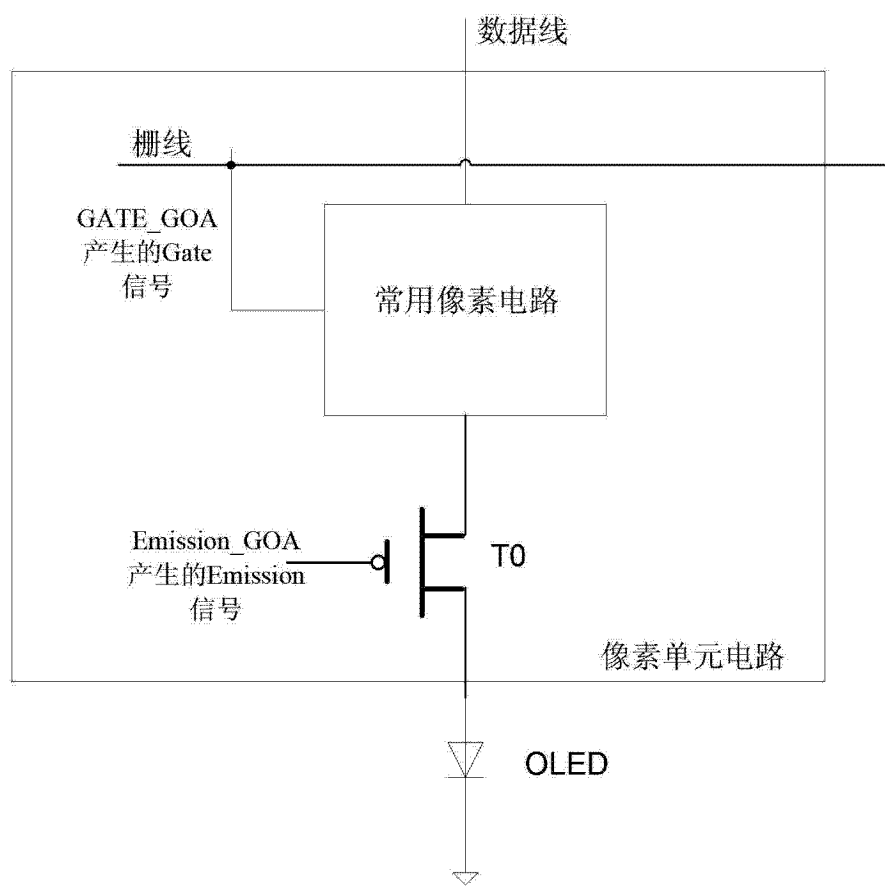


图 1

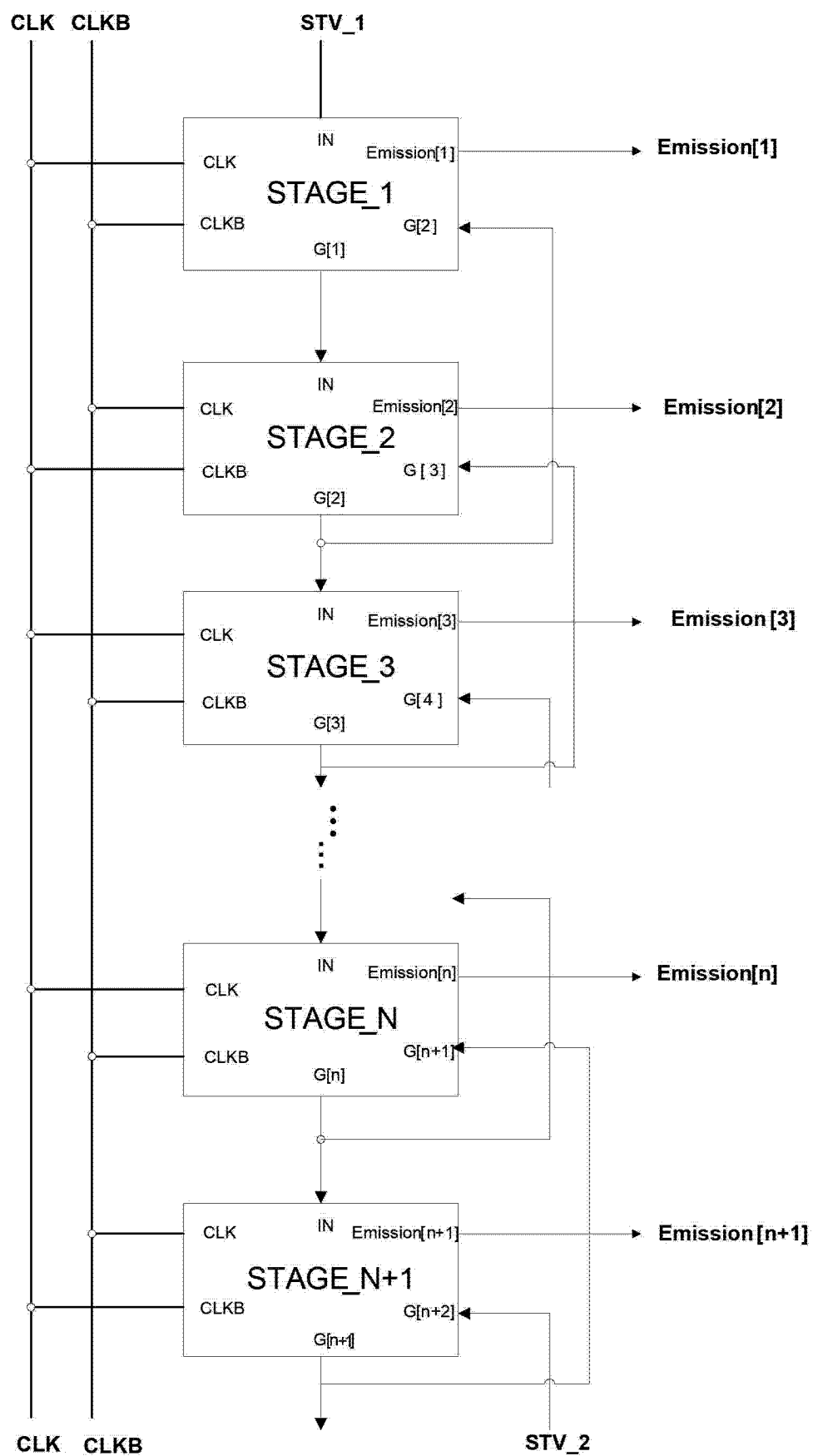


图 2

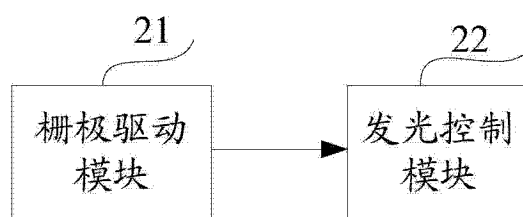


图 3

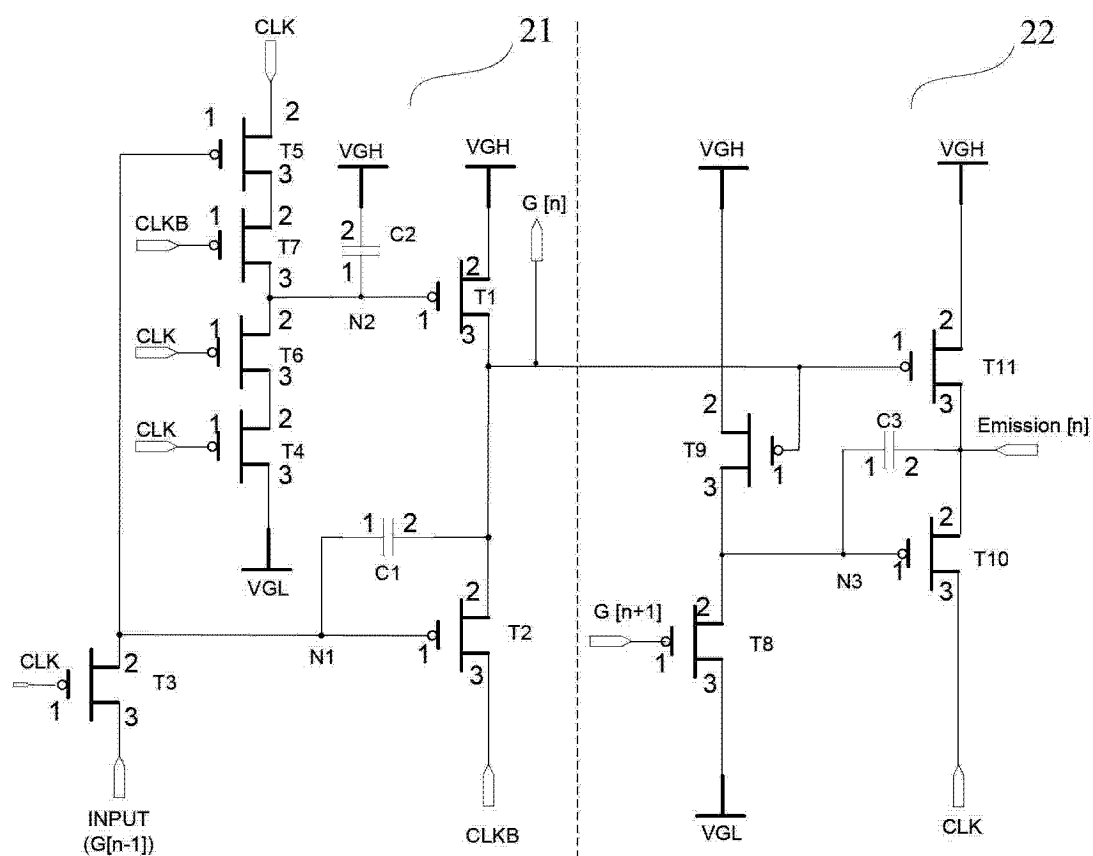


图 4

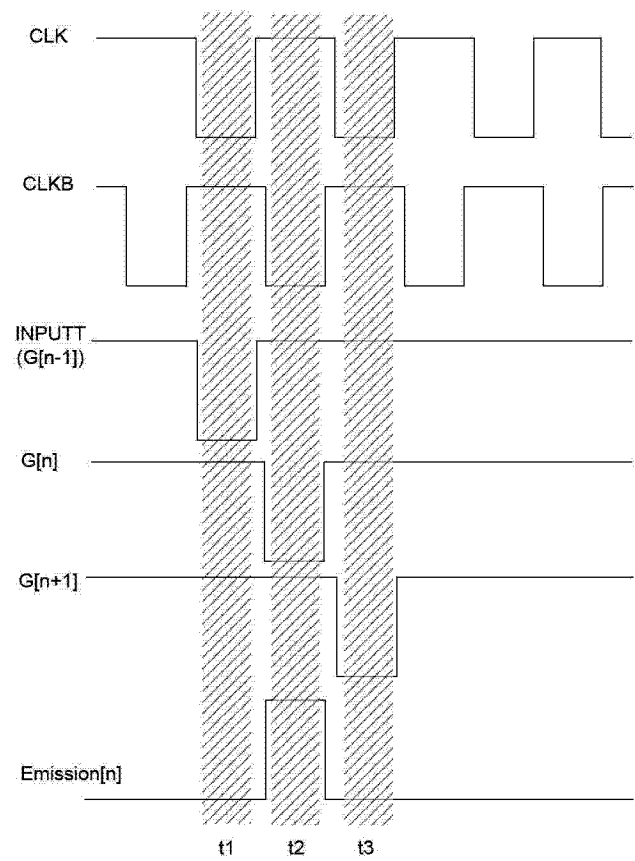


图 5

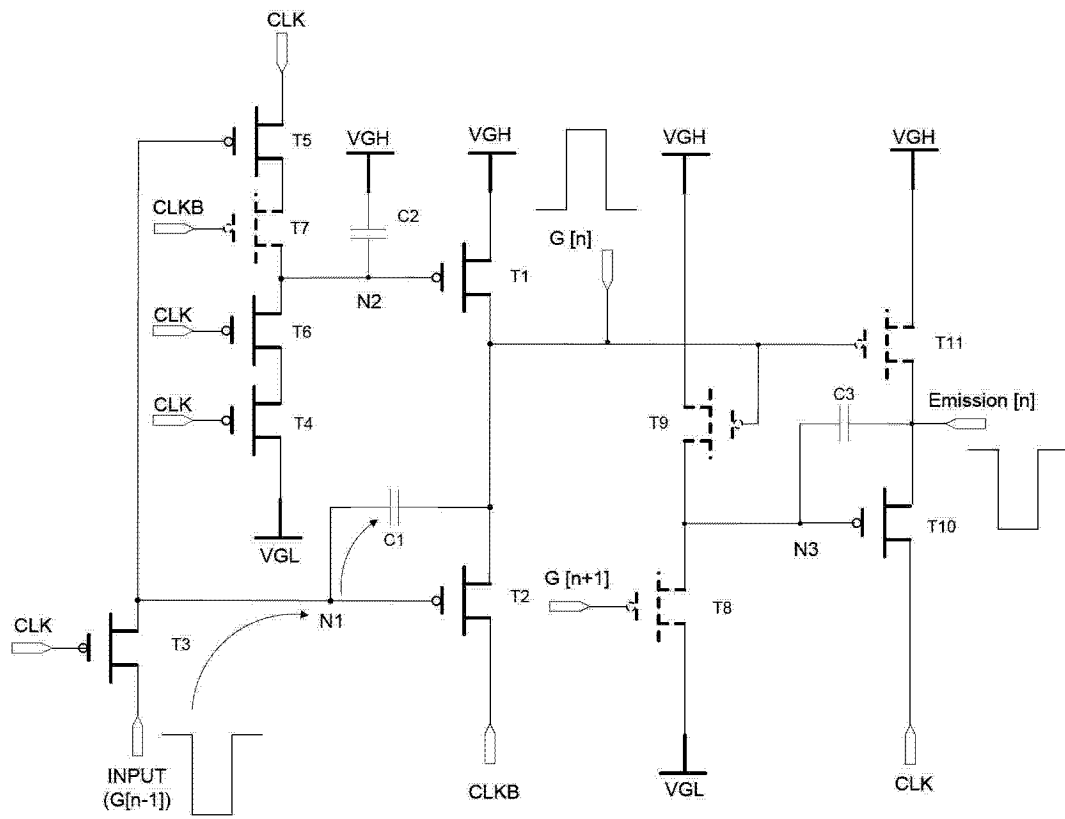


图 6

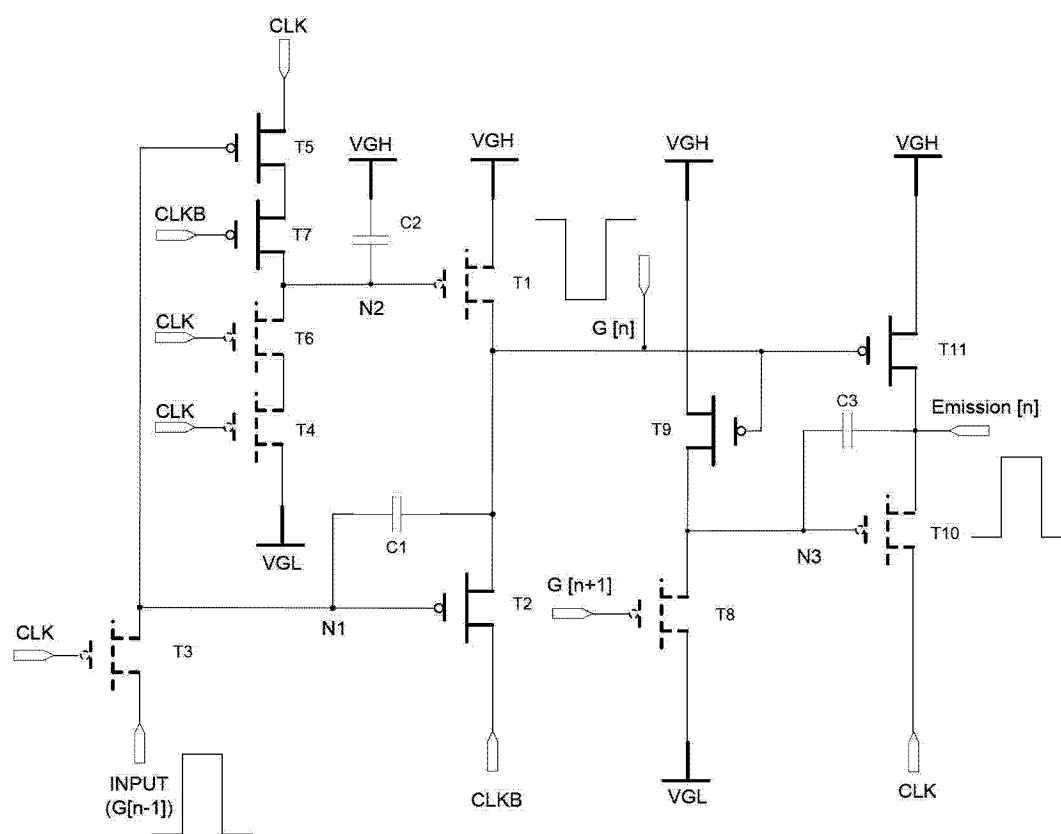


图 7

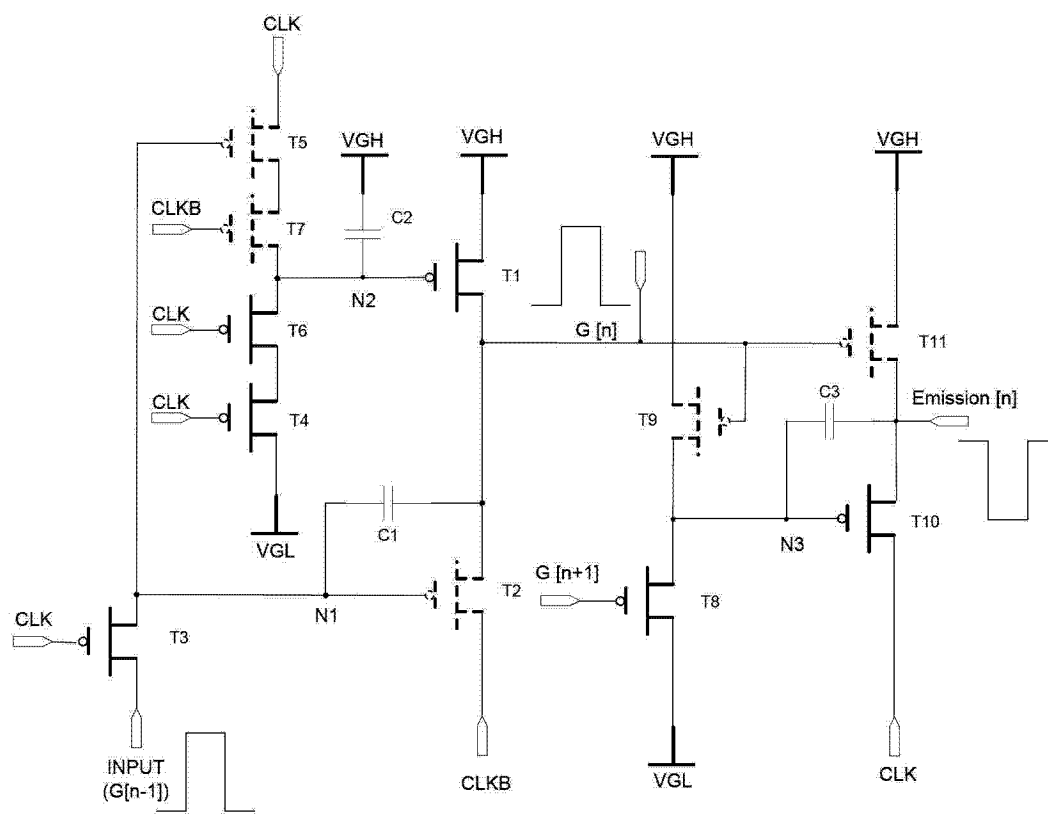


图 8

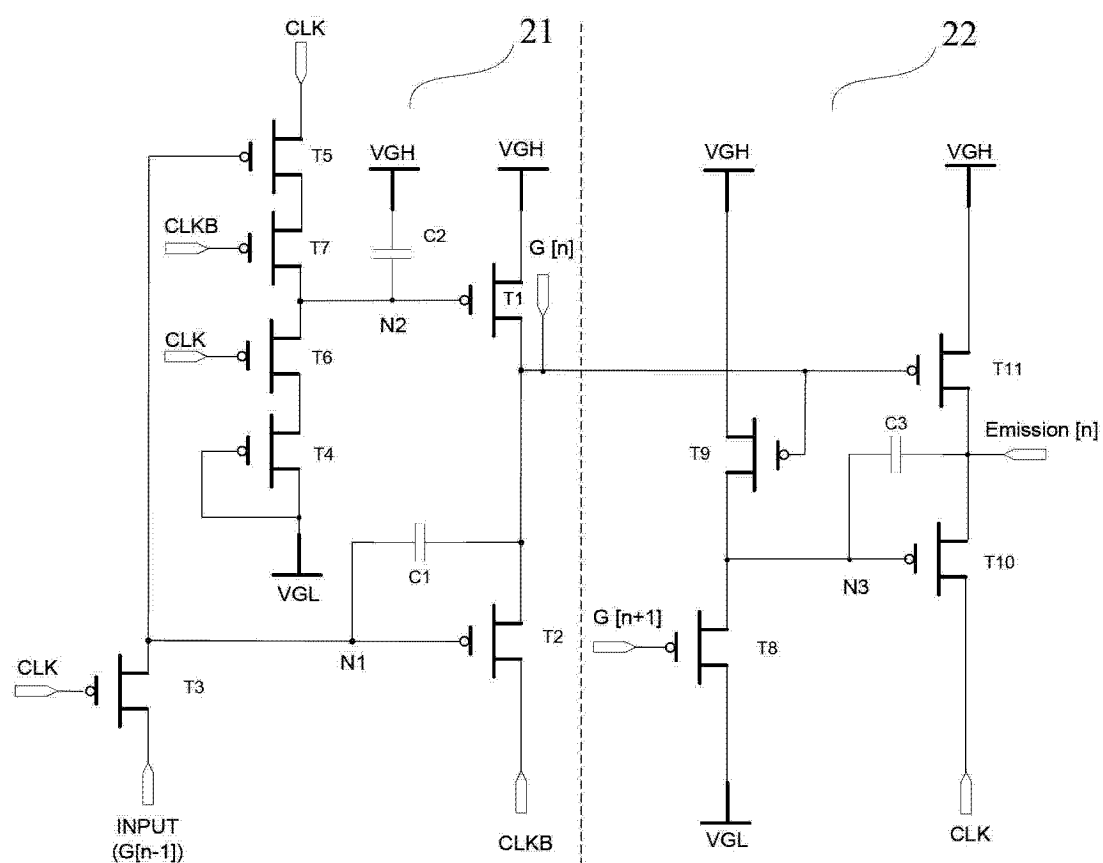


图 9

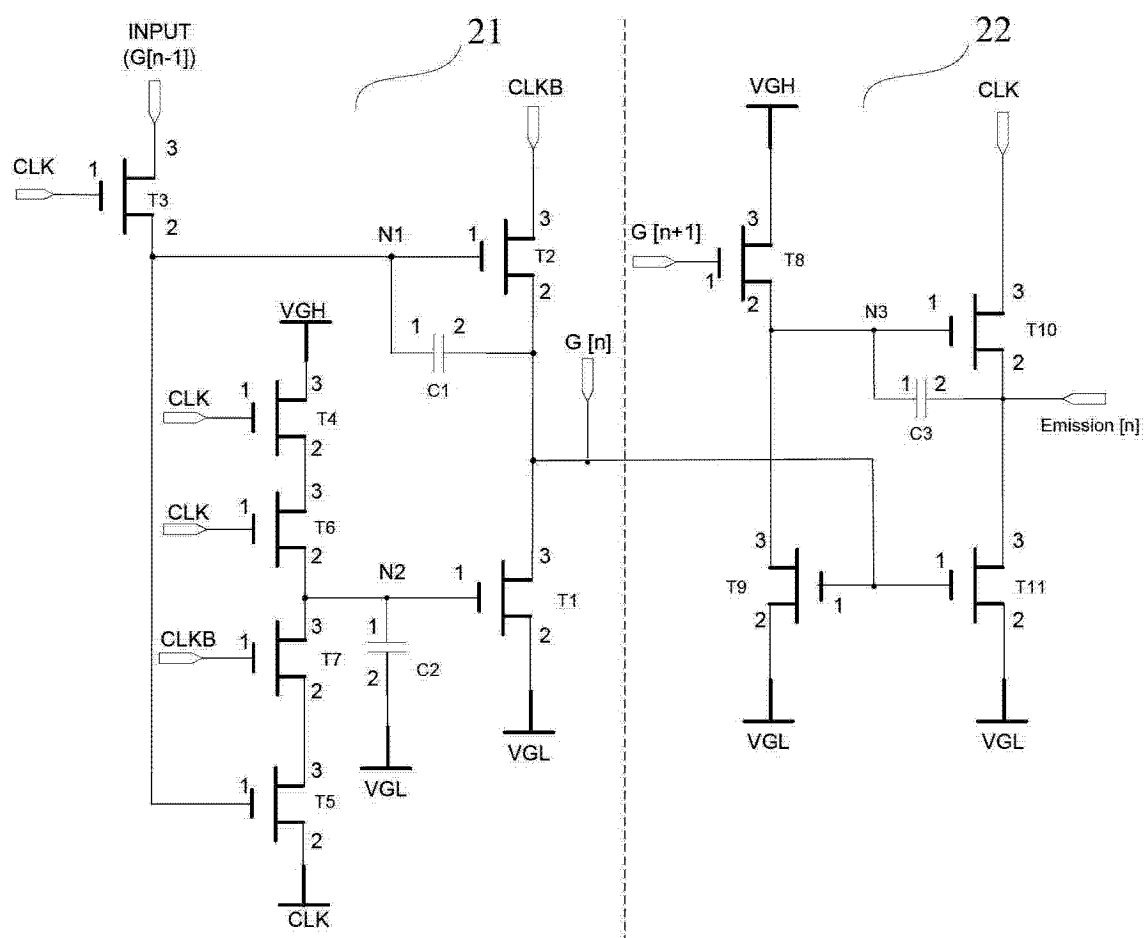


图 10

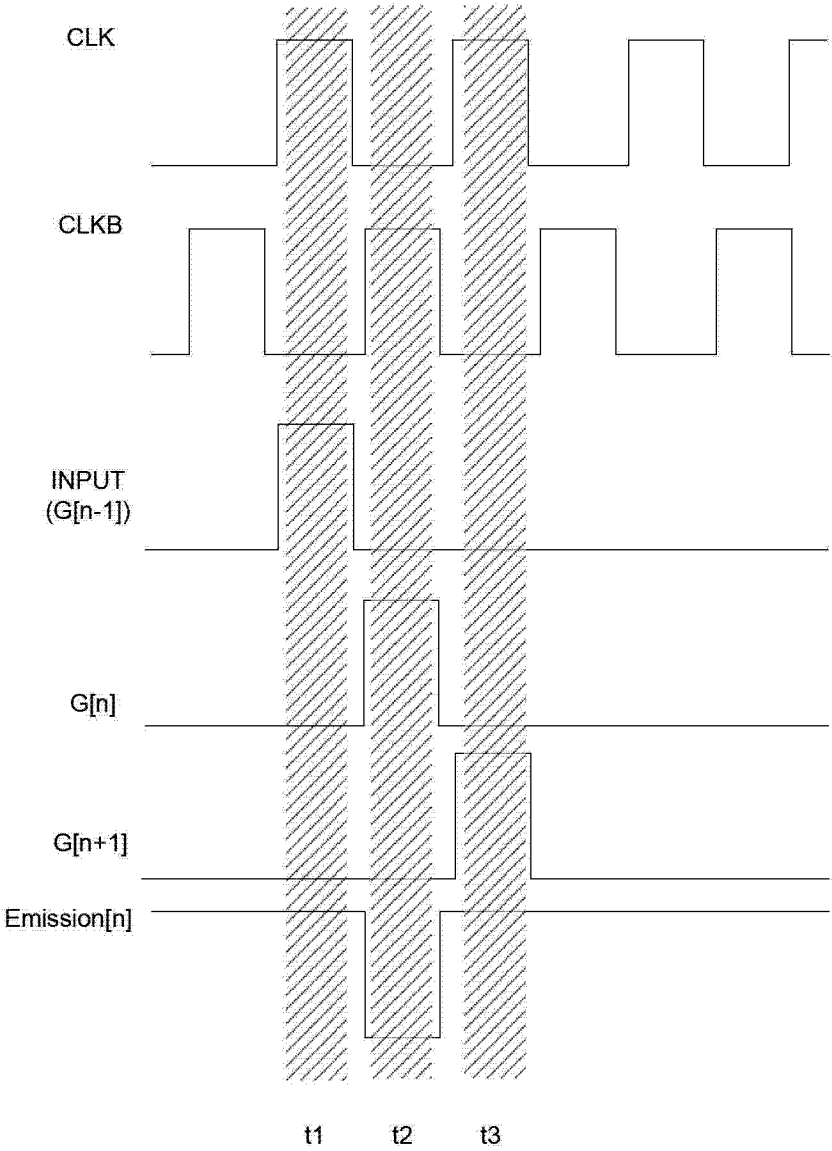


图 11

专利名称(译)	阵列基板行驱动电路、显示面板及显示装置		
公开(公告)号	CN102820007A	公开(公告)日	2012-12-12
申请号	CN201210309374.2	申请日	2012-08-27
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	王颖 金泰達 金秘爽		
发明人	王颖 金泰達 金秘爽		
IPC分类号	G09G3/32 G09G3/3225		
代理人(译)	王莹		
其他公开文献	CN102820007B		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及显示技术领域，公开了一种阵列基板行驱动电路、显示面板及显示装置。本发明中阵列基板行驱动电路能够产生精确控制OLED驱动电流的控制信号，实现OLED器件工作状态和像素电路的分别控制，从而避免在数据写入像素电路过程中可能造成的像素电流不稳定引起的OLED闪烁。该驱动电路包括栅极驱动模块和发光控制模块，所述栅极驱动模块用于产生栅极驱动信号，所述发光控制模块与所述栅极驱动模块的栅极驱动信号输出端连接，用于在所述栅极驱动信号的控制下产生控制有机发光二极管开/关的发光控制信号，所述栅极驱动信号和所述发光控制信号反相。

