



(12) 发明专利申请

(10) 申请公布号 CN 102339848 A

(43) 申请公布日 2012. 02. 01

(21) 申请号 201110190408. 6

(22) 申请日 2011. 07. 08

(30) 优先权数据

2010-160407 2010. 07. 15 JP

(71) 申请人 索尼公司

地址 日本东京都

(72) 发明人 三并彻雄 内野胜秀

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 郭定辉

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 51/52(2006. 01)

H01L 51/56(2006. 01)

G09G 3/32(2006. 01)

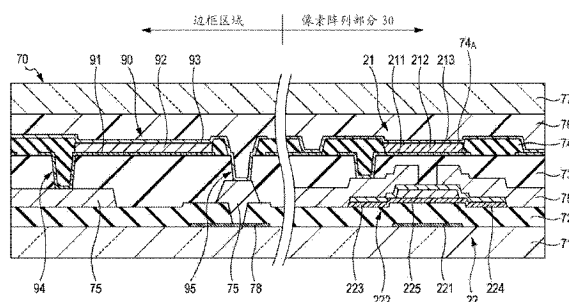
权利要求书 2 页 说明书 19 页 附图 17 页

(54) 发明名称

有机电致发光显示器件及其制造方法和电子设备

(57) 摘要

公开了有机电致发光 EL 显示器件、显示装置、制造有机 EL 显示器件的方法和包括有机 EL 显示器件的电子设备。该有机 EL 显示器件包括：像素阵列部分，其中排列具有有机 EL 元件的像素；以及驱动电路部分，在与所述像素阵列部分相同的衬底上、在所述像素阵列部分的周围部分中提供，所述驱动电路部分具有包括电容性元件的电路配置，其中所述电容性元件使用通过与所述有机 EL 元件的有机层的处理相同的处理在所述像素阵列部分的周围部分中形成的有机层作为介电部件。



1. 一种有机电致发光 EL 显示器件,包括:

像素阵列部分,其中排列具有有机 EL 元件的像素;以及

驱动电路部分,在与所述像素阵列部分相同的衬底上、在所述像素阵列部分的周围部分中提供,所述驱动电路部分具有包括电容性元件的电路配置,

其中,所述电容性元件使用通过与所述有机 EL 元件的有机层的处理相同的处理在所述像素阵列部分的周围部分中形成的有机层作为介电部件。

2. 根据权利要求 1 所述的有机 EL 显示器件,其中,所述驱动电路部分是用于顺序地选择所述像素阵列部分的每一像素的扫描电路,

所述扫描电路具有通过将单沟道晶体管与电容性元件组合而获得的反相器电路,以及

所述反相器电路的电容性元件使用在所述像素阵列部分的周围部分中形成的有机层作为介电部件。

3. 根据权利要求 2 所述的有机 EL 显示器件,其中,所述扫描电路具有包括所述有机层之下的单沟道晶体管的电路部分,所述有机层用作所述反相器电路的电容性元件的介电部件。

4. 根据权利要求 2 所述的有机 EL 显示器件,其中,所述反相器电路包括:

第一晶体管,接收与经由输入端输入的输入电压对应的电压作为栅极输入,

第二晶体管,串联连接到所述第一晶体管,并具有连接到所述输入端的栅极电极,

第一电容性元件,连接在所述第一晶体管的栅极和源极之间,以及

第二电容性元件,连接在所述第一和第二晶体管之间的公共节点与所述输入端之间,

其中,所述第二电容性元件使用所述像素阵列部分的周围部分中形成的有机层作为介电部件。

5. 根据权利要求 4 所述的有机 EL 显示器件,其中,所述第二电容性元件的电容值高于所述第一电容性元件的电容值。

6. 根据权利要求 5 所述的有机 EL 显示器件,其中,所述像素具有迁移率校正能力,所述迁移率校正能力用于通过以与流经用于驱动所述有机 EL 元件的驱动晶体管的电流对应的校正量,将负反馈施加于所述驱动晶体管的栅源电压,来校正所述驱动晶体管的迁移率,以及

所述扫描电路创建用于使用所述反相器电路的输出脉冲作为基准来确定用于校正迁移率的校正时间的写扫描信号,并基于通过所述第二电容性元件的电容耦合来确定所述输出脉冲的转换定时。

7. 根据权利要求 2 所述的有机 EL 显示器件,其中,所述电容性元件的有机层由发射单一类型光颜色的有机层构成。

8. 一种显示装置,包括:

像素阵列部分,其中排列包括有机 EL 元件的像素;以及

驱动电路部分,在所述像素阵列部分的周围部分中提供,所述驱动电路部分包括电容性元件,

其中,所述电容性元件使用与所述有机 EL 元件的有机层的相同的有机层作为介电部件。

9. 根据权利要求 8 所述的显示装置,其中,所述驱动电路部分具有通过将晶体管与电

容性元件组合而获得的反相器电路。

10. 根据权利要求 9 所述的显示装置,其中,所述反相器电路具有在所述电容性元件的有机层之下提供的晶体管。

11. 一种制造有机 EL 显示器件的方法,所述有机 EL 显示器件包括:像素阵列部分,其中排列具有有机 EL 元件的像素;以及驱动电路部分,在与所述像素阵列部分相同的衬底上、在所述像素阵列部分的周围部分中提供,所述驱动电路部分具有包括电容性元件的电路配置,所述方法包括:

通过与所述有机 EL 元件的有机层的处理相同的处理,在所述像素阵列部分的周围部分中形成有机层;以及

通过使用在所述像素阵列部分的周围部分中形成的有机层作为介电部件来形成所述电容性元件。

12. 一种包括有机 EL 显示器件的电子设备,所述有机 EL 显示器件包括:

像素阵列部分,其中排列具有有机 EL 元件的像素;以及

驱动电路部分,在与所述像素阵列部分相同的衬底上、在所述像素阵列部分的周围部分中提供,所述驱动电路部分具有包括电容性元件的电路配置,

其中,所述电容性元件使用通过与所述有机 EL 元件的有机层的处理相同的处理在所述像素阵列部分的周围部分中形成的有机层作为介电部件。

有机电致发光显示器件及其制造方法和电子设备

技术领域

[0001] 本公开涉及有机 EL 显示器件、制造有机 EL 显示器件的方法和电子设备，并且具体地说涉及通过将具有包含电容性元件的电路配置的驱动电路单元安装到与像素阵列部分相同的衬底上而获得的有机 EL 显示器件、制造其的方法和电子设备。

背景技术

[0002] 近年来，在执行图像显示的显示器件领域中，以矩阵形状排列像素（像素电路）的扁平型（平板型）显示器件已经迅速地变得普遍。作为扁平型显示器件之一，存在使用所谓的电流驱动型电光元件（其中，发光亮度根据流经该器件的电流值而改变）作为像素的发光元件的显示器件。作为电流驱动型电光元件，存在使用有机电致发光（EL）材料的有机 EL 元件，其中当将电场施加于有机薄膜上时发光。

[0003] 使用有机 EL 元件作为像素的发光元件的有机 EL 显示器件具有如下特性。具体来说，由于有机 EL 元件可以由等于或低于 10V 的电压驱动，因此它具有低功耗。由于有机 EL 元件是自发光元件，因此与液晶显示器件相比，图像可见度（visibility）出色。此外，由于不需要诸如背光单元之类的照明部件，因此促进了轻重量和薄厚度。此外，由于有机 EL 元件具有非常快速的响应时间（如，几微秒），因此当显示运动画面时不会产生余像。

[0004] 与液晶显示器件类似，考虑驱动方法，可以将有机 EL 显示器件分类为无源矩阵型和有源矩阵型。这里，无源矩阵型显示器件具有简单的结构，但是随着扫描线（即，像素数量）增大，有机 EL 元件的发光时段减小。因此，无源矩阵型显示器件具有诸如难以实现大尺寸和高精度显示器件之类的问题。

[0005] 为此，近年来，继续开发了有源矩阵型显示器件，其中由与电光元件一起在同一像素中提供的有源元件（例如，绝缘栅场效应晶体管）来控制流经电光元件的电流。一般地，薄膜晶体管（TFT）用作绝缘栅场效应晶体管。通过使用有源矩阵型显示器件，由于电光元件跨越单个显示帧时段持续发光，因此易于实现大尺寸和高精度有机 EL 显示器件。

[0006] 一般而言，可以理解，有机 EL 元件的电流 I 对电压 V 的特性随着时间经过而恶化（所谓的，时间恶化）。特别地，当 N 沟道 TFT 用作驱动有机 EL 元件的晶体管（在下文中，称为“驱动晶体管”）时，当由于时间经过而使得有机 EL 元件的 I - V 特性恶化时，驱动晶体管的栅-源电压 V_{gs} 改变。因此，有机 EL 元件所发光的亮度改变。

[0007] 另外，驱动晶体管的阈值电压 V_{th} 或迁移率 μ 可能随时间改变，或者可能由于制造工艺的偏差而在每一个像素中不同。当在每一个像素中阈值电压 V_{th} 或迁移率 μ 不同时，在每一个像素中流经驱动晶体管的电流值偏移。结果，即使当将均匀的电压施加到各像素的驱动晶体管的栅极之间，从有机 EL 元件发出的光的亮度也在各像素之间偏移。因此，显示均匀性恶化。

[0008] 在这一点上，向像素电路提供各种校正（补偿）功能性，以便恒定地保持从有机 EL 元件发出的光的亮度，而没有来自有机 EL 元件的 I - V 特性的时间恶化或驱动晶体管的晶体管特性的时间改变的影响（例如，参照日本待审专利申请公开 No. 2008-083272）。

发明内容

[0009] 在上述有源矩阵型有机 EL 显示器件中,像素阵列部分周围的驱动电路部分(例如,用于顺序地选择每一像素的扫描电路)基本上包括移位寄存器电路作为主要组件。另外,扫描电路在移位寄存器电路的每一个传送级(transfer stage)具有缓冲器电路以与像素阵列部分的每一行匹配。另外,移位寄存器电路或缓冲器电路一般包括反相器电路。

[0010] 然而,为了降低成本的目的,驱动电路部分通常使用单沟道晶体管来配置。这里,单沟道晶体管仅指 N 沟道晶体管或仅指 P 沟道晶体管。另外,当移位寄存器电路或缓冲器电路包括的反相器电路使用单沟道晶体管来配置时,采用通过将晶体管与电容性元件组合而获得的电路配置,以便保证反相器电路的可靠操作(如下面将详细描述的那样)。

[0011] 以这种方式,如果驱动电路部分使用具有与电容性元件组合的单沟道晶体管的反相器电路来配置,则在全部驱动电路部分中使用的电容性元件的数量显著增大。另外,当通过将具有这种配置的驱动电路部分安装到与像素阵列部分相同的衬底上来配置显示面板时,在驱动电路部分内由电容性元件占据的布局区域增大。因此,可能存在这样的问题:像素阵列部分的周边部分(所谓的边框(bezel))可能扩大。

[0012] 期望提供一种有机 EL 显示器件,当将具有包括电容性元件的电路配置的反相器电路的驱动电路部分安装到显示面板上时能够缩窄显示面板的边框,以及制造所述 EL 显示器件的方法和具有所述 EL 显示器件的电子设备。

[0013] 根据本公开的实施例,提供了有机电致发光 EL 显示器件,包括:像素阵列部分,其中排列具有有机 EL 元件的像素;以及驱动电路部分,在与所述像素阵列部分相同的衬底上,将所述驱动电路部分提供在所述像素阵列部分的周围部分中,所述驱动电路部分具有包括电容性元件的电路配置,其中所述电容性元件使用通过与所述有机 EL 元件的有机层的处理相同的处理、在所述像素阵列部分的周围部分中形成的有机层作为介电部件。

[0014] 在具有前述配置的有机 EL 显示器件中,即使当在像素阵列部分的周围部分中形成用作电容性元件的介电部件的有机层时,通过与有机 EL 元件的有机层的处理相同的处理来形成有机层。因此,制造处理的数量不会增大。另外,由于像素阵列部分的周围部分中形成的有机层用作电容性元件的介电部件,因此可以自由地使用有机层之下的区域以形成其他电路部分。结果,由于不需要单独地准备用于形成其他电路部分的区域,因此可以将驱动电路部分占据的布局区域以及进一步将像素阵列部分的周围部分的区域(即,显示面板的边框)减小到这种程度。

[0015] 根据本公开的实施例,当将具有包括电容性元件的电路配置的驱动电路部分安装到显示面板上时,可以缩窄显示面板的边框。

附图说明

[0016] 图 1 是图示根据本公开实施例的有源矩阵型有机 EL 显示器件的示意性配置的系统配置图。

[0017] 图 2 是详细图示像素(像素电路)的电路配置的示例的电路示意图。

[0018] 图 3 是用于描述根据本公开实施例的有机 EL 显示器件的基本电路操作的定时波形图。

[0019] 图 4A 到图 4D 是用于描述根据本公开实施例的有机 EL 显示器件的基本电路操作的 (第一) 图。

[0020] 图 5A 到图 5D 是用于描述根据本公开实施例的有机 EL 显示器件的基本电路操作的 (第二) 图。

[0021] 图 6A 和图 6B 分别是用于描述驱动晶体管的阈值电压 V_{th} 的偏移所引起的问题以及用于描述驱动晶体管的迁移率 μ 的偏移所引起的问题的特性图。

[0022] 图 7 是图示写扫描电路的示例性配置的框图。

[0023] 图 8A 到图 8C 是用于描述作为写扫描电路的主要部分的移位寄存器电路的操作的图。

[0024] 图 9 是用于描述移位寄存器的操作的定时波形图。

[0025] 图 10A 和图 10B 是用于描述通过组合单沟道晶体管和电容性元件而获得的反相器电路的图, 其中图 10A 图示了示例性电路配置, 而图 10B 图示了输入脉冲信号 INV_{in} 和输出脉冲信号 INV_{out} 的波形。

[0026] 图 11 是图示根据参考示例的显示面板的安装结构的截面图。

[0027] 图 12 是图示电容性元件的示意性安装状态的放大的平面视图。

[0028] 图 13 是图示根据本公开实施例的显示面板的安装结构的截面视图。

[0029] 图 14 是图示根据本公开实施例的电视机的外观的透视图。

[0030] 图 15A 和图 15B 是图示根据本公开实施例的数码相机的外观的透视图, 其中图 15A 是前透视图, 而图 15B 是后透视图。

[0031] 图 16 是图示根据本公开实施例的膝上型计算机的外观的透视图。

[0032] 图 17 是图示根据本公开实施例的摄像机的外观的透视图。

[0033] 图 18A 到图 18G 是图示根据本公开实施例的移动电话的外观视图, 其中图 18A 是打开状态的前视图, 图 18B 是其侧视图, 图 18C 是关闭状态的前视图, 图 18D 是左侧视图, 图 18E 是右侧视图, 图 18F 是顶视图, 且图 18G 是底视图。

具体实施方式

[0034] 现在将参照附图描述本公开的实施例 (在下文中称为“实施例”)。将以如下顺序进行描述。

[0035] 1. 本公开实施例中的有机 EL 显示器件

[0036] 1-1. 系统配置

[0037] 1-2. 基本电路操作

[0038] 1-3. 驱动电路部分的配置示例

[0039] 2. 实施例的描述

[0040] 2-1. 本公开的实施例中显示面板的安装结构

[0041] 2-2. 本公开的实施例中制造显示面板的方法

[0042] 3. 修改

[0043] 4. 应用 (电子设备)

[0044] 1. 本公开的实施例中的有机 EL 显示器件

[0045] 1-1. 系统配置

[0046] 图 1 是图示根据本公开实施例的有源矩阵型有机 EL 显示器件的示意性配置的系统配置图。

[0047] 有源矩阵型有机 EL 显示器件是这样的显示器件：其中，由与有机 EL 元件的像素相同的像素中提供的有源元件（如绝缘栅场效应晶体管）来控制流经作为电流驱动型电光元件的有机 EL 元件的电流。一般地，使用 TFT（薄膜晶体管）作为绝缘栅场效应晶体管。

[0048] 参照图 1，根据本公开实施例的有机 EL 显示器件 10 包括：多个像素 20，具有有机 EL 元件；像素阵列部分 30，在其中像素 20 以矩阵形状在二维空间中排列；以及驱动电路部分，排列在像素阵列部分 30 周围。驱动电路部分包括写扫描电路 40、电源扫描电路 50、信号输出电路 60 等，以驱动像素阵列部分 30 的每一像素 20。

[0049] 这里，在有机 EL 显示器件 10 具有彩色显示对应性 (color display correspondence) 的情况下，单个像素（单元像素）包括多个子像素，并且每一子像素对应于图 1 的像素 20。更具体地说，在彩色显示对应性显示器件的情况下，单个像素包括例如三个子像素，包括发射红光 (R) 的子像素、发射绿光 (G) 的子像素和发射蓝光 (B) 的子像素。

[0050] 然而，单个像素中包括的子像素的结构不限于三原色 RGB，并且除了三原色的子像素之外，还可以是单个颜色或多个颜色的单个像素。更具体地说，例如，可以将发射白光 (W) 的子像素添加到单个像素中，以便提高亮度。替代地，可以将发射补色光的至少一个子像素添加到单个像素中，以便扩大彩色再现范围。

[0051] 在像素阵列部分 30 中，在 m 行 n 列的像素 20 的阵列中，沿着行方向（像素行的像素的排列方向）在每一像素行中排列扫描线 31_1 到 31_m 和电源线 32_1 到 32_m 。另外，沿着列方向（像素列的像素的排列方向）在每一像素列中排列信号线 33_1 到 33_n 。

[0052] 每一扫描线 31_1 到 31_m 连接到写扫描电路 40 的对应行的输出端。每一电源线 32_1 到 32_m 连接到电源扫描电路 50 的对应行的输出端。每一信号线 33_1 到 33_n 连接到信号输出电路 60 的对应列的输出端。

[0053] 像素阵列部分 30 一般形成在透明绝缘衬底（如，玻璃衬底）上。结果，有机 EL 元件 10 具有扁平型面板结构。像素阵列部分 30 的每一像素 20 的驱动电路可以由非晶硅 TFT 或低温多晶硅 TFT 形成。在使用低温多晶硅 TFT 的情况下，如图 1 所示，写扫描电路 40、电源扫描电路 50 和信号输出电路 60 也可以安装在用以形成像素阵列部分 30 的显示面板（衬底）70 中。

[0054] 写扫描电路 40 包括移位寄存器电路等，用于与时钟脉冲 ck 同步地依次移位（传送）开始脉冲 sp （将在下面详细描述写扫描电路 40 的具体配置）。当将图像信号写到像素阵列部分 30 的每一像素 20 时，写扫描电路 40 通过将写扫描信号 $WS(WS_1$ 到 $WS_m)$ 依次提供到扫描线 $31(31_1$ 到 $31_m)$ （逐行扫描），来以行为单位顺序地扫描像素阵列部分 30 的每一像素 20。

[0055] 电源扫描电路 50 包括移位寄存器电路等，其与时钟脉冲 ck 同步地顺序地移位开始脉冲 sp 。电源扫描电路 50 向电源线 $32(32_1$ 到 $32_m)$ 提供电源电位 $DS(DS_1$ 到 $DS_m)$ ，其能够与写扫描电路 40 的逐行扫描同步地切换到第一电源电位 V_{ccp} 和第二电源电位 V_{ini} （其低于第一电源电位 V_{ccp} ）。如下所述，基于从电源电位 DS 切换到 V_{ccp}/V_{ini} 来控制像素 20 的发光/不发光。

[0056] 信号输出电路 60 选择性地输出与从信号供应源（未示出）输出的亮度信息对应的图像信号的信号电压 V_{sig} （在下文中也称为信号电压）和基准电位 V_{ofs} 。这里，基准电位 V_{ofs} 是用作图像信号的信号电压 V_{sig} 的基准的电位（例如，与图像信号的黑电平对应的电位），并且用在阈值校正处理中，这将在下面描述。

[0057] 将从信号输出电路 60 输出的信号电压 V_{sig} / 基准电位 V_{ofs} 经由信号线 33 (33_1 到 33_n)，以通过写扫描电路 40 的扫描所选择的像素行为单位，写到像素阵列部分 30 的每一像素 20。即，信号输出电路 60 采用以行（线）为单位写信号电压 V_{sig} 的逐行写型驱动模式。

[0058] 像素电路

[0059] 图 2 是详细图示了像素（像素电路）20 的示例性电路配置的电路示意图。像素 20 的发光部分包括有机 EL 元件 21 作为电流驱动型电光元件，在该元件中发光亮度根据流经该器件的电流值而改变。

[0060] 参照图 2，像素 20 包括有机 EL 元件 21 和用于通过将电流流经有机 EL 元件 21 来驱动有机 EL 元件 21 的驱动电路。有机 EL 元件 21 的阴极连接到对于所有像素 20 公共地布线（所谓的 β 布线）的公共电源线 34。

[0061] 用于驱动有机 EL 元件 21 的驱动电路包括驱动晶体管 22、写晶体管 23、存储电容器 24 和辅助电容器 25。N 沟道型 TFT 可以用作驱动晶体管 22 和写晶体管 23。然而，这里所述的驱动晶体管 22 和写晶体管 23 的传导类型只是示例性的，并且并非意在限制本公开的范围。

[0062] 在驱动晶体管 22 中，一个电极（源极 / 漏极电极）连接到有机 EL 元件 21 的阳极，并且另一电极（漏极 / 源极电极）连接到电源线 32 (32_1 到 32_m)。

[0063] 在写晶体管 23 中，一个电极（源极 / 漏极电极）连接到信号线 33 (33_1 到 33_n)，并且另一电极（漏极 / 源极电极）连接到驱动晶体管 22 的栅极电极。另外，写晶体管 23 的栅极电极连接到扫描线 31 (31_1 到 31_m)。

[0064] 在驱动晶体管 22 和写晶体管 23 中，一个电极是指电连接到源极 / 漏极区的金属布线，并且另一电极是指电连接到漏极 / 源极区的金属布线。另外，基于一个电极与另一电极之间的电位关系，如果一个电极还用作源极电极，则它可以用作漏极电极。如果另一电极用作漏极电极，则它可以用作源极电极。

[0065] 在存储电容器 24 中，一个电极连接到驱动晶体管 22 的栅极电极，而另一电极连接到驱动晶体管 22 的另一电极以及有机 EL 元件 21 的阳极。

[0066] 在辅助电容器 25 中，一个电极连接到有机 EL 元件 21 的阳极，而另一电极连接到公共电源线 34。如果需要的话，提供辅助电容器 25，以便补充有机 EL 元件 21 的电容的不足并增大存储电容 24 的图像信号的写增益。即，辅助电容 25 不是必不可少的元件，如果有有机 EL 元件 21 的等效电容足够高，则可以省略。

[0067] 尽管这里已经描述了辅助电容器 25 的另一电极连接到公共电源线 34，但是如果具有恒定电位而没有对于公共电源线 34 的限制，则另一电极可以连接到任何其他电极。由于辅助电容器 25 的另一电极连接到具有恒定电位的节点，因此可以实现期望的优点，如补充有机 EL 元件 21 的电容的不足和增大存储电容器 24 的图像信号的写增益。

[0068] 在具有上述配置的像素 20 中，响应于从写扫描电路 40 经由扫描线 31 施加到栅极电极的高有效写扫描信号 WS 而导通写晶体管 23。结果，写晶体管 23 采样基准电位 V_{ofs} 或

经由信号线 33 从信号输出电路 60 提供的亮度信息所对应的图像信号的信号电压 V_{sig} , 并将其写入像素 20。将写入的信号电压 V_{sig} 或基准电位 V_{ofs} 施加到驱动晶体管 22 的栅极电极, 并且还将其存储在存储电容器 24 中。

[0069] 当将电源线 32 (32₁ 到 32_m) 的电源电位 DS 维持在第一电源电位 V_{ccp} 时, 驱动晶体管 22 的一个电极用作漏极电极, 而另一电极用作源极电极, 以便驱动晶体管 22 在饱和区操作。结果, 驱动晶体管 22 接收从电源线 32 提供的电流, 并以电流驱动有机 EL 元件 21 以发光。更具体地说, 通过在饱和区操作驱动晶体管 22, 驱动晶体管 22 向有机 EL 元件 21 提供具有与存储电容器 24 中存储的信号电压 V_{sig} 的电压值对应的电流值的驱动电流, 并以电流驱动有机 EL 元件 21 以发光。

[0070] 此外, 当电源电位 DS 从第一电源电位 V_{ccp} 改变到第二电源电位 V_{ini} 时, 驱动晶体管 22 的一个电极用作源极电极, 而另一电极用作漏极电极, 以便驱动晶体管 22 作为切换晶体管而操作。结果, 驱动晶体管 22 停止向有机 EL 元件 21 提供驱动电流, 以便有机 EL 元件 21 处于不发光状态下。即, 驱动晶体管 22 还用作控制有机 EL 元件 21 的发光 / 不发光的晶体管。

[0071] 由于驱动晶体管 22 的切换操作, 提供有机 EL 元件 21 维持在不发光状态之下的时段 (不发光时段), 以便可以控制有机 EL 元件 21 的发光时段和不发光时段之间的 (占空) 比。通过控制占空比, 可以消除由单个显示帧时段的像素发射的光所引起的余像闪烁, 并且特别地, 提高运动画面的图像质量。

[0072] 在经由电源线 32 选择性地从电源扫描电路 50 提供的第一和第二电源电位 V_{ccp} 和 V_{ini} 之中, 第一电源电位 V_{ccp} 是用于向驱动晶体管 22 提供用于驱动有机 EL 元件 21 发光的驱动电流的电源电位。另外, 第二电源电位 V_{ini} 是用于向有机 EL 元件 21 施加反向偏置的电源电位。将第二电源电位 V_{ini} 设置为低于基准电位 V_{ofs} 的电位, 例如, 低于 $V_{ofs} - V_{th}$ 的电位, 并且优选地, 充分低于 $V_{ofs} - V_{th}$, 其中 V_{th} 表示驱动晶体管 22 的阈值电压。

[0073] 1-2. 基本电路操作

[0074] 接下来, 将参照图 3 的定时波形图以及图 4A 到图 4D 以及图 5A 到图 5D 的操作说明图来描述具有前述配置的有机 EL 显示器件 10 的基本电路操作。另外, 在图 4A 到图 4D 以及图 5A 到图 5D 的操作说明图中, 为了简化图示的目的, 将写晶体管 23 图示为开关符号。

[0075] 图 3 的定时波形图示出了扫描线 31 的电位 WS (写扫描信号)、电源线 32 的电位 DS (电源电位)、信号线的电位 (V_{sig}/V_{ofs})、驱动晶体管 22 的栅极电位 V_g 以及源极电位 V_s 。另外, 为了进行区别, 栅极电位 V_g 的波形由点划线表示, 并且源极电位 V_s 的波形由虚线表示。

[0076] 预显示帧的发光时段

[0077] 在图 3 的定时波形图中, 时间 t_{11} 之前的时段对应于前一显示帧中有机 EL 元件 21 的发光时段。在前一显示帧的发光时段中, 电源线 32 的电位 DS 是第一电源电位 V_{ccp} (在下文中称为“高电位”), 并且写晶体管 23 截止。

[0078] 在这种情况下, 驱动晶体管 22 设计为在饱和区操作。结果, 如图 4A 所示, 将与驱动晶体管 22 的栅-源电压 V_{gs} 对应的驱动电流 (漏-源电流) I_{ds} 经由驱动晶体管 22 从电源线 32 提供到有机 EL 元件 21。结果, 有机 EL 元件 21 以与驱动电流 I_{ds} 的电流值对应的亮度发光。

[0079] 阈值校正准备时段

[0080] 在时间 t_{11} , 启动用于逐行扫描的新的显示帧 (当前显示帧)。然后, 如图 4B 所示, 电源线 32 的电位 DS 从高电位 V_{ccp} 切换到相对于信号线 33 的基准电位 V_{ofs} 充分低于 $V_{ofs} - V_{th}$ 的第二电源电位 (在下文中, 称为“低电位”) V_{ini} 。

[0081] 这里, 有机 EL 元件 21 的阈值电压称为 V_{thel} , 并且公共电源线 34 的电位 (阴极电位) 称为 V_{cath} 。在这种情况下, 如果低电位 V_{ini} 设置为 $V_{ini} < V_{thel} + V_{cath}$, 则驱动晶体管 22 的源极电位 V_s 变得约等于低电位 V_{ini} 。因此, 有机 EL 元件 21 被反向偏置, 并且关闭光。

[0082] 接着, 在时间 t_{12} , 扫描线 31 的电位 WS 从低电位改变到高电位, 并且如图 4C 所示, 写晶体管 23 导通。在这种情况下, 由于已经将基准电位 V_{ofs} 从信号输出电路 60 提供到信号线 33, 因此驱动晶体管 22 的栅极电位 V_g 处于基准电位 V_{ofs} 。另外, 驱动晶体管 22 的源极电位 V_s 处于充分低于基准电位 V_{ofs} 的电位 V_{ini} 。

[0083] 在这种情况下, 驱动晶体管 22 的栅 - 源电位 V_{gs} 变为 $V_{ofs} - V_{ini}$ 。这里, 如果电压 $V_{ofs} - V_{ini}$ 不高于驱动晶体管 22 的阈值电压 V_{th} , 则不可能执行阈值校正处理, 这将在下面描述。因此, 必须将电位关系设置为 $V_{ofs} - V_{ini} > V_{th}$ 。

[0084] 以这种方式, 通过将驱动晶体管 22 的栅极电位 V_g 固定到基准电位 V_{ofs} 并将源极电位固定 (稳定) 到低电位 V_{ini} 来执行初始化的处理是阈值校正处理 (阈值校正操作) 之前的准备处理 (阈值校正准备), 这将在下面描述。因此, 基准电位 V_{ofs} 和低电位 V_{ini} 分别变为驱动晶体管 22 的栅极电位 V_g 和源极电位 V_s 的初始化电位。

[0085] 阈值校正时段

[0086] 接着, 在时间 t_{13} , 如图 4D 所示, 当电源线 32 的电位 DS 从低电位 V_{ini} 切换到高电位 V_{ccp} 时, 在驱动晶体管 22 的栅极电位 V_g 维持在基准电位 V_{ofs} 时, 启动阈值校正处理。即, 驱动晶体管 22 的源极电位 V_s 开始升高到通过从栅极电位 V_g 减去驱动晶体管 22 的阈值电压 V_{th} 而获得的电位。

[0087] 这里, 为了简化的目的, 阈值校正处理是指将源极电位 V_s 相对于驱动晶体管 22 的栅极电位 V_g 的初始化电位 V_{ofs} 改变到通过从初始化电位 V_{ofs} 减去驱动晶体管 22 的阈值电压 V_{th} 而获得的电位的处理。随着阈值校正处理进行, 驱动晶体管 22 的栅 - 源电压 V_{gs} 达到驱动晶体管 22 的阈值电压 V_{th} 。将与阈值电压 V_{th} 对应的这种电压存储在存储电容器 24 中。

[0088] 另外, 在用于执行阈值校正处理的时段 (阈值校正时段) 期间, 设置公共电源线 34 的电位 V_{cath} 以使得有机 EL 元件 21 具有截止状态, 以便仅将电流流到存储电容器 24 侧并禁止电流流到有机 EL 元件 21 侧。

[0089] 接着, 在时间 t_{14} , 当扫描线 31 的电位 WS 改变到低电位时, 写晶体管 23 截止, 如图 5A 所示。在这种情况下, 驱动晶体管 22 的栅极电极从信号线 33 电断开, 从而处于浮置状态。然而, 由于栅 - 源电压 V_{gs} 等于驱动晶体管 22 的阈值电压 V_{th} , 因此驱动晶体管 22 处于截止状态。因此, 漏源电流 I_{ds} 不流到驱动晶体管 22。

[0090] 信号写和迁移率校正时段

[0091] 接着, 在时间 t_{15} , 如图 5B 所示, 信号线 33 的电位从基准电位 V_{ofs} 改变到图像信号的信号电压 V_{sig} 。接下来, 在时间 t_{16} , 当扫描线 31 的电位 WS 改变到高电位时, 写晶体管 23 如图 5C 所示那样导通, 并且采样图像信号的信号电压 V_{sig} 并将其写到像素 20。

[0092] 当由写晶体管 23 写入信号电压 V_{sig} 时,驱动晶体管 22 的栅极电位 V_g 变为信号电压 V_{sig} 。当由图像信号的信号电压 V_{sig} 驱动驱动晶体管 22 时,通过与存储电容器 24 中存储的阈值电压 V_{th} 对应的电压来抵消驱动晶体管 22 的阈值电压 V_{th} 。阈值抵消的原理将在下面详细描述。

[0093] 在这种情况下,有机 EL 元件 21 具有截止状态(高阻抗状态)。因此,响应于图像信号的信号电压 V_{sig} 从电源线 32 流到驱动晶体管 22 的电流(漏-源电流 I_{ds})还流到辅助电容器 25 和有机 EL 元件 21 的等效电容器,这触发了那些电容的充电。

[0094] 当辅助电容器 25 和有机 EL 元件 21 的等效电容器被充电时,驱动晶体管 22 的源极电位 V_s 随着时间经过而逐渐地增大。在这种情况下,由于各像素之间的驱动晶体管 22 的阈值电压 V_{th} 的偏移已经抵消,因此驱动晶体管 22 的漏-源电流 I_{ds} 取决于驱动晶体管 22 的迁移率 μ 。另外,驱动晶体管 22 的迁移率 μ 由驱动晶体管 22 的沟道中包括的半导体薄膜的迁移率确定。

[0095] 这里,假设存储电容 24 的存储电压 V_{gs} 相对于图像信号的信号电压 V_{sig} 的比(即,写增益)设置为 1(理想值)。然后,驱动晶体管 22 的源极电位 V_s 升高到电位 $V_{ofs}-V_{th}+\Delta V$ 。因此,驱动晶体管的栅-源电压 V_{gs} 变为 $V_{sig}-V_{ofs}+V_{th}-\Delta V$ 。

[0096] 即,从存储电容 24 中存储的电压($V_{sig}-V_{ofs}+V_{th}$)中减去驱动晶体管 22 的源极电位 V_s 的增量 ΔV ,即用以放电存储电容器 24 的电荷,以便可以向存储电容器 24 施加负反馈。因此,源极电位 V_s 的增量 ΔV 对应于负反馈的反馈量。

[0097] 以这种方式,由于以与流经驱动晶体管 22 的漏-源电流 I_{ds} 对应的反馈量 ΔV 将负反馈施加于栅源电压 V_{gs} ,因此可以消除对于驱动晶体管 22 的漏-源电流 I_{ds} 的迁移率 μ 的依赖性。该消除处理是用于校正每一像素的驱动晶体管 22 的迁移率 μ 的偏移的迁移率校正处理。

[0098] 更具体地说,随着写到驱动晶体管 22 的栅极电极的图像信号的信号幅度 $V_{in}(=V_{sig}-V_{ofs})$ 增大,漏-源电流 I_{ds} 增大。因此,负反馈的反馈量 ΔV 的绝对值增大。因此,执行根据发光亮度级别的迁移率校正处理。

[0099] 另外,如果图像信号的信号幅度 V_{in} 恒定,则随着驱动晶体管 22 的迁移率 μ 增大,负反馈的反馈量 ΔV 的绝对值增大。因此,可以去除各像素之间迁移率 μ 的偏移。因此,可以说,负反馈的反馈量 ΔV 是迁移率校正处理的校正量。下面将详细描述迁移率校正的原理。

[0100] 发光时段

[0101] 接着,在时间 t_{17} ,当扫描线 31 的电位 WS 改变到低电位时,写晶体管 23 截止,如图 5D 所示。结果,驱动晶体管 22 的栅极电极从信号线 33 电断开,以便处于浮置状态。

[0102] 这里,当驱动晶体管 22 的栅极电极处于浮置状态时,存储电容器 24 连接在驱动晶体管 22 的栅极和源极之间。因此,栅极电位 V_g 也与驱动晶体管的源极电位 V_s 的变化一起改变。以这种方式,驱动晶体管 22 的栅极电位 V_g 与源极电位 V_s 的变化一起改变的操作是存储电容器 24 的自举操作。

[0103] 当驱动晶体管 22 的栅极电极处于浮置状态,并且驱动晶体管 22 的漏-源电流 I_{ds} 开始流到有机 EL 元件 21 时,有机 EL 元件 21 的阳极电位响应于电流 I_{ds} 而增大。

[0104] 当有机 EL 元件 21 的阳极电位高于 $V_{thel}+V_{cath}$ 时,驱动电流开始流到有机 EL 元件

21,以便有机 EL 元件 21 开始发光。另外,有机 EL 元件 21 的阳极电位的增大与驱动晶体管 22 的源极电位 V_s 的增大没有不同。另外,当驱动晶体管 22 的源极电位 V_s 增大时,由于存储电容器 24 的自举操作,驱动晶体管 22 的栅极电位 V_g 相应地增大。

[0105] 在这种情况下,假设将自举增益设置为 1(理想值),栅极电位 V_g 的增量变得等于源极电位 V_s 的增量。因此,在发光时段期间,驱动晶体管 22 的栅-源电压 V_{gs} 在 $V_{sig}-V_{ofs}+V_{th}-\Delta V$ 维持恒定。另外,在时间 t_{18} ,信号线 33 的电位从图像信号的信号电压 V_{sig} 改变到基准电位 V_{ofs} 。

[0106] 通过一系列前述电路操作,在单个水平扫描时段 (1H) 内执行阈值校正准备处理、阈值校正处理、信号电压 V_{sig} 的写处理(信号写)以及迁移率校正处理的操作。另外,对于时间 t_{16} 到 t_{17} ,并行地执行信号写处理和迁移率校正处理。

[0107] 分割阈值校正

[0108] 尽管这里通过示例的方式已经描述了仅单次执行阈值校正处理的驱动方法,但是本公开的范围不限于这种驱动方法。例如,可以采用这样的驱动方法(所谓的分割阈值校正):其中,除了与迁移率校正和信号写处理一起执行阈值校正处理的时段 1H 之外,倨傲在时段 1H 之前的多个水平扫描时段上,分割地执行几次阈值校正处理。

[0109] 在这种使用分割阈值校正的驱动方法中,尽管由于伴随增大高清晰度的增大的像素数量的缘故,可以分配给单个水平扫描时段的时间已经减小,但是可以在作为阈值校正时段的多个水平扫描时段之上获得充分的时间。

[0110] 阈值抵消的原理

[0111] 这里,将描述驱动晶体管 22 中阈值抵消(即,阈值校正)的原理。由于驱动晶体管 22 设计为在饱和区操作,因此它作为恒定电流源操作。结果,从驱动晶体管 22 向有机 EL 元件 21 提供恒定漏-源电流(驱动电流) I_{ds} ,如下(1):

$$[0112] \quad I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \dots (1),$$

[0113] 这里, W 表示驱动晶体管 22 的沟道宽度, L 表示沟道长度,并且 C_{ox} 表示每单位面积的栅极电容。

[0114] 图 6A 图示了驱动晶体管 22 的漏-源电流 I_{ds} 对栅-源电压 V_{gs} 的特性。如图 6A 的特性图中所示,如果对于各像素之间的驱动晶体管 22 的阈值电压 V_{th} 的偏移不执行抵消处理(校正处理),则当阈值电压 V_{th} 处于 V_{th1} 时,与栅-源电压 V_{gs} 对应的漏-源电流 I_{ds} 变为 I_{ds1} 。

[0115] 相比之下,当阈值电压 V_{th} 处于 V_{th2} 时,与栅-源电压 V_{gs} 对应的漏-源电流 I_{ds} 变为 I_{ds2} ($I_{ds2} < I_{ds1}$)。即,如果驱动晶体管 22 的阈值电压 V_{th} 改变,则即使当栅-源电压 V_{gs} 维持恒定时,漏-源电流 I_{ds} 也改变。

[0116] 同时,在具有前述配置的像素(像素电路)20 中,发光期间的驱动晶体管 22 的栅-源电压 V_{gs} 处于 $V_{sig}-V_{ofs}+V_{th}-\Delta V$,如上所述。因此,如果将该值应用于等式(2),则漏-源电流 I_{ds} 可以表示如下:

$$[0117] \quad I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - \Delta V)^2 \dots (2).$$

[0118] 即,抵消了与驱动晶体管 22 的阈值电压 V_{th} 有关的项,并且从驱动晶体管 22 提供到有机 EL 元件 21 的漏-源电流 I_{ds} 不依赖于驱动晶体管 22 的阈值电压 V_{th} 。结果,即使当由于驱动晶体管 22 的制造工艺的偏差或老化而使得在每一像素中驱动晶体管 22 的阈值电

压 V_{th} 改变时,漏-源电流 I_{ds} 也不改变。因此,可以恒定地保持从有机 EL 元件 21 发射的光的亮度。

[0119] 迁移率校正的原理

[0120] 接着,将描述驱动晶体管 22 的迁移率校正的原理。图 6B 图示了用于将驱动晶体管 22 具有相对高迁移率 μ 的像素 A 与驱动晶体管 22 具有相对低迁移率 μ 的像素 B 进行比较的特性曲线。当驱动晶体管 22 由多晶硅薄膜晶体管等构成时,迁移率 μ 不可避免地会在像素之间偏移,如在像素 A 和 B 中那样。

[0121] 考虑这样的情况:其中,将具有相同电平的信号幅度 $V_{in}(=V_{sig}-V_{ofs})$ 写到两个像素 A 和 B 的驱动晶体管 22 的栅极电极,同时迁移率 μ 在像素 A 和 B 之间偏移。在这种情况下,如果不执行迁移率 μ 的校正,则在流经具有高迁移率 μ 的像素 A 的漏-源电流 I_{ds1}' 与流经具有低迁移率 μ 的像素 A 的漏-源电流 I_{ds2}' 之间产生大差异。以这种方式,如果由于每一像素中迁移率 μ 的偏移而在漏-源电流 I_{ds} 之间产生大差异,则显示的均匀性将恶化。

[0122] 这里,如从上述晶体管特性等式 (1) 中显而易见的那样,漏-源电流 I_{ds} 增大。因此,负反馈的反馈量 ΔV 也随着迁移率 μ 增大而增大。如图 6B 所示,具有高迁移率 μ 的像素 A 的反馈量 ΔV_1 相对地高于具有低迁移率 μ 的像素 B 的反馈量 ΔV_2 。

[0123] 在这一点上,通过经由迁移率校正处理利用驱动晶体管 22 的漏-源电流 I_{ds} 以反馈量 ΔV 将负反馈施加于栅-源电压 V_{gs} ,随着迁移率 μ 增大,更强烈地施加负反馈。结果,可以抑制各像素之间迁移率 μ 的偏移。

[0124] 具体地说,如果在具有高迁移率 μ 的像素 A 中对于反馈量 ΔV_1 进行校正,则漏-源电流 I_{ds} 显著地从 I_{ds1}' 下降到 I_{ds1} 。同时,由于具有低迁移率 μ 的像素 B 的反馈量 ΔV_2 低,因此漏-源电流 I_{ds} 从 I_{ds2}' 下降到 I_{ds2} ,这是不显著的。结果,由于像素 A 的漏-源电流 I_{ds1} 约等于像素 B 的漏-源电流 I_{ds2} ,因此校正了各像素之间的迁移率 μ 的偏移。

[0125] 总之,在具有不同迁移率 μ 的像素 A 和 B 的情况下,具有高迁移率 μ 的像素 A 的反馈量 ΔV_1 变得相对地高于具有低迁移率 μ 的像素 B 的反馈量 ΔV_2 。即,随着像素的迁移率 μ 增大,反馈量 ΔV 也增大,并且漏-源电流 I_{ds} 的减量也增大。

[0126] 因此,通过以与驱动晶体管 22 的漏-源电流 I_{ds} 对应的反馈量 ΔV 将负反馈施加于栅-源电压 V_{gs} ,均衡了具有不同迁移率 μ 的像素的漏-源电流 I_{ds} 的电流值。结果,可以校正各像素之间的迁移率 μ 的偏移。即,以与流经驱动晶体管 22 的电流(漏-源电流 I_{ds})对应的反馈量(校正量) ΔV 将负反馈施加于驱动晶体管 22(即,存储电容 24)的栅-源电压 V_{gs} 的处理是迁移率校正处理。

[0127] 1-3. 驱动电路部分的配置示例

[0128] 这里,将描述像素阵列部分 30 的周围排列的驱动电路部分的配置示例。这里,将示例性地描述用于当将信号电压 V_{sig} 写到驱动电路部分(例如,像素阵列部分 30)的每一像素 20 时,以行为单位顺序且选择性地扫描每一像素 20 的写扫描电路 40。

[0129] 图 7 是图示写扫描电路 40 的示例性配置的框图。基本上,写扫描电路 40 包括移位寄存器电路 41 作为主要组件,用于与时钟脉冲 ck (未示出)同步地顺序地移位(传送)开始脉冲 sp 。另外,对于像素阵列部分 30 的每一行,写扫描电路 40 包括移位寄存器电路 41 的每一个传送级(单元电路) 41_i 和 41_{i+1} 中的缓冲器电路 42_i 和 42_{i+1} 。

[0130] 尽管这里图示了级联连接两个传送级 41_i 和 41_{i+1} 作为移位寄存器电路 41 的配置,但是在实践中,级联连接与像素阵列部分 30 的行数对应的传送级 41_i 到 41_m 。移位寄存器电路 41 的每一传送级 (例如,传送级 41_i) 通过级联连接移位寄存器 (SR) 411、反相器 (INV) 412、移位寄存器 413 和反相器 414 而组成了单元电路。

[0131] 另外,通过级联连接反相器 421、逻辑电路 422 和反相器 423 来配置缓冲器电路 42_i 。以这种方式,移位寄存器电路 41 的每一传送级 41_i 和 41_{i+1} 和每一缓冲器电路 42 (42_i 和 42_{i+1}) 通过使用反相器电路来配置。

[0132] 移位寄存器电路的电路操作

[0133] 这里,将参照图 8A 到图 8C 的操作说明图以及图 9 的定时波形图来描述作为写扫描电路 40 的主要组件的移位寄存器电路 41 的电路操作。这里,将示例性地描述传送级 41_i 的反相器 412、移位寄存器 413 和反相器 414 的电路部分的电路操作,作为移位寄存器电路 41 的电路操作。

[0134] 移位寄存器 413 包括与时钟脉冲 ck 同步操作的晶体管 Q_1 、与时钟脉冲 xck 同步操作的晶体管 Q_2 和电容 C_1 。另外,假设在反相器 414 的输入端与移位寄存器 413 的输出端之间存在寄生电容 C_2 。

[0135] 图 9 的定时波形图图示了时钟脉冲 ck 、时钟脉冲 xck 、反相器 412 的输出电压 (b)、电容 C_1 的已充电电压 (c) 和反相器 414 的输入电压 (d) 的波形。时钟脉冲 ck 和 xck 表示具有 $1H$ 周期的脉冲信号。在时钟脉冲 ck 和 xck 二者中,有效 (高电位) 时段略长于无效 (低电位) 时段。另外,当时钟脉冲 ck 和 xck 之一激活时,另一个去激活。

[0136] 在图 8A 到图 8C 的操作说明图中,如果移位寄存器 413 的晶体管 Q_1 和 Q_2 中的任意一个截止时,将符号 X 置于其上。假设反相器 412 的输入电压 (A) 的幅度 (峰值) 被设置为例如 15V。

[0137] 首先,当激活时钟脉冲 ck 时,具有幅值 15V 的反相器 412 的输出电压 (b) 在电容器 C_1 中经由具有导通状态的晶体管 Q_1 而充电。在这种情况下,由于时钟脉冲 xck 去激活,因此晶体管 Q_2 截止,如符号 X 所示的那样 (参照图 8A)。另外,当时钟 ck 去激活时,晶体管 Q_1 和 Q_2 二者在短时段内截止。结果,将 15V 的电压 (c) 存储在电容器 C_1 中 (参照图 8B)。

[0138] 接着,当时钟脉冲 xck 去激活时,经由晶体管 Q_2 施加电容器 C_1 中存储的 15V 的电压 (c),作为对于反相器 414 的输入电压 (d)。在这种情况下,由于将寄生电容 C_2 放置在移位寄存器 413 的输出端与反相器 414 的输入端之间,因此反相器 414 的输入电压 (d) 的幅值由于在电容 C_1 和寄生电容 C_2 之间分割的电容而减小 (参照图 8C)。

[0139] 例如,假设将电容 C_1 设置为 4pF,并且将寄生电容 C_2 设置为 2pF,则分割电容,以便 $15V \times 4pF / (4pF + 2pF)$,从而 15V 的幅值减小到 10V 的幅值。结果,对于具有 15V 幅值的输入电压 (a),可以获得带有 $1H$ 移位的具有 10V 幅值的输出电压 (e)。

[0140] 单沟道晶体管的反相器电路

[0141] 另一方面,对于制造驱动电路部分 (如,写扫描电路 40) 的处理,与双沟道晶体管相比,如果使用单沟道 (仅 N 沟道或 P 沟道) 晶体管来配置驱动电路部分,则可以减小制造成本。因此,为了减小有机 EL 显示器件 10 的制造成本,优选的是,使用单沟道晶体管配置移位寄存器电路 41 或缓冲器电路 42 中 (例如,写扫描电路 40 中) 包括的反相器电路。

[0142] 另外,当使用单沟道晶体管来配置反相器电路时,采用通过将单沟道晶体管与电

容性元件组合而获得的电路配置以便保证反相器电路的可靠电路操作。在下文中,将描述通过将单沟道晶体管与电容性元件组合而获得的反相器电路。

[0143] 电路配置

[0144] 图 10A 和图 10B 是图示通过将单沟道晶体管与电容性元件组合而获得的反相器电路的说明图,其中图 10A 图示了示例性电路配置,而图 10B 图示了输入和输出脉冲信号 INV_{in} 和 INV_{out} 的每一波形。

[0145] 根据本电路示例的反相器电路 80 几乎反相经由输入端 81 输入的脉冲信号 INV_{in} ,并且从输出端 82 输出相对于脉冲信号 INV_{in} 具有反转相位的脉冲信号 INV_{out} 。作为电源电压,反相器电路 80 使用例如四个正侧的电源电压 V_{cc1} 、 V_{cc2} 、 V_{cc3} 和 V_{cc4} 以及例如四个负侧的电源电压 V_{ss1} 、 V_{ss2} 、 V_{ss3} 和 V_{ss4} 。然而,这里描述的电源电压仅为示例性的,并且并非意在限制本公开的范围。可以使用更小数量的电源电压,或者可以在正侧和负侧的每一个中使用单一型的电源电压。

[0146] 例如,反相器电路 80 包括 7 个晶体管 Tr_1 到 Tr_7 、5 个电容性元件 C_1 到 C_5 和延迟电路 83。7 个晶体管 Tr_1 到 Tr_7 由同一(单一)沟道型(例如,N 沟道)MOS(金属氧化物半导体)型薄膜晶体管(TFT)构成。尽管这里仅 N 沟道晶体管用于晶体管 Tr_1 到 Tr_7 ,但是也可以仅使用 P 沟道晶体管。

[0147] 晶体管 Tr_1 对应于第一晶体管,并且具有连接到正侧电源 V_{cc2} 的电源线 L_{12} 的漏极电极以及连接到节点 N_1 的源极电极,以便将经由输入端 81 输入的输入电压(脉冲信号 INV_{in})所对应的电压用作栅极输入。晶体管 Tr_2 具有连接到正侧电源 V_{cc3} 的电源线 L_{13} 的漏极电极以及连接到节点 N_2 的源极电极,以及连接到节点 N_1 的栅极电极。晶体管 Tr_3 具有连接到正侧电源 V_{cc4} 的电源线 L_{14} 的漏极电极、连接到输出端 82 的源极电极以及连接到节点 N_2 的栅极电极。

[0148] 延迟电路 83 包括例如并联连接的两个晶体管 Tr_{91} 和 Tr_{92} 。自然地,两个晶体管 Tr_{91} 和 Tr_{92} 是与晶体管 Tr_1 到 Tr_7 相同的 N 沟道 MOS 晶体管。晶体管 Tr_{91} 和 Tr_{92} 的公共连接的电极(源极电极/漏极电极)之一用作延迟电路 83 的电路输入端,并且另一电极(漏极电极/源极电极)用作延迟电路 83 的电路输出端。

[0149] 在延迟电路 83 中,电路输入端连接到输入端 81。晶体管 Tr_{91} 的栅极电极也连接到输入端 81。晶体管 Tr_{92} 的栅极电极连接到正侧电源电压 V_{cc1} 的电源线 L_{11} 。

[0150] 晶体管 Tr_4 具有连接到晶体管 Tr_1 的栅极电极的漏极电极、连接到负侧电源电压 V_{ss1} 的电源线 L_{21} 的源极电极以及连接到延迟电路 83 的电路输出端的栅极电极。晶体管 Tr_5 对应于第二晶体管,并且具有连接到节点 N_1 的漏极电极以及连接到负侧电源电压 V_{ss2} 的电源线 L_{22} 的源极电极。即,串联连接晶体管 Tr_5 ,并且其栅极电极连接到输入端 81。

[0151] 晶体管 Tr_6 具有连接到节点 N_2 的漏极电极、连接到负侧电源电压 V_{ss3} 的电源线 L_{23} 的源极电极。即,晶体管 Tr_6 与晶体管 Tr_2 串联连接,并且具有连接到输入端 81 的栅极电极。晶体管 Tr_7 具有连接到输出端 82 的漏极电极、连接到负侧电源电压 V_{ss4} 的电源线 L_{24} 的源极电极以及连接到输入端 81 的栅极电极。

[0152] 电容性元件 C_1 对应于第一电容性元件,其一个电极连接到晶体管 Tr_1 的栅极电极,并且另一电极连接到节点 N_1 。即,电容性元件 C_1 连接在晶体管 Tr_1 的栅极和源极之间。电容性元件 C_2 对应于第二电容性元件,其一个电极连接到节点 N_1 ,而另一电极连接到输入端

81。节点 N_1 还是晶体管 Tr_1 和晶体管 Tr_5 之间的公共节点。

[0153] 电容性元件 C_3 的一个电极连接到晶体管 Tr_2 的栅极电极, 而另一电极连接到节点 N_2 。电容性元件 C_4 的一个电极连接到晶体管 Tr_3 的栅极电极, 并且另一电极连接到输出端 82。电容性元件 C_5 的一个电极连接到晶体管 Tr_4 的栅极电极, 而另一电极连接到负侧电源电压 V_{ss1} 的电源线 L_{21} 。

[0154] 这里, 包括晶体管 Tr_{91} 和 Tr_{92} 的延迟电路 83 用作连接在输入端 81 和晶体管 Tr_4 的栅极电极之间的高阻抗元件。结果, 当经由输入端 81 输入的脉冲信号 INV_{in} 通过延迟电路 83 时, 在时间上延迟脉冲信号 INV_{in} 的电位的变化, 并将其发送到晶体管 Tr_4 的栅极电极。延迟电路 83 的延迟量可以通过改变正侧电源电压 V_{cc1} 的电压值和电容性元件 C_5 的电容值来控制。

[0155] 晶体管 Tr_1 根据电容性元件 C_1 的各端子之间的电压而电连接或断开节点 N_1 与正侧电源电压 V_{cc2} 的电源线 L_{12} 。晶体管 Tr_2 根据节点 N_1 和 N_2 的电位之间的差 (即, 电容性元件 C_3 的两个端子之间的电压) 而电连接或断开节点 N_2 与正侧电源电压 V_{cc3} 的电源线 L_{13} 。晶体管 Tr_3 根据节点 N_2 和输出端 82 的电位之间的差 (即, 电容性元件 C_4 的两个端子之间的电压) 而电连接或断开输出端 82 与正侧电源电压 V_{cc4} 的电源线 L_{14} 。

[0156] 晶体管 Tr_4 根据延迟电路 83 的输出端和负侧电源电压 V_{ss1} 的电位之间的差 (即, 电容性元件 C_5 的两个端子之间的电压) 而电连接或断开晶体管 Tr_1 的栅极电极与负侧电源电压 V_{ss1} 的电源线 L_{21} 。晶体管 Tr_5 根据输入端 81 和负侧电源电压 V_{ss2} 的电位之间的差而电连接或断开节点 N_1 与负侧电源电压 V_{ss2} 的电源线 L_{22} 。晶体管 Tr_6 根据输入端 81 和负侧电源电压 V_{ss3} 的电位之间的差而电连接或断开节点 N_2 与负侧电源电压 V_{ss3} 的电源线 L_{23} 。晶体管 Tr_7 根据输入端 81 和负侧电源电压 V_{ss4} 的电位之间的差而电连接或断开输出端 82 与负侧电源电压 V_{ss4} 的电源线 L_{24} 。

[0157] 电路操作

[0158] 接着, 将描述当经由输入端 81 输入的脉冲信号 INV_{in} 被激活 (具有高电位状态) 和去激活 (具有低电位状态) 时具有前述配置的反相器电路 80 的电路操作。

[0159] • 当脉冲信号 INV_{in} 被激活时:

[0160] 当脉冲信号 INV_{in} 被激活时, 晶体管 Tr_8 的栅极电位变为高电位状态, 并且晶体管 Tr_8 导通。因此, 从输出端 82 输出负侧电源电压 V_{ss4} 作为脉冲信号 INV_{out} 。同时, 由于晶体管 Tr_6 和 Tr_7 也导通, 因此将节点 N_1 和 N_2 的电位分别固定到负侧电源电位 V_{ss2} 和 V_{ss3} 。

[0161] 结果, 晶体管 Tr_2 和 Tr_3 二者截止。另外, 由于晶体管 Tr_4 响应于延迟电路 83 延迟的输出而导通, 因此将晶体管 Tr_1 的栅极电位固定到负侧电源电压 V_{ss1} 。结果, 晶体管 Tr_1 也截止。即, 当激活脉冲信号 INV_{in} 时, 正侧的所有晶体管 Tr_1 、 Tr_2 和 Tr_3 均截止。

[0162] • 当脉冲信号 INV_{in} 被去激活时:

[0163] 当脉冲信号 INV_{in} 被去激活时, 同时, 负电位侧的所有晶体管 Tr_5 、 Tr_6 和 Tr_7 均截止。另外, 根据当脉冲信号 INV_{in} 从高电位改变到低电位时的变化, 由于电容性元件 C_2 的电容耦合, 节点 N_1 的电位 (即, 晶体管 Tr_2 的栅极电位) 降低。

[0164] 在电位由于电容耦合而下降的时刻, 由于延迟电路 83 中的延迟, 晶体管 Tr_4 的栅极电位仍然处于高电位状态。因此, 晶体管 Tr_1 的栅极电位仍然处于负侧电源电压 V_{ss1} 。因此, 当由于节点 N_1 的电位下降, 从而晶体管 Tr_1 的栅源电压 V_{gs} 增大到阈值电压之上时, 晶体

管 Tr_1 导通。结果, 节点 N_1 的电位增大, 直到正侧电源电压 V_{cc1} 。

[0165] 然后, 由于晶体管 Tr_2 的栅 - 源电压 V_{gs} 也增大, 因此晶体管 Tr_2 也导通。结果, 节点 N_2 的电位增大, 直到正侧电源电压 V_{cc2} , 并且晶体管 Tr_3 的栅 - 源电压 V_{gs} 也增大。因此, 晶体管 Tr_3 以及 Tr_2 导通。另外, 由于晶体管 Tr_3 导通, 因此从输出端 82 输出正侧电源电压 V_{cc4} , 作为脉冲信号 INV_{out} 。

[0166] 这里, 为了在晶体管 Tr_2 的栅极电位由于电容性元件 C_2 的电容耦合而下降时更快速地导通晶体管 Tr_1 , 优选的是, 将电容性元件 C_2 的电容值设置为某种程度上的高水平。另外, 由于快速地导通晶体管 Tr_1 , 因此可以更精确地确定脉冲信号 INV_{out} 的转换定时 (上升 / 下降定时)。

[0167] 脉冲信号 INV_{out} 的转换定时确定脉冲信号 INV_{out} 的脉宽。另外, 当驱动电路是写扫描电路 40 时, 将脉冲信号 INV_{out} 用作用于产生写扫描信号 WS 的基准信号。因此, 脉冲信号 INV_{out} 的脉宽用作确定写扫描信号 WS 的脉宽的基准, 并且还用作确定上述迁移率校正处理的操作时间 (即, 迁移率校正时间) 的基准。

[0168] 这里, 比较长和短最佳迁移率校正时间, 即使当在写扫描信号 WS 的脉宽中存在相同的偏移量 (时间) 时, 在最佳迁移率校正时间较短的情况下, 写扫描信号 WS 的脉宽的偏移也变得相对大。另外, 写扫描信号 WS 的脉宽的偏移也引起了亮度的偏移, 这恶化了图像质量。从该观点, 重要的是通过将大电容值设置给电容性元件 C_2 以更快速地导通晶体管 Tr_1 , 来更精确地确定用作确定迁移率校正时间的基准的脉冲信号 INV_{out} 的转换定时。

[0169] 如从电路操作的前述描述中显而易见的那样, 为了保证包括单沟道晶体管的反相器电路 80 的可靠电路操作, 必不可少地包括电容性元件 C_2 , 用于特别地通过使用电容耦合来减小节点 N_1 的电位。另外, 除了电容性元件 C_2 之外, 还必须包括电容性元件 C_1 、 C_3 和 C_4 , 用于存储晶体管 Tr_1 、 Tr_2 和 Tr_3 的栅 - 源电压 V_{gs} 。在包括双沟道晶体管的反相器电路中这种电容性元件 C_1 到 C_4 不是必须的。

[0170] 通过将单沟道晶体管与电容性元件组合而获得的反相器电路 80 可以用作图 7 所示的写扫描电路 40 的移位寄存器电路 41 中包括的反相器 412 或 414 或者缓冲器电路 42 中包括的反相器 421 或 423。由于电源扫描电路 50 基本上具有与写扫描电路 40 的配置相同的配置, 因此反相器电路 80 也可以用作电源扫描电路 50 的反相器。

[0171] 在显示面板中安装单沟道晶体管反相器电路的问题

[0172] 如果通过使用将单沟道晶体管与电容性元件组合而获得的反相器电路 80 来配置驱动电路部分 (如, 写扫描电路 40), 则全部驱动电路部分中使用的电容性元件的数量显著增大。在这一点上, 将回顾这样的情况: 通过将具有根据本公开实施例的配置的驱动电路部分和像素阵列部分 30 安装在同一衬底上来配置显示面板 70。

[0173] 参考示例中显示面板的安装结构

[0174] 图 11 是图示根据参考示例的显示面板的安装结构的横截面视图。图 11 示出了像素阵列部分 30 和作为显示面板 70 的周围部分的边框区域的横截面结构。

[0175] 参照图 11, 在玻璃衬底 71 之上形成包括驱动晶体管 22 等的电路部分, 并且在电路部分之上形成有机 EL 元件 21。具体地说, 在玻璃衬底 71 上顺序地形成绝缘膜 72、绝缘扁平膜 73 和缠绕绝缘膜 (wind insulation film) 74。然后, 有机 EL 元件 21 形成在缠绕绝缘膜 74 的凹陷部分 74A 中。这里, 作为有机 EL 元件 21 的下层 (即, 面对有机 EL 元件 21

的发光表面的层)中形成的像素 20 的电路部分(驱动电路)的代表,仅图示了驱动晶体管 22,并且省略了其他组件。

[0176] 有机 EL 元件 21 包括阳极 211、有机层 212 和阴极 213。阳极 211 在缠绕绝缘膜 74 的凹陷部分 74_A 的底部上由金属等材料形成。有机层 212 形成在阳极 211 上。阴极 213 在公共地跨越所有像素的有机层 212(即,显示面板 70 的整个表面)上由透明导电膜等形成。

[0177] 在有机 EL 元件 21 中,通过在阳极 211 上顺序地沉积空穴传输层/空穴注入层、发光层、电子传输层和电子注入层(未全示出)来形成有机层 212。另外,当使用图 2 的驱动晶体管 22 在电流驱动之下将电流经由阳极 211 从驱动晶体管 22 流到有机层 212 时,当在有机层 212 内的发光层中电子和空穴复合时发光。

[0178] 驱动晶体管 22 包括钼(Mo)等制成的栅极电极 221、半导体层 222 的两侧中提供的源极/漏极区 223 和 224 以及面对半导体层 222 的栅极电极 221 的沟道形成区域 225。源极/漏极区 223 经由接触孔电连接到有机 EL 元件 21 的阳极 211。

[0179] 由铝(Al)等制成的金属布线 75 形成在绝缘膜 72 上。以这种方式,通过使用绝缘膜 72、绝缘扁平膜 73 和缠绕绝缘膜 74,以像素为单位在玻璃衬底 711 上形成有机 EL 元件 21。另外,通过使用钝化膜 76,由密封衬底(玻璃衬底)77 来密封有机 EL 元件 21。通过前述处理,形成显示面板 70。

[0180] 同时,在显示面板 70 的周围部分(即,显示面板 70 的边框区域)形成包括写扫描电路 40、电源扫描电路 50 等的驱动电路部分。这里,通过示例,将对于作为驱动电路部分的写扫描电路 40 进行描述。通过使用由单沟道晶体管构成的反相器电路来配置写扫描电路 40,以便如上所述实现成本的降低。另外,单沟道晶体管反相器电路包括电容性元件。

[0181] 如上所述,与诸如晶体管之类的电路元件相比,电容性元件需要相对大的布局区域。特别地,需要大布局区域以形成大电容的电容性元件。为此,为了在同一衬底中安装像素阵列部分 30 和包括写扫描电路 40 的驱动电路部分,与包括驱动电路部分的晶体管等的电路部分分离地,准备专用于电容性元件的区域,并且在其上形成电容性元件。

[0182] 具体地说,如图 11 所示,以岛的形状在玻璃衬底 71 上形成面对由铝(Al)制成的现有金属布线 75 的、由钼(Mo)等制成的金属布线 78,以便通过使用两条布线 75 和 78 之间的绝缘膜 72 作为介电部件来形成电容性元件 C。这里,基于金属布线 75 和 78 之间的面对面积、金属布线 75 和 78 之间的距离以及作为介电部件的绝缘膜 72 的介电常数来确定电容性元件 C 的电容值。

[0183] 以这种方式,在显示面板 70 的边框区域中对于电容性元件专门准备的区域中形成通过使用作为介电部件的、在金属布线 75 和 78 之间的绝缘膜 72 而形成的多个电容性元件 C,例如以匹配图 12 中所示的像素行。因此,由于当包括写扫描电路 40 的驱动电路部分安装在显示面板 70 的边框区域中时,驱动电路部分内电容性元件占据的布局区域增大,因此扩大了显示面板 70 的边框区域。尽管在图 11 中仅图示了显示面板 70 的边框区域中形成电容性元件 C 的区域,但是除了用于形成其他电路部分的区域之外,用于形成电容性元件 C 的区域(布局区域)是必须的。

[0184] 2. 实施例的描述

[0185] 根据本公开的实施例,当在具有像素阵列部分 30 的显示面板 70 中安装具有包括电容性元件的电路配置的驱动电路部分时,还通过与有机 EL 元件 21 的处理相同的处理,在

显示面板 70 上的像素阵列部分 30 的周围部分中形成有机层。另外,通过使用有机层作为介电部件来形成驱动电路部分的电容性元件。

[0186] 这里,即使当在像素阵列部分 30 的周围部分中形成用作电容性元件的介电部件的有机层时,由于通过与有机 EL 元件 21 的有机层 212 的处理相同的处理来形成该有机层,因此制造处理的数量不增大。另外,由于像素阵列部分 30 的周围部分中形成的有机层用作电容性元件的介电部件,因此在上述参考示例中可以自由地使用已经形成了电容性元件的区域,并且可以用作形成其他电路部分的区域。

[0187] 结果,由于在参考示例中不需要用以形成其他电路部分的区域,因此由驱动电路部分占据的布局区域,以及进一步像素阵列部分 30 的周围部分(即,显示面板 70 的边框区域)可以减小不必要的区域。即,当在显示面板 70 中安装具有包括电容性元件的电路配置的驱动电路部分时,可以获得显示面板 70 的窄边框。在下文中,将参照附图详细描述本公开的实施例。

[0188] 2-1. 在本公开的实施例中显示面板的安装结构

[0189] 图 13 是图示根据本公开实施例的显示面板的安装结构的横截面图。相同的附图标记表示与图 11 中相同的元件。

[0190] 参照图 13,像素阵列部分 30 具有与上述参考示例的显示面板的配置(参照图 11)相同的配置。即,在玻璃衬底 71 上形成包括驱动晶体管 22 等的电路部分(驱动电路部分),并且在该电路部分之上形成有机 EL 元件 21。具体地说,绝缘膜 72、绝缘扁平膜 73 和缠绕绝缘膜 74 顺序地形成在玻璃衬底 71 上,并且在缠绕绝缘膜 74 的凹陷部分 74_A 中形成有机 EL 元件 21。

[0191] 有机 EL 元件 21 包括阳极 211、有机层 212 和阴极 213。阳极 211 在缠绕绝缘膜 74 的凹陷部分 74_A 的底部上由金属等形成。有机层 212 形成在阳极 211 上。阴极 213 在公共地跨越全部像素的有机层 212(即,显示面板 70 的整个表面)上由透明导电膜等形成。

[0192] 驱动晶体管 22 包括由钼(Mo)等制成的栅极电极 221、在半导体层两侧提供的源极/漏极区 223 和 224 以及面对半导体层 222 的栅极电极 221 的沟道形成区域 225。源极/漏极区 223 经由接触孔电连接到有机 EL 元件 21 的阳极 205。

[0193] 在绝缘膜 72 上形成由铝(Al)等制成的金属布线 75。以这种方式,通过使用绝缘膜 72、绝缘扁平膜 73 和缠绕绝缘膜 74,以像素为单位在玻璃衬底 71 上形成有机 EL 元件 21。另外,通过使用钝化膜 76,由密封衬底(玻璃衬底)77 来密封有机 EL 元件 21,以便通过前述处理,形成显示面板 70。

[0194] 同时,在像素阵列部分 30 的周围部分的区域(即,显示面板 70 的边框区域)中,在与有机 EL 元件 21 的层相同的层中形成电容性元件 90。电容性元件 90 具有这样的结构:其中,在相同层中并且通过与有机 EL 元件 21 的有机层 212 的处理相同的处理形成的有机层 92 插入在用作介电部件的两个电极 91 和 93 之间。与有机 EL 元件 21 的有机层 212 类似地,电容性元件 90 的有机层 92 可以通过形成缠绕绝缘膜 74 的凹陷部分(对应于凹陷部分 74_A)并在凹陷部分内形成有机层 92 来获得。

[0195] 电容性元件 90 的电极 91 和 93 二者由相同的布线材料制成,并且通过与有机 EL 元件 21 的阳极 211 和阴极 213 的处理相同的处理来形成。另外,由于与有机层 212 类似,也通过在一个电极 91 上沉积空穴传输层来形成有机层 92,因此通过与有机 EL 元件 21 的有

机层 212 的处理相同的处理来形成有机层 92。

[0196] 电容性元件 90 的一个电极 91 (对应于阳极 211) 经由接触部分 94 电连接到金属布线 75。电容性元件 90 的另一电极 93 (对应于阴极 213) 经由接触部分 95 和金属布线 75 电连接到金属布线 78。金属布线 75 和 78 电连接到驱动电路部分 (如, 写扫描电路 40) 的其他电路部分。

[0197] 由两个电极 91 和 93 的面对面积、两个电极 91 和 93 之间的距离以及作为介电部件的有机膜 92 的介电常数来确定电容性元件 90 的电容值。这里, 由于通过与有机 EL 元件 21 的有机层 212 的处理相同的处理来形成有机层 92, 因此根据有机 EL 元件 21 来固定地确定两个电极 91 和 93 之间的距离。另外, 由于发光层的材料根据发射的光的颜色而不同, 因此根据发射的光的颜色来固定地确定有机层 92 的介电常数。因此, 电容性元件 90 的电容值可以由两个电极 91 和 93 之间的面对面积而任意地设置。

[0198] 此外, 由于电容性元件 90 与发射的光的颜色无关, 因此考虑单位电容, 可以使用仅发射任意单色光的有机层来配置。即, 由于有机层 92 的介电常数如上所述根据发光层的材料和发射光的颜色而不同, 因此通过使用发射单色光的有机层来配置电容性元件 90 的有机层 92, 可以对于所有形成的电容性元件 90 集合地设置单位电容。

[0199] 在与形成其他电路部分的区域独立的专用区域中形成电容性元件 90。因此, 可以获得大区域作为形成电容性元件 90 的区域。结果, 由于可以在电容性元件 90 的两个电极 91 和 93 之间设置大的面对面积, 因此与在其他电路部分相同的区域中形成电容性元件 90 的情况相比, 可以对于电容性元件 90 设置更高的电容值。使相对高电容值成为必要的电容性元件 90 包括例如如上所述的反相器电路 80 中的电容性元件 C_1 到 C_5 等。

[0200] 在显示面板 70 的边框区域中形成多个电容性元件 90, 以与图 12 中所示的像素行匹配。同时, 除了接触部分 94 和 95 之外, 可以自由地使用电容性元件 90 的下层 (即, 与像素 20 的电路部分相同的层)。因此, 尽管在图 13 中未示出, 但是电容性元件 90 的下层可以用作驱动电路部分中包括的电容性元件 90 以外的电路部分的一部分或全部, 具体地说, 包括单沟道晶体管的电路部分。电容性元件 90 以外的电路部分可以通过与用以面对有机 EL 元件 21 的发光表面所形成的电路部分的处理相同的处理来形成。

[0201] 如上所述, 在显示面板 70 中安装具有包括电容性元件 90 的电路配置的驱动电路部分, 还在显示面板 70 的边框区域中形成有机层 92, 并且通过使用有机层 92 作为介电部件来形成电容性元件 90。结果, 可以获得如下优点和效果。

[0202] 即, 即使当形成用作介电部件的电容性元件 90 的有机层 92 时, 由于有机层 92 通过与有机 EL 元件 21 的有机层 212 的处理相同的处理来形成, 因此也不会增加制造处理的数量。另外, 由于在显示面板 70 的边框区域中形成的有机层 92 用作电容性元件 90 的介电部件, 因此有机层 92 的下层的区域可以用于形成其他电路部分的区域。

[0203] 结果, 由于不需要单独地获得形成其他电路部分的区域, 因此将驱动电路部分占据的布局区域以及进一步像素阵列部分 30 的周围部分 (即, 显示面板 70 的边框) 减小到这种程度。即, 如果在显示面板 70 中安装具有包括电容性元件 90 的电路配置的驱动电路部分, 则可以减小显示面板 70 的边框区域, 即获得窄框。

[0204] 2-2. 实施例中制造显示面板的方法

[0205] 为了制造具有前述配置的显示面板 70, 在玻璃衬底 71 上形成包括像素 20 的驱动

晶体管 22 的电路部分的处理中,如图 13 所示,还在显示面板 70 的边框区域中形成驱动电路部分(如,写扫描电路 40)的其他电路部分。要注意的是,为了简便,在图 13 中省略了其他电路部分。另外,通过与形成有机 EL 元件 21 的处理相同的处理,还在显示面板 70 的边框区域中形成一个电极 91、有机层 92 和另一电极 93,以便通过使用有机层 92 作为介电部件来形成电容性元件 90。

[0206] 根据这种制造显示面板 70 的方法,即制造有机 EL 显示器件的方法,可以在形成有机 EL 元件 21 的处理中形成电容性元件 90 而不增加制造处理的数量。因此,可以以包括通过使用有机层 92 作为介电部件而获得的电容性元件 90 的驱动电路部分来制造显示面板 70,同时抑制制造成本。

[0207] 3. 修改

[0208] 尽管已经通过例示有机 EL 元件 21 的驱动电路具有基本上包括两个晶体管(即,驱动晶体管 22 和写晶体管 23)的像素配置的情况而描述了前述实施例,但是本公开的范围不限于这种像素配置。例如,本公开的实施例可以应用于各种像素配置,如固定电源线 32 的电位,并且将发光控制晶体管串联连接到驱动晶体管 22 以便由发光控制晶体管控制有机 EL 元件 21 的发光/不发光的像素配置。

[0209] 例如,在有机 EL 显示器件具有包括发光控制晶体管的像素配置的情况下,需要扫描电路单独地控制作为驱动电路部分的发光控制晶体管。在有机 EL 显示器件的这种情况下,也可以将本公开的实施例应用于控制发光控制晶体管的扫描电路。

[0210] 4. 应用

[0211] 根据本公开的前述实施例的有机 EL 显示器件可以应用于各种领域中显示输入到电子设备或在电子设备内创建的图像信号作为图像或视频的电子设备的显示部分(显示装置)。例如,本公开的实施例可以应用于各种电子设备,如数码相机、膝上型计算机、移动终端(如,移动电话)和摄像机,如图 14 到图 18 所示。

[0212] 以这种方式,通过使用根据本公开实施例的有机 EL 显示器件作为各种领域中的电子设备的显示部分,可以减小各种电子设备中装置主机的尺寸。即,如从前述实施例的描述中显而易见的那样,如果在显示面板中安装具有包括电容性元件的电路配置的驱动电路部分,则在根据本公开实施例的有机 EL 显示器件中,可以获得显示面板的窄边框。因此,由于可以减小各种电子设备中显示部分的边框尺寸,因此可以实现装置主机的小型化。

[0213] 根据本公开的实施例的有机 EL 显示器件包括密封的模块配置。例如,本公开的实施例可以应用于通过将表面单元(如,透明玻璃)附加到像素阵列部分 30 而获得的显示模块。这种透明表面单元可以包括滤色镜、保护膜、光屏蔽膜等。此外,显示模块可以包括用于向/从像素阵列部分输入/输出信号等的电路部分、柔性印刷电路(FPC)等。

[0214] 电子设备

[0215] 在下文中,将详细描述根据本公开实施例的电子设备的示例。

[0216] 图 14 是图示根据本公开的原理的电视机的外观的透视图。根据本示例的电视机包括具有前面板 102 的图像显示屏幕单元 101、滤色玻璃 103 等,并且使用根据本公开原理的有机 EL 显示器件作为这种图像显示屏幕单元 101 来制造。

[0217] 图 15A 和图 15B 是图示根据本公开原理的数码相机的外观的透视图,其中图 15A 是前透视图,而图 15B 是后透视图。根据本示例的数码相机包括闪光发射单元 111、显示单

元 112、菜单开关 113、快门按钮 114 等,并且使用根据本公开实施例的有机 EL 显示器件作为这种显示单元 112 来制造。

[0218] 图 16 是图示根据本公开实施例的膝上型计算机的外观的透视图。根据本示例的膝上型计算机包括操作以在主机 121 中键入字符的键盘 122、用于显示图像的显示单元 123 等,并且使用根据本公开实施例的有机 EL 显示器件作为这种显示单元 134 来制造。

[0219] 图 17 是图示根据本公开实施例的摄像机的外观的透视图。根据本公开实施例的摄像机包括主机单元 131、在观看前方的侧面中提供的被摄体捕捉镜头 132、图像捕捉中使用的开始/停止开关 133、显示单元 134 等,并且使用根据本公开实施例的有机 EL 显示器件作为这种显示单元 123 来制造。

[0220] 图 18A 到图 18G 是图示根据本公开实施例的移动终端(例如,移动电话)的外观视图,其中图 18A 是打开状态下的前视图,其中图 18B 是其侧视图,图 18C 是关闭状态下的前视图,图 18D 是左侧视图,图 18E 是右侧视图,图 18F 是顶视图,并且图 18G 是底视图。根据本公开实施例的移动电话包括上外壳 141、下外壳 142、连接器(这里,铰链单元)143、显示器 144、副显示器 145、画面灯 146、相机 147 等,并且使用根据本公开实施例的有机 EL 显示器件作为这种显示器 144 或副显示器 145 来制造。

[0221] 本公开包含与于 2010 年 7 月 15 日向日本专利局提交的日本优先权专利申请 JP 2010-160407 中公开的主题有关的主题,将其全部内容通过引用的方式合并在此。

[0222] 本领域的技术人员应该理解,根据设计要求和因素,可能出现各种修改、组合、部分组合和变更,只要它们落在所附权利要求或其等价物的范围内即可。

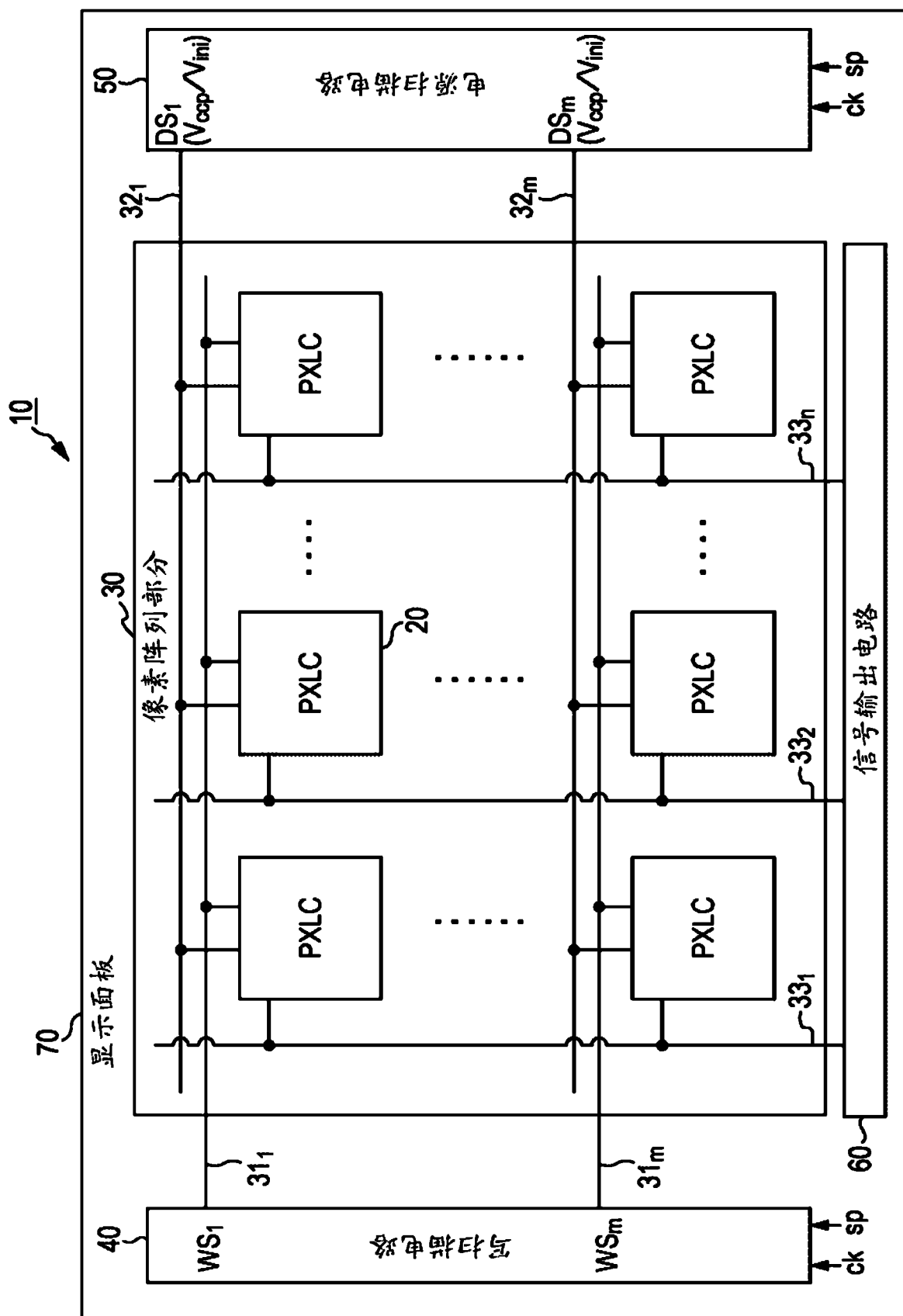


图 1

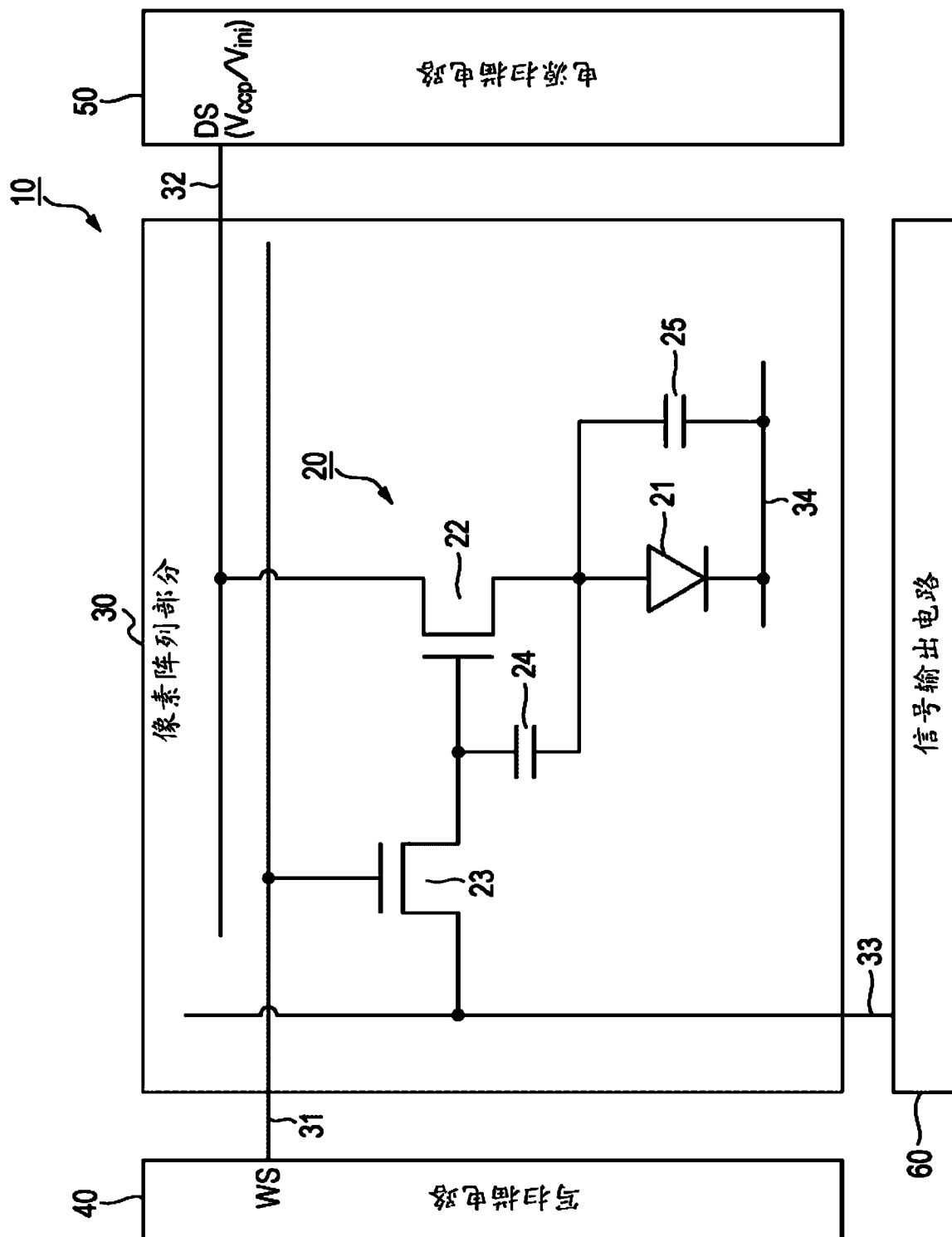


图 2

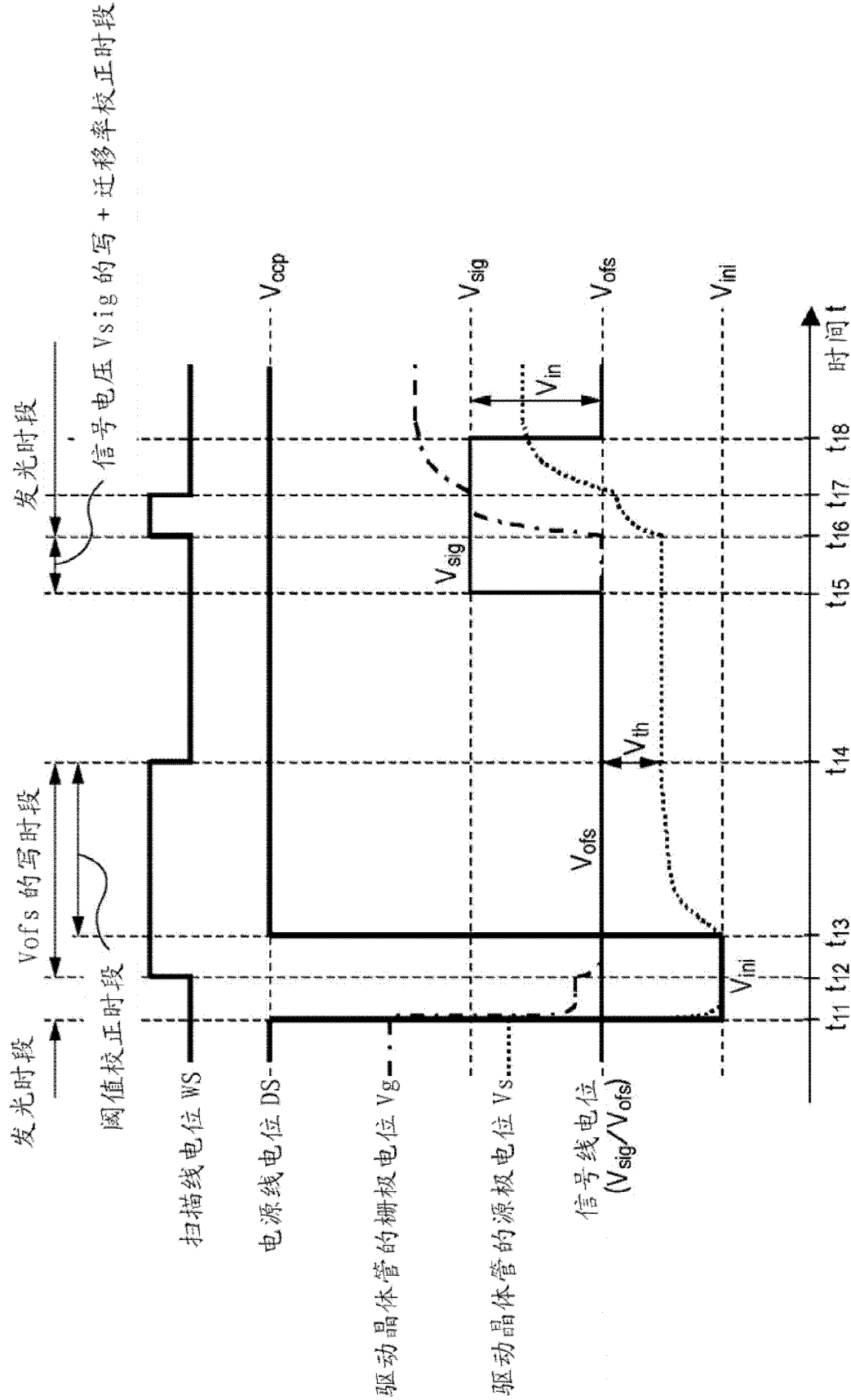


图 3

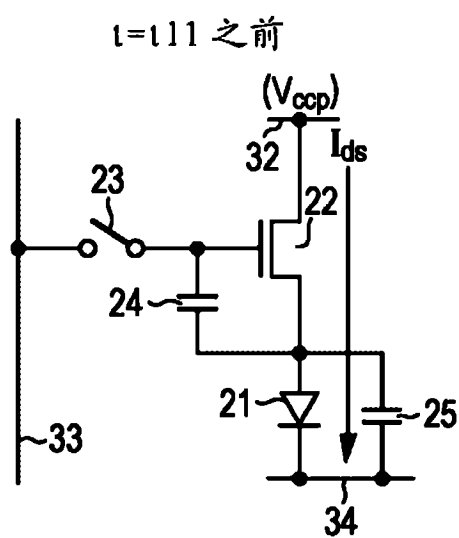


图 4A

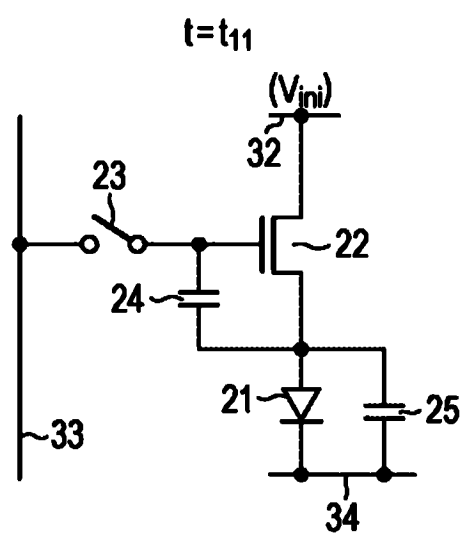


图 4B

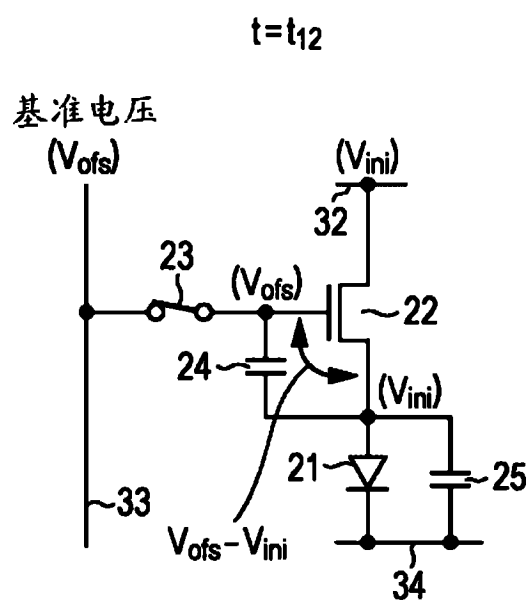


图 4C

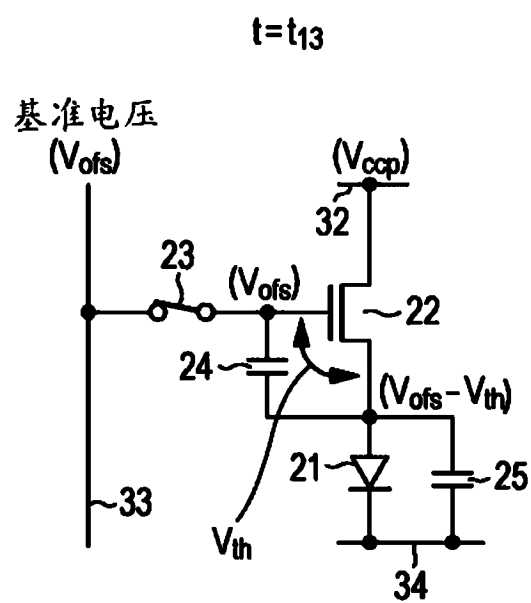
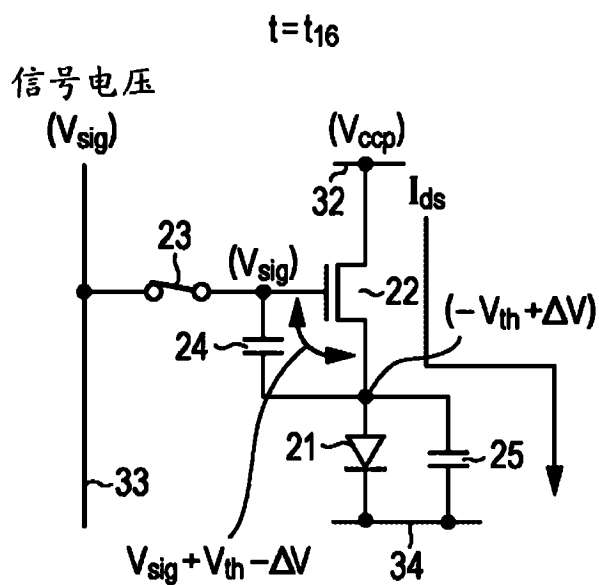
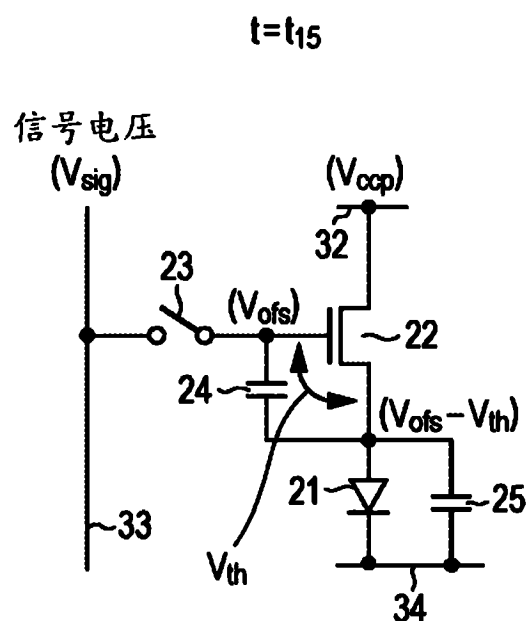
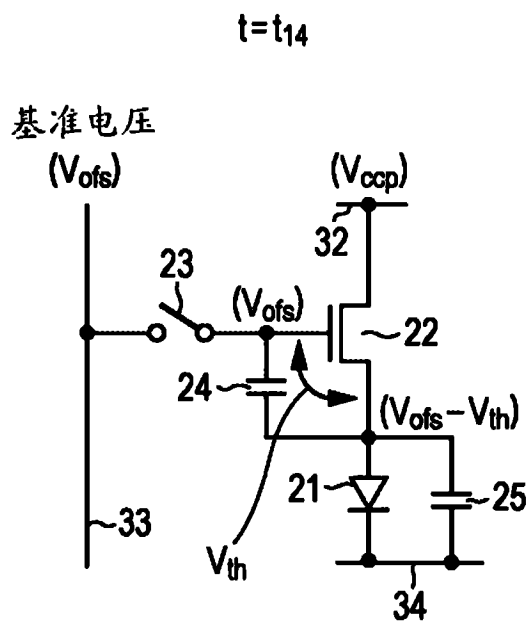


图 4D



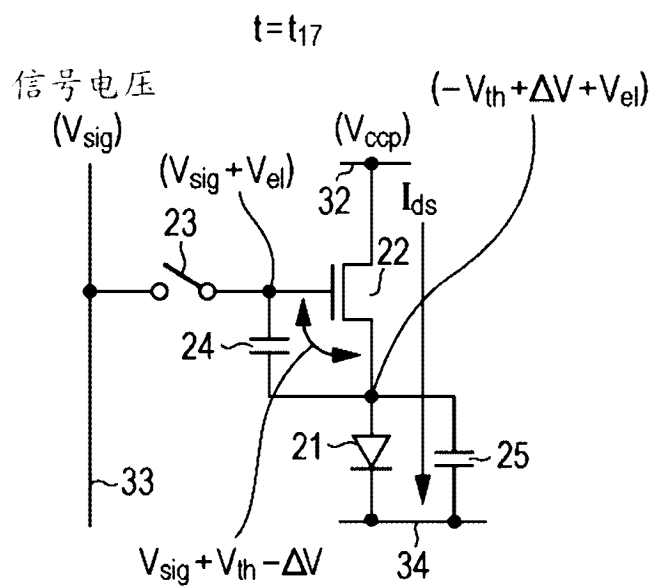


图 5D

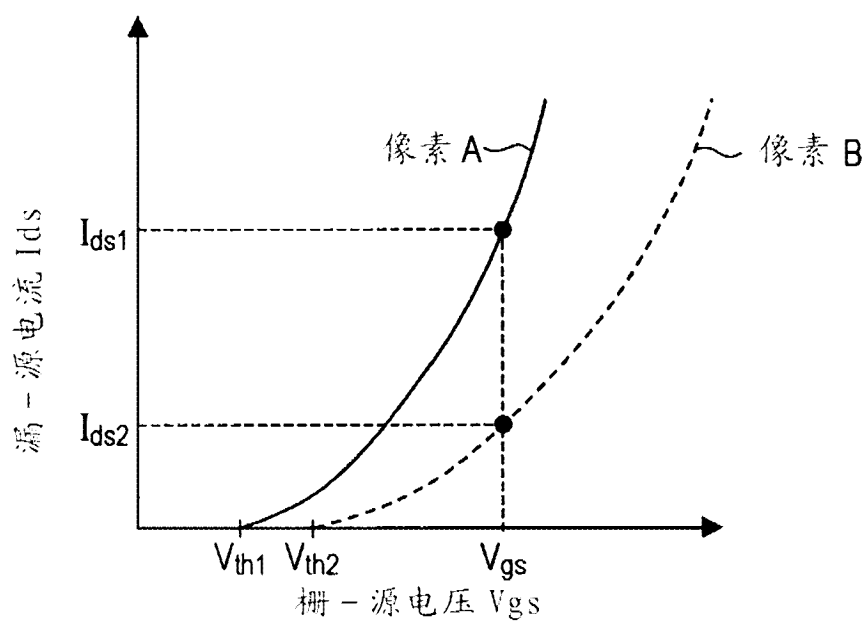


图 6A

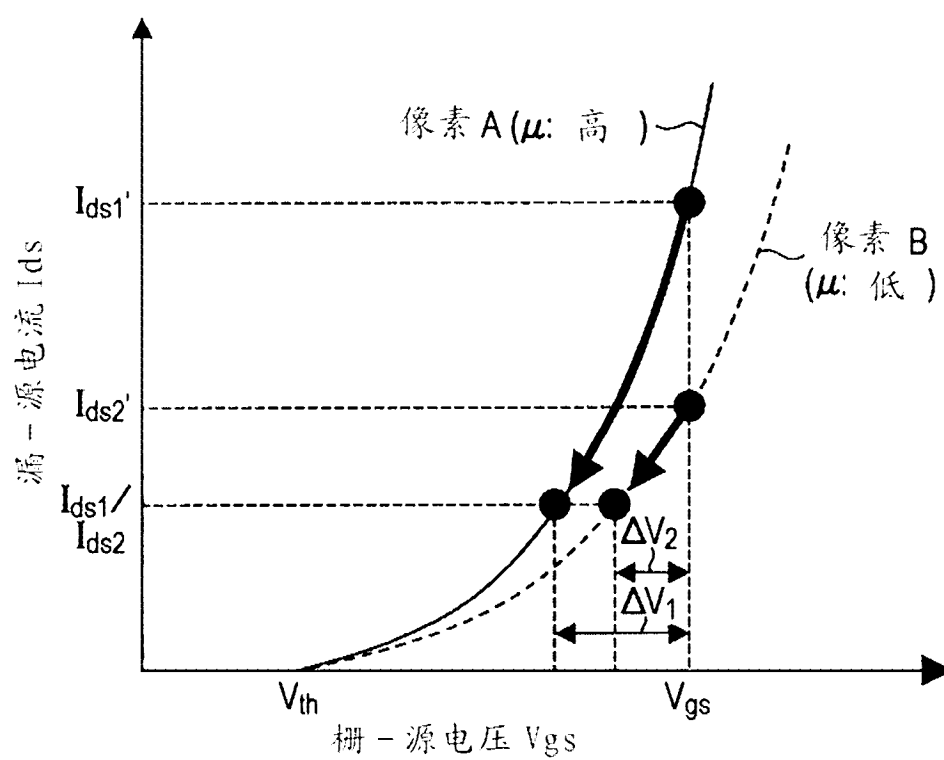


图 6B

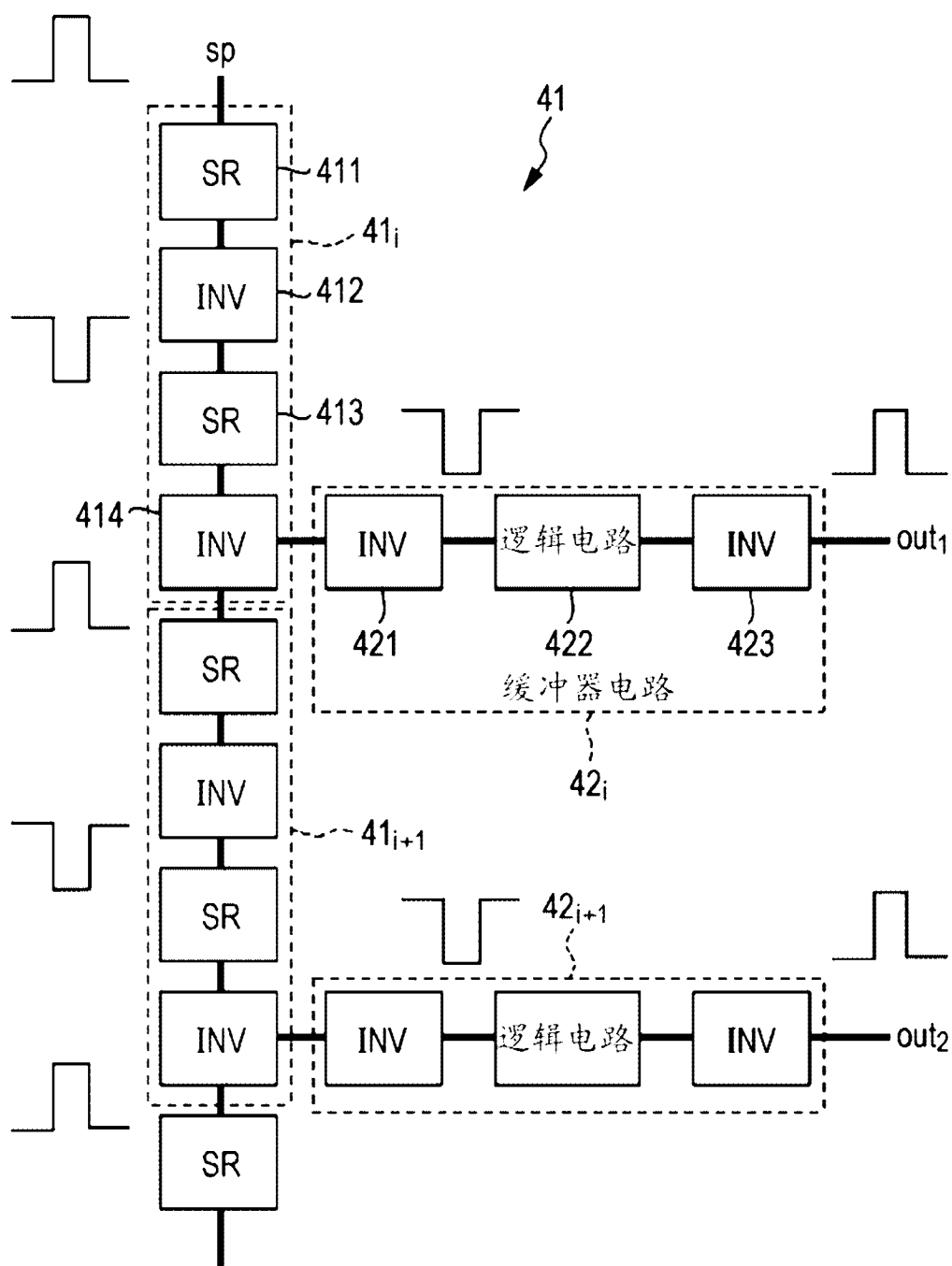


图 7

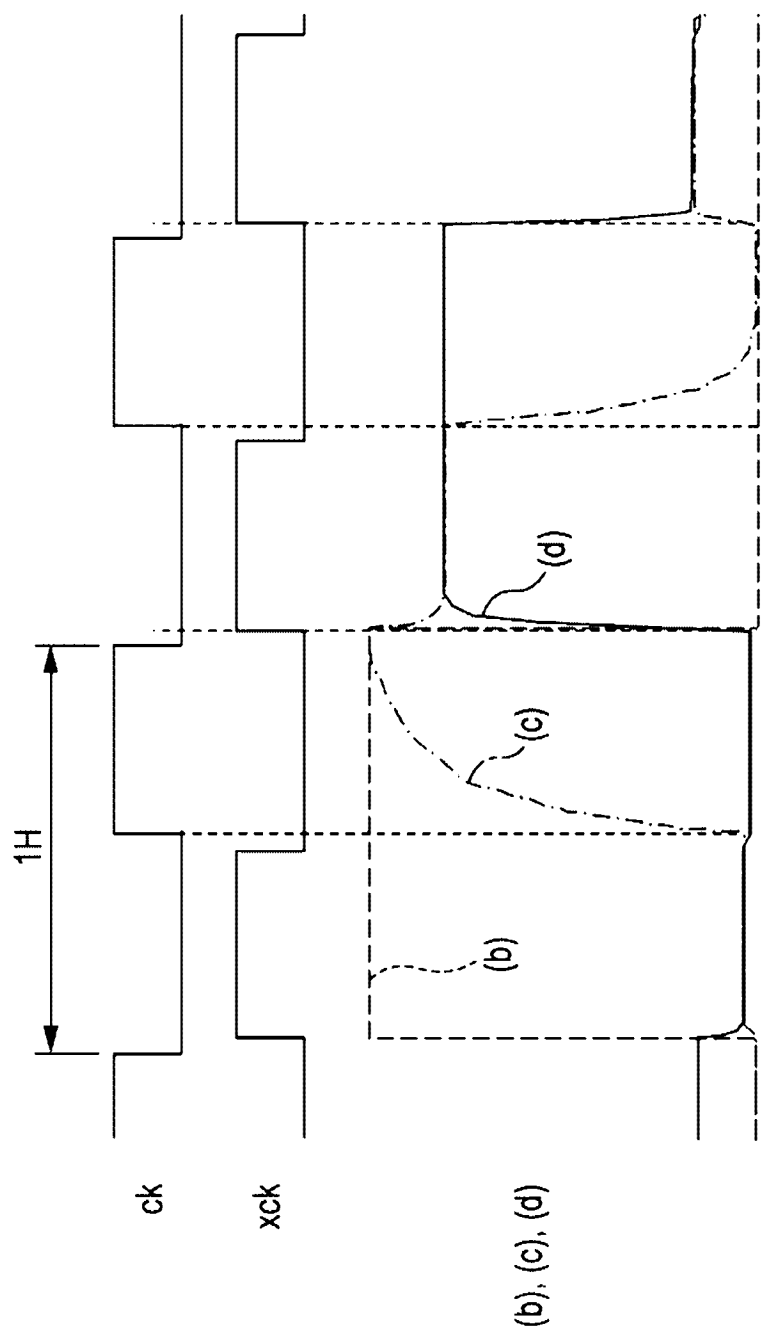


图 9

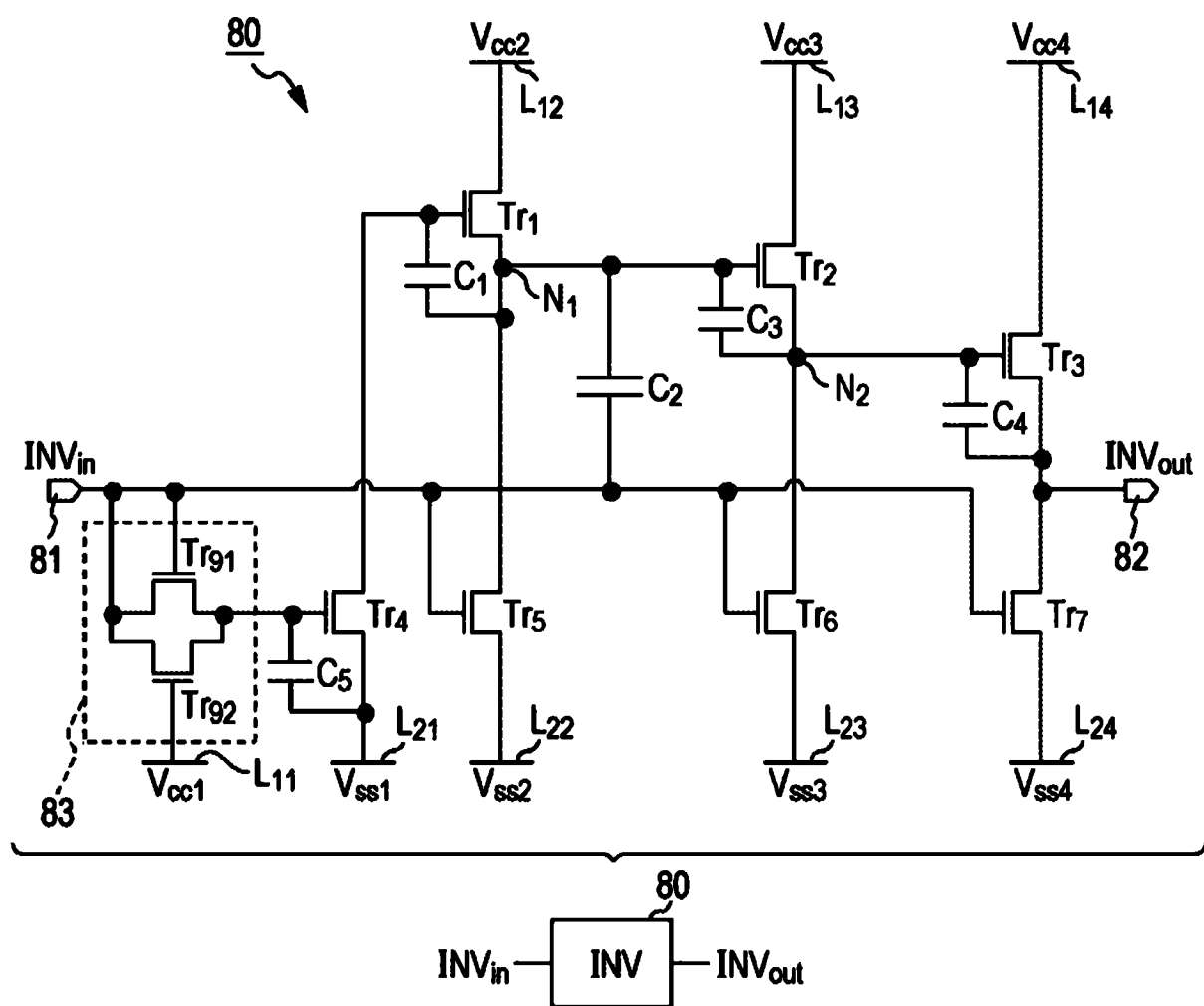


图 10A

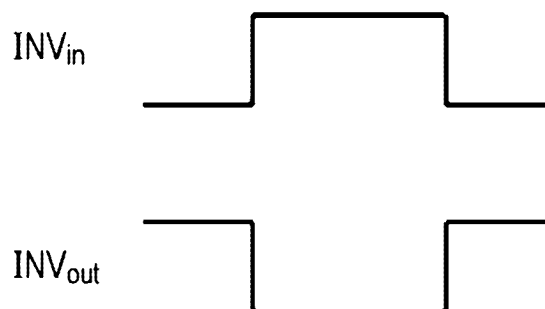


图 10B

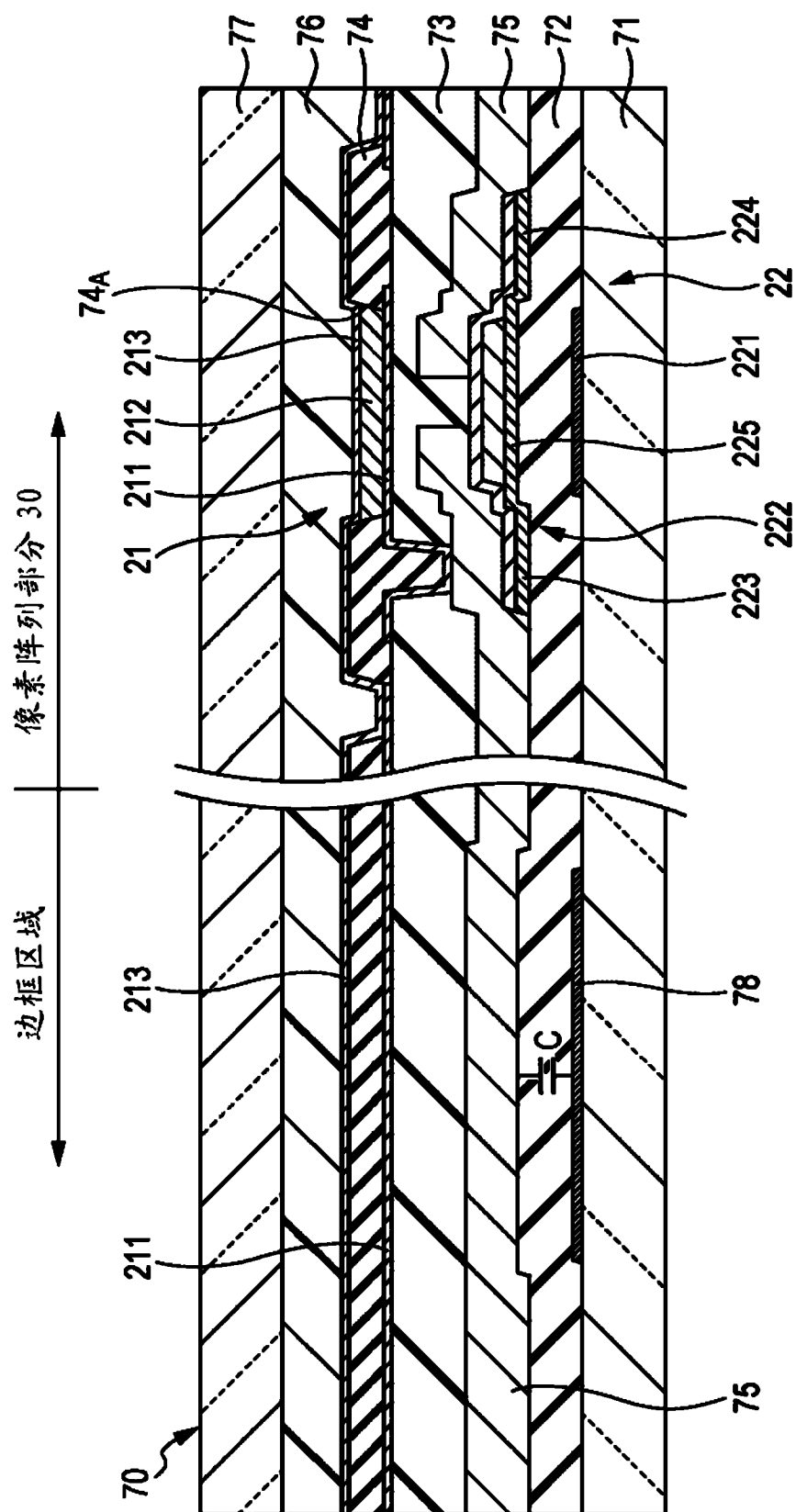


图 11

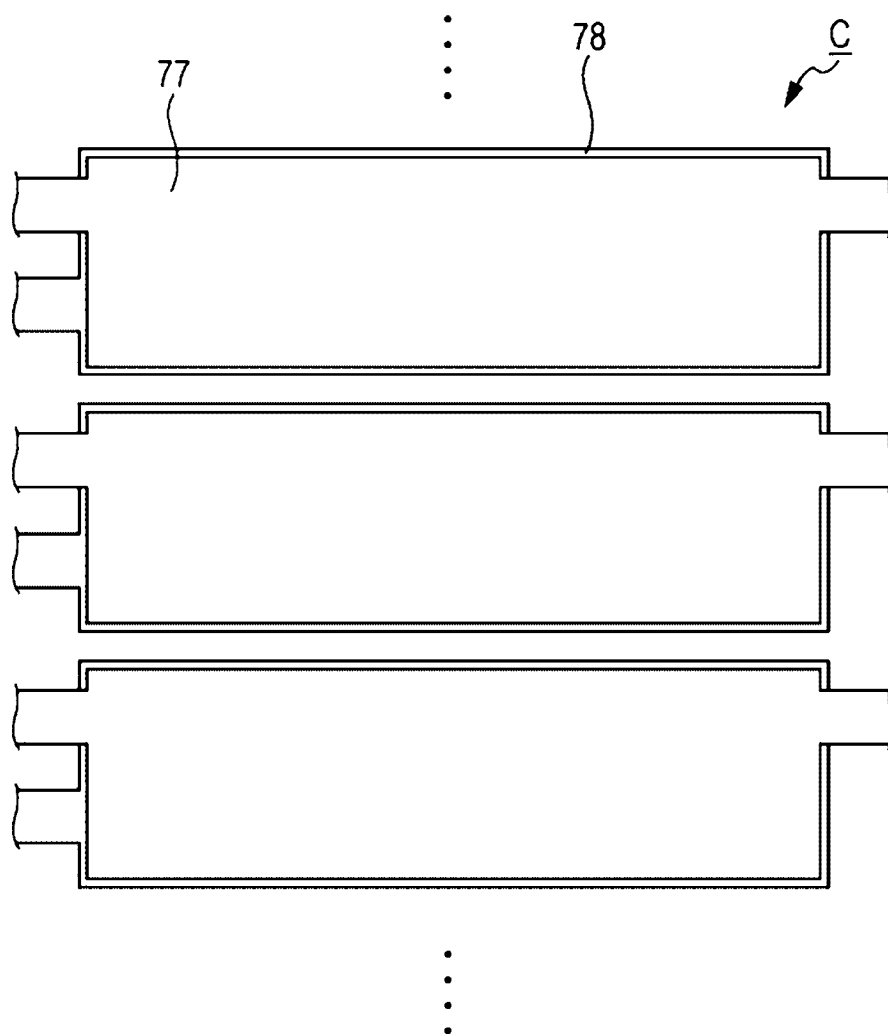


图 12

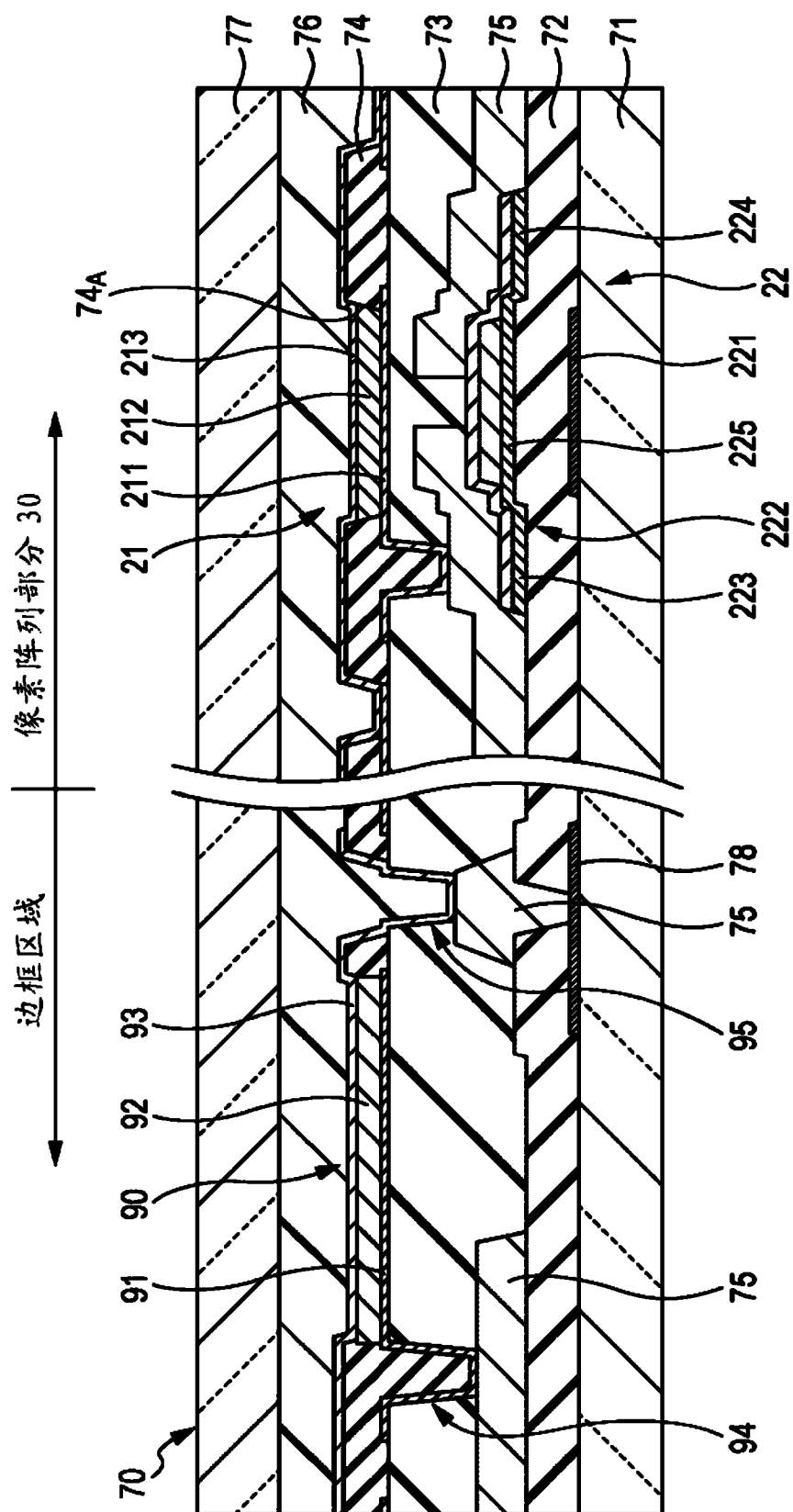


图 13

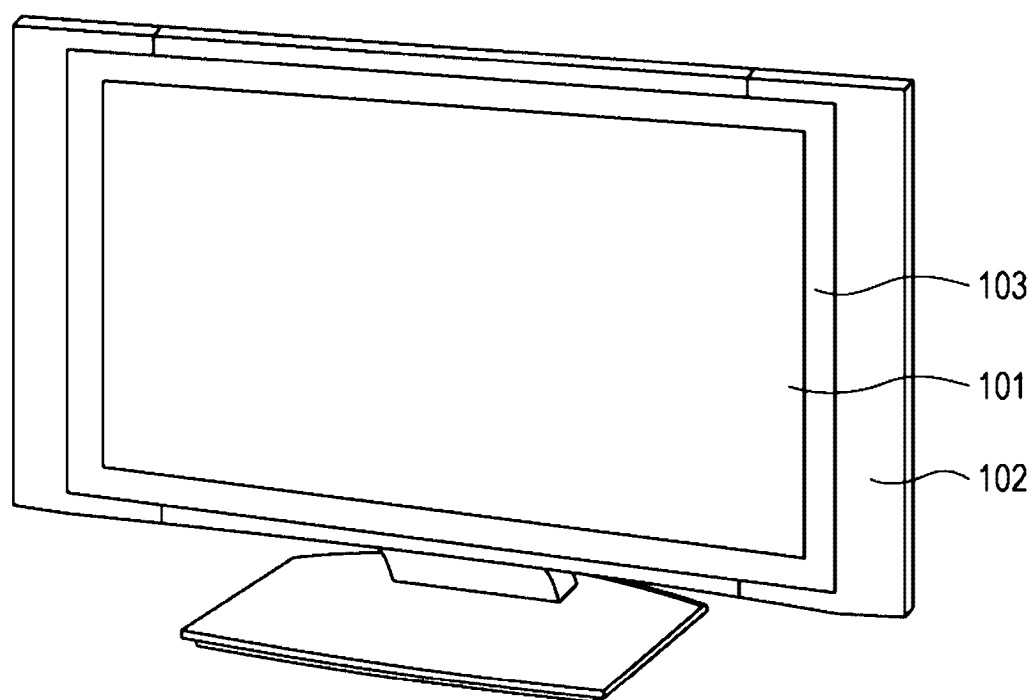


图 14

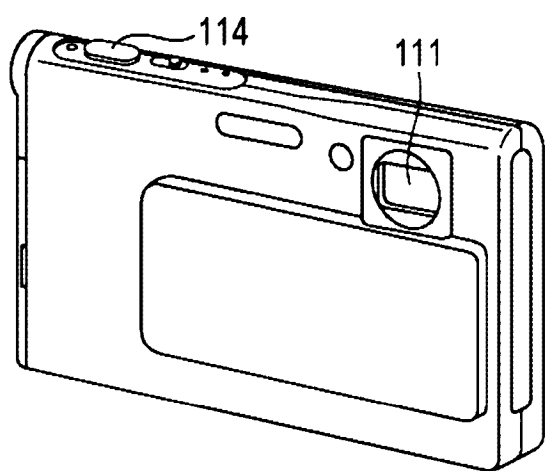


图 15A

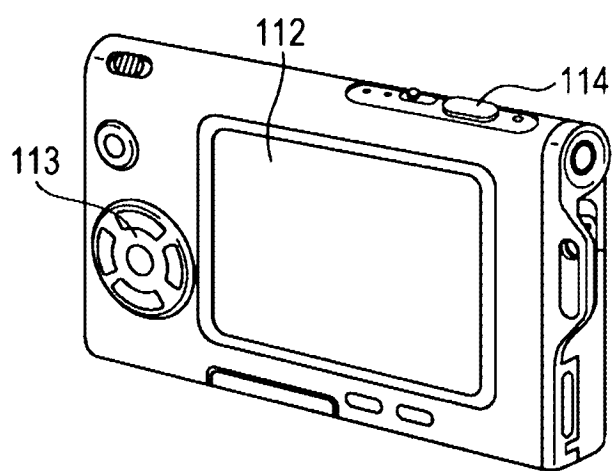


图 15B

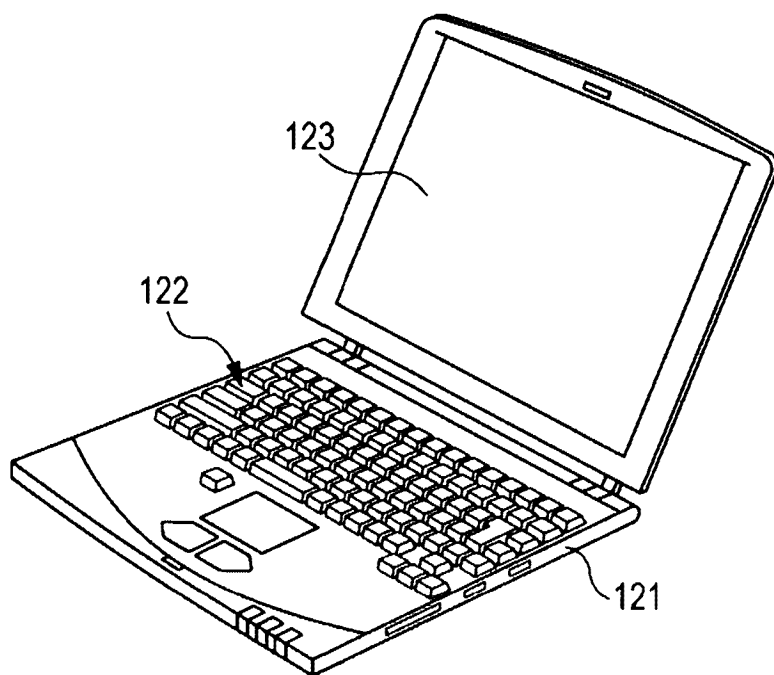


图 16

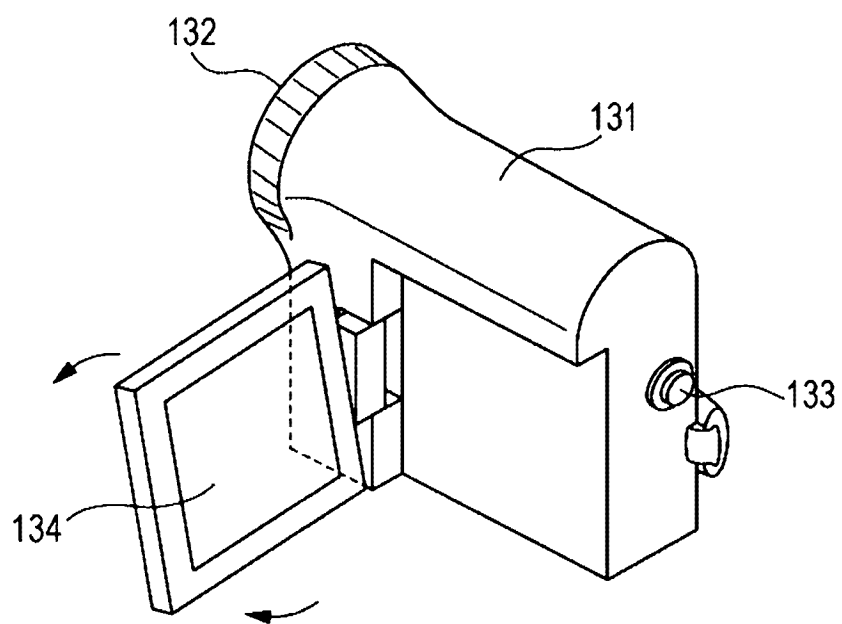


图 17

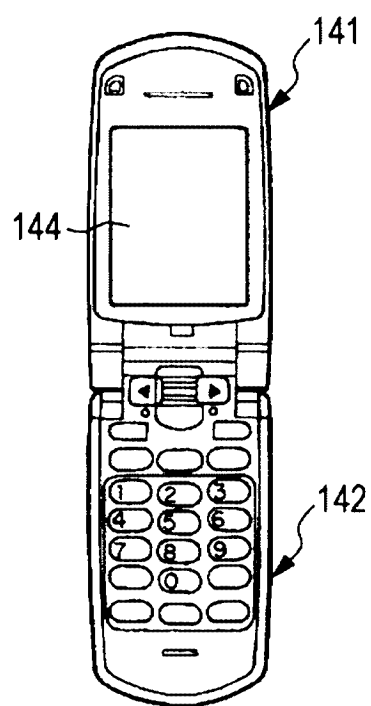


图 18A

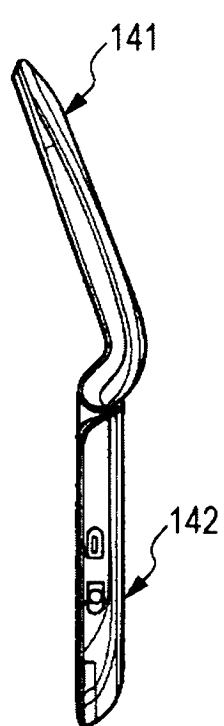


图 18B

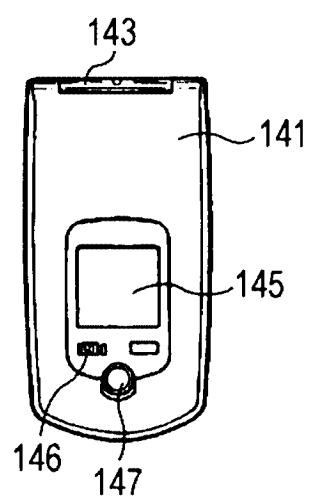


图 18C

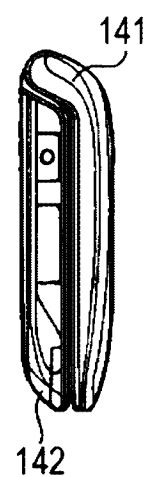


图 18D

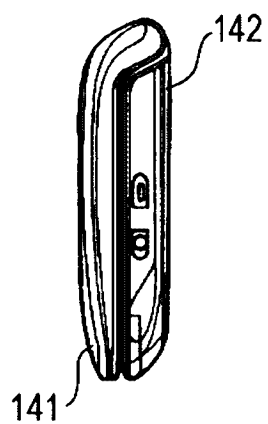


图 18E

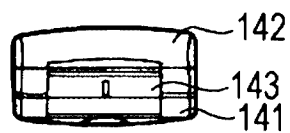


图 18F

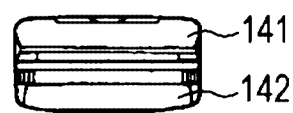


图 18G

专利名称(译)	有机电致发光显示器件及其制造方法和电子设备		
公开(公告)号	CN102339848A	公开(公告)日	2012-02-01
申请号	CN201110190408.6	申请日	2011-07-08
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	三并彻雄 内野胜秀		
发明人	三并彻雄 内野胜秀		
IPC分类号	H01L27/32 H01L51/52 H01L51/56 G09G3/32		
CPC分类号	H01L27/3244 G09G3/20 G09G2320/045 H01L51/50 H01L27/32 H01L51/52 G09G2300/0852 G09G3/3225 G09G3/32 G09G3/3291 G09G3/30 H01L51/56 G09G3/3266		
优先权	2010160407 2010-07-15 JP		
其他公开文献	CN102339848B		
外部链接	Espacenet SIPO		

摘要(译)

公开了有机电致发光EL显示器件、显示装置、制造有机EL显示器件的方法和包括有机EL显示器件的电子设备。该有机EL显示器件包括：像素阵列部分，其中排列具有有机EL元件的像素；以及驱动电路部分，在与所述像素阵列部分相同的衬底上、在所述像素阵列部分的周围部分中提供，所述驱动电路部分具有包括电容性元件的电路配置，其中所述电容性元件使用通过与所述有机EL元件的有机层的处理相同的处理在所述像素阵列部分的周围部分中形成的有机层作为介电部件。

