(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 204167325 U
(45)授权公告日 2015.02.18

(21)申请号 201420631683.6

(22)申请日 2014.10.28

(30)优先权数据
14/494,931 2014.09.24 US

(73)专利权人 苹果公司
地址 美国加利福尼亚州

(72)发明人 蔡宗廷 V·格普塔 林敬伟

(74)专利代理机构 北京市金杜律师事务所 11256
代理人 王茂华 张宁

(51)Int.Cl.
H01L 27/32(2006.01)

(ESM)同样的发明创造已同日申请发明专利

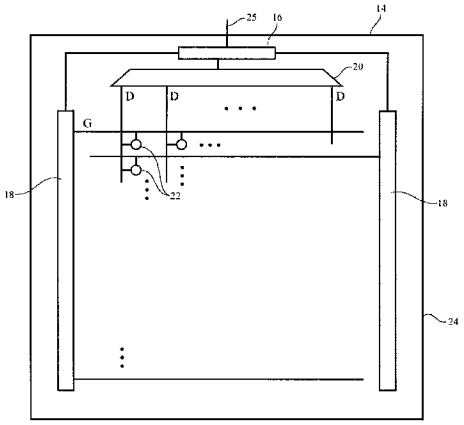
权利要求书2页 说明书10页 附图10页

(54)实用新型名称

有机发光二极管显示器

(57)摘要

本实用新型公开了一种有机发光二极管显示器。有机发光二极管显示器包括：基板；形成所述基板的有效区域的像素电路阵列；和所述基板的无效区域中的电路，其中每个像素电路包括：有机发光二极管；与所述有机发光二极管串联耦接的硅体管；耦接至所述硅晶体管的存储电容器；和耦接至所述存储电容器的半导体氧化物晶体管。



CN 204167325 U

1. 一种有机发光二极管显示器，其特征在于，包括：

基板；

形成所述基板的有效区域的像素电路阵列；和

所述基板的无效区域中的电路，其中每个像素电路包括：

有机发光二极管；

与所述有机发光二极管串联耦接的硅晶体管；

耦接至所述硅晶体管的存储电容器；和

耦接至所述存储电容器的半导体氧化物晶体管。

2. 根据权利要求 1 所述的有机发光二极管显示器，其特征在于，所述基板在所述无效区域中是弯曲的。

3. 根据权利要求 2 所述的有机发光二极管显示器，其特征在于，所述有机发光二极管显示器还包括电介质层，其中所述电介质层存在于所述有效区域中，并且其中所述电介质层中的至少一些不存在于所述无效区域中。

4. 根据权利要求 3 所述的有机发光二极管显示器，其特征在于，每个像素电路中的所述硅晶体管包括硅沟道，其中所述电介质层包括介于所述基板和所述硅沟道之间的缓冲层，并且其中所述缓冲层不存在于所述无效区域中。

5. 根据权利要求 4 所述的有机发光二极管显示器，其特征在于，所述有机发光二极管显示器还包括所述有效区域中的第一金属层，其中所述第一金属层中的一些形成用于每个像素电路中的所述硅晶体管的栅极。

6. 根据权利要求 5 所述的有机发光二极管显示器，其特征在于，所述第一金属层中的一些形成用于每个像素电路中的所述半导体氧化物晶体管的栅极。

7. 根据权利要求 5 所述的有机发光二极管显示器，其特征在于，所述有机发光二极管显示器还包括第二金属层，其中所述第二金属层在所述有效区域中是图案化的以形成用于所述硅晶体管并且用于所述半导体氧化物 晶体管的源极 - 漏极端子。

8. 根据权利要求 7 所述的有机发光二极管显示器，其特征在于，所述第二金属层在所述无效区域中是图案化的以形成在所述像素电路阵列和所述无效区域中的电路之间耦接的数据线。

9. 根据权利要求 8 所述的有机发光二极管显示器，其特征在于，所述基板是弯曲的柔性基板，并且其中所述数据线是弯曲的并在所述基板的表面上形成，使得没有所述电介质层插入在所述数据线和所述基板之间。

10. 根据权利要求 9 所述的有机发光二极管显示器，其特征在于，每个像素中的所述半导体氧化物晶体管包括半导体氧化物沟道。

11. 根据权利要求 10 所述的有机发光二极管显示器，其特征在于，所述电介质层包括氮化硅层，所述氮化硅层与每个像素电路中的所述硅晶体管的所述硅沟道重叠并且不与每个像素电路中的所述半导体氧化物晶体管的所述半导体氧化物沟道重叠。

12. 根据权利要求 11 所述的有机发光二极管显示器，其特征在于，所述存储电容器具有由金属的第二层形成的第一电极并且具有第二电极。

13. 根据权利要求 12 所述的有机发光二极管显示器，其特征在于，所述电介质层包括另外的氮化硅层，其中所述另外的氮化硅层插入在每个像素电路中的所述存储电容器的所

述第一电极和所述第二电极之间。

14. 根据权利要求 13 所述的有机发光二极管显示器，其特征在于，所述有机发光二极管显示器还包括氧化硅层，所述氧化硅层与每个像素电路中的所述半导体氧化物沟道重叠并且所述氧化硅层在每个像素电路的所述存储电容器中局部移除，使得没有所述氧化硅层插入所述存储电容器的所述第一电极和所述第二电极之间。

15. 根据权利要求 3 所述的有机发光二极管显示器，其特征在于，所述有机发光二极管显示器还包括从所述有效区域向所述无效区域延伸的数据线，其中所述电介质层具有当从所述有效区域向所述无效区域过渡时在高度上减小的阶梯式外形，并且其中所述数据线在具有所述阶梯式外形的所述电介质层上形成。

16. 根据权利要求 1 所述的有机发光二极管显示器，其特征在于，每个 像素电路中的所述半导体氧化物晶体管包括驱动晶体管，并且其中每个像素电路中的所述硅晶体管包括开关晶体管。

17. 一种有机发光二极管显示器，其特征在于，包括：

有机发光二极管阵列；

各自与所述有机发光二极管中的相应的一个有机发光二极管串联耦接的硅驱动晶体管；和

耦接至所述硅驱动晶体管的半导体氧化物开关晶体管。

18. 根据权利要求 17 所述的有机发光二极管显示器，其特征在于，所述半导体氧化物开关晶体管各自具有半导体氧化物沟道，所述有机发光二极管显示器还包括与所述硅驱动晶体管重叠并且不与所述半导体氧化物沟道重叠的氮化硅层。

19. 根据权利要求 18 所述的有机发光二极管显示器，其特征在于，所述有机发光二极管显示器还包括：

耦接至所述半导体氧化物开关晶体管的存储电容器；和

与所述半导体氧化物沟道重叠并且不与所述存储电容器重叠的氧化硅层。

20. 一种有机发光二极管显示器，其特征在于，包括：

柔性聚合物基板；

所述基板上的像素电路阵列，每个像素电路包括有机发光二极管、各自具有半导体氧化物沟道的至少两个半导体氧化物晶体管、与所述有机发光二极管串联耦接的至少一个硅晶体管、以及至少一个存储电容器；

所述柔性聚合物基板上的电介质层，所述电介质层具有当从所述像素电路阵列向邻近所述像素电路阵列的无效区域过渡时在高度上减小的阶梯式外形；和

沿循所述阶梯式外形的所述电介质层上的数据线，其中所述电介质层包括与所述硅晶体管重叠并且不与所述半导体氧化物沟道重叠的电介质层。

有机发光二极管显示器

技术领域

[0001] 本实用新型整体涉及电子设备，并且更具体地涉及带有具有薄膜晶体管的显示器的电子设备。

背景技术

[0002] 电子设备通常包括显示器。例如，蜂窝电话和便携式计算机包括用于向用户呈现信息的显示器。

[0003] 显示器诸如有机发光二极管显示器具有基于发光二极管的像素阵列。在这种类型的显示器中，每个像素均包括发光二极管和薄膜晶体管，该薄膜晶体管用于控制向发光二极管施加信号。

[0004] 如果不小心，则显示器的薄膜晶体管电路可表现出过量的晶体管漏电流、不足的晶体管驱动强度、差的面积效率、磁滞、不均匀度和其他问题。因此，期望能够提供改进的电子设备显示器。

实用新型内容

[0005] 鉴于上述问题，提出本公开的一些实施例，其旨在至少部分地解决现有技术中的一些技术问题。

[0006] 根据本公开的一个方面，提供一种有机发光二极管显示器，包括：基板；形成所述基板的有效区域的像素电路阵列；和所述基板的无效区域中的电路，其中每个像素电路包括：有机发光二极管；与所述有机发光二极管串联耦接的硅晶体管；耦接至所述硅晶体管的存储电容器；和耦接至所述存储电容器的半导体氧化物晶体管。

[0007] 可选地，所述基板在所述无效区域中是弯曲的。

[0008] 可选地，所述有机发光二极管显示器还包括电介质层，其中所述电介质层存在于所述有效区域中，并且其中所述电介质层中的至少一些不存在于所述无效区域中。

[0009] 可选地，每个像素电路中的所述硅晶体管包括硅沟道，其中所述电介质层包括介于所述基板和所述硅沟道之间的缓冲层，并且其中所述缓冲层不存在于所述无效区域中。

[0010] 可选地，所述有机发光二极管显示器还包括所述有效区域中的第一金属层，其中所述第一金属层中的一些形成用于每个像素电路中的所述硅晶体管的栅极。

[0011] 可选地，所述第一金属层中的一些形成用于每个像素电路中的所述半导体氧化物晶体管的栅极。

[0012] 可选地，所述有机发光二极管显示器还包括第二金属层，其中所述第二金属层在所述有效区域中是图案化的以形成用于所述硅晶体管并且用于所述半导体氧化物晶体管的源极－漏极端子。

[0013] 可选地，所述第二金属层在所述无效区域中是图案化的以形成在所述像素电路阵列和所述无效区域中的电路之间耦接的数据线。

[0014] 可选地，所述基板是弯曲的柔性基板，并且其中所述数据线是弯曲的并在所述基

板的表面上形成，使得没有所述电介质层插入在所述数据线和所述基板之间。

[0015] 可选地，每个像素中的所述半导体氧化物晶体管包括半导体氧化物沟道。

[0016] 可选地，所述电介质层包括氮化硅层，所述氮化硅层与每个像素电路中的所述硅晶体管的所述硅沟道重叠并且不与每个像素电路中的所述半导体氧化物晶体管的所述半导体氧化物沟道重叠。

[0017] 可选地，所述存储电容器具有由金属的第二层形成的第一电极并且具有第二电极。

[0018] 可选地，所述电介质层包括另外的氮化硅层，其中所述另外的氮化硅层插入在每个像素电路中的所述存储电容器的所述第一电极和所述第二电极之间。

[0019] 可选地，所述有机发光二极管显示器还包括氧化硅层，所述氧化硅层与每个像素电路中的所述半导体氧化物沟道重叠并且所述氧化硅层在每个像素电路的所述存储电容器中局部移除，使得没有所述氧化硅层插入所述存储电容器的所述第一电极和所述第二电极之间。

[0020] 可选地，所述有机发光二极管显示器还包括从所述有效区域向所述无效区域延伸的数据线，其中所述电介质层具有当从所述有效区域向所述无效区域过渡时在高度上减小的阶梯式外形，并且其中所述数据线在具有所述阶梯式外形的所述电介质层上形成。

[0021] 可选地，每个像素电路中的所述半导体氧化物晶体管包括驱动晶体管，并且其中每个像素电路中的所述硅晶体管包括开关晶体管。

[0022] 根据本公开的另一方面，提供一种有机发光二极管显示器，包括：有机发光二极管阵列；各自与所述有机发光二极管中的相应的一个有机发光二极管串联耦接的硅驱动晶体管；和耦接至所述硅晶体管的半导体氧化物开关晶体管。

[0023] 可选地，所述半导体氧化物开关晶体管各自具有半导体氧化物沟道，所述有机发光二极管显示器还包括与所述硅驱动晶体管重叠并且不与所述半导体氧化物沟道重叠的氮化硅层。

[0024] 可选地，所述有机发光二极管显示器还包括：耦接至所述半导体氧化物开关晶体管的存储电容器；和与所述半导体氧化物沟道重叠并且不与所述存储电容器重叠的氧化硅层。

[0025] 根据本公开的又一方面，提供一种有机发光二极管显示器，包括：柔性聚合物基板；所述基板上的像素电路阵列，每个像素电路包括有机发光二极管、各自具有半导体氧化物沟道的至少两个半导体氧化物晶体管、与所述有机发光二极管串联耦接的至少一个硅晶体管、以及至少一个存储电容器；所述柔性聚合物基板上的电介质层，所述电介质层具有当从所述像素电路阵列向邻近所述像素电路阵列的无效区域过渡时在高度上减小的阶梯式外形；和沿循所述阶梯式外形的所述电介质层上的数据线，其中所述电介质层包括与所述硅晶体管重叠并且不与所述半导体氧化物沟道重叠的电介质层。

[0026] 通过使用根据本公开的一些实施例，可以至少部分地解决现有技术中的一些技术问题，并且实现相应的技术效果。

附图说明

[0027] 图 1 是根据一个实施例的示例性显示器诸如具有有机发光二极管像素阵列的有

机发光二极管显示器的图示。

[0028] 图 2 是根据一个实施例的该类型的示例性有机发光二极管显示器像素的图示，该示例性有机发光二极管显示器像素可与半导体氧化物薄膜晶体管和硅薄膜晶体管一起用于有机发光二极管。

[0029] 图 3 是根据一个实施例的用于显示器像素的示例性薄膜晶体管结构的横截面侧视图，该显示器像素在其中已经使用底栅极布置来形成半导体氧化物薄膜晶体管的构型中。

[0030] 图 4 是根据一个实施例的用于显示器像素的示例性薄膜晶体管结构的横截面侧视图，该显示器像素在其中已经使用顶栅极布置来形成半导体氧化物薄膜晶体管的构型中。

[0031] 图 5 是根据一个实施例的用于显示器像素的示例性薄膜晶体管结构的横截面侧视图，该显示器像素在其中已经使用底栅极布置来形成半导体氧化物薄膜晶体管并且在其中存储电容器具有第一电极和第二电极的构型中，该第一电极由与半导体氧化物薄膜晶体管的栅极相同的金属层图案化并且该第二电极还形成晶体管源极 - 漏极。

[0032] 图 6 是根据一个实施例的用于显示器像素的示例性薄膜晶体管结构的横截面侧视图，该显示器像素在其中已经使用底栅极布置来形成半导体氧化物薄膜晶体管并且在其中已经使用下部电极来形成存储电容器的构型中，该下部电极由还用作硅晶体管中的薄膜晶体管栅极金属的金属层图案化。

[0033] 图 7 是根据一个实施例的用于显示器像素的示例性薄膜晶体管结构的横截面侧视图，该显示器像素在其中已经使用底栅极布置来形成半导体氧化物薄膜晶体管的构型中，该底栅极布置具有插入该半导体氧化物薄膜晶体管的栅极和沟道之间的三层层间电介质。

[0034] 图 8 是根据一个实施例的具有弯曲边缘的示例性显示器的透视图。

[0035] 图 9 是根据一个实施例的用于具有弯曲边缘的显示器的示例性阶梯式电介质层的横截面侧视图。

[0036] 图 10 是根据一个实施例的用于显示器的示例性薄膜晶体管结构的横截面侧视图，该显示器在其中材料的上层已经从显示器移除以有利于显示器在沿显示器的边缘的无效区域中弯曲的构型中。

[0037] 图 11 是根据一个实施例的用于显示器的示例性薄膜晶体管结构的横截面侧视图，该显示器在其中材料的上层已经从显示器移除以有利于显示器在沿显示器的边缘的弯曲区域中弯曲并且在其中半导体氧化物晶体管结构不与任何富氢氮化硅重叠的构型中。

具体实施方式

[0038] 电子设备中的显示器可提供有用于在像素阵列上显示图像的驱动电路。图 1 中示出了示例性显示器。如图 1 所示，显示器 14 可具有一个或多个层诸如基板 24。层诸如基板 24 可由绝缘材料诸如玻璃、塑料、陶瓷和 / 或其他电介质形成。基板 24 可以是矩形的或者可具有其他形状。刚性基板材料（例如，玻璃）或柔性基板材料（例如，柔性聚合物片材诸如一层聚酰亚胺或其他材料）可用于形成基板 24。

[0039] 显示器 14 可具有用于为用户显示图像的像素 22 的阵列（有时称为像素电路）。

像素 22 的阵列可由基板 24 上的像素结构的行和列形成。在像素 22 的阵列中可具有任何合适数量的行和列（例如，十个或更多个、一百个或更多个，或者一千个或更多个）。

[0040] 可使用焊料或导电粘合剂将显示驱动电路诸如显示驱动器集成电路 16 耦接至导电路径诸如基板 24 上的金属迹线。显示驱动器集成电路 16（有时称为定时控制器芯片）可包括用于通过路径 25 与系统控制电路进行通信的通信电路。路径 25 可由柔性印刷电路上的迹线或其他缆线形成。控制电路可位于电子设备中的主逻辑板上，所述电子设备诸如为蜂窝电话、计算机、机顶盒、媒体播放器、便携式电子设备、腕表设备、平板电脑，或正在使用显示器 14 的其他电子设备。在操作过程中，控制电路可为显示驱动器集成电路 16 提供与要在显示器 14 上显示的图像有关的信息。为在显示器像素 22 上显示图像，当发出时钟信号和其他控制信号以支持薄膜晶体管显示驱动电路诸如栅极驱动电路 18 和解复用电路 20 时，显示驱动器集成电路 16 可将对应的图像数据供应到数据线 D。

[0041] 栅极驱动电路 18 可在基板 24 上形成（例如，在显示器 14 的左边缘和右边缘上、仅在显示器 14 的单个边缘上，或者在显示器 14 中的其他位置）。解复用器电路 20 可用于将数据信号从显示驱动器集成电路 16 解复用到多个对应的数据线 D 上。根据图 1 的示例性布置，数据线 D 通过显示器 14 竖直延伸。每条数据线 D 都与显示器像素 22 的相应列相关联。栅极线 G 通过显示器 14 水平延伸。每条栅极线 G 都与显示器像素 22 的相应行相关联。栅极驱动电路 18 可位于显示器 14 的左侧上、显示器 14 的右侧上，或位于显示器 14 的左侧和右侧上，如图 1 所示。

[0042] 栅极驱动电路 18 可断言在显示器 14 中的栅极线 G 上的栅极信号（有时称为扫描信号）。例如，栅极驱动电路 18 可以从显示驱动器集成电路 16 接收时钟信号和其他控制信号，并且可以响应于所接收到的信号，从显示器像素 22 的第一行中的栅极线信号 G 开始依次断言栅极线 G 上的栅极信号。由于每条栅极线被断言，因此在其中栅极线被断言的行中对应的显示器像素将显示在数据线 D 上显现的显示数据。

[0043] 显示驱动电路 16 可使用一个或多个集成电路来实现。显示驱动电路诸如解复用器电路 20 和栅极驱动电路 18 可使用一个或多个集成电路和 / 或在基板 24 上的薄膜晶体管电路来实施。薄膜晶体管可用于形成显示器像素 22 中的电路。为增强显示器性能，在显示器 14 中满足所期望标准诸如漏电流、切换速度、驱动强度、均匀度等的薄膜晶体管结构可以使用。一般来讲，在显示器 14 中的薄膜晶体管可以使用任何合适类型的薄膜晶体管技术（例如，基于硅的、基于半导体氧化物的，等等）形成。

[0044] 根据一种在本文中有时描述为实例的合适布置，显示器 14 上的一些薄膜晶体管中的沟道区（有效区域）由硅（例如，硅诸如使用低温方法沉积的多晶硅，有时称为LTPS或低温多晶硅）形成，并且在显示器 14 上的其他薄膜晶体管中的沟道区由半导体氧化物材料（例如，非晶态的氧化铟镓锌，有时称为 IGZO）形成。如果需要，则其他类型的半导体可用于形成薄膜晶体管诸如非晶硅、除了 IGZO 之外的半导体氧化物等。在这种类型的混合显示器构型中，硅晶体管（例如，LTPS 晶体管）可在期望的属性诸如切换速度和良好可靠性的情况下使用（例如，用于驱动晶体管以驱动通过像素中的有机发光二极管的电流），然而氧化物晶体管（例如，IGZO 晶体管）可在期望低漏电流的情况下使用（例如，当显示器中的显示器像素开关晶体管实施可变刷新率方案或需要低漏电流的其他场景时）。其他注意事项也可被考虑（例如，与功率消耗、占位面积消耗、磁滞、晶体管均匀度等相关的注意事项）。

[0045] 氧化物晶体管诸如 IGZO 薄膜晶体管通常是 n- 沟道设备（即，NMOS 晶体管），但是如果需要，PMOS 设备可以用于氧化物晶体管。硅晶体管也可以使用 p- 沟道或 n- 沟道设计制成（即，LTPS 设备可以是 PMOS 或 NMOS）。这些薄膜晶体管结构的组合可以为有机发光二极管显示器提供最佳性能。

[0046] 在有机发光二极管显示器中，每个显示器像素都包括相应的有机发光二极管。图 2 中示出了示例性有机发光二极管显示器像素的示意图。如图 2 所示，像素 22 可包括发光二极管 26。可以将正电源电压 ELVDD 提供给正电源端子 34，并且可以将接地电源电压 ELVSS 提供给接地电源端子 36。驱动晶体管 28 的状态控制流经二极管 26 的电流量，因此控制来自显示器像素 22 的发射光 40 的量。

[0047] 为确保晶体管 28 保持在数据的连续帧之间的期望状态，显示器像素 22 可包括存储电容器，诸如存储电容器 Cst。在存储电容器 Cst 上的电压在节点 A 被施加到晶体管 28 的栅极以控制晶体管 28。可使用一个或多个开关晶体管诸如开关晶体管 30 将数据加载到存储电容器 Cst 中。当开关晶体管 30 关闭时，数据线 D 从存储电容器 Cst 隔离，并且在端子 A 上的栅极电压等于存储在存储电容器 Cst 中的数据值（即，来自在显示器 14 上显示的显示数据的先前帧的数据值）。当在与像素 22 相关联的行中的栅极线 G（有时称为扫描线）被断言时，开关晶体管 30 将被打开并且在数据线 D 上的新的数据信号将被加载到存储电容器 Cst 中。在电容器 Cst 上的新信号在节点 A 处被施加到晶体管 28 的栅极，从而调节晶体管 28 的状态并且调节由发光二极管 26 发射的光 40 的对应的量。

[0048] 图 2 的示例性像素电路仅为电路的一个实例，其可用于显示器 14 中的像素阵列。例如，每个像素电路可包括任何合适数量的开关晶体管（一个或多个、两个或更多个、三个或更多个等）。如果需要，则有机发光二极管显示器像素 22 可具有另外的部件（例如，与驱动晶体管串联耦接以帮助实施功能诸如阈值电压补偿等的一个或两个发射启用晶体管）。一般来讲，本文所述的薄膜晶体管结构可与图 2 的像素电路或者与任何其他合适的像素电路一起使用。例如，本文所述的薄膜晶体管结构可用于六 - 晶体管像素电路，其具有由两个不同的扫描线控制的三个开关晶体管、与有机发光二极管串联耦接的驱动晶体管，以及由两个相应的发射线控制并且与驱动晶体管和发光二极管串联耦接以实施阈值电压补偿功能的两个发射启用晶体管。用于显示器 14 中的像素的薄膜晶体管电路还可具有其他数量的开关晶体管（例如，一个或多个、两个或更多个、三个或更多个、四个或更多个等）或其他数量的发射晶体管（无发射晶体管、一个或多个发射晶体管、两个或更多个发射晶体管、三个或更多个发射晶体管、四个或更多个发射晶体管等）。在每个像素电路中的晶体管可由硅晶体管和氧化硅晶体管的任何合适的组合与 NMOS 晶体管和 PMOS 晶体管的任何合适的组合形成。图 2 的像素电路仅为示例性的。

[0049] 图 2 的有机发光二极管像素诸如像素 22 或用于显示器 14 的任何其他合适的像素电路可使用在图 3 示出的类型的薄膜晶体管结构。在这种类型的结构中，两种不同类型的半导体被使用。如图 3 所示，像素电路 72 可包括像素结构诸如发光二极管阴极端子 42 和发光二极管阳极端子 44。有机发光二极管发射材料 47 可插入阴极 42 和阳极 44 之间，从而形成图 2 的发光二极管 26。电介质层 46 可用于限定像素的布局（例如，发射材料 47 相对于阳极 44 对齐）并且有时可以称为像素清晰度层。平面化层 50（例如，聚合物层）可在薄膜晶体管结构 52 的顶部上形成。薄膜晶体管结构 52 可在基板 24 上形成。基板 24 可以是

刚性的或柔性的，并且可由玻璃、陶瓷、结晶材料诸如蓝宝石、聚合物（例如，聚酰亚胺的柔性层或其他聚合物材料的柔性片材）等形成。

[0050] 薄膜晶体管结构 52 可包括硅晶体管诸如硅晶体管 58。晶体管 58 可以是使用“顶栅极”设计形成的 LTPS 晶体管，并且可用于形成像素 22 中的任何晶体管（例如，晶体管 58 可用作驱动晶体管诸如图 2 的像素 22 中的驱动晶体管 28）。晶体管 58 可具有由栅极绝缘体层 64（例如，氧化硅层或其他无机层）覆盖的多晶硅沟道 62。栅极 66 可由图案化的金属（例如，钼）形成。栅极 66 可由一层层间电介质（例如，氮化硅层 68 和氧化硅层 70 或其他无机层或有机材料）覆盖。源极 - 漏极触点 74 和 76 可接触多晶硅层 62 的相对侧以形成硅薄膜晶体管 58。

[0051] 栅极 66 可由金属层 GATE 形成，源极 - 漏极端子 74 和 76 可由金属层 SD 形成，并且另外的金属层 M3 可以用于形成金属通路 75 以将源极 - 漏极 74 耦接至阳极 44。

[0052] 电路 72 还可包括电容器结构诸如电容器结构 100（例如，图 2 的电容器 Cst）。电容器结构 100 可具有下部电极诸如电极 102 和上部电极诸如电极 104。下部电极 102 可由金属层 SD 的图案化部分形成。上部电极 104 可由金属层 M3 的图案化部分形成。电介质层可使上部电极 104 和下部电极 102 分离。电介质层可由高 - 介电 - 常数材料诸如二氧化铪或氧化铝形成，并且可由一个或多个其他层形成。在图 3 的实例中，分离电极 102 和 104 的电介质层包括两个钝化层 106 和 108。层 106 和层 108 可分别由氧化硅和氮化硅形成。如果需要，其他无机层和 / 或有机层可以用于形成层 106 和层 108（例如，氧化物层、氮化物层、聚合物层等）。

[0053] 薄膜晶体管结构 52 可包括半导体氧化物晶体管诸如半导体氧化物晶体管 60。在结构 60 中的薄膜晶体管可以是“底栅极”氧化物晶体管。晶体管 60 的栅极 110 可由金属层 GATE 的一部分形成。晶体管 60 的半导体氧化物沟道区（沟道 112）可由半导体氧化物诸如 IGZO 形成。层间电介质（例如，层 68 和 70）可插入栅极 110 和半导体氧化物沟道 112 之间并且可以用作用于晶体管 60 的栅极绝缘体层。氧化物晶体管 60 可具有由金属层 SD 的图案化部分形成的源极 - 漏极端子 114 和 116。

[0054] 基板 24 上的缓冲层 122 可由一层聚酰亚胺或其他电介质形成。背侧金属层 118 可在晶体管 58 下方形成以将晶体管 58 与缓冲层 122 中的电荷相屏蔽。缓冲层 120 可在屏蔽层 118 之上形成并且可由电介质（例如，有机层诸如聚合物层其他绝缘层）形成。

[0055] 图 4 中示出了用于像素电路 22 的另外的示例性薄膜晶体管电路 72。在图 4 的实例中，已经使用“顶栅极”布置来形成氧化物晶体管 60。利用该方法，用于晶体管 60 的栅极 110 由金属层 M3 的图案化部分来形成。金属层 M3 还可以用于形成电容器 100 的电极 104（例如）。金属层 SD 可用于形成电极 102、源极 - 漏极端子 74 和 76，以及源极 - 漏极端子 114 和 116。氧化物晶体管 60 可具有半导体氧化物沟道 112。电介质（例如，钝化层 106 和 108 和 / 或高 - 介电 - 常数材料或其他绝缘材料）可插入沟道 112 和栅极 110 之间。

[0056] 在图 5 的实例中，电路 72 的晶体管 60 是底栅极氧化物晶体管。电介质层 132 可插入电容器 100 的上部电极 104 和下部电极 102 之间。电介质层 132 可由无机绝缘体（例如，氧化硅、氮化硅等）形成或者可由聚合物层形成。层 132 有时可被称为层间电介质层并且可以在层间电介质层 68 和 70 的顶部上形成。在电容器 100 中，层 132 使电极 102 和 104 彼此分离。上部电极 104 可由金属层 SD 形成。金属层 SD 还可用于为硅晶体管 58 形成源

极－漏极 74 和 76，以及为氧化物晶体管 60 形成源极－漏极 114 和 116。下部电极 102 可在金属层 SD 和用于栅极 66 的栅极金属 GATE 之间形成沉积的和图案化的金属层。用于形成图 5 的下部电极 102 的金属层有时可以称为金属层 M2S。除了用于形成电容器 100 的下部电极 102 之外，金属层 M2S 可以用于形成晶体管 60 的栅极 110。

[0057] 在图 5 的构型中，金属层 M2S 已经在电介质层 68 和 70 上形成。电介质层 132 插入栅极 110 和半导体氧化物沟道 120 之间并且用作用于晶体管 60 的栅极绝缘体。钝化层诸如电介质层 130 可在沟道 120 上方形成以保护沟道 120 的半导体氧化物界面。电介质层 130 和电介质层 132 可各自由氧化硅、氮化硅、氧化铝、氧化铪、单一层、多个次层，或其他绝缘材料形成。

[0058] 图 6 示出了用于晶体管电路 74 的另一个示例性构型。在图 6 的布置中，电路 74 具有三个金属层。金属层 GATE 用于为电容器 100 形成下部电极 102 并且用于为硅晶体管 58 形成栅极 66。金属层 SD 用于形成源极－漏极端子 74、76、114 和 116。有时称为金属层 G2 的另外的金属层插入金属层 SD 和金属层 GATE 之间。金属层 G2 可用于形成电容器 100 中的上部电极 104 并且可用于形成氧化物晶体管 60 中的栅极 110。图 6 的氧化物晶体管 60 是底栅极晶体管。电介质层 70 用作用于晶体管 60 的栅极绝缘体并且插入栅极 110 和半导体氧化物沟道 120 之间。钝化层 130 可以保护沟道区 120。在电容器 100 中，电介质层 68 插入上部电极 104 和下部电极 102 之间。

[0059] 在图 7 所示的用于电路 72 的示例性构型中，电容器 100 的上部电极 104 由金属层 SD 形成。金属层 SD 还可以用于形成硅晶体管 58 中的源极－漏极 74 和 76 以及氧化物晶体管 60 中的源极－漏极 114 和 116。氧化物晶体管 60 可具有底栅极构型。氧化物晶体管 60 的栅极 110 和硅晶体管 58 的栅极 66 可由相同金属层（即，金属层 GATE）的相应部分形成。另外的金属层（金属层 M2S）可在金属层 GATE 和金属层 SD 之间形成。金属层 M2S 可用于形成电容器 100 中的下部电极 102。电介质层 132 可插入下部电极 102 和上部电极 104 之间。钝化层 130 可用于保护氧化物晶体管 60 中的半导体氧化物层 120 的界面。

[0060] 可期望将显示器 14 的无效边界区域最小化。像素 22 为用户显示图像，因此由像素 22 的阵列占据的显示器 14 的部分形成显示器 14 的有效区域。围绕有效区域的显示器 14 的部分不为用户显示图像并且因此是无效的。用户可见的无效区域的量可通过在有效区域的平面外向下弯曲（例如，以直角或以其他合适的角度）基板 24 的部分而最小化或者消除。为确保显示器 14 在弯曲期间不被损坏，基板 24 上的结构可被构造成增强无效区域的弯曲部分中的显示器 14 的柔韧性。例如，绝缘层诸如无机电介质层和显示器 14 的其他层（例如，金属层中的一些层）可部分或完全地在无效区域中移除以在弯曲期间阻止应力引起的断裂或者其他损坏（特别是对金属信号线）。

[0061] 例如，考虑图 8 的显示器 14。如图 8 所示，无效边缘区域 204 已围绕弯曲轴线 200 从有效区域 206 向下弯曲。线 202（例如，在显示器 14 中的数据线或其他金属信号线）横贯轴线 200 处的弯曲部。为阻止形成断裂或对显示器 14 的结构的其他损坏，除了线 202 之外，显示器 14 的一些或全部结构可在无效区域 204 中选择性地移除（然而保持在有效区域 206 中以形成薄膜晶体管电路 72 诸如图 3、4、5、6 和 7 的电路 72）。利用该方法，形成线 202 的金属层可位于在有效区域 206 中的基板 24 之上比在无效区域 204 中更大的距离处。

[0062] 为适应在有效区域 206 和无效区域 204 的层之间的高度的不一致，在显示器 14 的

电介质层中可以形成一系列阶梯。该阶梯可以缓慢降低在电介质层上支撑的金属迹线的高度，使得该金属迹线可逐渐改变高度并且不会由于在电介质中的急剧的高度间断而中断。

[0063] 在图 9 中示出了使得金属线 202 可以在有效区域 206 和无效区域 204 之间顺利过渡的具有阶梯式外形的一组示例性电介质层。如图 9 所示，显示器 14 可具有电介质层诸如层 L1、L2 和 L3（参见，例如在图 3、4、5 和 6 中的电路 72 的电介质层）。层 L1、L2 和 L3 可由聚合物的一个或多个次层和 / 或无机层形成（例如，氧化硅、氮化硅、氧化铪、氧化铝等）。在图 9 的实例中存在三个电介质层 L1、L2 和 L3，但是仅为示例性的。在有效区域 206 中的图 9 的左侧上，所有电介质层 L1、L2 和 L3 都存在，所以金属线 202 位于其距基板 24 的最大距离处。楼梯（阶梯式）电介质外形通过在距有效区域 206 的相继更大的侧向距离处选择性地移除层 L3、L2 和 L1 而产生。在电介质层中形成的高度阶梯允许金属线 202 从其最大高度（在有效区域 206 中）向其在无效区域 204 中的最小高度过渡。例如，线 202 可以安置在无效区域 204 中的基板 24 的表面上或附近。

[0064] 图 10 是用于显示器 14 的示例性薄膜晶体管电路 72 的横截面侧视图，该显示器在其中材料的上层已从显示器移除以有利于显示器在沿显示器的无效边缘的弯曲区域中弯曲的构型中。在图 10 的实例中，除了钝化层 106 和 108 之外的所有电介质层已从区域 204 中的基板 24 移除，所以金属线 202（例如，数据线和 / 或在显示器 14 中的其他信号线）安置在基板 24 的表面上。这有利于在区域 204 中的基板 24 弯曲。一般来讲，任何合适的薄膜晶体管电路 72 可与图 10 的无效区域材料移除方案一起使用（例如，电路诸如图 3、4、5、6、7 和 8 等的电路 72）。图 10 的电路仅为示例性的。

[0065] 在图 10 的示例性构型中，上部电容器电极 104 已由金属层 M3 形成。金属层 M3 还可用于形成通路 74 以将源极 - 漏极端子 74 耦接至阳极 44。下部电容器电极 102 可由金属层 SD 形成。金属层 SD 还可以用于形成源极 - 漏极端子 74、76、114 和 116。钝化层 106 和 108（例如，分别为氮化硅层和氧化硅层）或其他合适的一个或多个电介质层可在半导体氧化物沟道 112 的顶部上形成。在电容器 100 中，层 106 和 108 之一可被局部移除以减少电介质厚度，从而提高电容器 100 的电容值。如图 10 所示，例如，层 106 可在电极 104 之下被移除，使得层 106 不与电容器 100 重叠，并且使得仅电介质层 108 插入电容器 100 的上部电极 104 和下部电极 102 之间。电介质层 108 可由具有大于氧化硅的介电常数的氮化硅形成，所以电介质层 108 用作电极 102 和 104 之间的专用绝缘层可帮助提高电容器 100 的电容。另外的光刻法掩膜可用于选择性地移除氧化硅层 106。该掩膜还可用于为金属线 202 形成电介质阶梯（参见，例如图 9 的电介质阶梯）。金属线 202 可由金属层 SD 形成。在显示器 14 的有效区域 206 中，金属线 202 可由通过电介质层诸如层 122、120、64、68 和 70 支撑的金属层 SD 的部分来形成（即，可形成图 9 的示例性层 L1、L2 和 L3 的类型的层）。虽然在图 9 的实例中存在三个高度阶梯，但是可形成一个阶梯、两个阶梯、三个阶梯、或多于三个阶梯。

[0066] 图 11 的示例性构型类似于图 10，但具有带有局部移除的氮化硅钝化层的氧化物晶体管。图 10 的钝化层 106 可以是氮化硅层。氮化硅层 106 可具有高浓度的氢以钝化硅晶体管 58 的多晶硅层 62 中的悬空键。为了有效的钝化，氮化硅层 106 可与晶体管 58 和硅沟道 62 重叠。可期望阻止来自氮化硅层 106 的氢到达半导体氧化物沟道 112。这可通过将氮化物层 106 从晶体管 60 移除来完成。例如，光刻法掩模可用于图案化氮化硅层 106，使得氮化硅层 106 不存在于半导体氧化物 112 之下（即，使得不存在与晶体管 60 重叠的氮化硅

层 106 的部分）。通过确保无氮化硅存在于栅极 110 和氧化物 112 之间，晶体管 60 的性能将不会由于来自层 106 的氢而劣化。

[0067] 根据一个实施例，提供了一种有机发光二极管显示器，其包括基板、形成基板的有效区域的像素电路阵列，以及基板的无效区域中的电路，每个像素电路包括有机发光二极管、与有机发光二极管串联耦接的硅晶体管、耦接至硅晶体管的存储电容器，以及耦接至存储电容器的半导体氧化物晶体管。

[0068] 根据另一个实施例，基板在无效区域中弯曲。

[0069] 根据另一个实施例，有机发光二极管显示器包括电介质层，该电介质层存在于有效区域中并且电介质层中的至少一些不存在于无效区域中。

[0070] 根据另一个实施例，在每个像素电路中的硅晶体管包括硅沟道，电介质层包括基板和硅沟道之间的缓冲层，并且缓冲层不存在于无效区域中。

[0071] 根据另一个实施例，有机发光二极管显示器包括有效区域中的第一金属层，该第一金属层中的一些形成用于每个像素电路中的硅晶体管的栅极。

[0072] 根据另一个实施例，第一金属层中的一些形成用于每个像素电路中的半导体氧化物晶体管的栅极。

[0073] 根据另一个实施例，有机发光二极管显示器包括第二金属层，该第二金属层在有效区域中是图案化的以形成用于硅晶体管并且用于半导体氧化物晶体管的源极－漏极端子。

[0074] 根据另一个实施例，第二金属层在无效区域中是图案化的以形成在像素电路阵列和无效区域中的电路之间的耦接的数据线。

[0075] 根据另一个实施例，基板是弯曲的柔性基板并且数据线是弯曲的并在基板的表面上形成，使得没有电介质层插入数据线和基板之间。

[0076] 根据另一个实施例，每个像素中的半导体氧化物晶体管包括半导体氧化物沟道。

[0077] 根据另一个实施例，电介质层包括氮化硅层，该氮化硅层与每个像素电路中的硅晶体管的硅沟道重叠，并且不与每个像素电路中的半导体氧化物晶体管的半导体氧化物沟道重叠。

[0078] 根据另一个实施例，存储电容器具有由金属的第二层形成的第一电极并且具有第二电极。

[0079] 根据另一个实施例，电介质层包括另外的氮化硅层，另外的氮化硅层插入每个像素电路中的存储电容器的第一电极和第二电极之间。

[0080] 根据另一个实施例，有机发光二极管显示器包括氧化硅层，该氧化硅层在每个像素电路中与半导体氧化物沟道重叠，并且在每个像素电路的存储电容器中局部移除，使得没有氧化硅层插入存储电容器中的第一电极和第二电极之间。

[0081] 根据另一个实施例，有机发光二极管显示器包括从有效区域向无效区域延伸的数据线，电介质层具有当从有效区域向无效区域过渡时在高度上减小的阶梯式外形，并且数据线在具有阶梯式外形的电介质层上形成。

[0082] 根据另一个实施例，每个像素电路中的半导体氧化物晶体管包括驱动晶体管并且每个像素电路中的硅晶体管包括开关晶体管。

[0083] 根据一个实施例，提供了一种有机发光二极管显示器，其包括有机发光二极管阵

列、各自与有机发光二极管中的相应的一个有机发光二极管串联耦接的硅驱动晶体管，以及耦接至硅晶体管的半导体氧化物开关晶体管。

[0084] 根据另一个实施例，半导体氧化物开关晶体管各自具有半导体氧化物沟道，有机发光二极管显示器包括与硅驱动晶体管重叠并且不与半导体氧化物沟道重叠的氮化硅层。

[0085] 根据另一个实施例，有机发光二极管显示器包括耦接至半导体氧化物开关晶体管的存储电容器、和与半导体氧化物沟道重叠并且不与存储电容器重叠的氧化硅层。

[0086] 根据一个实施例，提供了一种有机发光二极管显示器，其包括柔性聚合物基板、基板上的像素电路阵列、柔性聚合物基板上的电介质层和沿循阶梯式外形的电介质层上的数据线。每个像素电路包括有机发光二极管、各自具有半导体氧化物沟道的至少两个半导体氧化物晶体管、与有机发光二极管串联耦接的至少一个硅晶体管、以及至少一个存储电容器；该柔性聚合物基板上的电介质层具有当从像素电路阵列向邻近像素电路阵列的无效区域过渡时在高度上减小的阶梯式外形；该沿循阶梯式外形的电介质层包括与硅晶体管重叠并且不与半导体氧化物沟道重叠的电介质层。

[0087] 以上内容仅仅是示例性的并且本领域的技术人员可在不脱离所述实施例的范围和实质的情况下做出各种修改。上述实施例可单独实施，也可以任意组合实施。

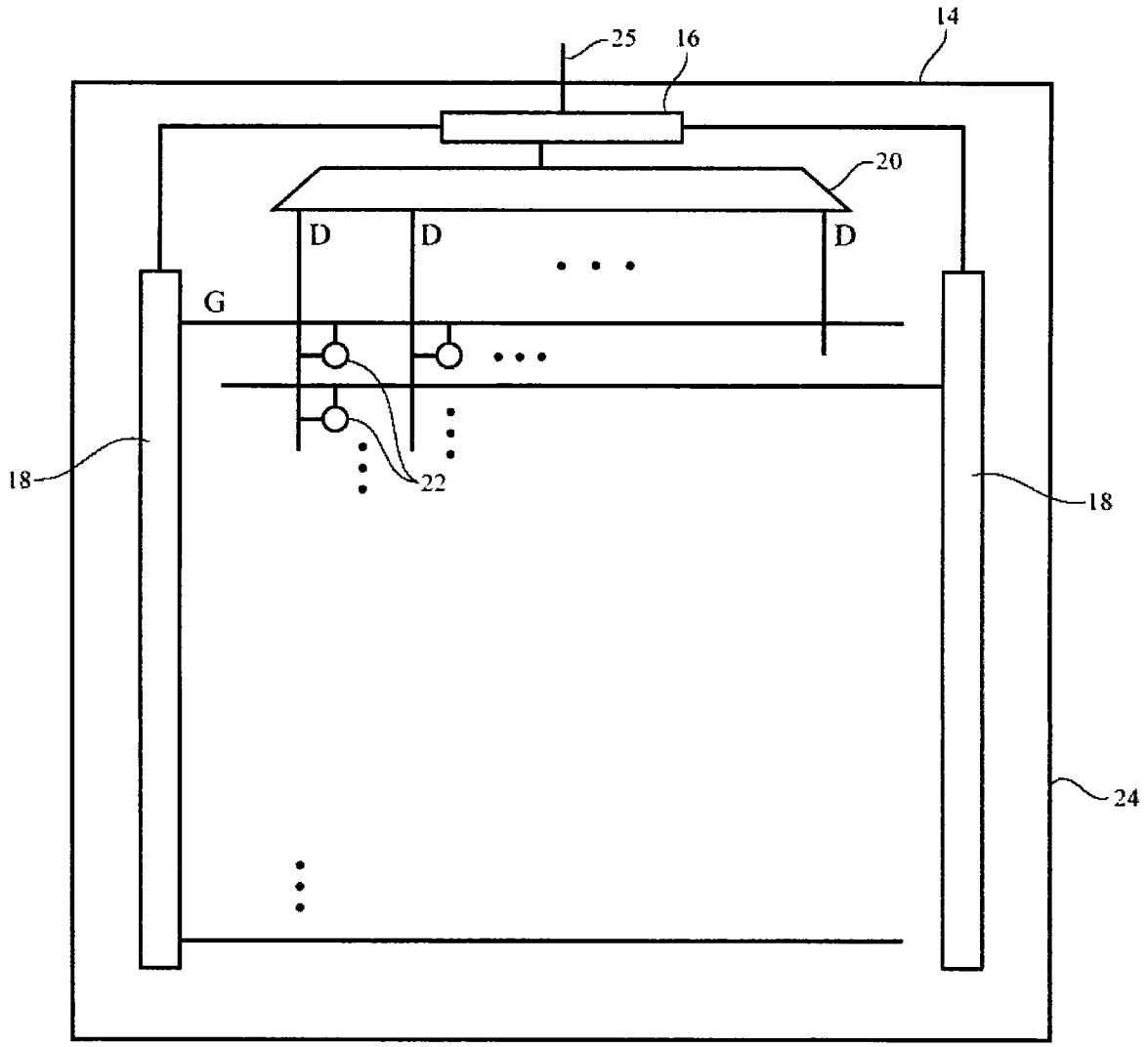


图 1

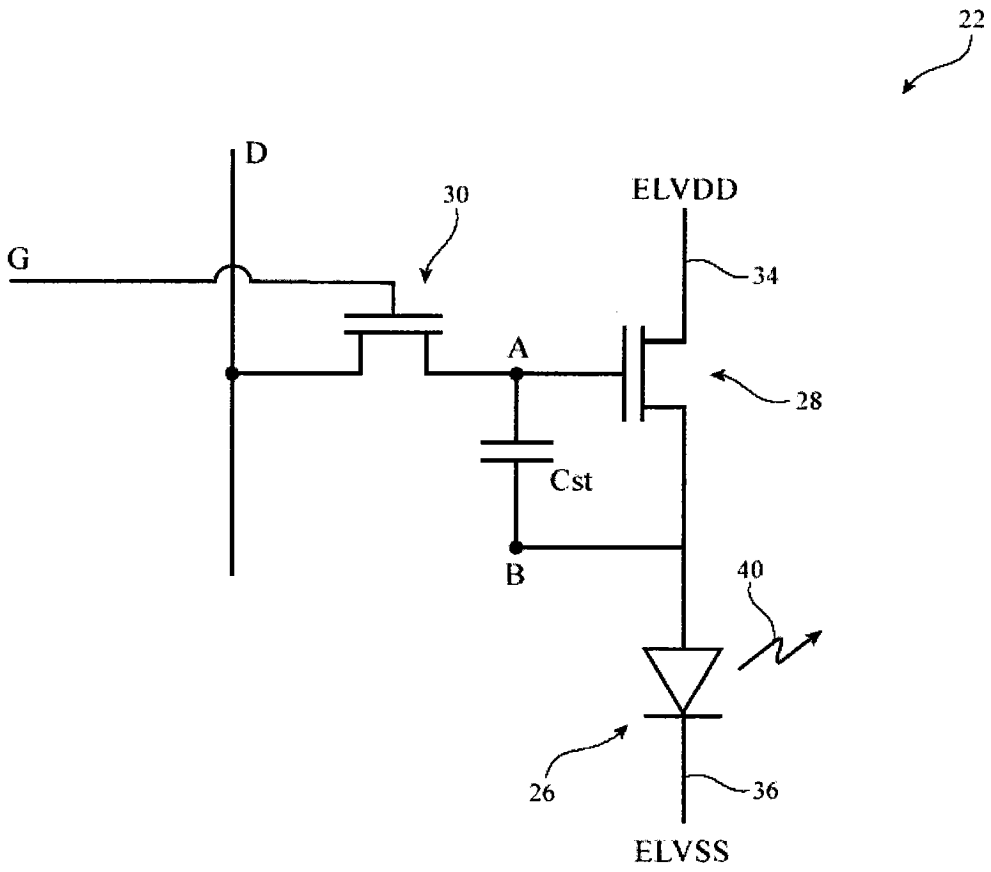


图 2

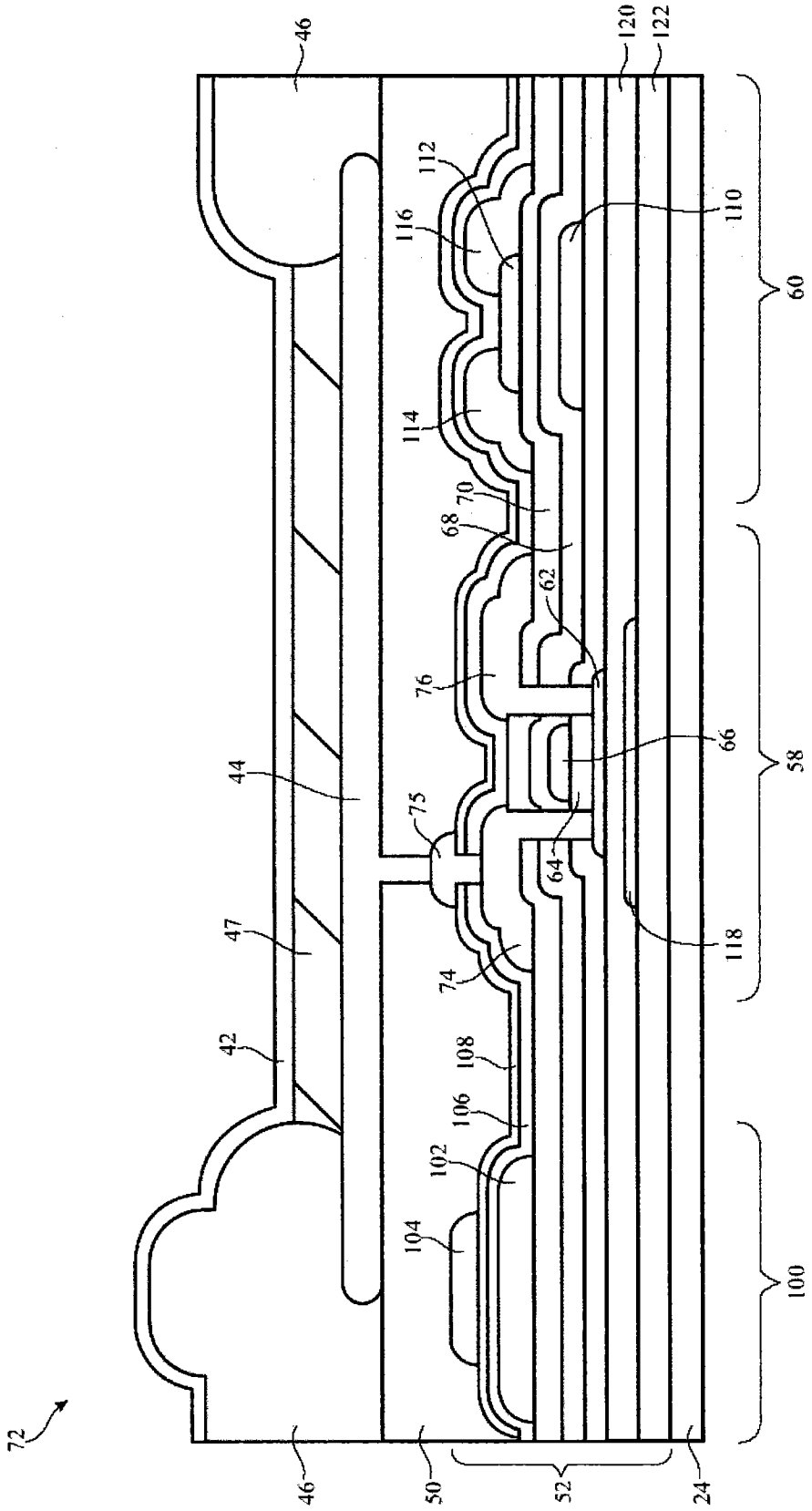

46
120
122
112
116
110
60
114
70
68
62
76
66
58
44
75
64
47
118
74
42
108
106
102
104
100
72
46
50
52
24

图 3

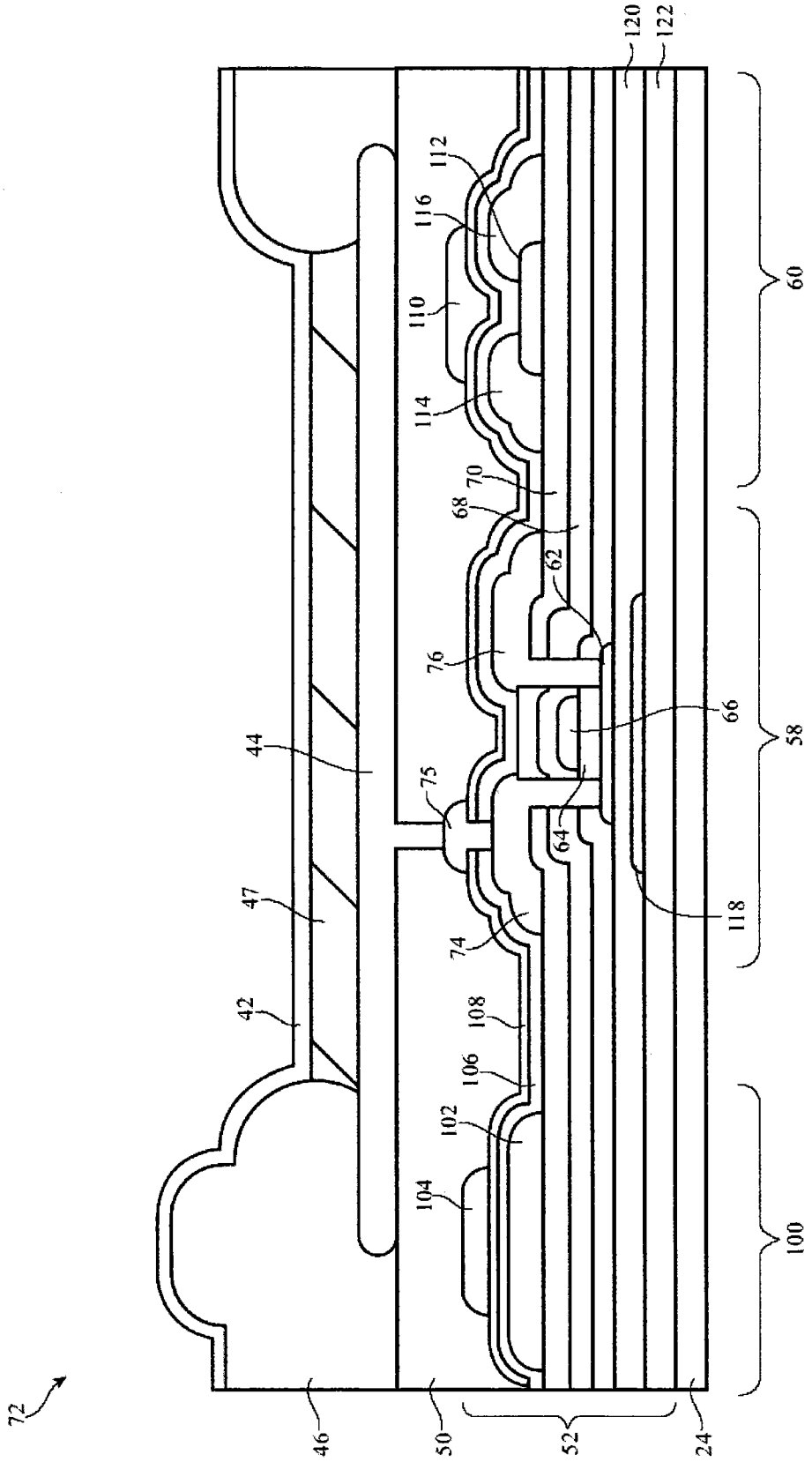

120
122
112
116
110
114
60
70
68
62
76
66
58
44
75
64
118
47
74
42
108
106
102
104
100
72
46
50
52
24

图 4

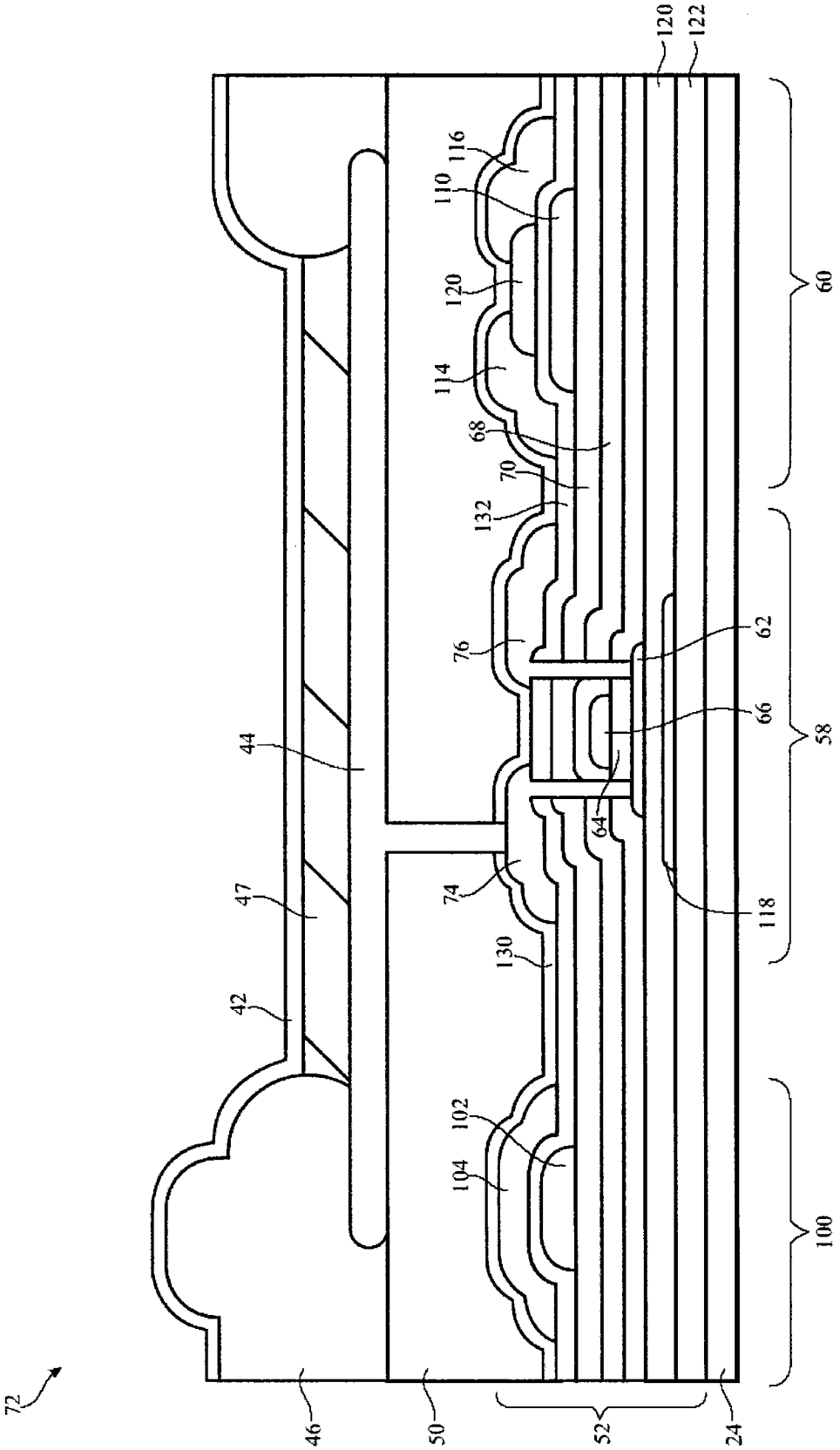

120
122
116
110
120
114
68
70
132
76
62
66
64
44
47
42
74
130
118
102
104
60
58
100
72
46
50
52
24

图 5

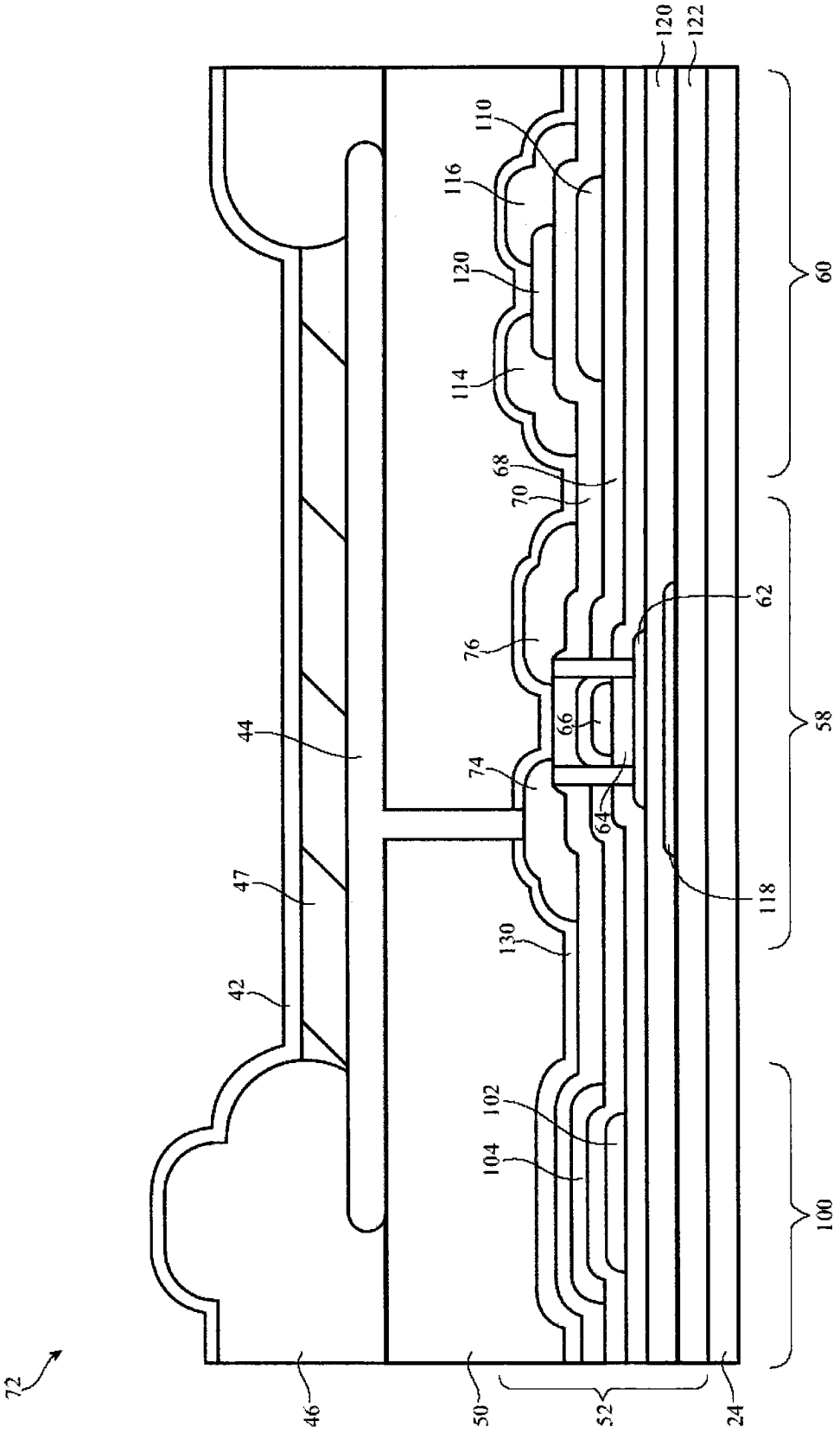

120
122
110
116
120
114
68
70
60
62
76
66
58
44
74
64
47
118
130
42
102
104
100
72
46
50
52
24

图 6

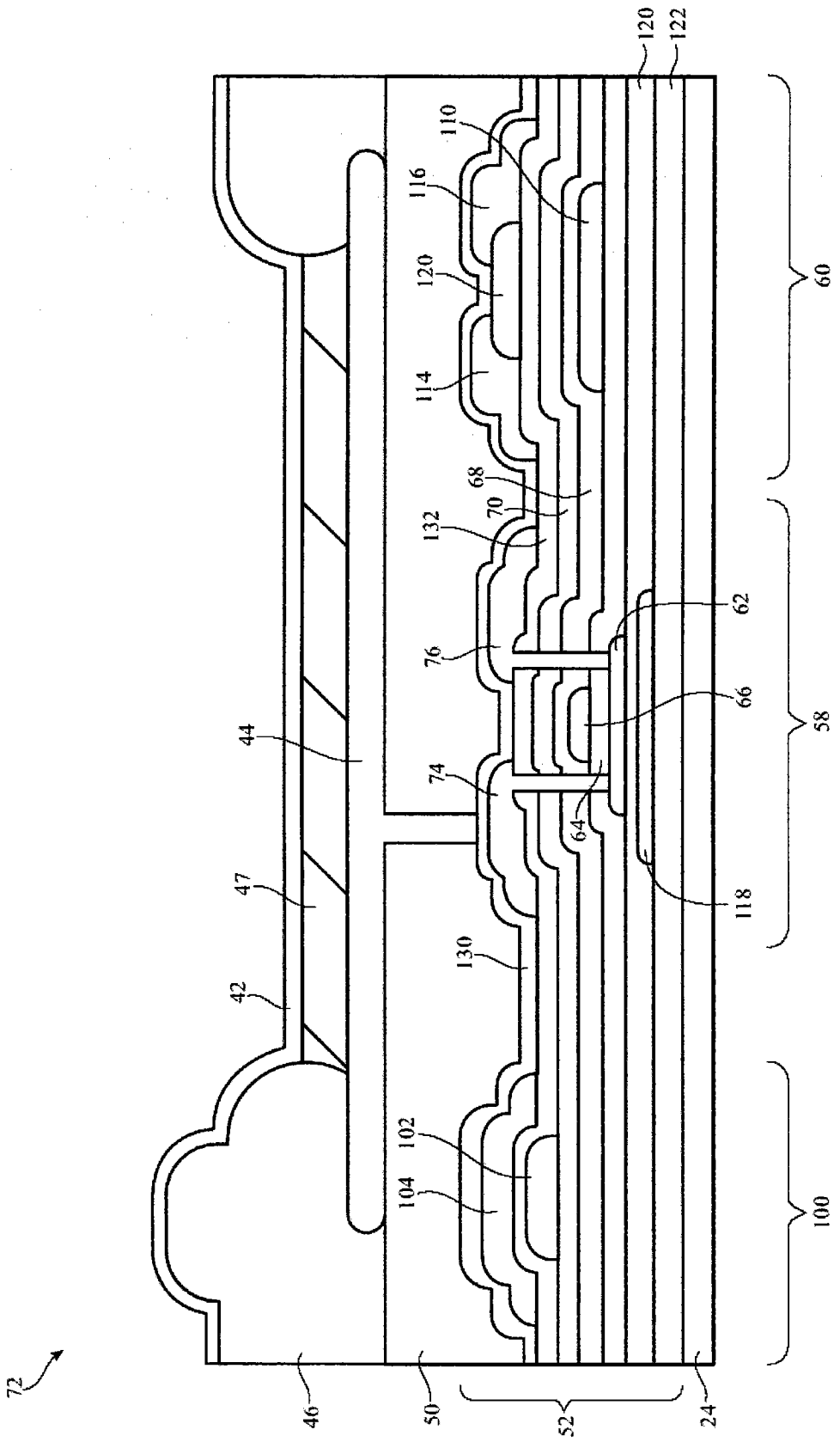

120
122
110
116
120
114
68
70
132
62
76
66
44
74
64
47
118
130
42
102
104
60
58
100
72
46
50
52
24

图 7

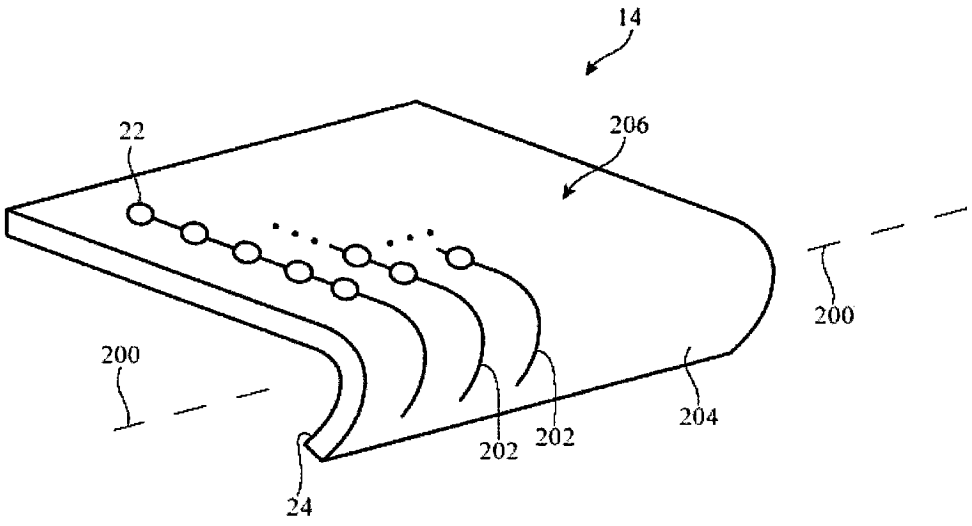


图 8

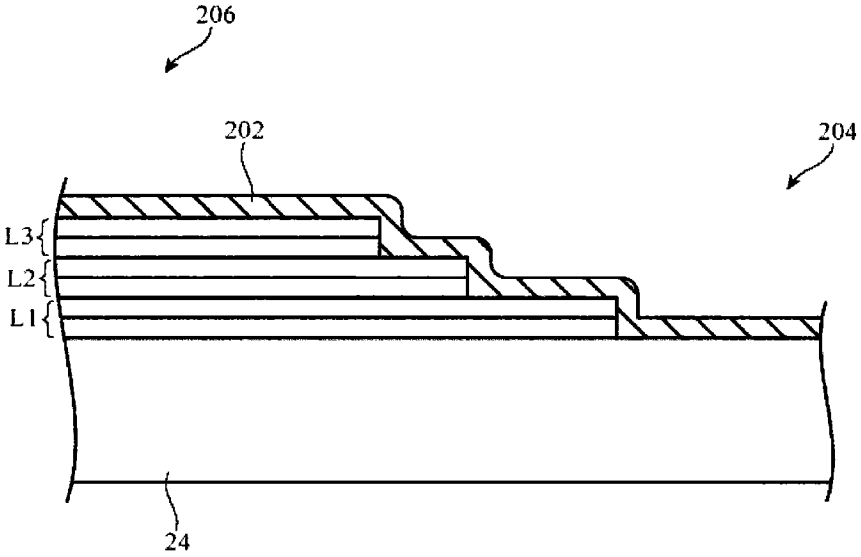


图 9

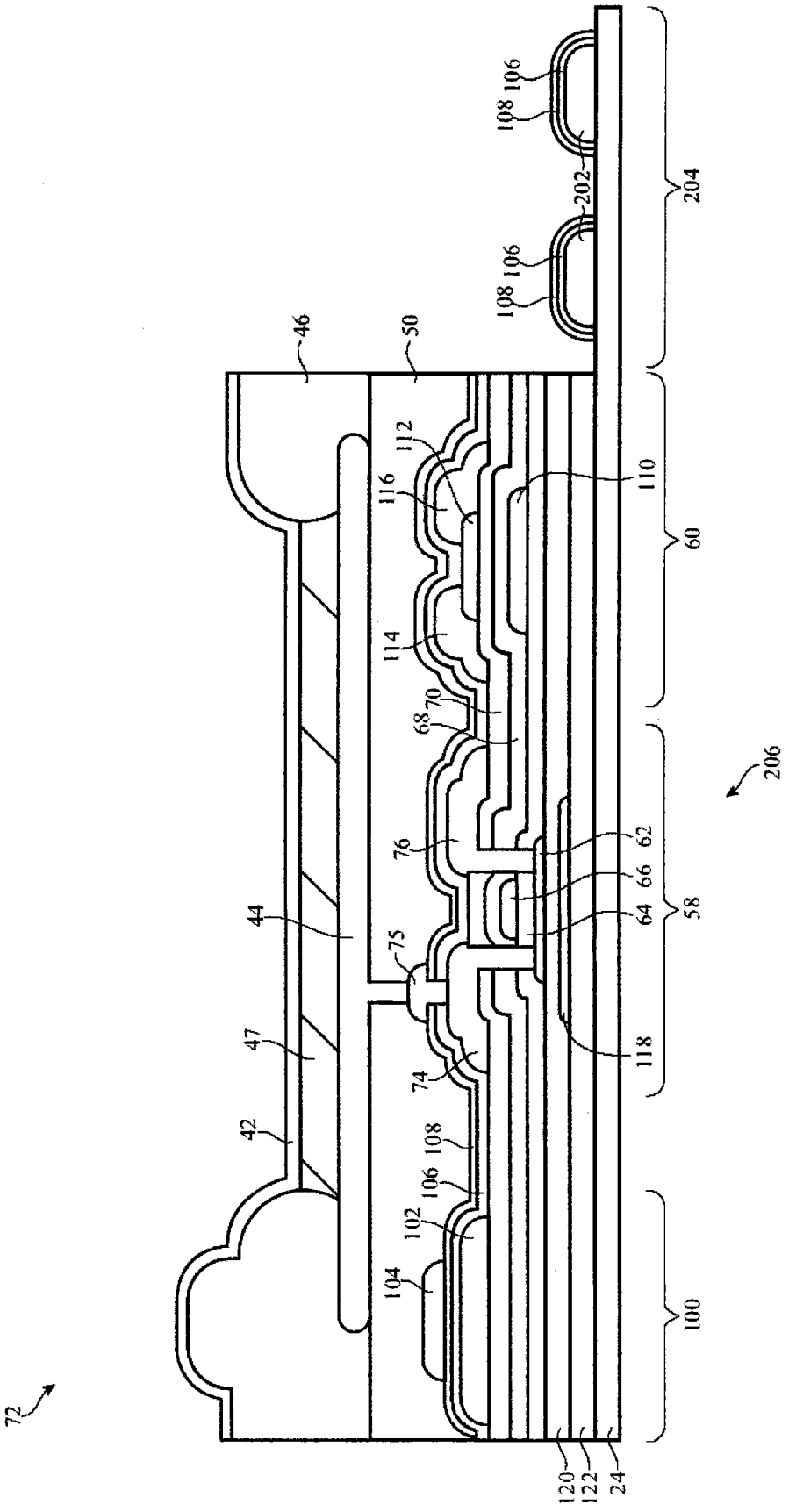

106
108
202
204
106
108
46
50
112
116
110
60
114
70
68
206
76
62
66
64
58
44
75
47
118
74
42
108
106
102
104
100
72
120
122
24

图 10

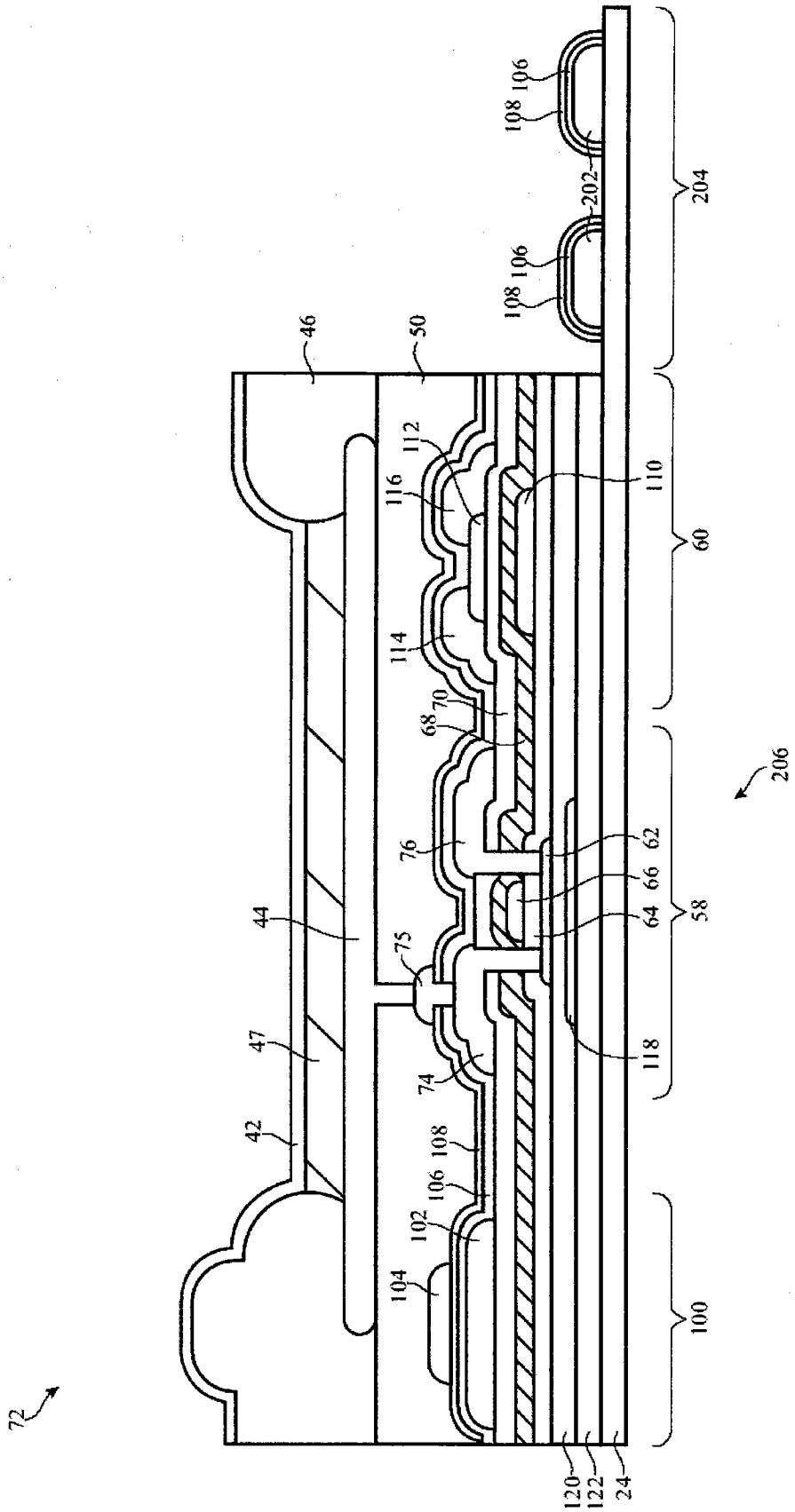
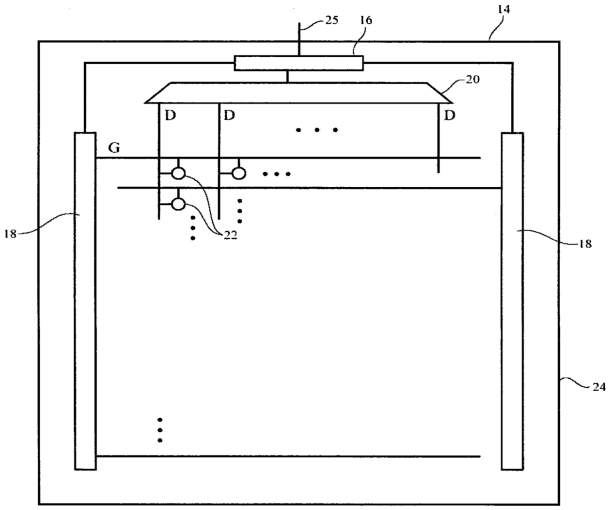

106
108
202
204
106
108
46
50
112
116
110
60
114
70
68
206
76
62
66
64
58
44
75
47
118
74
42
108
106
102
104
100
72
120
122
24

图 11

专利名称(译)	有机发光二极管显示器		
公开(公告)号	CN204167325U	公开(公告)日	2015-02-18
申请号	CN201420631683.6	申请日	2014-10-28
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	蔡宗廷 V格普塔 林敬伟		
发明人	蔡宗廷 V·格普塔 林敬伟		
IPC分类号	H01L27/32		
CPC分类号	H01L27/1225 H01L27/1251 H01L27/1255 H01L27/3258 H01L27/3262 H01L27/3265 H01L27/3276 H01L51/0097 H01L2251/5338 Y02E10/549 H01L29/78651 H01L29/78672 H01L29/7869		
代理人(译)	王茂华 张宁		
优先权	14/494931 2014-09-24 US		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种有机发光二极管显示器。有机发光二极管显示器包括：基板；形成所述基板的有效区域的像素电路阵列；和所述基板的无效区域中的电路，其中每个像素电路包括：有机发光二极管；与所述有机发光二极管串联耦接的硅体管；耦接至所述硅晶体管的存储电容器；和耦接至所述存储电容器的半导体氧化物晶体管。