



(12)发明专利申请

(10)申请公布号 CN 110808008 A

(43)申请公布日 2020.02.18

(21)申请号 201911051095.9

(22)申请日 2019.10.31

(71)申请人 福建华佳彩有限公司

地址 351100 福建省莆田市涵江区涵中西路1号

(72)发明人 卢昭阳 罗敬凯

(74)专利代理机构 福州市景弘专利事务所

(普通合伙) 35219

代理人 林祥翔 郭鹏飞

(51)Int.Cl.

G09G 3/3225(2016.01)

H01L 27/32(2006.01)

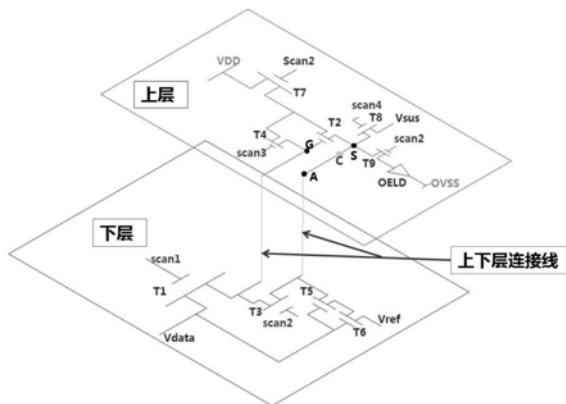
权利要求书1页 说明书4页 附图5页

(54)发明名称

一种像素补偿电路

(57)摘要

一种像素补偿电路，包括薄膜晶体管T1、T2、T3、T4、T5、T6、T7、T8、T9、电容C，所述T1的源极与T3的源极连接，T1的漏极与T5的栅极和T6的栅极连接，所述T3的漏极与T5的源极连接，T5的漏极与T6的源极连接，所述T1的源极还与T2的栅极和T4的漏极连接，所述T4的源极与T2的源极、T7的漏极连接，所述T2的漏极通过电容与T5的源极连接，所述T2的漏极还与T8的漏极和T9的源极连接，T9的漏极还与有机发光二极管的正极连接；其中T1、T3、T5、T6为多晶硅薄膜晶体管，设置于基板与介质层之间，所述T2、T4、T7、T8、T9为氧化物薄膜晶体管，设置于介质层上方。上述技术方案通过使用更小的像素面积达到补偿效果，并且能够最终提高面板的解析度。



1. 一种像素补偿电路，其特征在于，包括薄膜晶体管T1、T2、T3、T4、T5、T6、T7、T8、T9、电容C，所述T1的源极与T3的源极连接，T1的漏极与T5的栅极和T6的栅极连接，所述T3的漏极与T5的源极连接，T5的漏极与T6的源极连接，所述T1的源极还与T2的栅极和T4的漏极连接，所述T4的源极与T2的源极、T7的漏极连接，所述T2的漏极通过电容与T5的源极连接，所述T2的漏极还与T8的漏极和T9的源极连接，T9的漏极还与有机发光二极管的正极连接；

其中T1、T3、T5、T6为多晶硅薄膜晶体管，设置于基板与介质层之间，所述T2、T4、T7、T8、T9为氧化物薄膜晶体管，设置于介质层上方。

2. 根据权利要求1所述的像素补偿电路，其特征在于，所述电容C设置于介质层下方。

3. 根据权利要求1所述的像素补偿电路，其特征在于，包括穿透介质层设置的连接线，T4的栅极与T2之间、T4的漏极与C2之间、有机发光二极管负极与T3的漏极之间分别用连接线连接。

一种像素补偿电路

技术领域

[0001] 本发明涉及像素补偿电路的设计,尤其涉及一种上下分层的新型AMOLED像素补偿电路设计。

背景技术

[0002] 当今,随着科技水平的不断提升,人们对显示器画面的要求也在提高,即对高解析度的需求增大,例如VR,AR,MR等显示器的解析度高达2000PPI以上。对于OLED面板来说,面内2T1C Pixel电路会受到Vth漂移的影响导致面板发光亮度不均匀,需要补偿电路提升面板显示效果,而为了达到更好地补偿效果,补偿电路会有多个TFT,可能会有4T,5T,6T…,这样TFT过多会使Pixel所占面积增大,进而导致面板容纳的Pixel数量减少,即解析度变低,无法满足高解析度的要求。

[0003] 因此,如何提高OLED面板的解析度,制造一种在补偿效果良好基础上具有超高解析度的OLED面板是一项重要的课题。

发明内容

[0004] 因此,需要提供一种新的分层式的像素补偿电路,达到减小TFT排布面积,提高面板解析度的技术效果。

[0005] 为实现上述目的,发明人提供了一种像素补偿电路,包括薄膜晶体管T1、T2、T3、T4、T5、T6、T7、T8、T9、电容C,所述T1的源极与T3的源极连接,T1的漏极与T5的栅极和T6的栅极连接,所述T3的漏极与T5的源极连接,T5的漏极与T6的源极连接,所述T1的源极还与T2的栅极和T4的漏极连接,所述T4的源极与T2的源极、T7的漏极连接,所述T2的漏极通过电容与T5的源极连接,所述T2的漏极还与T8的漏极和T9的源极连接,T9的漏极还与有机发光二极管的正极连接;

[0006] 其中T1、T3、T5、T6为多晶硅薄膜晶体管,设置于基板与介质层之间,所述T2、T4、T7、T8、T9为氧化物薄膜晶体管,设置于介质层上方。

[0007] 具体地,所述电容C设置于介质层下方。

[0008] 具体地,包括穿透介质层设置的连接线,T4的栅极与T2之间、T4的漏极与C2之间、有机发光二极管负极与T3的漏极之间分别用连接线连接。

[0009] 区别于现有技术,上述技术方案通过使用更小的像素面积达到补偿效果,并且能够最终提高面板的解析度。

附图说明

- [0010] 图1为具体实施方式所述的异制程AMOLED像素补偿电路;
- [0011] 图2为具体实施方式所述的同制程AMOLED像素补偿电路;
- [0012] 图3为具体实施方式所述像素补偿电路图;
- [0013] 图4为具体实施方式所述的Reset阶段工作状态示意图;

- [0014] 图5为具体实施方式所述的补偿阶段工作状态示意图；
- [0015] 图6为具体实施方式所述的Data写入阶段工作状态示意图；
- [0016] 图7为具体实施方式所述的发光阶段工作状态示意图；
- [0017] 图8为具体实施方式所述像素补偿电路图；
- [0018] 图9为具体实施方式所述的Reset阶段工作状态示意图；
- [0019] 图10为具体实施方式所述的补偿阶段工作状态示意图；
- [0020] 图11为具体实施方式所述的发光阶段工作状态示意图。

具体实施方式

[0021] 为详细说明技术方案的技术内容、构造特征、所实现目的及效果，以下结合具体实施例并配合附图详予说明。

[0022] 请参阅图1，一种分层式AMOLED像素补偿电路，如图1所示，在像素补偿电路中，包括基板buffer上设置的下层薄膜晶体管区、上层薄膜晶体管区、所述上层薄膜晶体管区与下层薄膜晶体管区之间还设置有绝缘层(Insulator 1)，绝缘层可以采用氧化硅材质的薄膜。上层薄膜晶体管区的电极与下层薄膜晶体管区的电极通过穿过绝缘层的连接线100连接，上层薄膜晶体管区还图案化有机发光二极管(图中未示出)，上层薄膜晶体管区域的薄膜晶体管与下层薄膜晶体管区的薄膜晶体管连接成有机发光二极管的补偿电路。通过在像素补偿电路中设计上下区的薄膜晶体管，下层的薄膜晶体管根据像素补偿电路的实际连接关系可以有不同的图案化选择，制作完成后的下层薄膜晶体管上用绝缘层全覆盖，防止漏电等情况的发生，再在绝缘层上方设置上层的薄膜晶体管及相关的有机发光二极管，即AMOLED像素，通过在上下层设计薄膜晶体管，能够减少相对与单层像素补偿电路平铺设置所需要的面积，从而提高像素补偿电路所需要的面积。

[0023] 在图2所示的实施例中，展示了上下层均用Oxide制程制作的示例，由于上层需要制作AMOLED，上层的制程需要用Oxide制程，而下层薄膜晶体管也使用相同的制程，能够相对节约成本。

[0024] 其他一些方面，LTPS制程工艺中需要将非晶硅(a-si)进行镭射光照射，a-si吸收镭射的能量后，转变为多晶硅结构(poly-si)，此处理过程是在600℃环境下完成。而metal-oxide半导体的特性较不稳定，易受高温和光照，水，氧气的破坏而导致TFT失效。所以LTPS制程中镭射光以及高温环境会对metal-oxide半导体造成破坏，所以在一些进一步的实施例中，请参考图1，下层薄膜晶体管为多晶硅薄膜晶体管，下层薄膜晶体管区包括多晶硅有源层(p-si)，多晶硅有源层与金属电极连接，所述多晶硅有源层上包覆有阻隔层(Insulator 2)，用于进行栅极绝缘，所述阻隔层上设置有第一栅极层，所述多晶硅有源层、金属电极及第一栅极层被图案化为若干多晶硅薄膜晶体管，可选的实施例中，阻隔层用于隔绝栅极金属以及金属电极，材质可以采用氧化硅或氧化铝薄膜。

[0025] 所述上层薄膜晶体管区包括氧化物有源层，有源层的介质可以选用氧化物半导体，如IGZO等。在这实施例中，所述第一栅极层上还设置有介质层，介质层设置在绝缘层下方，所述介质层用于隔离上下层薄膜晶体管，材质可以选为氢化非晶氮化硅，如a-SiNx:H。包介质层覆在上述阻隔层及第一栅极层上。而在绝缘层的上方图案化有氧化物薄膜晶体管及AMOLED像素；绝缘层上方的薄膜晶体管是采用Oxide制程的氧化物晶体管，还包括连接

线,所述多晶硅薄膜晶体管通过连接线与氧化物薄膜晶体管连接成像素补偿电路。

[0026] 通过上述方案,在下层设置LTPS薄膜晶体管,能够兼容LTPS制程和Oxide制程,并且能够在AMOLED像素补偿电路之中,兼容LTPS制程的高分辨率、反应速度快、高亮度、高开口率等优点,同时还能够提高电子迁移率,减小面积。

[0027] 在图1所示的其他一些进一步的实施例中,所述绝缘层上述还设置有平坦层(Insulator 3),从图中我们可以看到平坦层设置于绝缘层之上,用于给上层薄膜晶体管层提供一个平整的上表面,用于所述平坦层为有机绝缘材料薄膜。

[0028] 下面基于分层的像素电路的主要构思,提供一些像素补偿电路的制作实例,如图3所示,为一种6T2C电路的架构示意图,包括薄膜晶体管T1、T2、T3、T4、T5、T6、电容C1、C2;所述T1的漏极与T4的源极连接,所述T4的栅极与T2的漏极和T6的漏极连接,T4的栅极还通过C1与T3的源极连接,漏极与有机发光二极管的正极连接;T3的漏极与有机发光二极管的负极连接,T3的源极还通过C2与T4的漏极和T5的漏极连接;

[0029] 其中T2、T6、T3为多晶硅薄膜晶体管,设置于基板与介质层之间,所述T1、T4、T5为氧化物薄膜晶体管,设置于介质层上方,所述电容C1、C2设置于介质层下方。

[0030] 结合图1或图2的构思,我们还设置包括穿透介质层设置的连接线,T4的栅极与T2之间、T4的漏极与C2之间、有机发光二极管负极与T3的漏极之间分别用连接线连接。

[0031] 该种像素补偿电路的外围接线及工作原理与现有技术类似,介绍如下:

[0032] 如图4所示,Reset阶段,Scan2和Scan4写入高电压,T2,T3打开,REF讯号写入VREF电压,VG=VREF;VA=VSS;Scan5写入高电压,Scan1写入低电压,T5打开,T1关闭,VS=Vsus。

[0033] 如图5所示,补偿阶段,Scan1写入高电压,Scan5写入低电压,T1打开,T5关闭,VDD写入使S点电压升高到VREF-VTH时,T4关闭,此时VS=VREF-VTH,即补偿到一个VTH;VG和VA保持不变,即VG=VREF,VA=VSS。

[0034] 如图6所示,Data写入阶段,Scan1写入低电压,T1关闭,Scan3和Scan4写入高电压,T6和T3打开,VG=VDATA,VA保持在VSS电压,即VA=VSS,由于AS间电容的作用,S点电压保持不变,即VS=VREF-VTH。

[0035] 如图7所示,发光阶段,Scan1写入高电压,T1打开,Scan2和Scan4写入低电压,T2和T3关闭,发光二极管导通,VS=VOLED+VSS,由于AS间电容的作用,VA=VSS+VOLED+VSS-(VREF-VTH),由于AG间的电容作用,VG=VDATA+VOLED+VSS-(VREF-VTH)=VDATA+VREF+VOLED+VSS+VTH,那么VGS=VA-VB=VDATA+VREF+VTH,代入饱和区电流公式 $I_{LED}=1/2\mu nCOXW/L(VGS-VTH)^2$ 得到 $I_{LED}=1/2\mu nCOXW/L(VDATA+VREF)^2$ (注 μn 为场效应迁移率,COX为单位面积的绝缘层电容;W/L为TFT沟道宽度比长度)。

[0036] 其他一些实施例中,如图8所示,我们介绍另外一种9T1C电路的应用实例,包括薄膜晶体管T1、T2、T3、T4、T5、T6、T7、T8、T9、电容C,所述T1的源极与T3的源极连接,T1的漏极与T5的栅极和T6的栅极连接,所述T3的漏极与T5的源极连接,T5的漏极与T6的源极连接,所述T1的源极还与T2的栅极和T4的漏极连接,所述T4的源极与T2的源极、T7的漏极连接,所述T2的漏极通过电容与T5的源极连接,所述T2的漏极还与T8的漏极和T9的源极连接,T9的漏极还与有机发光二极管的正极连接;

[0037] 其中T1、T3、T5、T6为多晶硅薄膜晶体管,设置于基板与介质层之间,所述T2、T4、T7、T8、T9为氧化物薄膜晶体管,设置于介质层上方。所述电容C设置于介质层下方,包括穿

透介质层设置的连接线,T4的栅极与T2之间、T4的漏极与C2之间、有机发光二极管负极与T3的漏极之间分别用连接线连接。通过上述方案,我们能够通过更少的面积实现9T1C像素补偿电路的补偿效果,使得AMOLED电路显示效果更好,面板的解析度更高。

[0038] 该像素补偿电路的外部接线和工作原理与现有技术类似,

[0039] 工作原理如下所示:

[0040] 图9:Step1 (Reset阶段) :Scan1, Scan3, Scan4高电压,T1, T4, T8开启, Scan2, T3, T7, T9关闭,S点写入直流信号Vsus电压,作为S点的复位电压,G点写入data电压;同时data此阶段为高电平,T5, T6开启,A点通过上下层连接线写入直流信号Vref电压。各点对应电压:VG=Vdata, VS=Vsus, VA=Vref, 电路及波形如图9所示。

[0041] 图10:Step2 (补偿阶段) :Scan1, Scan3高电压,T1, T4开启, Scan2, Scan4低电压, T3, T7, T8, T9关闭,此时data电压高电平,T5, T6开启.data持续写入给S点充电至Vdata-Vth,T2关闭,完成Vth提取。此时各个点电压为:VG=Vdata, VS=Vdata-Vth, VA=Vref; 电路及波形如图10所示。

[0042] 图11:Step3 (发光阶段) :Scan2高电压,T3, T7, T9开启, Scan1, Scan3, Scan4低电压,T1, T4, T7关闭,data写入低电平,T5, T6关闭。通过电容C的耦合作用,S点变化影响G点变化。此时各个点电压为:VS=VOLED+OVSS, VG=Vref+[VOLED+OVSS-(Vdata-Vth)], VA=VG

[0043] 电路及波形如图11所示。那么OLED的电流如下:

[0044] $I_{OLED} = 1/2 \mu n C_{ox} W/L (V_{GS} - V_{th})^2$;

[0045] 将G,S电压代入公式得下:

[0046] $I_{OLED} = 1/2 \mu n C_{ox} W/L (V_{ref} - V_{data})^2$

[0047] (注 μn 为场效应迁移率, C_{ox} 为单位面积的绝缘层电容; W/L 为TFT沟道宽度和长度)

[0048] 从OLED发光电流公式可以了解OLED电流只与 V_{data} , V_{ref} 有关,其他参数相对固定;而且补偿电路已经消除 V_{th} 漂移,OLED寿命退化以及VDD差异的问题,通过上述设计,本发明能够使用更小的像素面积达到补偿效果,并且能够最终提高面板的解析度。

[0049] 需要说明的是,尽管在本文中已经对上述各实施例进行了描述,但并非因此限制本发明的专利保护范围。因此,基于本发明的创新理念,对本文所述实施例进行的变更和修改,或利用本发明说明书及附图内容所作的等效结构或等效流程变换,直接或间接地将以上技术方案运用在其他相关的技术领域,均包括在本发明的专利保护范围之内。

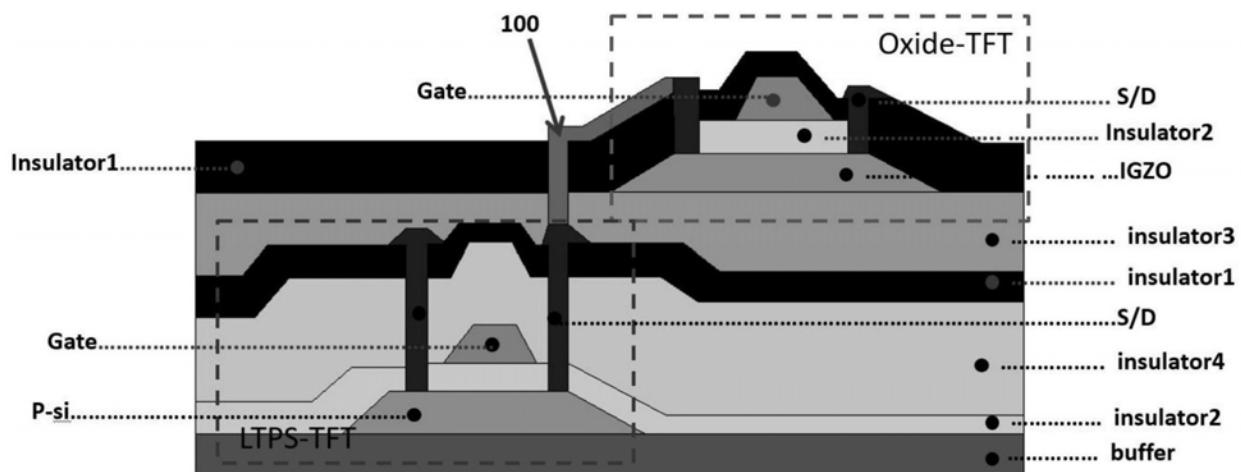


图1

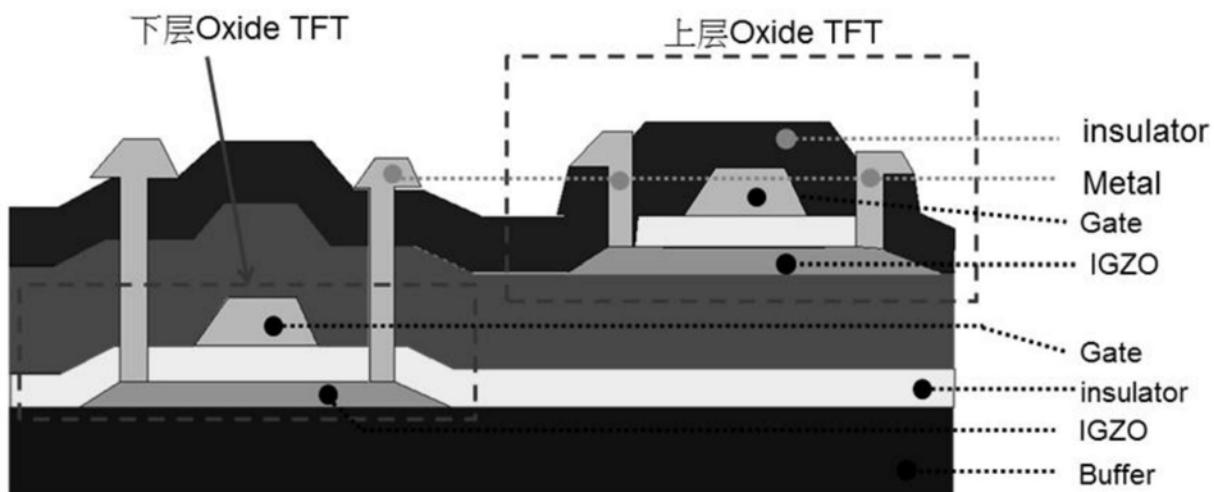


图2

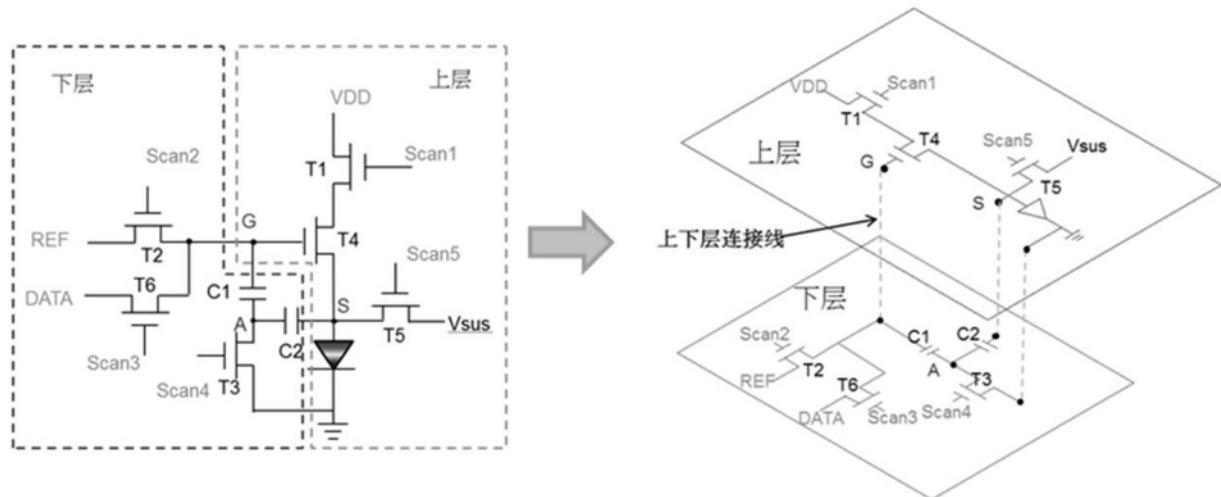


图3

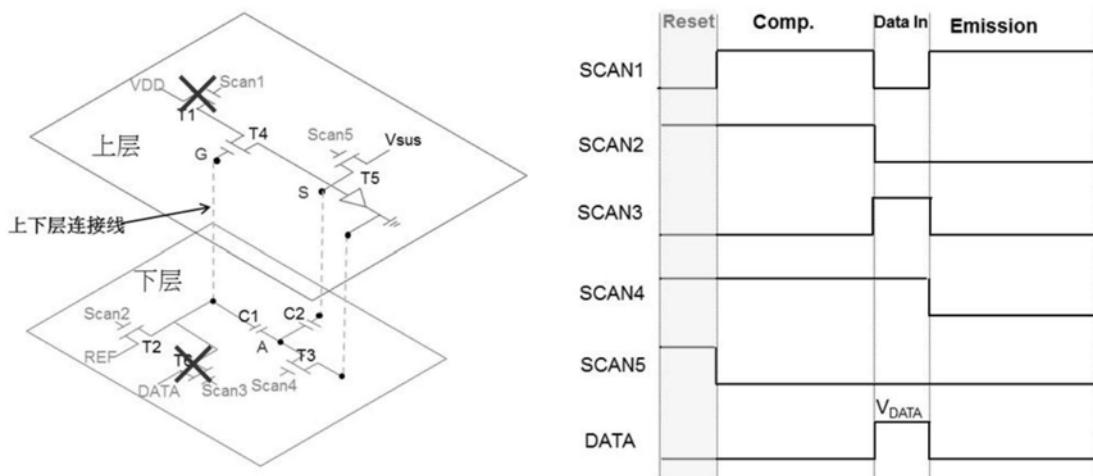


图4

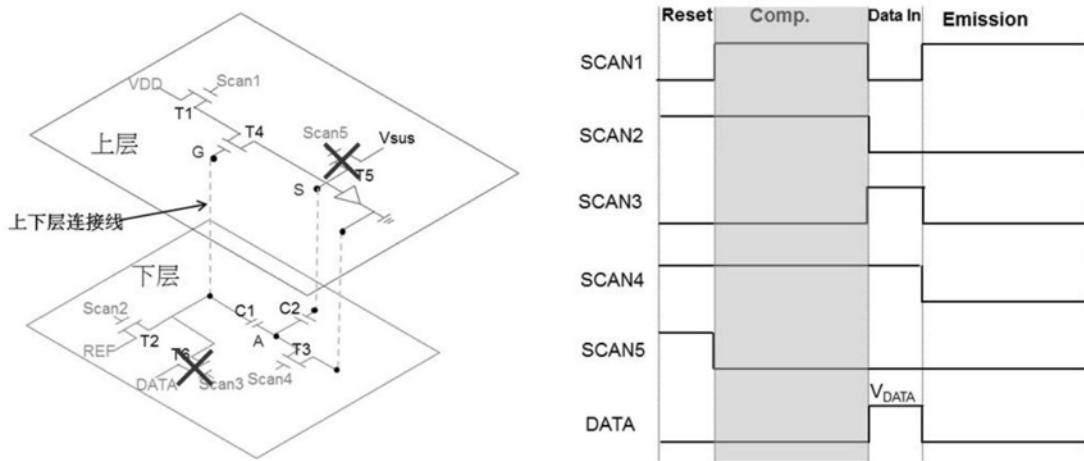


图5

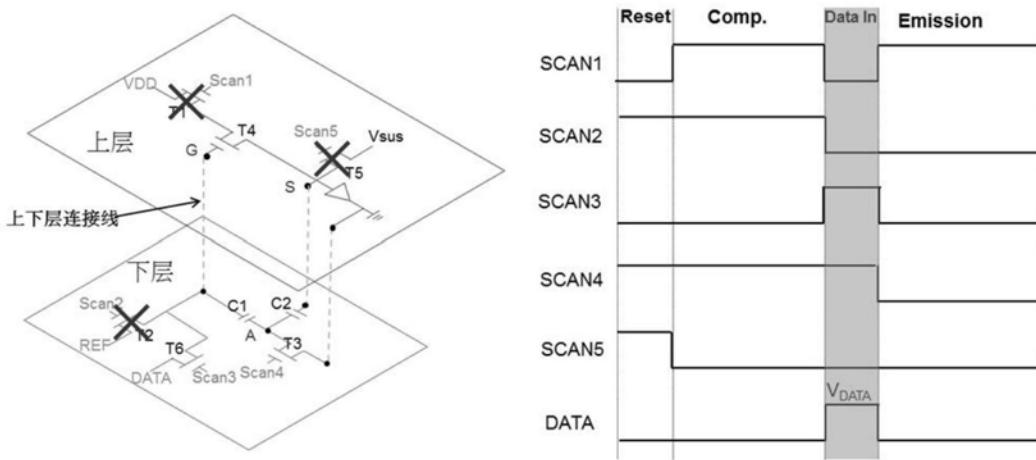


图6

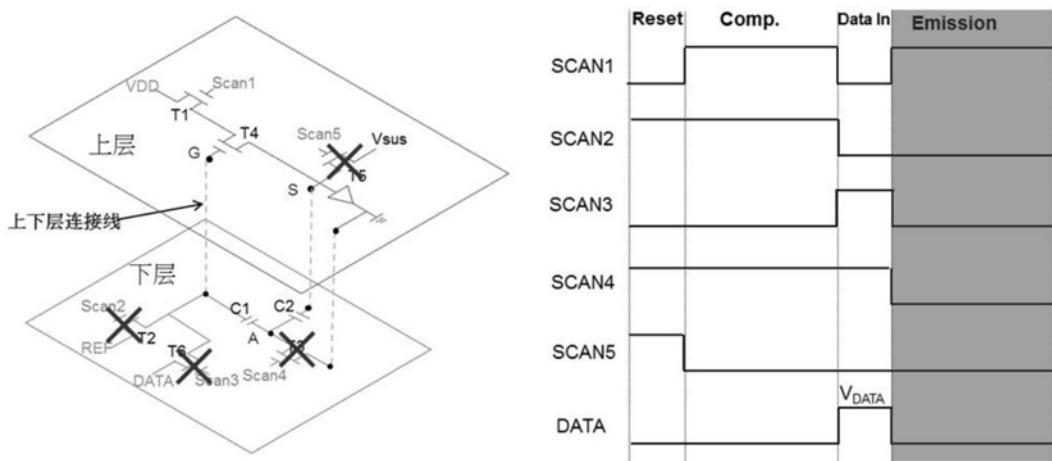


图7

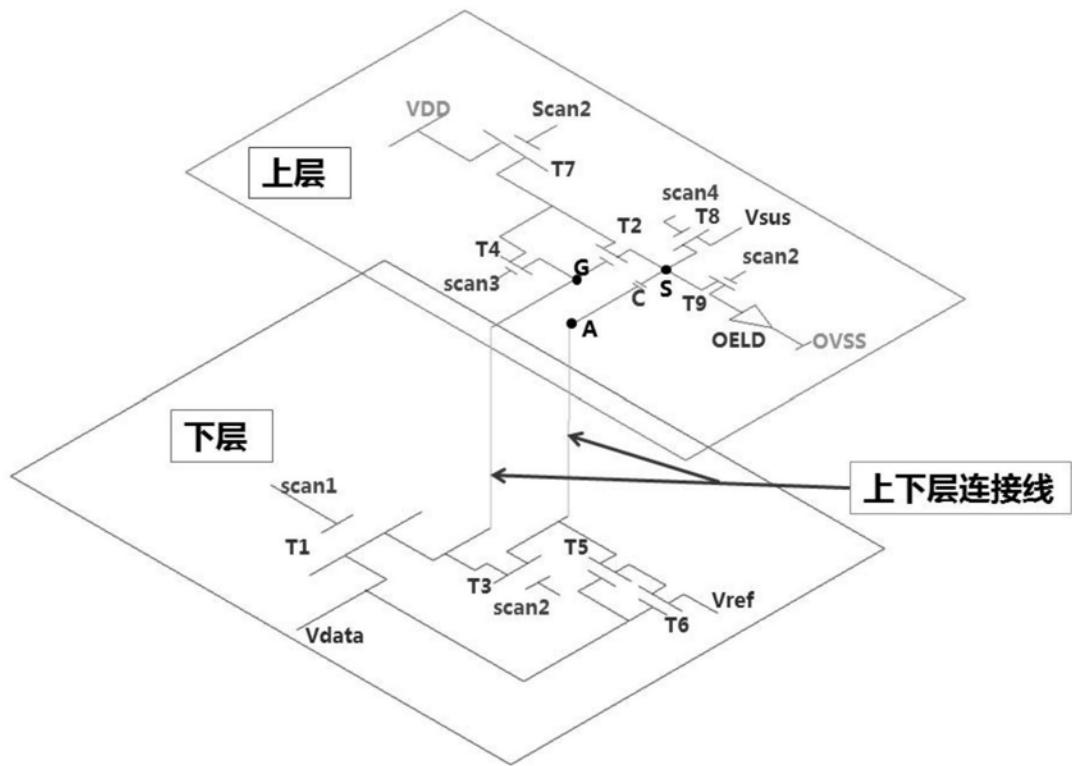


图8

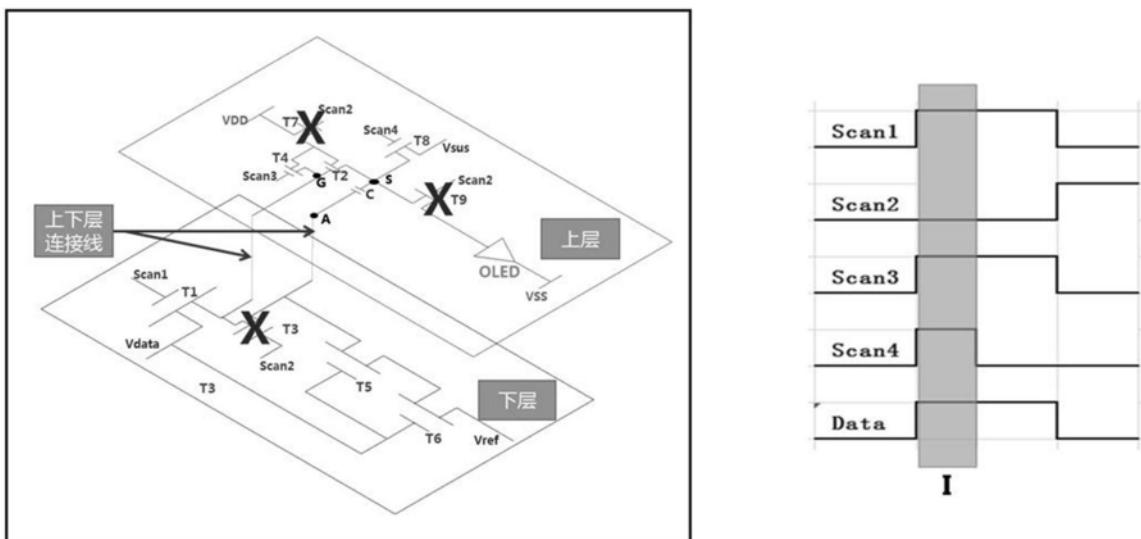


图9

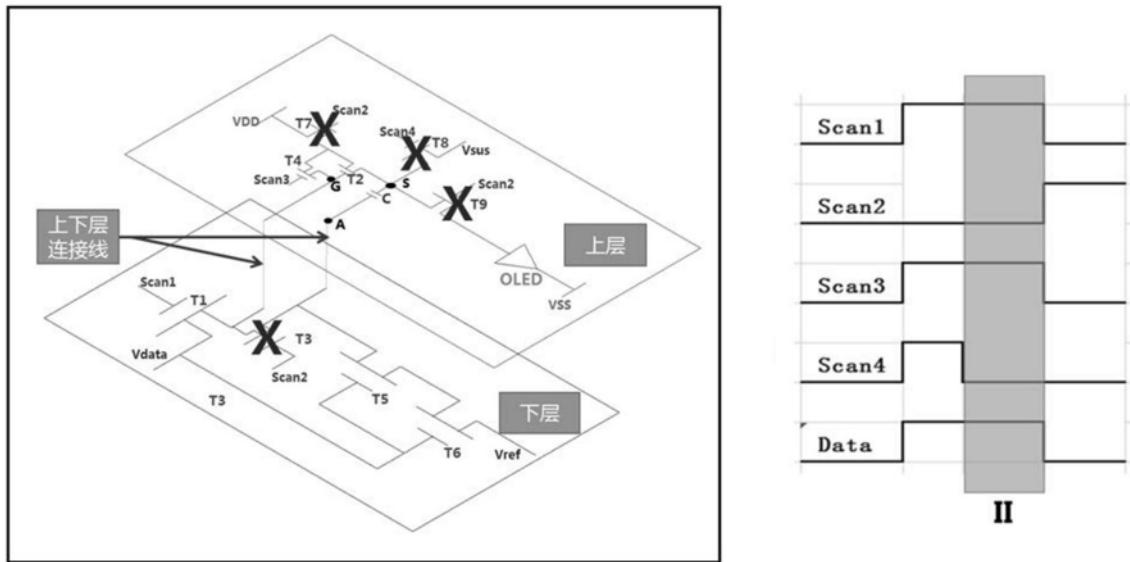


图10

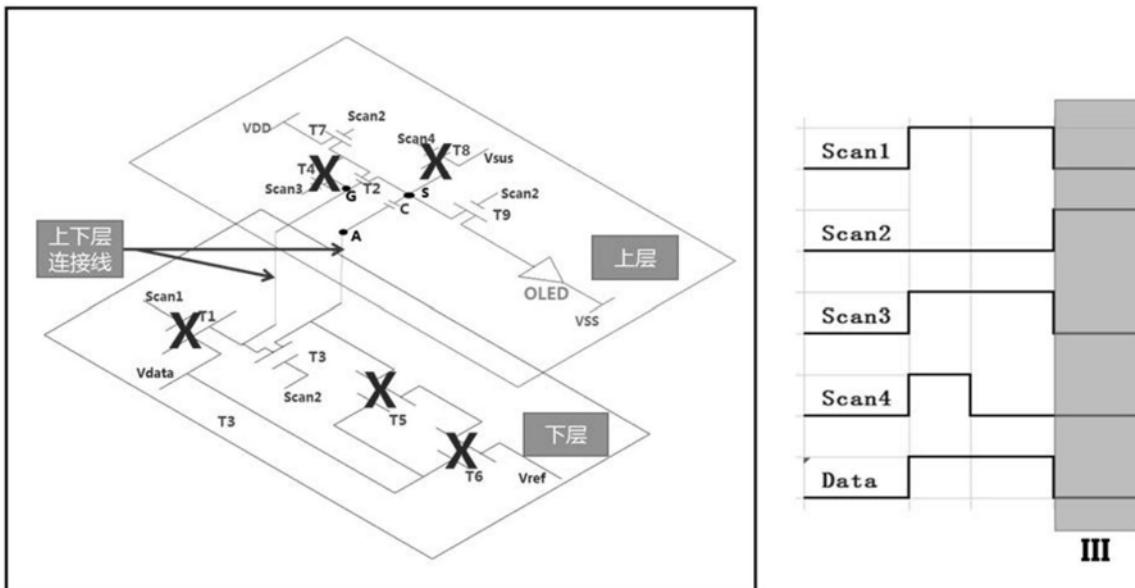


图11

专利名称(译)	一种像素补偿电路		
公开(公告)号	CN110808008A	公开(公告)日	2020-02-18
申请号	CN201911051095.9	申请日	2019-10-31
[标]发明人	罗敬凯		
发明人	卢昭阳 罗敬凯		
IPC分类号	G09G3/3225 H01L27/32		
CPC分类号	G09G3/3225 G09G2320/0233 H01L27/3248 H01L27/3262		
代理人(译)	郭鹏飞		
外部链接	Espacenet	Sipo	

摘要(译)

一种像素补偿电路，包括薄膜晶体管T1、T2、T3、T4、T5、T6、T7、T8、T9、电容C，所述T1的源极与T3的源极连接，T1的漏极与T5的栅极和T6的栅极连接，所述T3的漏极与T5的源极连接，T5的漏极与T6的源极连接，所述T1的源极还与T2的栅极和T4的漏极连接，所述T4的源极与T2的源极、T7的漏极连接，所述T2的漏极通过电容与T5的源极连接，所述T2的漏极还与T8的漏极和T9的源极连接，T9的漏极还与有机发光二极管的正极连接；其中T1、T3、T5、T6为多晶硅薄膜晶体管，设置于基板与介质层之间，所述T2、T4、T7、T8、T9为氧化物薄膜晶体管，设置于介质层上方。上述技术方案通过使用更小的像素面积达到补偿效果，并且能够最终提高面板的解析度。

