



(12)发明专利申请

(10)申请公布号 CN 109712565 A

(43)申请公布日 2019.05.03

(21)申请号 201910210941.0

(22)申请日 2019.03.20

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 鄂尔多斯市源盛光电有限责任公司

(72)发明人 王志冲 李付强 冯京 刘鹏

栾兴龙

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G09G 3/3208(2016.01)

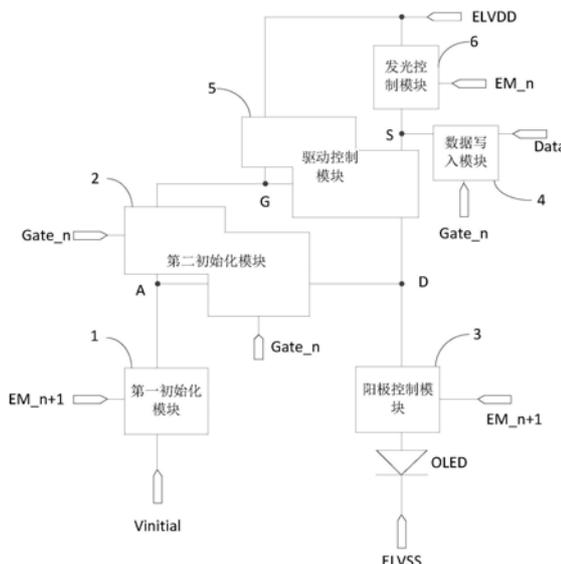
权利要求书2页 说明书9页 附图5页

(54)发明名称

一种像素电路、其驱动方法及电致发光显示面板

(57)摘要

本发明公开了一种像素电路、其驱动方法及电致发光显示面板,该像素电路包括:第一初始化模块,第二初始化模块,阳极控制模块,数据写入模块,驱动控制模块,发光控制模块以及发光器件;通过对像素电路结构的设计,使像素电路的扫描信号端提供的信号和发光控制端提供的信号的电位相反,因此可以通过一个驱动电路向扫描信号端和发光控制端提供驱动信号,减少了驱动电路的设置,有利于实现电致发光显示面板的窄边框设计。



1. 一种像素电路,其特征在于,包括:第一初始化模块,第二初始化模块,阳极控制模块,数据写入模块,驱动控制模块,发光控制模块以及发光器件;其中,

所述第一初始化模块在复位控制端的控制下将复位信号端的信号提供给第一节点;

所述第二初始化模块在扫描信号端的控制下使所述第一节点与第二节点和第三节点导通;

所述阳极控制模块在所述复位控制端的控制下将所述第三节点的电位提供给所述发光器件的阳极;

所述数据写入模块在所述扫描信号端的控制下将数据信号端的信号提供给第四节点;

所述驱动控制模块在所述第二节点的电位和所述第四节点的电位的控制下,确定驱动所述发光器件的驱动电流的大小;

所述发光控制模块在发光控制端的控制下将第一电压信号端的信号提供给所述第四节点;

其中,所述发光控制端提供的信号与所述扫描信号端提供的信号的电位相反。

2. 如权利要求1所述的像素电路,其特征在于,所述第一初始化模块包括:第四晶体管;

所述第四晶体管的栅极与所述复位控制端相连,所述第四晶体管的第一极与复位信号端相连,所述第四晶体管的第二极与所述第一节点相连。

3. 如权利要求1所述的像素电路,其特征在于,所述第二初始化模块包括:第六晶体管和第七晶体管;

所述第六晶体管的栅极与所述扫描信号端相连,所述第六晶体管的第一极与所述第一节点相连,所述第六晶体管的第二极与所述第二节点相连;

所述第七晶体管的栅极与所述扫描信号端相连,所述第七晶体管的第一极与所述第一节点相连,所述第七晶体管的第二极与所述第三节点相连。

4. 如权利要求1所述的像素电路,其特征在于,所述阳极控制模块包括:第三晶体管;

所述第三晶体管的栅极与所述复位控制端相连,所述第三晶体管的第一极与所述第三节点相连,所述第三晶体管的第二极与所述发光器件的阳极相连;

所述发光器件的阴极与第二电压信号端相连。

5. 如权利要求1所述的像素电路,其特征在于,所述数据写入模块包括:第五晶体管;

所述第五晶体管的栅极与所述扫描信号端相连,所述第五晶体管的第一极与所述数据信号端相连,所述第五晶体管的第二极与所述第四节点相连。

6. 如权利要求1所述的像素电路,其特征在于,所述驱动控制模块包括:第二晶体管和第一电容;

所述第二晶体管的栅极与所述第二节点相连,所述第二晶体管的第一极与所述第四节点相连,所述第二晶体管的第二极与所述第三节点相连;

所述第一电容的第一电极与所述第二节点相连,所述第一电容的第二电极与所述第一电压信号端相连。

7. 如权利要求1所述的像素电路,其特征在于,所述发光控制模块包括:第一晶体管;

所述第一晶体管的栅极与所述发光控制端相连;所述第一晶体管的第一极与所述第一电压信号端相连,所述第一晶体管的第二极与所述第四节点相连。

8. 如权利要求2-7任一项所述的像素电路,其特征在于,所有所述晶体管均为P型晶体

管,或,所有所述晶体管均为N型晶体管。

9. 一种如权利要求1-8任一项所述的像素电路的驱动方法,其特征在于,包括:

第一阶段,所述扫描信号端和所述复位控制端均提供第一电平信号,所述发光控制端提供第二电平信号,所述数据信号端提供的信号与所述复位信号端提供的信号相同;

第二阶段,所述扫描信号端提供所述第一电平信号,所述复位控制端和所述发光控制端提供所述第二电平信号,所述数据信号端提供用于点亮所述发光器件的数据信号;

第三阶段,所述扫描信号端和所述复位控制端均提供所述第二电平信号,所述发光控制端提供所述第一电平信号;

第四阶段,所述扫描信号端提供所述第二电平信号,所述发光控制端和所述复位控制端均提供所述第一电平信号。

10. 一种电致发光显示面板,其特征在于,包括位于显示区域的如权利要求1-8任一项所述的像素电路和位于非显示区域的驱动电路;

所述驱动电路包括多个级联的移位寄存器,每级所述移位寄存器包括第一输出端和第二输出端,所述第一输出端提供的信号与所述第二输出端提供的信号的电位相反;

本级移位寄存器的第一输出端与本行所述像素电路的扫描信号端相连,本级移位寄存器的第二输出端与本行所述像素电路的发光控制端相连;

本行所述像素电路的复位控制端与下一级移位寄存器的第二输出端相连。

一种像素电路、其驱动方法及电致发光显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤指一种像素电路、其驱动方法及电致发光显示面板。

背景技术

[0002] 电致发光显示器是当今平板显示器研究领域的热点之一,与液晶显示器相比,电致发光器件具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点,目前,在手机、PDA、数码相机等平板显示领域,电致发光显示器已经开始取代传统的液晶显示屏。其中,像素电路设计是电致发光显示器的核心技术,具有重要的研究意义。

[0003] 相关技术中的像素电路包括扫描信号端和发光控制端,且该扫描信号端的信号和发光控制端的信号需要两个不同的驱动电路提供,因此需要在电致发光显示器的非显示区域设置两个驱动电路,才能实现对像素电路进行控制。但是两个驱动电路占据了非显示区域的较大面积,不利于实现窄边框设计。

[0004] 因此,如何通过对像素电路进行设计减少驱动电路的个数,从而实现窄边框设计是本领域技术人员亟待解决的技术问题。

发明内容

[0005] 本发明实施例提供了一种像素电路、其驱动方法及电致发光显示面板,用以解决由于像素电路的结构设计导致无法实现窄边框设计的问题。

[0006] 一方面,本发明实施例提供了一种像素电路,包括:第一初始化模块,第二初始化模块,阳极控制模块,数据写入模块,驱动控制模块,发光控制模块以及发光器件;

[0007] 所述第一初始化模块在复位控制端的控制下将复位信号端的信号提供给第一节点;

[0008] 所述第二初始化模块在扫描信号端的控制下使所述第一节点与第二节点和第三节点导通;

[0009] 所述阳极控制模块在所述复位控制端的控制下将所述第三节点的电位提供给所述发光器件的阳极;

[0010] 所述数据写入模块在所述扫描信号端的控制下将数据信号端的信号提供给第四节点;

[0011] 所述驱动控制模块在所述第二节点的电位和所述第四节点的电位的控制下,确定驱动所述发光器件的驱动电流的大小;

[0012] 所述发光控制模块在发光控制端的控制下将第一电压信号端的信号提供给所述第四节点;

[0013] 其中,所述发光控制端提供的信号与所述扫描信号端提供的信号的电位相反。

[0014] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述第一初始化模块包括:第四晶体管;

[0015] 所述第四晶体管的栅极与所述复位控制端相连,所述第四晶体管的第一极与复位

信号端相连,所述第四晶体管的第二极与所述第一节点相连。

[0016] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述第二初始化模块包括:第六晶体管和第七晶体管;

[0017] 所述第六晶体管的栅极与所述扫描信号端相连,所述第六晶体管的第一极与所述第一节点相连,所述第六晶体管的第二极与所述第二节点相连;

[0018] 所述第七晶体管的栅极与所述扫描信号端相连,所述第七晶体管的第一极与所述第一节点相连,所述第七晶体管的第二极与所述第三节点相连。

[0019] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述阳极控制模块包括:第三晶体管;

[0020] 所述第三晶体管的栅极与所述复位控制端相连,所述第三晶体管的第一极与所述第三节点相连,所述第三晶体管的第二极与所述发光器件的阳极相连;

[0021] 所述发光器件的阴极与第二电压信号端相连。

[0022] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述数据写入模块包括:第五晶体管;

[0023] 所述第五晶体管的栅极与所述扫描信号端相连,所述第五晶体管的第一极与所述数据信号端相连,所述第五晶体管的第二极与所述第四节点相连。

[0024] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述驱动控制模块包括:第二晶体管和第一电容;

[0025] 所述第二晶体管的栅极与所述第二节点相连,所述第二晶体管的第一极与所述第四节点相连,所述第二晶体管的第二极与所述第三节点相连;

[0026] 所述第一电容的第一电极与所述第二节点相连,所述第一电容的第二电极与所述第一电压信号端相连。

[0027] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所述发光控制模块包括:第一晶体管;

[0028] 所述第一晶体管的栅极与所述发光控制端相连;所述第一晶体管的第一极与所述第一电压信号端相连,所述第一晶体管的第二极与所述第四节点相连。

[0029] 在一种可能的实施方式中,在本发明实施例提供的像素电路中,所有所述晶体管均为P型晶体管,或,所有所述晶体管均为N型晶体管。

[0030] 另一方面,本发明实施例提供了一种上述任一实施例所述的像素电路的驱动方法,包括:

[0031] 第一阶段,所述扫描信号端和所述复位控制端均提供第一电平信号,所述发光控制端提供第二电平信号,所述数据信号端提供的信号与所述复位信号端提供的信号相同;

[0032] 第二阶段,所述扫描信号端提供所述第一电平信号,所述复位控制端和所述发光控制端提供所述第二电平信号,所述数据信号端提供用于点亮所述发光器件的数据信号;

[0033] 第三阶段,所述扫描信号端和所述复位控制端均提供所述第二电平信号,所述发光控制端提供所述第一电平信号;

[0034] 第四阶段,所述扫描信号端提供所述第二电平信号,所述发光控制端和所述复位控制端均提供所述第一电平信号。

[0035] 又一方面,本发明实施例还提供了一种电致发光显示面板,包括位于显示区域的

如上述任一实施例提供的像素电路和位于非显示区域的驱动电路；

[0036] 所述驱动电路包括多个级联的移位寄存器，每级所述移位寄存器包括第一输出端和第二输出端，所述第一输出端提供的信号与所述第二输出端提供的信号的电位相反；

[0037] 本级移位寄存器的第一输出端与本行所述像素电路的扫描信号端相连，本级移位寄存器的第二输出端与本行所述像素电路的发光控制端相连；

[0038] 本行所述像素电路的复位控制端与下一级移位寄存器的第二输出端相连。

[0039] 本发明有益效果如下：

[0040] 本发明实施例提供的一种像素电路、其驱动方法及电致发光显示面板，该像素电路包括：第一初始化模块，第二初始化模块，阳极控制模块，数据写入模块，驱动控制模块，发光控制模块以及发光器件；所述第一初始化模块在复位控制端的控制下将复位信号端的信号提供给第一节点；所述第二初始化模块在扫描信号端的控制下使所述第一节点与第二节点和第三节点导通；所述阳极控制模块在所述复位控制端的控制下将所述第三节点的电位提供给所述发光器件的阳极；所述数据写入模块在所述扫描信号端的控制下将数据信号端的信号提供给第四节点；所述驱动控制模块在所述第二节点的电位和所述第四节点的电位的控制下，确定驱动所述发光器件的驱动电流的大小；所述发光控制模块在发光控制端的控制下将第一电压信号端的信号提供给所述第四节点。通过对像素电路结构的设计，使像素电路的扫描信号端提供的信号和发光控制端提供的信号的电位相反，因此可以通过一个驱动电路向扫描信号端和发光控制端提供驱动信号，减少了驱动电路的设置，有利于实现电致发光显示面板的窄边框设计。

附图说明

[0041] 图1相关技术中电致发光显示面板中的电路结构的示意图；

[0042] 图2为本发明实施例提供的像素电路的结构示意图；

[0043] 图3为本发明实施例提供的像素电路的具体结构示意图；

[0044] 图4为本发明实施例提供的像素电路的时序图；

[0045] 图5为本发明实施例提供的像素电路驱动方法的方法流程图。

具体实施方式

[0046] 相关技术中电致发光显示面板中的用于驱动像素显示的电路结构如图1所示，该像素电路Pixel包括扫描信号端和发光控制端（像素电路的具体结构未示出），且由于像素电路Pixel结构的设计，该像素电路Pixel中扫描信号端的信号和发光控制端的信号并不能通过同一驱动电路提供，因此需要在电致发光显示器的非显示区域设置两个驱动电路（发光控制驱动电路EM和栅极驱动电路Gate），才能实现对像素电路Pixel进行控制。但是两个驱动电路占据了非显示区域的较大面积，不利于实现窄边框设计。

[0047] 针对上述问题，本发明实施例提供了一种像素电路、其驱动方法及电致发光显示面板，通过对像素电路的结构进行设计，使扫描信号端的信号和发光控制端的信号的电位相反，从而实现可以利用一个驱动电路同时向扫描信号端和发光控制端提供驱动信号，减少了驱动电路的个数，有利于电致发光显示面板的窄边框设计。

[0048] 为了使本发明的目的，技术方案和优点更加清楚，下面结合附图，对本发明实施例

提供的像素电路、其驱动方法及电致发光显示面板的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0049] 具体地,本发明实施例提供了一种像素电路,如图2所示,包括:第一初始化模块1,第二初始化模块2,阳极控制模块3,数据写入模块4,驱动控制模块5,发光控制模块6以及发光器件OLED;

[0050] 第一初始化模块1在复位控制端EM_{n+1}的控制下将复位信号端V_{initial}的信号提供给第一节点A;

[0051] 第二初始化模块2在扫描信号端Gate_n的控制下使第一节点A与第二节点G和第三节点D导通;

[0052] 阳极控制模块3在复位控制端EM_{n+1}的控制下将第三节点D的电位提供给发光器件OLED的阳极;

[0053] 数据写入模块4在扫描信号端Gate_n的控制下将数据信号端Data的信号提供给第四节点S;

[0054] 驱动控制模块5在第二节点G的电位和第四节点S的电位的控制下,确定驱动发光器件OLED的驱动电流的大小;

[0055] 发光控制模块6在发光控制端EM_n的控制下将第一电压信号端ELVDD的信号提供给第四节点S;

[0056] 其中,发光控制端EM_n提供的信号与扫描信号端Gate_n提供的信号的电位相反。

[0057] 具体地,在本发明实施例提供的像素电路中,通过第一初始化模块,第二初始化模块,阳极控制模块,数据写入模块,驱动控制模块,发光控制模块以及发光器件的设置,使像素电路的扫描信号端提供的信号和发光控制端提供的信号的电位相反,因此可以通过一个驱动电路向扫描信号端和发光控制端提供驱动信号,减少了驱动电路的设置,有利于实现电致发光显示面板的窄边框设计。

[0058] 除上述之外,上述像素电路还可以实现对驱动晶体管,即第二晶体管的阈值电压进行补偿,以保证显示面板中各像素发光的均一性。

[0059] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0060] 可选地,在本发明实施例提供的像素电路中,如图3所示,第一初始化模块1包括:第四晶体管M4;

[0061] 第四晶体管M4的栅极与复位控制端EM_{n+1}相连,第四晶体管M4的第一极与复位信号端V_{initial}相连,第四晶体管M4的第二极与第一节点A相连。

[0062] 具体地,在本发明实施例提供的像素电路中,第四晶体管可以为P型晶体管,当复位控制端的信号为低电平时,第四晶体管处于导通状态,当复位控制端的信号为高电平时,第四晶体管处于截止状态;第四晶体管也可以为N型晶体管(在图中未具体示出),此时,当复位控制端的信号为高电平时,第四晶体管处于导通状态,当复位控制端的信号为低电平时,第四晶体管处于截止状态;在此不作具体限定。

[0063] 可选地,在本发明实施例提供的像素电路中,如图3所示,第二初始化模块2包括:第六晶体管M6和第七晶体管M7;

[0064] 第六晶体管M6的栅极与扫描信号端Gate_n相连,第六晶体管M6的第一极与第一节点A相连,第六晶体管M6的第二极与第二节点G相连;

[0065] 第七晶体管M7的栅极与扫描信号端Gate_n相连,第七晶体管M7的第一极与第一节点A相连,第七晶体管M7的第二极与第三节点D相连。

[0066] 具体地,在本发明实施例提供的像素电路中,第六晶体管可以为P型晶体管,当扫描信号端的信号为低电平时,第六晶体管处于导通状态,当扫描信号端的信号为高电平时,第六晶体管处于截止状态;第六晶体管也可以为N型晶体管(在图中未具体示出),此时,当扫描信号端的信号为高电平时,第六晶体管处于导通状态,当扫描信号端的信号为低电平时,第六晶体管处于截止状态;在此不作具体限定。

[0067] 同理,第七晶体管可以为P型晶体管,当扫描信号端的信号为低电平时,第七晶体管处于导通状态,当扫描信号端的信号为高电平时,第七晶体管处于截止状态;第七晶体管也可以为N型晶体管(在图中未具体示出),此时,当扫描信号端的信号为高电平时,第七晶体管处于导通状态,当扫描信号端的信号为低电平时,第七晶体管处于截止状态;在此不作具体限定。

[0068] 需要说明的是,在本发明实施例提供的像素电路中,第六晶体管 and 第七晶体管的控制端相同,均为扫描信号端,且晶体管的类型也相同,同时为N型晶体管或者同时为P型晶体管,保证第六晶体管 and 第七晶体管在同一阶段内,同时导通或同时截止。例如,在第一阶段,即节点初始化阶段,第六晶体管导通将第一节点的电位提供给第二节点,对第二节点进行初始化;第七晶体管导通将第一节点的电位提供给第三节点,为发光器件的阳极提供初始化信号。在第二阶段,即数据写入阶段,第六晶体管 and 第七晶体管同时导通将数据信号 and 第二晶体管的阈值电压写入到第二极管的栅极,从而实现阈值的抓取。

[0069] 可选地,在本发明实施例提供的像素电路中,如图3所示,阳极控制模块3包括:第三晶体管M3;

[0070] 第三晶体管M3的栅极与复位控制端EM_{n+1}相连,第三晶体管M3的第一极与第三节点D相连,第三晶体管M3的第二极与发光器件OLED的阳极相连;

[0071] 发光器件OLED的阴极与第二电压信号端ELVSS相连。

[0072] 具体地,在本发明实施例提供的像素电路中,第三晶体管可以为P型晶体管,当复位控制端的信号为低电平时,第三晶体管处于导通状态,当复位控制端的信号为高电平时,第三晶体管处于截止状态;第三晶体管也可以为N型晶体管(在图中未具体示出),此时,当复位控制端的信号为高电平时,第三晶体管处于导通状态,当复位控制端的信号为低电平时,第三晶体管处于截止状态;在此不作具体限定。

[0073] 可选地,在本发明实施例提供的像素电路中,如图3所示,数据写入模块4包括:第五晶体管M5;

[0074] 第五晶体管M5的栅极与扫描信号端Gate_n相连,第五晶体管M5的第一极与数据信号端Data相连,第五晶体管M5的第二极与第四节点S相连。

[0075] 具体地,在本发明实施例提供的像素电路中,第五晶体管可以为P型晶体管,当扫描信号端的信号为低电平时,第五晶体管处于导通状态,当扫描信号端的信号为高电平时,第五晶体管处于截止状态;第五晶体管也可以为N型晶体管(在图中未具体示出),此时,当扫描信号端的信号为高电平时,第五晶体管处于导通状态,当扫描信号端的信号为低电平时,

时,第五晶体管处于截止状态;在此不作具体限定。

[0076] 其中,在第一阶段,数据信号端提供的信号与复位信号端提供的信号相同,第五晶体管导通,将数据信号端提供的复位信号提供给第四节点,使第二节点与第四节点的电位相同,保证第二晶体管处于截止状态。而在第二阶段,数据信号端提供的信号为用于驱动发光器件发光的数据信号,第五晶体管导通,将数据信号提供给第四节点,以实现数据的写入和阈值的抓取。

[0077] 可选地,在本发明实施例提供的像素电路中,如图3所示,驱动控制模块5包括:第二晶体管M2和第一电容C1;

[0078] 第二晶体管M2的栅极与第二节点G相连,第二晶体管M2的第一极与第四节点S相连,第二晶体管M2的第二极与第三节点D相连;

[0079] 第一电容C1的第一电极与第二节点G相连,第一电容C1的第二电极与第一电压信号端ELVDD相连。

[0080] 具体地,在本发明实施例提供的像素电路中,第二晶体管为P型晶体管,为了保证第二晶体管(即驱动晶体管)能正常工作,对应的第一电压信号端的电压一般为正电压,第二电压信号端的电压一般接地或为负值。

[0081] 可选地,在本发明实施例提供的像素电路中,如图3所示,发光控制模块6包括:第一晶体管M1;

[0082] 第一晶体管M1的栅极与发光控制端EM_n相连;第一晶体管M1的第一极与第一电压信号端ELVDD相连,第一晶体管M1的第二极与第四节点S相连。

[0083] 具体地,在本发明实施例提供的像素电路中,第一晶体管可以为P型晶体管,当发光控制端的信号为低电平时,第一晶体管处于导通状态,当发光控制端的信号为高电平时,第一晶体管处于截止状态;第一晶体管也可以为N型晶体管(在图中未具体示出),此时,当发光控制端的信号为高电平时,第一晶体管处于导通状态,当发光控制端的信号为低电平时,第一晶体管处于截止状态;在此不作具体限定。

[0084] 以上仅是举例说明像素电路中各模块的具体结构,在具体实施时,各模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0085] 可选地,在本发明实施例提供的像素电路中,所有晶体管均为P型晶体管,或,所有晶体管均为N型晶体管。

[0086] 最佳地,本发明实施例提供的上述像素电路中提到的各晶体管可以全部采用P型晶体管设计,这样可以简化像素电路的制作工艺流程。

[0087] 需要说明的是本发明上述实施例中是以驱动晶体管为P型晶体管为例进行说明的,对于驱动晶体管为N型晶体管且采用相同设计原理的情况也属于本发明保护的范围。

[0088] 在具体实施时,驱动晶体管和开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不做限定。在具体实施中,这些晶体管的第一极和第二极根据晶体管类型以及输入信号的不同,其功能可以互换,在此不做具体区分。

[0089] 下面分别以图3所示的像素电路,图4所示的时序为例对本发明实施例提供的像素电路的工作过程作以描述。其中,复位信号端提供的信号为低电平信号,第一电压信号端提

供的信号为高电平信号,第二电压信号端提供的信号为低电平信号,所有晶体管为P型晶体管。

[0090] 第一阶段, Gate_n=0, EM_n=1, EM_{n+1}=0, Data=0;

[0091] 在该阶段,复位控制端EM_{n+1}为低电平,第四晶体管M4导通,将复位信号端Vinitial的复位信号提供给第一节点A,对第一节点A进行初始化;扫描信号端Gate_n为低电平,第六晶体管M6导通将第一节点A的复位信号提供给第二节点G(即第二晶体管的栅极),第七晶体管M7导通将第一节点A的复位信号提供给第三节点D,并且第三晶体管M3导通,将第三节点D的复位信号提供给发光器件OLED的阳极,对发光器件OLED的阳极进行初始化;同时由于扫描信号端Gate_n为低电平信号,第五晶体管M5也处于导通状态,此时数据信号端Data提供的信号为与复位信号端相同的复位信号,导通的第五晶体管M5将数据信号端Data提供的复位信号提供给第四节点S,保持第二节点G的电位与第四节点S的电位相同,以保证第二晶体管M2在该阶段处于截止状态。

[0092] 第二阶段, Gate_n=0, EM_n=1, EM_{n+1}=1, Data=1;

[0093] 在该阶段,扫描信号端Gate_n为低电平信号,第五晶体管M5、第六晶体管M6和第七晶体管M7导通,导通的第五晶体管M5将数据信号端Data提供的的数据信号Vdata提供给第四节点S,直到第二节点G的电位为Vdata+V_{th},其中V_{th}表示第二晶体管的阈值电压。

[0094] 第三阶段, Gate_n=1, EM_n=0, EM_{n+1}=1, Data=0;

[0095] 在该阶段,扫描信号端Gate_n为高电平,第五晶体管M5、第六晶体管M6和第七晶体管M7截止;发光控制端EM_n为低电平,第一晶体管M1导通将第一电压信号端ELVDD的信号提供给第四节点S,第二晶体管M2导通将驱动发光器件OLED发光的电压提供给第三节点D。由于第三晶体管M3的栅极与复位控制端EM_{n+1}相连,而复位控制端EM_{n+1}的信号于用于驱动下一行像素的像素电路中的扫描信号端Gate_{n+1}的电位相反,因此该阶段第三晶体管M3处于截止状态,不能形成驱动电流驱动发光器件OLED发光。

[0096] 第四阶段, Gate_n=1, EM_n=0, EM_{n+1}=0, Data=0;

[0097] 在该阶段,发光控制端EM_n和复位控制端EM_{n+1}均为低电平信号,第一晶体管M1和第三晶体管M3均导通,形成驱动发光器件OLED的电流,使发光器件OLED发光。

[0098] 其中,发光电流为 $I = 1/2K(V_{gs} - V_{th})^2 = 1/2K(V_{elvdd} - V_{data})^2$,其中K为系数,V_{gs}表示第二晶体管的栅极与第二晶体管的源极的电压差,V_{th}表示第二晶体管的阈值电压,V_{elvdd}表示第一电压信号端的电压,V_{data}表示数据信号。可见,上述像素电路实现了对第二晶体管(即驱动晶体管)V_{th}的补偿,提高了显示面板均一性,同时发光控制端和扫描信号端的信号可以由同一驱动电路提供,减少了驱动电路的个数,有利于实现电致发光显示面板的窄边框设计。

[0099] 需要说明的是,数据信号端在第一阶段提供的为复位信号,在第二阶段提供的是数据信号,且为了避免由于数据信号的延迟产生在第二阶段和第三阶段交替时数据信号产生变化,因此将提供数据信号的中间时刻(即数据信号的峰值)设置在了第二阶段和第三阶段交替时刻。

[0100] 基于同一发明构思,如图5所示,本发明实施例还提供了一种像素电路的驱动方法,包括:

[0101] S501、第一阶段,扫描信号端和复位控制端均提供第一电平信号,发光控制端提供

第二电平信号,数据信号端提供的信号与复位信号端提供的信号相同;

[0102] S502、第二阶段,扫描信号端提供第一电平信号,复位控制端和发光控制端提供第二电平信号,数据信号端提供用于点亮发光器件的数据信号;

[0103] S503、第三阶段,扫描信号端和复位控制端均提供第二电平信号,发光控制端提供第一电平信号;

[0104] S504、第四阶段,扫描信号端提供第二电平信号,发光控制端和复位控制端均提供第一电平信号。

[0105] 需要说明的是,第一电平信号和第二电平信号可以为高电平信号,也可以为低电平信号,但是,当第一电平信号为高电平信号时,第二电平信号为低电平信号;第一电平信号为低电平信号时,第二电平信号为高电平信号。具体地,当各晶体管为P型晶体管时,第一电平信号为低电平信号,第二电平信号为高电平信号;当各晶体管为N型晶体管时,第一电平信号为高电平信号,第二电平信号为低电平信号。

[0106] 其中,像素电路的驱动方法的具体工作原理已经在上述像素电路的具体实施例中进行了详细阐述,因此该像素电路的驱动方法可以参见对上述描述像素电路的实施例进行实施,在此不再赘述。

[0107] 基于同一发明构思,本发明实施例还提供了一种电致发光显示面板,包括位于显示区域的如上述任一实施例提供的像素电路和位于非显示区域的驱动电路;

[0108] 驱动电路包括多个级联的移位寄存器,每级移位寄存器包括第一输出端和第二输出端,第一输出端提供的信号与第二输出端提供的信号的电位相反;

[0109] 本级移位寄存器的第一输出端与本行像素电路的扫描信号端相连,本级移位寄存器的第二输出端与本行像素电路的发光控制端相连;

[0110] 本行像素电路的复位控制端与下一级移位寄存器的第二输出端相连。

[0111] 具体地,在本发明实施例提供的电致发光显示面板中,在非显示区域可以仅设置一个驱动电路向像素电路的各信号端提供驱动信号,减少了驱动电路占用非显示区域的面积,有利于实现窄边框设计。

[0112] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述电致发光显示面板。该显示装置可以是显示器、手机、电视、笔记本电脑、电子纸、数码相框、导航仪、一体机等,对于显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0113] 本发明实施例提供一种像素电路、其驱动方法及电致发光显示面板,该像素电路包括:第一初始化模块,第二初始化模块,阳极控制模块,数据写入模块,驱动控制模块,发光控制模块以及发光器件;所述第一初始化模块在复位控制端的控制下将复位信号端的信号提供给第一节点;所述第二初始化模块在扫描信号端的控制下使所述第一节点与第二节点和第三节点导通;所述阳极控制模块在所述复位控制端的控制下将所述第三节点的电位提供给所述发光器件的阳极;所述数据写入模块在所述扫描信号端的控制下将数据信号端的信号提供给第四节点;所述驱动控制模块在所述第二节点的电位和所述第四节点的电位的控制下,确定驱动所述发光器件的驱动电流的大小;所述发光控制模块在发光控制端的控制下将第一电压信号端的信号提供给所述第四节点。通过对像素电路结构的设计,使像素电路的扫描信号端提供的信号和发光控制端提供的信号的电位相反,因此可以通过一

个驱动电路向扫描信号端和发光控制端提供驱动信号,减少了驱动电路的设置,有利于实现电致发光显示面板的窄边框设计。

[0114] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

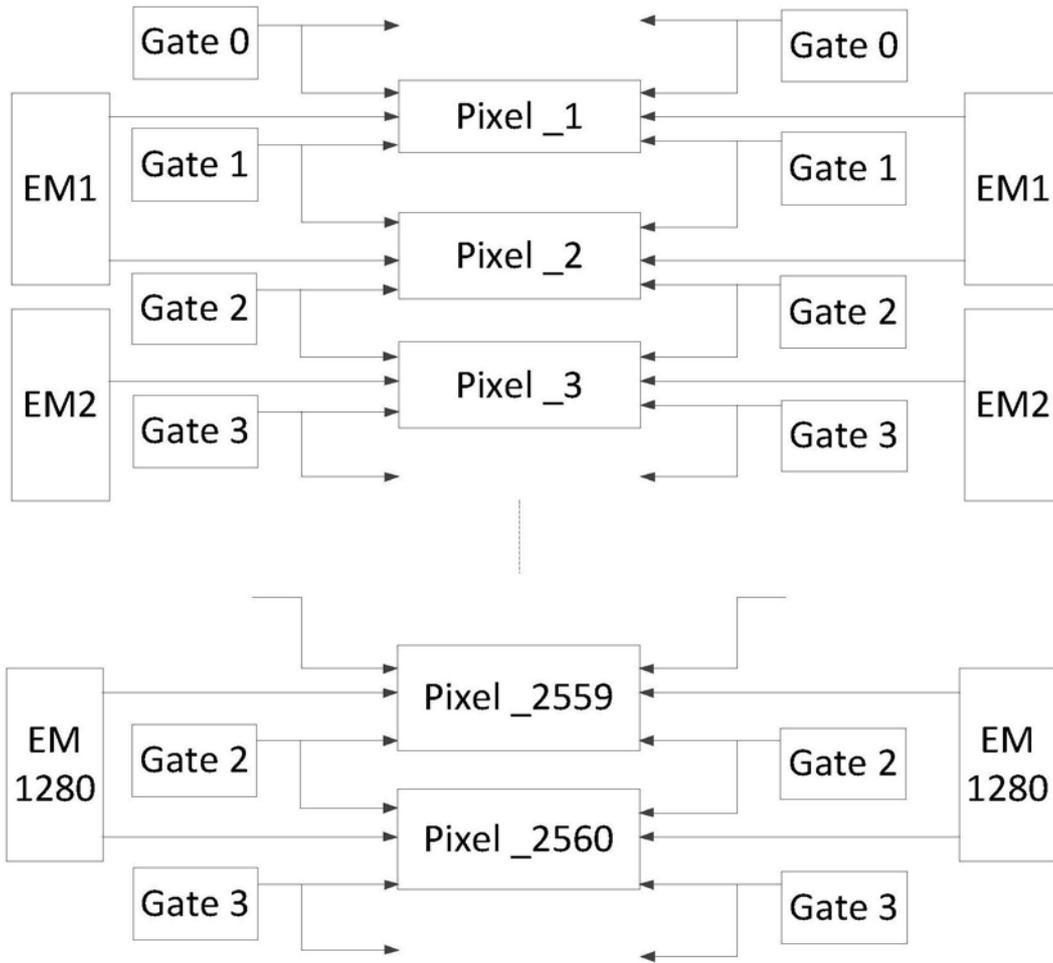


图1

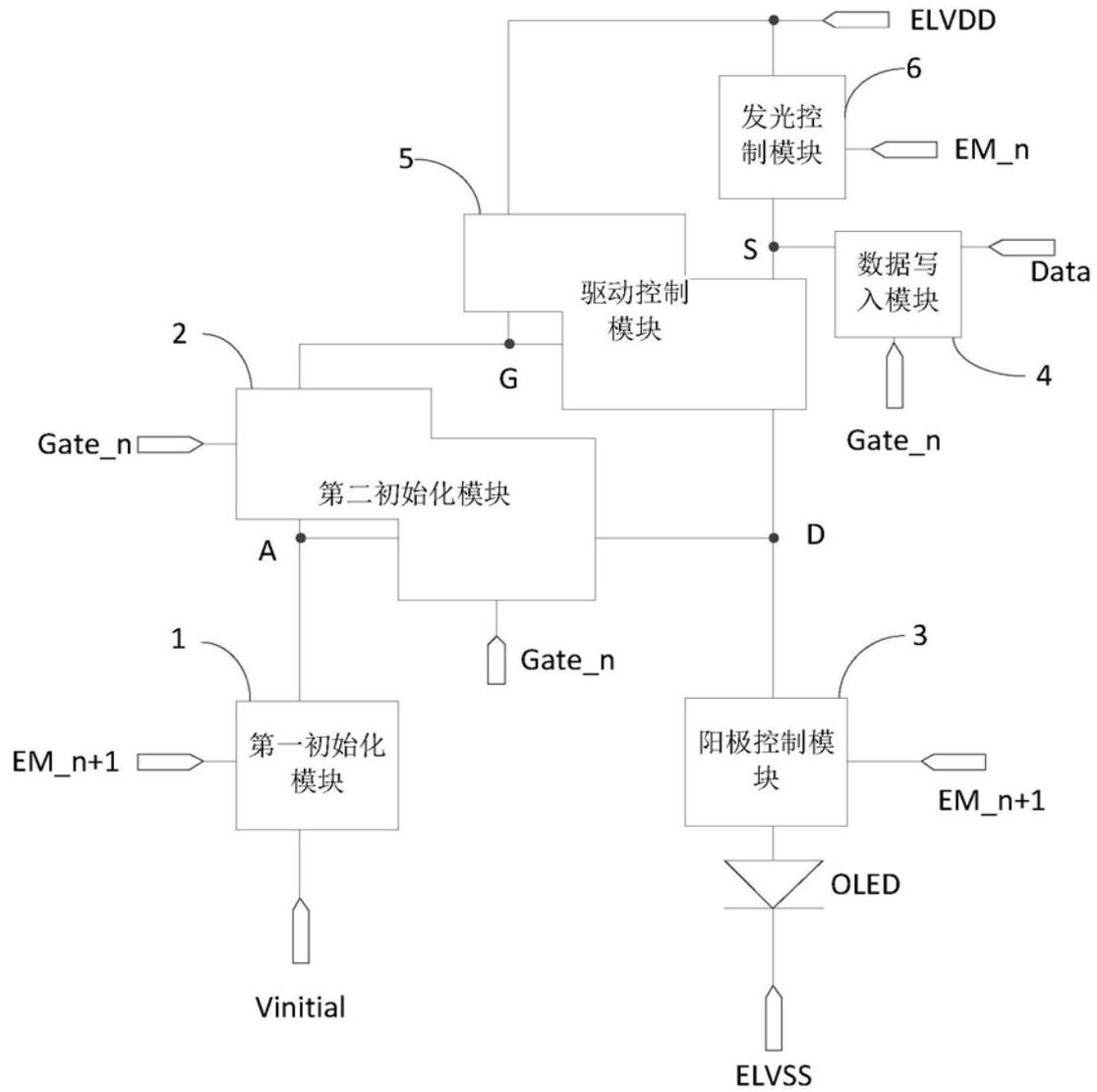


图2

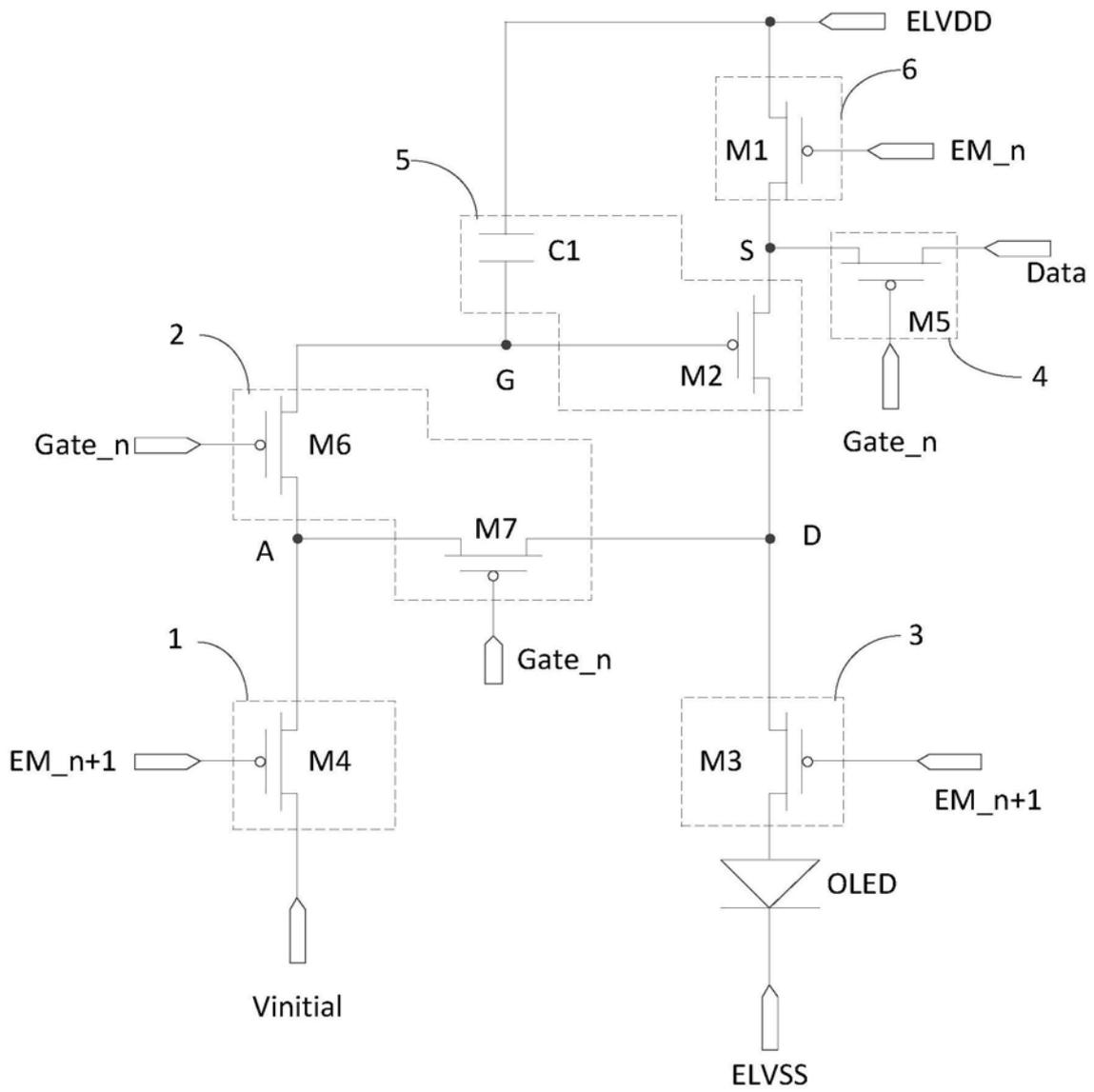


图3

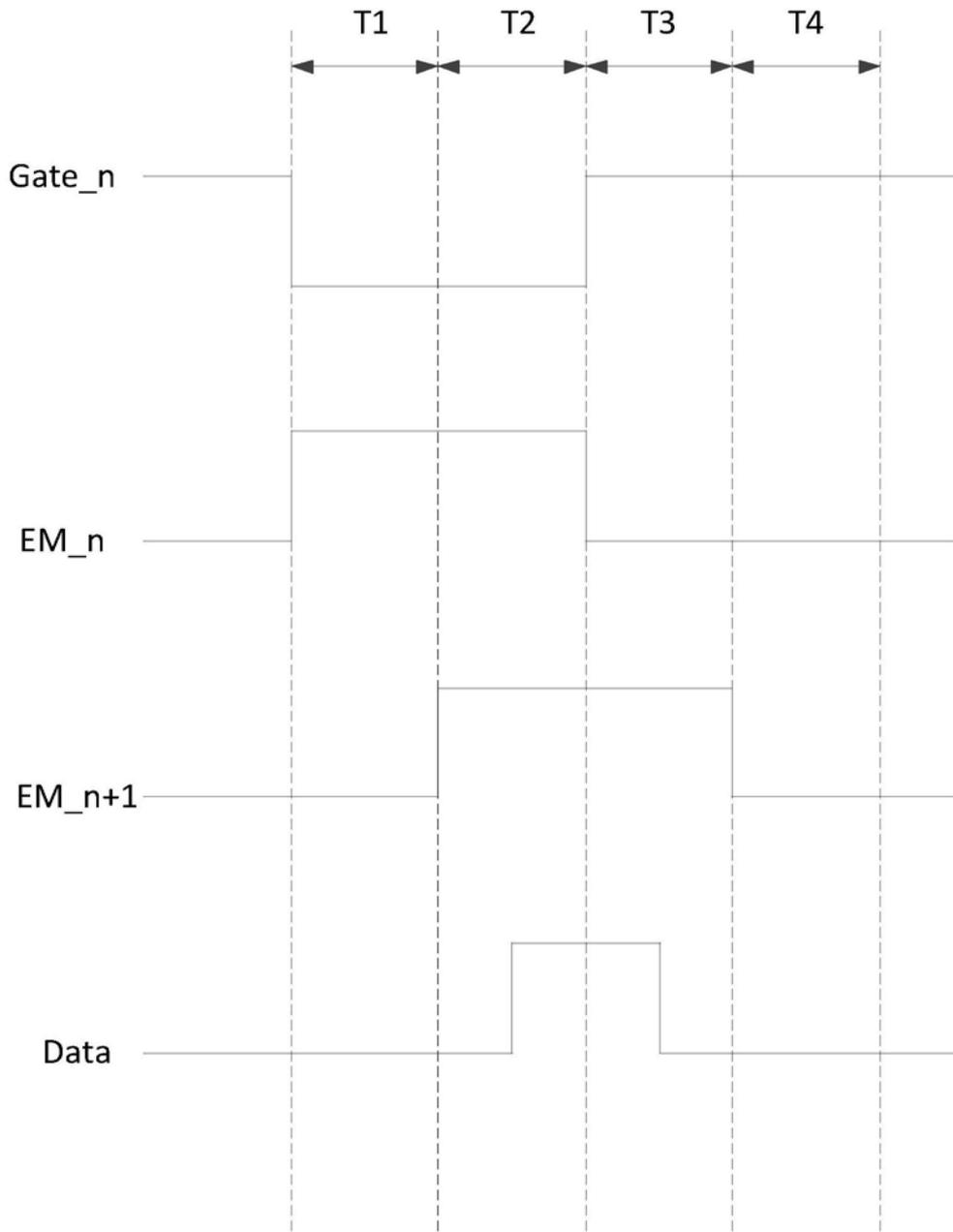


图4

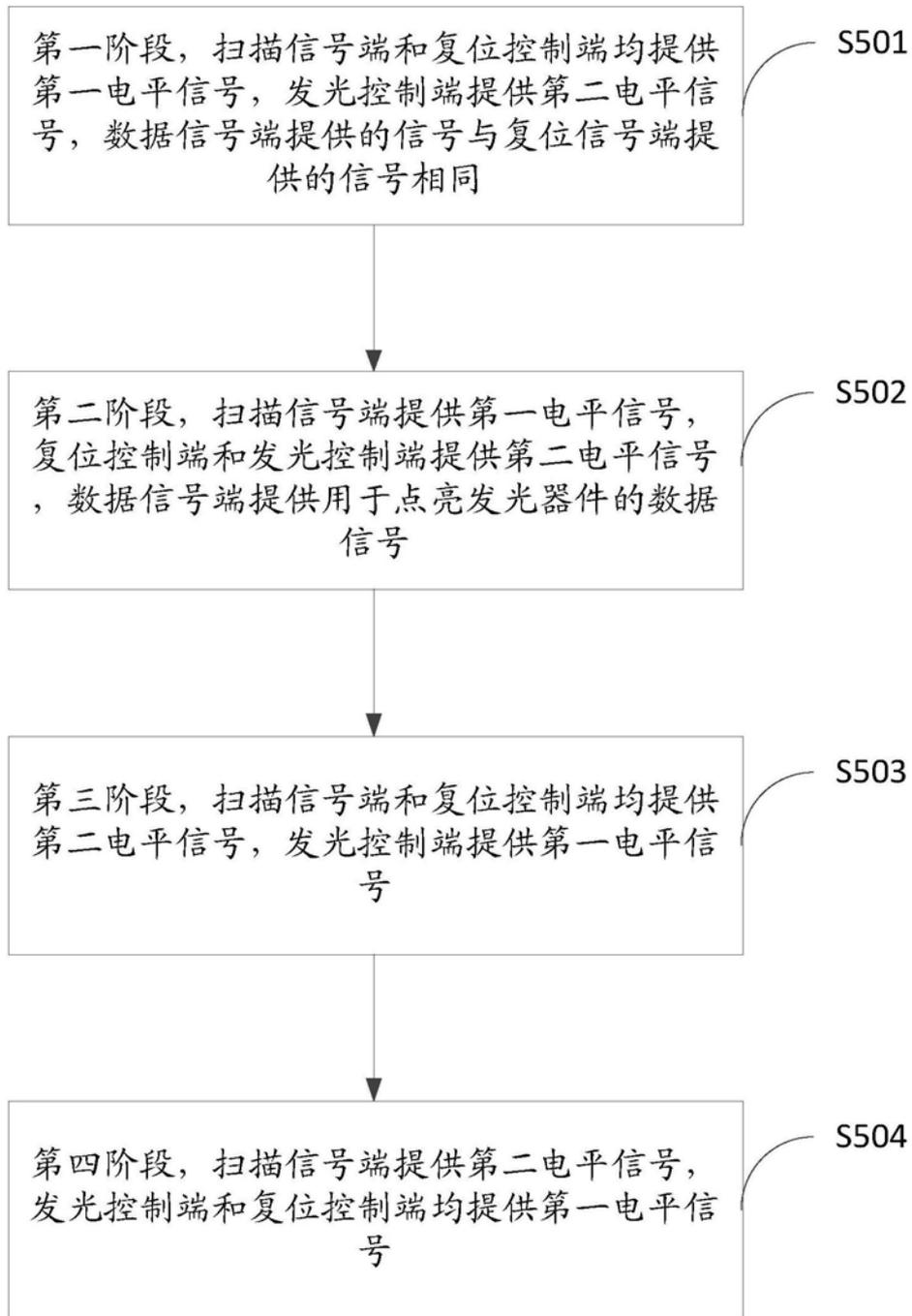


图5

专利名称(译)	一种像素电路、其驱动方法及电致发光显示面板		
公开(公告)号	CN109712565A	公开(公告)日	2019-05-03
申请号	CN201910210941.0	申请日	2019-03-20
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 鄂尔多斯市源盛光电有限责任公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 鄂尔多斯市源盛光电有限责任公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 鄂尔多斯市源盛光电有限责任公司		
[标]发明人	王志冲 李付强 冯京 刘鹏 栾兴龙		
发明人	王志冲 李付强 冯京 刘鹏 栾兴龙		
IPC分类号	G09G3/3208		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、其驱动方法及电致发光显示面板，该像素电路包括：第一初始化模块，第二初始化模块，阳极控制模块，数据写入模块，驱动控制模块，发光控制模块以及发光器件；通过对像素电路结构的设计，使像素电路的扫描信号端提供的信号和发光控制端提供的信号的电位相反，因此可以通过一个驱动电路向扫描信号端和发光控制端提供驱动信号，减少了驱动电路的设置，有利于实现电致发光显示面板的窄边框设计。

