



(12)发明专利申请

(10)申请公布号 CN 108417178 A

(43)申请公布日 2018.08.17

(21)申请号 201810204516.6

(22)申请日 2018.03.13

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 徐攀 盖翠丽 林奕呈 王玲

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G09G 3/3208(2016.01)

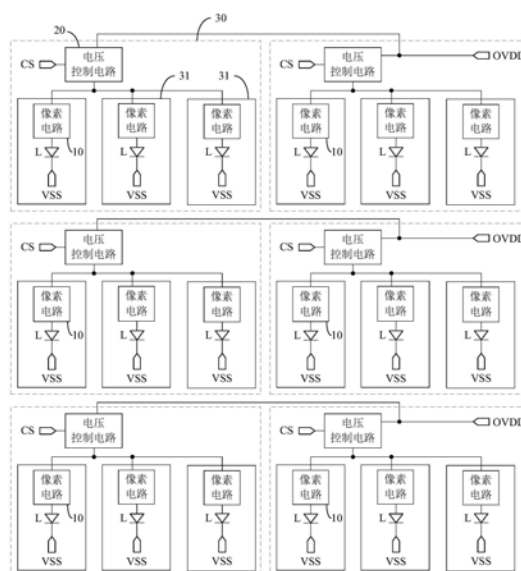
权利要求书2页 说明书9页 附图5页

(54)发明名称

阵列基板、其驱动方法、电致发光显示面板及显示装置

(57)摘要

本发明公开了一种本发明实施例提供的阵列基板、其驱动方法、电致发光显示面板及显示装置,包括:多个发光器件、与各发光器件耦接的像素电路以及多个电压控制电路。通过使同一行中的至少两个像素电路共用一个电压控制电路,并使电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,从而可以简化各像素电路的结构,降低像素电路的占用面积,进而有利于电致发光显示面板实现高分辨率。并且,还可以实现提高写入的驱动晶体管的栅极电压以及写入驱动晶体管的第二极的电压的准确性的功能。



1. 一种阵列基板, 包括: 多个发光器件以及与各所述发光器件耦接的像素电路; 其特征在于, 所述阵列基板还包括: 多个电压控制电路; 同一行中的至少两个像素电路共用一个电压控制电路; 各所述像素电路中驱动晶体管的第一极与共用的电压控制电路耦接, 各所述驱动晶体管的第二极与所述发光器件对应耦接;

所述电压控制电路用于在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极。

2. 如权利要求1所述的阵列基板, 其特征在于, 同一行中相邻的至少两个所述像素电路与同一个所述电压控制电路耦接。

3. 如权利要求2所述的阵列基板, 其特征在于, 所述阵列基板还包括: 多个像素单元, 每个所述像素单元包括多个子像素单元, 每个所述子像素单元包括一个所述发光器件与一个所述像素电路;

同一行中相邻的偶数个所述子像素单元中的所述像素电路与同一个所述电压控制电路耦接, 且所述电压控制电路设置于耦接的所述像素电路中位于最中间的两个像素电路所在的子像素单元之间; 或者,

同一行中相邻的奇数个所述子像素单元中的所述像素电路与同一个所述电压控制电路耦接, 且所述电压控制电路设置于耦接的所述像素电路中位于最中间的像素电路所在的子像素单元中。

4. 如权利要求3所述的阵列基板, 其特征在于, 共用同一电压控制电路的像素电路位于同一像素单元中。

5. 如权利要求4所述的阵列基板, 其特征在于, 各所述像素单元中的电压控制电路的数量相同。

6. 如权利要求1所述的阵列基板, 其特征在于, 所述电压控制电路包括: 第一开关晶体管;

所述第一开关晶体管的栅极与所述输入控制信号端耦接, 所述第一开关晶体管的第一极与所述高电平电源端耦接, 所述第一开关晶体管的第二极与对应的驱动晶体管的第一极耦接。

7. 如权利要求1-6任一项所述的阵列基板, 其特征在于, 所述阵列基板还包括: 多个像素单元与多条检测线, 每个所述像素单元包括多个子像素单元, 每个所述子像素单元包括一个所述发光器件与一个所述像素电路;

同一行中各所述像素电路分别一一对应耦接一条检测线; 或者,

在同一行中, 同一所述像素单元中的至少两个像素电路耦接一条检测线, 不同像素单元中的像素电路耦接的检测线不同。

8. 一种电致发光显示面板, 其特征在于, 包括如权利要求1-7所述的阵列基板。

9. 一种显示装置, 其特征在于, 包括如权利要求8所述的电致发光显示面板。

10. 一种阵列基板的驱动方法, 其特征在于, 包括: 检测补偿阶段和显示阶段; 其中, 所述检测补偿阶段包括: 检测输入阶段和补偿阶段; 所述显示阶段包括: 数据写入阶段与发光阶段;

在所述检测输入阶段, 第二开关晶体管在第一扫描信号端的控制下将数据信号端的检测数据信号提供给驱动晶体管的栅极; 第三开关晶体管在第二扫描信号端的控制下将检测

线与驱动晶体管的第二极导通;存储电容存储所述驱动晶体管的栅极电压;

在所述补偿阶段,第三开关晶体管在第二扫描信号端的控制下将检测线与驱动晶体管的第二极导通;电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,使驱动晶体管产生电流对检测线充电;检测充电后的检测线上的电压,并根据检测到的电压得到补偿后的数据信号;

在所述数据写入阶段,所述第二开关晶体管在所述第一扫描信号端的控制下将所述数据信号端的补偿后的数据信号提供给驱动晶体管的栅极;所述第三开关晶体管在所述第二扫描信号端的控制下将检测线上的参考信号提供给驱动晶体管的第二极;存储电容存储所述驱动晶体管的栅极电压与第二极电压;

在所述发光阶段,所述电压控制电路在所述输入控制信号端的控制下将所述高电平电源端的信号提供给耦接的各驱动晶体管的第一极,各所述驱动晶体管在其栅极电压与第二极电压的控制下产生工作电流,以驱动连接的发光器件发光。

阵列基板、其驱动方法、电致发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板、其驱动方法、电致发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示器是当今平板显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前,在手机、数码相机等显示领域,OLED显示器已经开始取代传统的LCD显示器。其中,用于控制OLED发光的像素电路设计是OLED显示器的核心技术内容,具有重要的研究意义。然而,现有的OLED显示器的像素电路中包括的开关晶体管的个数较多且电路工作时序较复杂,导致工艺难度较大,生产成本增加,以及导致像素电路占用较大面积,从而不利于OLED显示器实现高的分辨率。

发明内容

[0003] 本发明实施例提供一种阵列基板、其驱动方法、电致发光显示面板及显示装置,用以解决现有技术中像素电路占用较大面积,从而不利于OLED显示器实现高的分辨率的问题。

[0004] 因此,本发明实施例提供了一种阵列基板,包括:多个发光器件以及与各所述发光器件耦接的像素电路;所述阵列基板还包括:多个电压控制电路;同一行中的至少两个像素电路共用一个电压控制电路;各所述像素电路中驱动晶体管的第一极与共用的电压控制电路耦接,各所述驱动晶体管的第二极与所述发光器件对应耦接;

[0005] 所述电压控制电路用于在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极。

[0006] 可选地,在本发明实施例提供的上述阵列基板中,同一行中相邻的至少两个所述像素电路与同一个所述电压控制电路耦接。

[0007] 可选地,在本发明实施例提供的上述阵列基板中,所述阵列基板还包括:多个像素单元,每个所述像素单元包括多个子像素单元,每个所述子像素单元包括一个所述发光器件与一个所述像素电路;

[0008] 同一行中相邻的偶数个所述子像素单元中的所述像素电路与同一个所述电压控制电路耦接,且所述电压控制电路设置于耦接的所述像素电路中位于最中间的两个像素电路所在的子像素单元之间;或者,

[0009] 同一行中相邻的奇数个所述子像素单元中的所述像素电路与同一个所述电压控制电路耦接,且所述电压控制电路设置于耦接的所述像素电路中位于最中间的像素电路所在的子像素单元中。

[0010] 可选地,在本发明实施例提供的上述阵列基板中,共用同一电压控制电路的像素电路位于同一像素单元中。

[0011] 可选地,在本发明实施例提供的上述阵列基板中,各所述像素单元中的电压控制电路的数量相同。

[0012] 可选地,在本发明实施例提供的上述阵列基板中,所述电压控制电路包括:第一开关晶体管;

[0013] 所述第一开关晶体管的栅极与所述输入控制信号端耦接,所述第一开关晶体管的第一极与所述高电平电源端耦接,所述第一开关晶体管的第二极与对应的驱动晶体管的第一极耦接。

[0014] 可选地,在本发明实施例提供的上述阵列基板中,所述阵列基板还包括:多个像素单元与多条检测线,每个所述像素单元包括多个子像素单元,每个所述子像素单元包括一个所述发光器件与一个所述像素电路;

[0015] 同一行中各所述像素电路分别一一对应耦接一条检测线;或者,

[0016] 在同一行中,同一所述像素单元中的至少两个像素电路耦接一条检测线,不同像素单元中的像素电路耦接的检测线不同。

[0017] 相应地,本发明实施例还提供了一种电致发光显示面板,包括本发明实施例提供的上述任一种阵列基板。

[0018] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述电致发光显示面板。

[0019] 相应地,本发明实施例还提供了一种阵列基板的驱动方法,包括:检测补偿阶段和显示阶段;其中,所述检测补偿阶段包括:检测输入阶段和补偿阶段;所述显示阶段包括:数据写入阶段与发光阶段;

[0020] 在所述检测输入阶段,第二开关晶体管在第一扫描信号端的控制下将数据信号端的检测数据信号提供给驱动晶体管的栅极;第三开关晶体管在第二扫描信号端的控制下将检测线与驱动晶体管的第二极导通;存储电容存储所述驱动晶体管的栅极电压;

[0021] 在所述补偿阶段,第三开关晶体管在第二扫描信号端的控制下将检测线与驱动晶体管的第二极导通;电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,使驱动晶体管产生电流对检测线充电;检测充电后的检测线上的电压,并根据检测到的电压得到补偿后的数据信号;

[0022] 在所述数据写入阶段,所述第二开关晶体管在所述第一扫描信号端的控制下将所述数据信号端的补偿后的数据信号提供给驱动晶体管的栅极;所述第三开关晶体管在所述第二扫描信号端的控制下将检测线上的参考信号提供给驱动晶体管的第二极;存储电容存储所述驱动晶体管的栅极电压与第二极电压;

[0023] 在所述发光阶段,所述电压控制电路在所述输入控制信号端的控制下将所述高电平电源端的信号提供给耦接的各驱动晶体管的第一极,各所述驱动晶体管在其栅极电压与第二极电压的控制下产生工作电流,以驱动连接的发光器件发光。

[0024] 本发明有益效果如下:

[0025] 本发明实施例提供的阵列基板、其驱动方法、电致发光显示面板及显示装置,包括:多个发光器件、与各发光器件耦接的像素电路以及多个电压控制电路。通过使同一行中的至少两个像素电路共用一个电压控制电路,并使电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,从而可以简化各像素电路

的结构,降低像素电路的占用面积,进而有利于电致发光显示面板实现高分辨率。并且,还可以实现提高写入的驱动晶体管的栅极电压以及写入驱动晶体管的第二极的电压的准确性的功能。

附图说明

- [0026] 图1为现有技术中的阵列基板的结构示意图;
- [0027] 图2为本发明实施例提供的阵列基板的结构示意图;
- [0028] 图3为本发明实施例提供的阵列基板的具体结构示意图之一;
- [0029] 图4为本发明实施例提供的阵列基板的具体结构示意图之二;
- [0030] 图5为本发明实施例提供的阵列基板的具体结构示意图之三;
- [0031] 图6为本发明实施例提供的电路时序图;
- [0032] 图7为本发明实施例提供的驱动方法的流程图。

具体实施方式

[0033] 由于工艺制程和器件老化等原因,会使像素电路中的驱动晶体管的阈值电压 V_{th} 存在不均匀性,同时驱动晶体管的载流子迁移率 μ_n 也是根据温度的变化而变化的,这样就导致了在输入同一灰阶下,显示屏的显示亮度均一性有差异,从而影响整个图像的显示效果。目前,存在内部补偿和外部补偿两种方式,以补偿驱动晶体管的阈值电压 V_{th} 和载流子迁移率 μ_n 。但是,由于现有的内部补偿对驱动晶体管的阈值电压 V_{th} 的补偿范围较小,且针对载流子迁移率 μ_n 的补偿效果较差。而外部补偿可以对驱动晶体管的阈值电压 V_{th} 和载流子迁移率 μ_n 都能很好的补偿。

[0034] 目前,采用外部补偿的阵列基板的结构,如图1所示,一般包括:由驱动晶体管T01、开关晶体管T02、检测晶体管T03以及存储电容Cst组成的像素电路与检测线SL。该像素电路通过控制开关晶体管T02打开以将数据信号端Data写入驱动晶体管T01的栅极G,控制驱动晶体管T01产生工作电流以驱动OLED发光。并且,在对阵列基板中的像素进行补偿时,通过向像素电路的驱动晶体管T01的栅极写入数据信号,通过检测线向驱动晶体管T01的源极写入参考信号,以控制像素电路对检测线SL充电,再通过检测检测线上的电压,并根据检测到的电压进行补偿计算,以得到该像素电路对应的用于显示的数据电压。然而,由于在数据信号与参考信号写入上述像素电路时,驱动晶体管T01会产生电流,从而导致写入的数据信号与参考信号的电压的准确性降低,从而导致补偿计算的准确性降低。

[0035] 为了解决写入的数据信号与参考信号的电压的准确性降低的问题,可以通过在高电平电源端OVDD与驱动晶体管的漏极之间设置一个开关晶体管,以在写入数据信号与参考信号时,通过该新增加的开关晶体管将高电平电源端OVDD与驱动晶体管的漏极断开,以避免驱动晶体管在此时产生电流,从而提高写入的数据信号与参考信号的电压的准确性。由于在像素电路中增加了一个晶体管,则会导致像素电路占用的面积增大,从而不利于显示面板实现高的分辨率。

[0036] 基于此,本发明实施例提供了一种阵列基板,可以简化各像素电路的结构,降低像素电路的占用面积,有利于实现高分辨率的电致发光显示面板。并且,本发明实施例提供的阵列基板采用外部补偿的方式来补偿发光。

[0037] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的阵列基板、其驱动方法、电致发光显示面板及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。附图中各图形的大小和形状不反映阵列基板的真实比例,目的只是示意说明本发明内容。

[0038] 本发明实施例提供的阵列基板,如图2(图2中以两个像素电路共用一个电压控制电路为例)所示,包括:多个发光器件L、与各发光器件L耦接的像素电路10以及多个电压控制电路20;其中,同一行中的至少两个像素电路10共用一个电压控制电路20;各像素电路10中驱动晶体管的第一极与共用的电压控制电路20耦接,各驱动晶体管20的第二极与发光器件L对应耦接。并且,电压控制电路20用于在输入控制信号端CS的控制下将高电平电源端OVDD的信号提供给耦接的各驱动晶体管的第一极。

[0039] 本发明实施例提供的阵列基板,包括:多个发光器件、与各发光器件耦接的像素电路以及多个电压控制电路。通过使同一行中的至少两个像素电路共用一个电压控制电路,并使电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,从而可以简化各像素电路的结构,降低像素电路的占用面积,进而有利于电致发光显示面板实现高分辨率。并且,还可以实现提高写入的驱动晶体管的栅极电压以及写入驱动晶体管的第二极的电压的准确性的功能。

[0040] 在具体实施时,在本发明实施例提供的上述阵列基板中,同一行中共用电压控制电路的像素电路的数量可以相同。例如,以1行中具有12个像素电路为例,若一行中的2个像素电路共用一个电压控制电路,则一行中具有6个电压控制电路。若一行中的3个像素电路共用一个电压控制电路,则一行中具有4个电压控制电路。若一行中的4个像素电路共用一个电压控制电路,则一行中具有3个电压控制电路。若一行中6个像素电路共用一个电压控制电路,则一行中具有2个电压控制电路。当然,同一行中共用电压控制电路的像素电路的数量也可以至少部分不同。例如,以1行中具有12个像素电路为例,若一行中的5个像素电路共用一个电压控制电路,则其余7个像素电路共用一个电压控制电路,此时一行中具有2个电压控制电路。若一行中的3个像素电路共用一个电压控制电路,4个像素电路共用一个电压控制电路,则其余5个像素电路共用一个电压控制电路,此时一行中具有3个电压控制电路。若一行中的5个像素电路共用一个电压控制电路,5个像素电路共用一个电压控制电路,则其余2个像素电路共用一个电压控制电路,此时一行中具有3个电压控制电路。当然,电压控制电路的数量需要根据实际应用环境来设计确定,在此不作限定。

[0041] 为了提高像素单元的开口率,避免走线占用过多空间,在具体实施时,在本发明实施例提供的上述阵列基板中,可以使同一行中相邻的至少两个像素电路与同一个电压控制电路耦接。例如,如图2所示,可以使同一行中相邻的两个像素电路10与同一个电压控制电路10耦接。或者,也可以使同一行中相邻的三个像素电路与同一个电压控制电路耦接。或者,也可以使同一行中相邻的四个像素电路与同一个电压控制电路耦接。或者,也可以使同一行中的所有像素电路共用一个电压控制电路耦接。当然,相邻的像素电路的数量需要根据实际应用环境来设计确定,在此不作限定。

[0042] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图2所示,阵列基板还可以包括:位于显示区域中的多个像素单元30,每个像素单元30可以包括多个子像素单元

31,每个子像素单元31可以包括一个发光器件L与一个像素电路10。其中,如图2所示,像素单元30可以包括三个子像素单元31。具体地,这三个子像素单元可以分别为红色子像素单元、绿色子像素单元以及蓝色子像素单元。当然,像素单元也可以包括四个子像素单元。具体地,这四个子像素单元可以分别为红色子像素单元、绿色子像素单元、蓝色子像素单元以及白色子像素单元。或者,这四个子像素单元也可以分别为红色子像素单元、绿色子像素单元、蓝色子像素单元以及绿色子像素单元。或者,这四个子像素单元也可以分别为红色子像素单元、绿色子像素单元、蓝色子像素单元以及蓝色子像素单元。当然,像素单元中各子像素单元的具体设置需要根据实际应用环境来设计确定,在此不作限定。

[0043] 在具体实施时,在本发明实施例提供的上述阵列基板中,可以使同一行中相邻的偶数个像素单元中的像素电路与同一个电压控制电路耦接,且电压控制电路设置于耦接的像素电路中位于最中间的两个像素电路所在的子像素单元之间。具体地,如图3所示,同一行中相邻的2个子像素单元31中的像素电路10与同一个电压控制电路20耦接,且电压控制电路20可以设置于耦接的2个像素电路10所在的子像素单元31之间。如图5所示,同一行中相邻的4个子像素单元31中的像素电路10与同一个电压控制电路20耦接,以从左到右的顺序,电压控制电路20设置于第2个子像素单元31与第3个子像素单元31之间。当然,同一行中相邻的6个、8个、10个等子像素单元31中的像素电路10与同一个电压控制电路20耦接时,以此类推,在此不作赘述。

[0044] 在具体实施时,在本发明实施例提供的上述阵列基板中,也可以使同一行中相邻的奇数个像素单元中的像素电路与同一个电压控制电路耦接,且电压控制电路设置于耦接的像素电路中位于最中间的像素电路所在的子像素单元中。如图4所示,同一行中相邻的3个子像素单元31中的像素电路10与同一个电压控制电路20耦接,以从左到右的顺序,电压控制电路20设置于第2个子像素单元31中。或者,同一行中相邻的5个子像素单元中的像素电路与同一个电压控制电路耦接,以从左到右的顺序,电压控制电路设置于第3个子像素单元中。当然,同一行中相邻的7个、9个、11个等子像素单元中的像素电路与同一个电压控制电路耦接时,以此类推,在此不作赘述。

[0045] 进一步地,在具体实施时,为了降低不同像素单元之间的走线数量,在本发明实施例提供的上述阵列基板中,可以使共用同一电压控制电路的像素电路位于同一像素单元中。这样可以仅使与输入控制信号端连接的走线以及与高电平电源端连接的走线设置在像素单元之间。

[0046] 进一步地,在具体实施时,可以使各像素单元中的电压控制电路的数量相同。这样可以简化工艺制备。

[0047] 在具体实施时,本发明实施例提供的上述阵列基板采用外部补偿的方式,对驱动晶体管的阈值电压 V_{th} 和载流子迁移率 μ_n 进行补偿。因此,在本发明实施例提供的上述阵列基板中,如图3至图5所示,阵列基板还可以包括:多条检测线SL,同一行中各像素电路10分别一一对应耦接一条检测线SL。或者,在同一行中,同一像素单元中的至少两个像素电路耦接一条检测线,不同像素单元中的像素电路耦接的检测线不同。例如,同一像素单元中的所有像素电路耦接一条检测线,另一个像素单元中的所有像素电路耦接另一条检测线,依次类推,在此不作赘述。其中,检测线用于在显示阶段中传输参考信号,在补偿阶段中的补偿输入阶段传输参考信号,在补偿阶段进行充电。具体地,一般在将阵列基板应用于电致发光

显示面板中后,还会设置微处理器,以通过微处理器向检测线输入参考信号,以及通过微处理器将检测线浮接,即与参考信号断开,从而在补偿阶段通过驱动晶体管产生的电流对检测线进行充电。并且,微处理器还可以检测充电后的检测线上的检测电压,并根据检测到的检测电压得到补偿后的数据信号。其中,微处理器的具体结构和功能可以与相关技术中的基本相同,为本领域普通技术人员应该理解具有的,在此不作赘述。

[0048] 在具体实施时,在本发明实施例提供的上述阵列基板中,发光器件可以为有机发光二极管;或者,发光器件也可以为量子点发光二极管。当然,发光器件也可以为能够实现自身发光的其他类型的电致发光二极管,在此不作限定。

[0049] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图3至图5所示,电压控制电路10具体可以包括:第一开关晶体管M1;其中,

[0050] 第一开关晶体管M1的栅极与输入控制信号端CS耦接,第一开关晶体管M1的第一极与高电平电源端OVDD耦接,第一开关晶体管M1的第二极与对应的驱动晶体管M0的第一极D耦接。

[0051] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图3至图5所示,像素电路10中的驱动晶体管M0的第一极D与电压控制电路10耦接。并且,该驱动晶体管M0可以为N型晶体管。该N型晶体管的漏极为驱动晶体管M0的第一极D,该N型晶体管的源极为驱动晶体管M0的第二极S。此时驱动发光器件L发光的工作电流由驱动晶体管M0的漏极D流向其源极S。

[0052] 在具体实施时,在本发明实施例提供的上述阵列基板中,如图3至图5所示,像素电路10中除了可以包括驱动晶体管M0之外,还可以包括:第二开关晶体管M2、第三开关晶体管M3以及存储电容Cst;其中,

[0053] 第二开关晶体管M2的栅极与第一扫描信号端G1耦接,第二开关晶体管M2的第一极与数据信号端Data耦接,第二开关晶体管M2的第二极与驱动晶体管M0的栅极G耦接;

[0054] 第三开关晶体管M3的栅极与第二扫描信号端G2耦接,第三开关晶体管M3的第一极分别与驱动晶体管M0的第二极S以及发光器件L耦接,第三开关晶体管M3的第二极与对应的检测线SL耦接;

[0055] 存储电容Cst耦接于驱动晶体管M0的栅极G与第二极S之间。

[0056] 在实际应用中,上述各开关晶体管为N型晶体管或P型晶体管需要根据实际应用环境来设计确定,在此不作限定。

[0057] 进一步地,为了简化制备工艺,在具体实施时,在本发明实施例提供的上述阵列基板中,如图3至图5所示,驱动晶体管M0为P型晶体管,可以使其余所有的开关晶体管均为N型晶体管。

[0058] 需要说明的是,在本发明实施例提供的上述阵列基板中,驱动晶体管和开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。在具体实施时,可以根据开关晶体管类型以及信号端的信号的不同,将上述开关晶体管的第一极作为源极,将第二极作为漏极;或反之,将第一极作为漏极,将第二极作为源极,在此不作限定。

[0059] 以上仅是举例说明本发明实施例提供的阵列基板中的像素电路的一种具体结构,在具体实施时,上述像素电路的具体结构不限于本发明实施例提供的上述结构,本领域技

术人员可知的其他结构也在本申请的保护范围之内,具体在此不作限定。

[0060] 下面以图5所示的阵列基板的结构为例,结合图6所示的电路时序图对本发明实施例提供的上述像素结构的工作过程作以描述。下述描述中以1表示高电位,0表示低电位,需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是在具体实施时施加在各开关晶体管的栅极上的电位。

[0061] 具体地,以图5中最左侧的像素电路10为例进行说明。如图6所示,g1代表第一扫描信号端G1的信号,g2代表第二扫描信号端G2的信号,cs代表输入控制信号端CS的信号,data代表数据信号端Data的信号,s1代表图5中最左侧的像素电路10连接的检测线SL的信号。其中,选取图6所示的电路时序图中的检测补偿阶段T1和显示阶段T2进行说明。其中,补偿阶段T1可以包括:检测输入阶段T11和补偿阶段T12。显示阶段T2可以包括:数据写入阶段T21与发光阶段T22。

[0062] 在检测输入阶段T11,检测线SL传输参考信号,由于 $g1=1$,因此第二开关晶体管M2导通,并将数据信号端Data的检测数据信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极电压为检测数据信号的电压 V_{data1} 。由于 $g2=1$,因此第三开关晶体管M2导通,以使驱动晶体管M0的第二极S与检测线SL导通,使驱动晶体管M0的第二极S的电压为参考信号的电压 V_{ref} 。存储电容Cst存储驱动晶体管M0的栅极电压 V_{data1} 与第二极S的电压 V_{ref} 。其中,由于 $cs=0$,因此第一开关晶体管M1截止,使得驱动晶体管M0在本阶段不会产生电流,从而可以使其栅极写入的电压 V_{data1} 可以与源极驱动IC(Integrated Circuit,集成电路)输出的电压保持一致(例如可以达到99.5%以上)。并且还可以避免由于第三开关晶体管M3分压,导致的驱动晶体管M0的第二极S的电压与检测线SL上的电压不同的问题,从而使驱动晶体管M0的第二极S的电压与检测线SL上的电压保持一致,进而提高写入的驱动晶体管M0的栅极电压以及写入驱动晶体管的第二极S的电压的准确性。

[0063] 在补偿阶段T12,控制检测线SL与提供参考信号的电路断开,以使检测线SL浮接。由于 $g1=0$,因此第二开关晶体管M2截止。由于 $g2=0$,因此第三开关晶体管截止。存储电容Cst保持驱动晶体管M0的栅极电压 V_{data1} 与第二极S的电压 V_{ref} 之间的电压差。由于 $cs=1$,因此第一开关晶体管M1导通,并将高电平电源端OVDD的信号提供给驱动晶体管M0的第一极D。驱动晶体管M0在其栅极电压与第二极电压的控制下产生电流 I_1 , $I_1=K(V_{GS}-V_{th})^2=K(V_{data1}-V_{ref}-V_{th})^2$,其中, V_{GS} 为驱动晶体管M0的栅极G与其源极即第二极S之间的电压差,K为结构参数。通过电流 I_1 对检测线SL充电,充电完成后的检测线SL上的电压为 V_{SL} 。通过检测充电后的检测线SL上的电压 V_{SL} ,并根据检测到的电压 V_{SL} 进行补偿。其中,可以通过电压 V_{SL} 得到补偿后的数据信号。

[0064] 之后,在显示阶段中,将补偿后的数据信号输入像素电路,以补偿电流差异性导致的发光不均匀。并且,控制检测线SL传输参考信号。

[0065] 具体地,在数据写入阶段T21,由于 $g1=1$,因此第二开关晶体管M2导通,并将数据信号端Data的补偿后的数据信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极电压为补偿后的数据信号的电压 V_{data2} 。由于 $g2=1$,因此第三开关晶体管M2导通,以使驱动晶体管M0的第二极S与检测线SL导通,使驱动晶体管M0的第二极S的电压为 V_{ref} 。存储电容Cst存储驱动晶体管M0的栅极电压 V_{data2} 与第二极S的电压 V_{ref} 。其中,由于 $cs=0$,因此第一开关晶体管M1截止,使得驱动晶体管M0在本阶段不会产生电流,从而可以使其栅极写入的电压

V_{data2} 与源极驱动IC输出的电压保持一致(例如可以达到99.5%以上)。并且还可以避免由于第三开关晶体管M3分压,导致的驱动晶体管M0的第二极S的电压与检测线SL上的电压不同的问题,从而使驱动晶体管M0的第二极S的电压与检测线SL上的电压保持一致。进而提高写入的驱动晶体管M0的栅极电压以及写入驱动晶体管的第二极S的电压的准确性。

[0066] 在发光阶段T22,由于 $g1=0$,因此第二开关晶体管M2截止。由于 $g2=0$,因此第三开关晶体管M3截止。由于 $c_s=1$,因此第一开关晶体管M1导通,并将高电平电源端OVDD的信号提供给驱动晶体管M0的第一极D。驱动晶体管M0在其栅极电压与第二极电压的控制下产生工作电流 I_2 , $I_2=K(V_{GS}-V_{th})^2=K(V_{data2}-V_{ref}-V_{th})^2$,通过工作电流 I_2 驱动发光器件L发光。由于 V_{data2} 是补偿后的数据信号电压,并且写入的 V_{data2} 与 V_{ref} 的准确性较好,因此驱动发光器件L的工作电流稳定性较高。

[0067] 同理,图5所示的其余像素电路10的工作过程可以参考上述工作过程,在此不作赘述。

[0068] 本发明实施例提供的上述阵列基板,通过使同一行中的四个像素电路共用一个第一开关晶体管,可以实现提高写入的驱动晶体管的栅极电压以及写入驱动晶体管的第二极的电压的准确性的功能,以及可以简化各像素电路的结构,降低像素电路的占用面积,进而有利于电致发光显示面板实现高分辨率。

[0069] 基于同一发明构思,本发明实施例还提供了一种本发明实施例提供的上述任一种像素电路的驱动方法,可以包括:检测补偿阶段和显示阶段;其中,检测补偿阶段可以包括:检测输入阶段和补偿阶段。显示阶段可以包括:数据写入阶段与发光阶段。

[0070] 具体地,如图7所示,本发明实施例提供的驱动方法可以包括如下步骤:

[0071] S701、在检测输入阶段,第二开关晶体管在第一扫描信号端的控制下将数据信号端的检测数据信号提供给驱动晶体管的栅极;第三开关晶体管在第二扫描信号端的控制下将检测线与驱动晶体管的第二极导通;存储电容存储驱动晶体管的栅极电压。此时检测线上传输参考信号。

[0072] S702、在补偿阶段,第三开关晶体管在第二扫描信号端的控制下将检测线与驱动晶体管的第二极导通;电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,使驱动晶体管产生电流对检测线充电;检测充电后的检测线上的电压,并根据检测到的电压进行补偿,以得到补偿后的数据信号。此时检测线浮接,即与产生参考信号的电路断开。

[0073] S703、在数据写入阶段,第二开关晶体管在第一扫描信号端的控制下将数据信号端的补偿后的数据信号提供给驱动晶体管的栅极;第三开关晶体管在第二扫描信号端的控制下将检测线上的参考信号提供给驱动晶体管的第二极;存储电容存储驱动晶体管的栅极电压与第二极电压。此时,检测线传输参考信号。

[0074] S704、在发光阶段,电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,各驱动晶体管在其栅极电压与第二极电压的控制下产生工作电流,以驱动连接的发光器件发光。

[0075] 本发明实施例提供的驱动方法,可以提高写入的驱动晶体管的栅极电压以及写入驱动晶体管的第二极的电压的准确性,以及有利于电致发光显示面板实现高分辨率。

[0076] 基于同一发明构思,本发明实施例还提供了一种电致发光显示面板,包括本发明

实施例提供的上述任一种阵列基板。该电致发光显示面板解决问题的原理与前述阵列基板相似,因此该电致发光显示面板的实施可以参见前述阵列基板的实施,重复之处在此不再赘述。

[0077] 在具体实施时,在本发明实施例提供的电致发光显示面板中,还可以包括:微处理器,用于向检测线输入参考信号,将检测线浮接,以及检测充电后的检测线上的检测电压,并根据检测到的检测电压得到补偿后的数据信号。

[0078] 源极驱动IC,用于输出检测数据信号以及补偿后的数据信号。当然,在数据信号未被补偿前,可能也要将数据信号输入像素电路中,因此源极驱动IC还用于将未进行补偿的初始数据信号输入像素电路中。

[0079] 栅极驱动电路,用于向第一扫描信号端、第二扫描信号端输入对应的扫描信号。

[0080] 输入控制电路,用于向输入控制信号端输入对应的扫描信号。当然,输入控制电路可以与栅极驱动电路进行共用。

[0081] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述电致发光显示面板。该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。该显示装置的实施可以参见上述阵列基板的实施例,重复之处不再赘述。

[0082] 本发明实施例提供的阵列基板、其驱动方法、电致发光显示面板及显示装置,包括:多个发光器件、与各发光器件耦接的像素电路以及多个电压控制电路。通过使同一行中的至少两个像素电路共用一个电压控制电路,并使电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极,从而可以简化各像素电路的结构,降低像素电路的占用面积,进而有利于电致发光显示面板实现高分辨率。并且,还可以实现提高写入的驱动晶体管的栅极电压以及写入驱动晶体管的第二极的电压的准确性的功能。

[0083] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

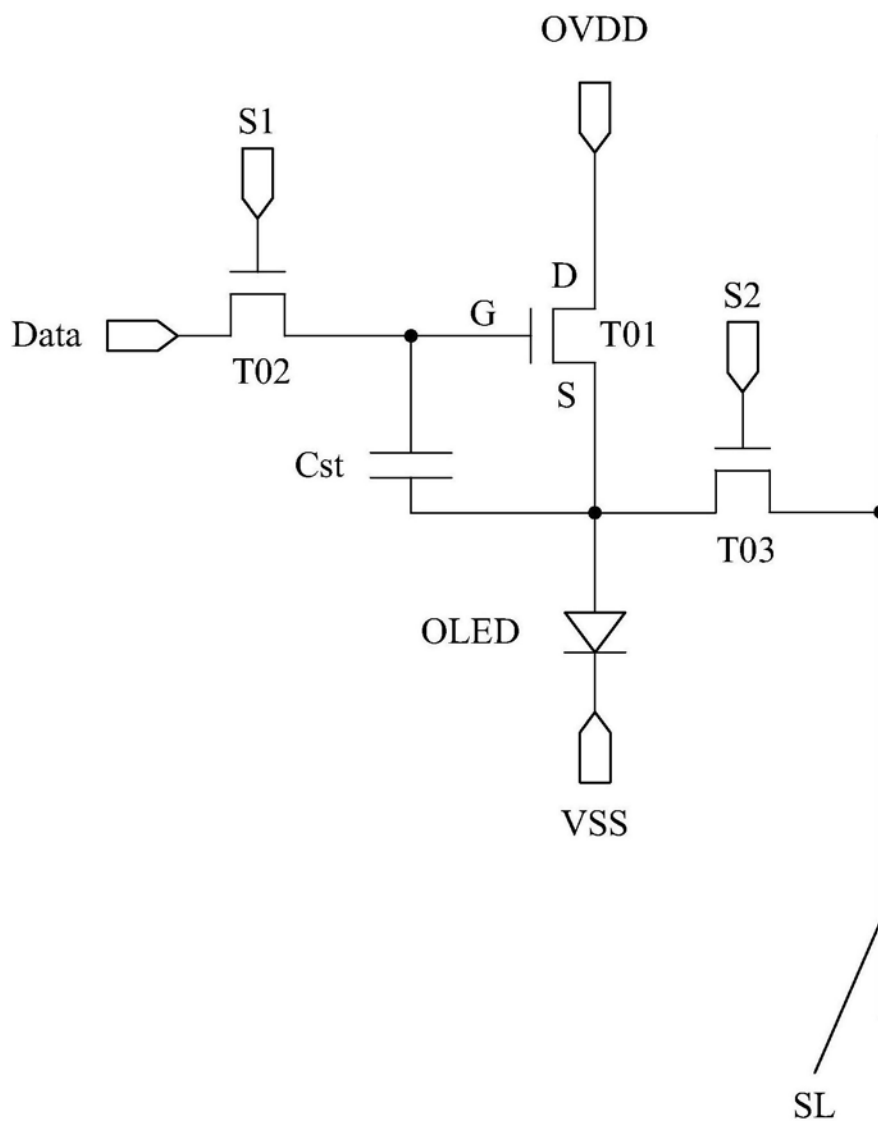


图1

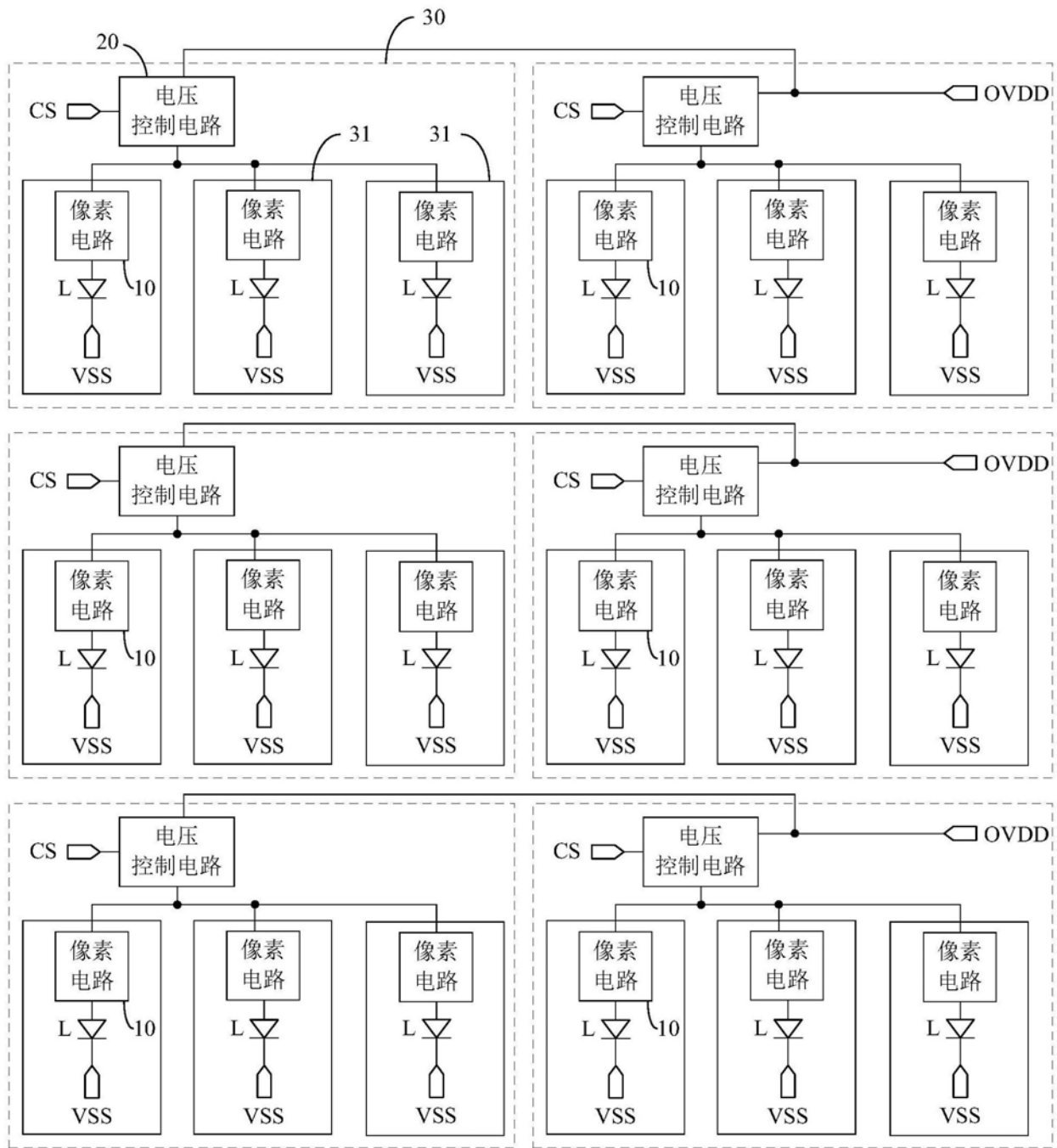


图2

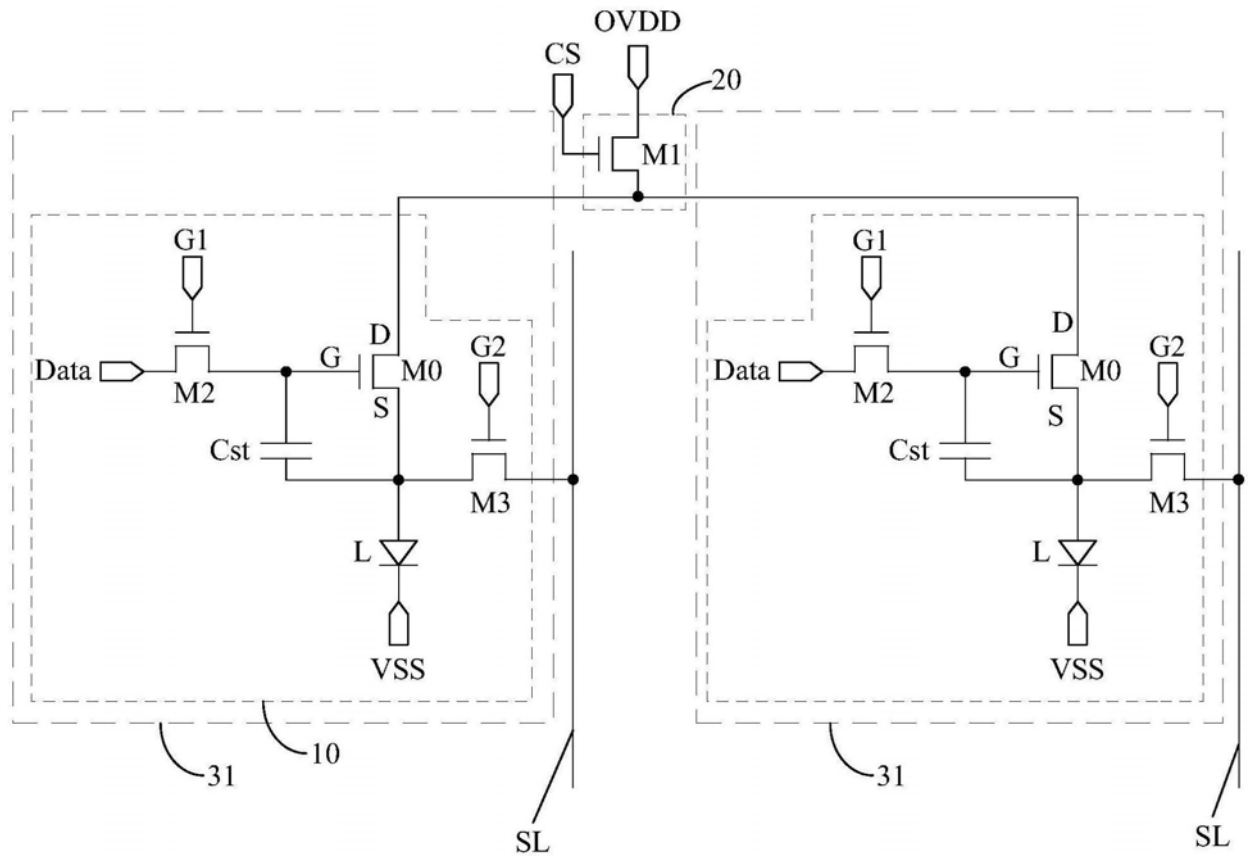


图3

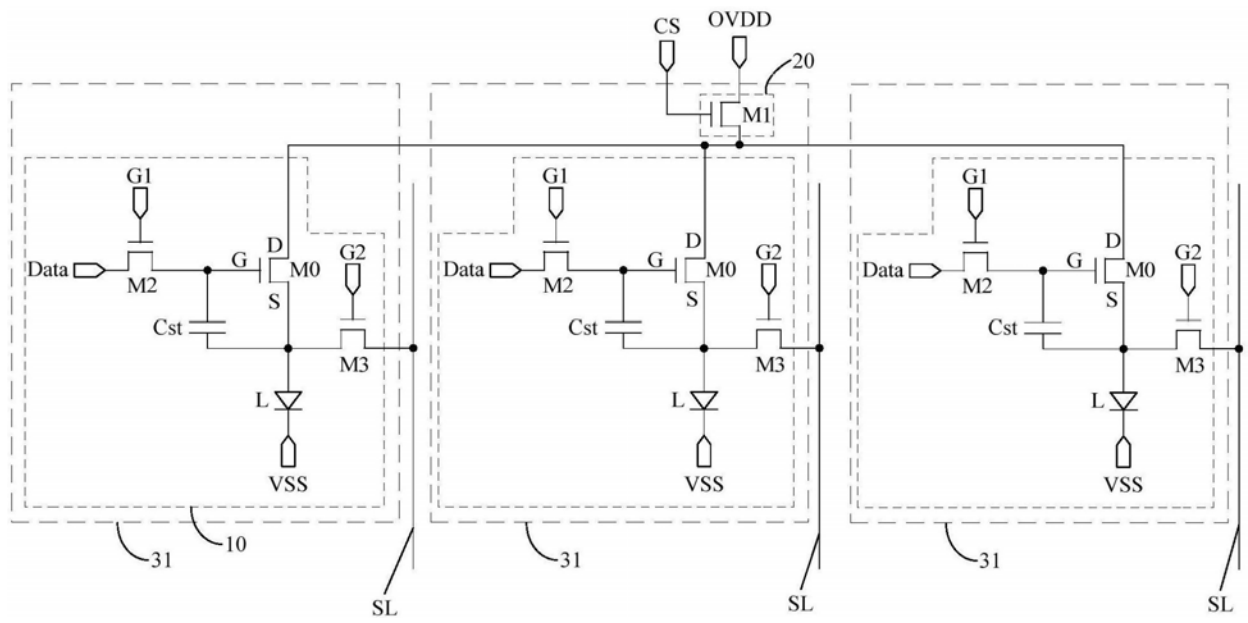


图4

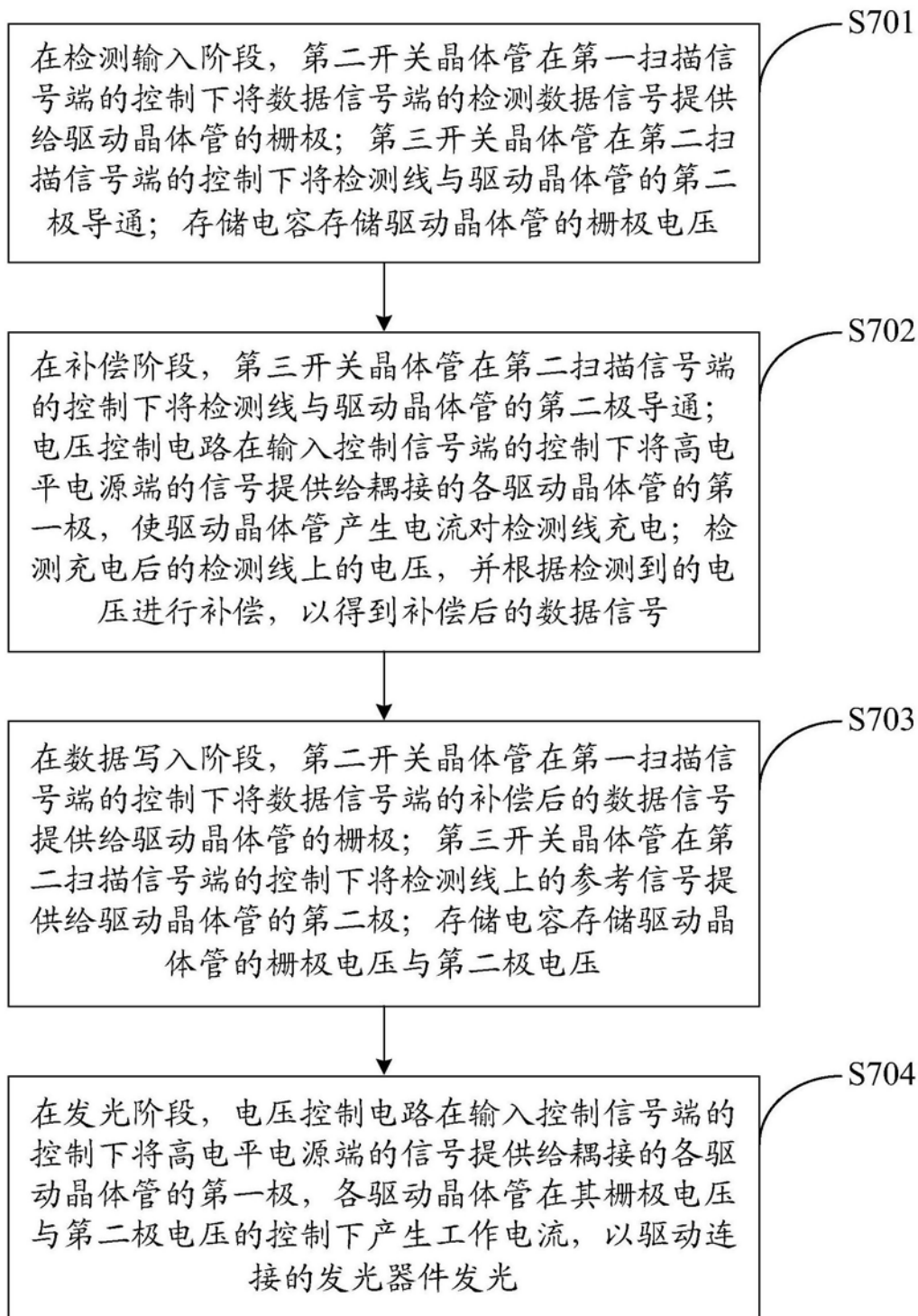


图7

专利名称(译)	阵列基板、其驱动方法、电致发光显示面板及显示装置		
公开(公告)号	CN108417178A	公开(公告)日	2018-08-17
申请号	CN201810204516.6	申请日	2018-03-13
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	徐攀 盖翠丽 林奕呈 王玲		
发明人	徐攀 盖翠丽 林奕呈 王玲		
IPC分类号	G09G3/3208		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种本发明实施例提供的阵列基板、其驱动方法、电致发光显示面板及显示装置，包括：多个发光器件、与各发光器件耦接的像素电路以及多个电压控制电路。通过使同一行中的至少两个像素电路共用一个电压控制电路，并使电压控制电路在输入控制信号端的控制下将高电平电源端的信号提供给耦接的各驱动晶体管的第一极，从而可以简化各像素电路的结构，降低像素电路的占用面积，进而有利于电致发光显示面板实现高分辨率。并且，还可以实现提高写入的驱动晶体管的栅极电压以及写入驱动晶体管的第二极的电压的准确性的功能。

