



(12) 实用新型专利

(10) 授权公告号 CN 203520833 U

(45) 授权公告日 2014. 04. 02

(21) 申请号 201320557345. 8

(22) 申请日 2013. 09. 09

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 段立业 王丽蓉 吴仲远

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/32 (2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

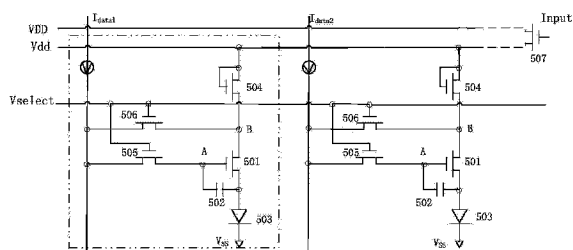
权利要求书2页 说明书6页 附图7页

(54) 实用新型名称

一种像素电路、驱动电路、阵列基板及显示设备

(57) 摘要

本实用新型实施例提供一种像素电路、驱动电路、阵列基板及显示设备,涉及有机发光二极管显示技术,通过在发光工作电压输入端输入与预充控制电压同步反向的信号,使像素电路进入发光阶段时,由发光工作电压为电路提供电压,保证电路在发光阶段的电流的稳定输出,并且不需要设置影响开口率的外接电压输入端,从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的 OLED 的开口率,进而增大了使用电流驱动像素电路的 OLED 的使用寿命。



1. 一种像素电路,其特征在于,包括:

第一薄膜晶体管,栅极连接预充控制电压输入端及电流输入端,漏极连接所述预充控制电压输入端、所述电流输入端及发光工作电压输入端,所述发光工作电压输入端用于输入与所述预充控制电压同步反向的信号;

电容,两端分别连接于所述第一薄膜晶体管的源极和栅极;

有机发光二极管,正极连接所述第一薄膜晶体管的漏极,负极连接接地电压输入端。

2. 如权利要求1所述的电路,其特征在于,所述第一薄膜晶体管的漏极通过二极管与所述发光工作电压输入端相连。

3. 如权利要求1所述的电路,其特征在于,所述第一薄膜晶体管的漏极通过第二薄膜晶体管与所述发光工作电压输入端相连;

所述第一薄膜晶体管的漏极通过第二薄膜晶体管与所述发光工作电压输入端相连,所述第二薄膜晶体管的栅极及源漏两极中的一极与所述发光工作电压输入端相连,源漏两极中的另一极与所述第一薄膜晶体管的漏极相连。

4. 如权利要求1所述的电路,其特征在于,所述第一薄膜晶体管的栅极和/或漏极通过作为开关的薄膜晶体管与预充控制电压输入端及电流输入端相连。

5. 如权利要求4所述的电路,其特征在于,所述第一薄膜晶体管的栅极和/或漏极通过作为开关的薄膜晶体管与预充控制电压输入端及电流输入端相连,具体为:

所述第一薄膜晶体管的栅极通过第三薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连,所述第三薄膜晶体管的栅极与所述预充控制电压输入端相连,源漏两极中的一极与所述第一薄膜晶体管的栅极相连,源漏两极中的另一极与所述电流输入端相连;或者

所述第一薄膜晶体管的漏极通过第四薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连,所述第四薄膜晶体管的栅极与所述预充控制电压输入端相连,源漏两极中的一极与所述第一薄膜晶体管的漏极相连,源漏两极中的另一极与所述电流输入端相连。

6. 如权利要求4所述的电路,其特征在于,所述第一薄膜晶体管的栅极和/或漏极通过作为开关的薄膜晶体管与预充控制电压输入端及电流输入端相连,具体包括:

所述第一薄膜晶体管的栅极通过第三薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连,所述第三薄膜晶体管的栅极与所述预充控制电压输入端相连,源漏两极中的一极与所述第一薄膜晶体管的栅极相连,源漏两极中的另一极与所述电流输入端相连;

所述第一薄膜晶体管的漏极通过第四薄膜晶体管与所述预充控制电压输入端及所述电流输入端相连,所述第四薄膜晶体管的栅极与所述预充控制电压输入端相连,源漏两极中的一极与所述第一薄膜晶体管的漏极相连,源漏两极中的另一极与所述电流输入端相连。

7. 一种驱动电路,其特征在于,所述驱动电路由多个如权利要求1-6任一所述的像素电路组成,所述多个如权利要求1-6任一所述的像素电路构成矩阵;

所述多个如权利要求1-6任一所述的像素电路中位于所述矩阵中同一行的像素电路,连接同一个发光工作电压输入端,连接同一个预充控制电压输入端;

所述多个如权利要求 1-6 任一所述的像素电路中位于所述矩阵中同一列的像素电路，连接同一个电流输入端。

8. 如权利要求 7 所述的驱动电路，其特征在于，所述多个如权利要求 1-6 任一所述的像素电路中位于所述矩阵中第一列的像素电路中包括第五薄膜晶体管；

所述第五薄膜晶体管的源漏两极分别连接所述发光工作电压输入端及工作电压输入端，栅极连接信号输入端，所述信号输入端用于输入与所述预充控制电压同步反向的信号，所述第五薄膜晶体管为 N 型薄膜晶体管。

9. 一种阵列基板，其特征在于，包括如权利要求 7 或 8 所述的驱动电路。

10. 一种显示设备，其特征在于，包括如权利要求 7 或 8 所述的驱动电路。

一种像素电路、驱动电路、阵列基板及显示设备

技术领域

[0001] 本实用新型涉及有机发光显示技术,尤其涉及一种像素电路、驱动电路、阵列基板及显示设备。

背景技术

[0002] 有机发光显示器(Organic Light Emitting Display,OLED)像素电路驱动方式可分为电流驱动和电压驱动,图 1 为电压驱动像素电路,图 2 为电流驱动像素电路。在电压驱

动像素电路中,输出电流 I_{OLED} 公式为:
$$I_{\text{OLED}} = \frac{1}{2} \mu_n \cdot C_{\text{ox}} \cdot \frac{W}{L} \cdot (V_{\text{data}} - V_{\text{oled}} - V_{\text{th}})^2,$$

其中 μ_n 为载流子迁移率, C_{ox} 为栅氧化层电容, W/L 为晶体管宽长比, V_{data} 为数据电压, V_{oled} 为所有像素单元共享的 OLED 发光工作电压, V_{th} 为晶体管的阈值电压,对于增强型 TFT, V_{th} 为正值,对于耗尽型 TFT, V_{th} 为负值。由此可知,如果一个像素的 V_{th} 随时间发生变化,则会造成该像素不同时间的输出电流 I_{OLED} 不同,会出现残影现象,也就不能保证液晶显示器在时间上的稳定显示。电流驱动相比电压驱动的优点为输出电流 I_{OLED} 始终与输入电流 I_{data} 相等,电流驱动像素电路中,即使像素的阈值电压 V_{th} 随着时间发生变化,电流驱动像素电路也能够自主调整,保证输出电流 I_{OLED} 始终与输入电流 I_{data} 相等,从而实现液晶显示器在空间上均匀显示和时间上稳定的显示。这是由于电流驱动像素电路的工作过程通常可以分为两个阶段,第一阶段为预充阶段,第二阶段为发光阶段。在预充阶段,输出电流 I_{OLED} 与输入电流 I_{data} 相等,同时电流驱动像素电路中的电容储存电荷,在发光阶段,由于电流驱动电路中的电容存储了电荷,因此可以保证电流驱动电路中的输出电流 I_{OLED} 依然与预充阶段的输出电流 I_{OLED} 相等,即依然与预充阶段的输入电流 I_{data} 相等。一种具体的电流驱动像素电路如图 3 所示,电路中 存在一条用于在发光阶段为电路提供电压的外接控制电压 V_{ctrl} 输入端,连接在一个薄膜晶体管的栅极处,而该电路的工作电压 V_{DD} 输入端连接在该薄膜晶体管的源漏两极中的一极处,该电路的仿真图如图 4 所示,外接控制电压 V_{ctrl} 输入端输入与用于在预充阶段为电路提供电压的预充控制电压 V_{select} 输入端输入的信号同步反向信号,实现在预充阶段由预充控制电压 V_{select} 为驱动电路提供电压,在发光阶段由外接控制电压 V_{ctrl} 及工作电压 V_{DD} 通过其连接的薄膜晶体管合成的电压为电路提供电压,保证电流驱动电路在发光阶段存在输出电流 I_{OLED} 。然而,外接的 V_{ctrl} 输入端的存在会减小各像素的开口率,而像素的开口率越小, OLED 的使用寿命就会越短。

实用新型内容

[0003] 本实用新型实施例提供一种像素电路、驱动电路、阵列基板及显示设备,以增大使用电流驱动像素电路的 OLED 的使用寿命。

[0004] 一种像素电路,包括:

[0005] 第一薄膜晶体管,栅极连接预充控制电压输入端及电流输入端,漏极连接预充控制电压输入端、电流输入端及发光工作电压输入端,发光工作电压输入端用于输入与预充

控制电压同步反向的信号；

[0006] 电容,两端分别连接于第一薄膜晶体管的源极和栅极；

[0007] 有机发光二极管,正极连接第一薄膜晶体管的漏极,负极连接接地电压输入端。

[0008] 一种驱动电路,由多个本实用新型实施例提供的像素电路组成,多个本实用新型实施例提供的像素电路构成矩阵；

[0009] 多个本实用新型实施例提供的像素电路中位于矩阵中同一行的像素电路,连接同一个发光工作电压输入端,连接同一个预充控制电压输入端；

[0010] 多个本实用新型实施例提供的像素电路中位于矩阵中同一列的像素电路,连接同一个电流输入端。

[0011] 一种阵列基板,包括本实用新型实施例提供的驱动电路。

[0012] 一种显示设备,包括本实用新型实施例提供的驱动电路。

[0013] 本实用新型实施例提供一种像素电路、驱动电路、阵列基板及显示设备,通过在发光工作电压输入端输入与预充控制电压同步反向的信号,使像素电路进入发光阶段时,由发光工作电压为电路提供电压,保证电路在发光阶段的电流的稳定输出,且无需设置会减小开口率的外接电压输入端,从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的 OLED 的开口率,进而增大了使用电流驱动像素电路的 OLED 的使用寿命。

附图说明

[0014] 图 1 为现有技术提供一种电压驱动像素电路图；

[0015] 图 2 为现有技术提供一种电流驱动像素电路图；

[0016] 图 3 为现有技术提供一种较佳的电流驱动像素电路图；

[0017] 图 4 为现有技术提供的较佳的电流驱动像素电路的仿真图；

[0018] 图 5 为本实用新型实施例提供的像素电路图之一；

[0019] 图 6 为本实用新型实施例提供的像素电路图之二；

[0020] 图 7 为本实用新型实施例提供的像素电路图之三；

[0021] 图 8 为本实用新型实施例提供的像素电路图之四；

[0022] 图 9 为本实用新型实施例提供的像素电路图之五；

[0023] 图 10 为本实用新型实施例提供的一种驱动电路图；

[0024] 图 11 为本实用新型实施例提供的一种较佳的驱动电路图；

[0025] 图 12 为本实用新型实施例提供的输入电压仿真图；

[0026] 图 13 为本实用新型实施例提供驱动电路预充阶段电路示意图；

[0027] 图 14 为本实用新型实施例提供的驱动电路发光阶段电路示意图；

[0028] 图 15 为本实用新型实施例提供的驱动电路仿真图。

具体实施方式

[0029] 本实用新型实施例提供一种像素电路、驱动电路、阵列基板及显示设备,通过在发光工作电压输入端输入与预充控制电压 V_{select} 同步反向的信号,使像素电路进入发光阶段时,由发光工作电压为电路提供电压,保证电路在发光阶段的电流的稳定输出,且无需设

置会减小开口率的外接电压输入端,从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的 OLED 的开口率,进而增大了使用电流驱动像素电路的 OLED 的使用寿命。

[0030] 如图 5 所示,本实用新型实施例提供一种像素电路,包括:

[0031] 第一薄膜晶体管 501,栅极连接预充控制电压 V_{select} 输入端及电流输入端,漏极连接预充控制电压 V_{select} 输入端、电流输入端及发光工作电压 V_{dd} 输入端,发光工作电压 V_{dd} 输入端用于输入与预充控制电压 V_{select} 同步反向的信号;

[0032] 电容 502,两端分别连接于第一薄膜晶体管 501 的源极和栅极;

[0033] 有机发光二极管 503,正极连接第一薄膜晶体管 501 的漏极,负极连接接地电压 V_{ss} 输入端。

[0034] 发光工作电压 V_{dd} 输入端输入与预充控制电压 V_{select} 同步反向的信号,因此,在预充阶段,由预充控制电压 V_{select} 输入端输入的信号提供电路的电压,在发光阶段,由发光工作电压 V_{dd} 输入的信号提供电压,从而保证了在发光阶段电路存在电流输出。而电容 502 保证了在发光阶段输出的电流与预充阶段相同,电路中不存在影响开口率的外接信号端,从而增大了使用电流驱动像素电路的 OLED 的开口率,进而增大了使用电流驱动像素电路的 OLED 的使用寿命。

[0035] 实际应用中,由于当同一行相邻像素的电流输入端输入的电流不同时,会导致相邻像素的第一薄膜晶体管 501 的漏极电压不相同,容易导致漏极电压较高的像素的驱动电路中电流方向与正常工作需要的电流方向相反,影响 OLED 的正常显示,因此,为了避免各像素中驱动电路中的电流方向与正常工作需要的电流方向相反,可以令像素电路的第一薄膜晶体管 501 的漏极通过二极管与发光工作电压 V_{dd} 输入端相连,保证驱动电路发光阶段时的电流是由有驱动电压输入端流向第一薄膜晶体管 501 的漏极。

[0036] 较佳的,为了方便 OLED 的制作,连接第一薄膜晶体管 501 的漏极和发光工作电压 V_{dd} 输入端的二极管可以替换为薄膜晶体管,具体的,如图 6 所示,第一薄膜晶体管 501 的漏极通过第二薄膜晶体管 504 与发光工作电压 V_{dd} 输入端相连;

[0037] 第一薄膜晶体管 501 的漏极可以通过第二薄膜晶体管 504 与发光工作电压 V_{DD} 输入端相连,第二薄膜晶体管 504 的栅极及源漏两极中的一极与发光工作电压 V_{DD} 输入端相连,源漏两极中的另一极与第一薄膜晶体管 501 的漏极相连。

[0038] 图 6 中的第二薄膜晶体管 504 可以看做一个正极连接发光工作电压 V_{dd} 输入端,负极连接第一薄膜晶体管 501 的漏极的二极管,从而保证驱动电路中电流的方向是由发光工作电压 V_{dd} 输入端流向第一薄膜晶体管 501 的漏极。

[0039] 当然,本领域的技术人员也可以采用其他可行方式避免由于同一行相邻像素的电流输入端输入的电流不同,而影响 OLED 的正常显示,此处仅提供一种较佳的实现方式,不再一一叙述。

[0040] 进一步,若各像素的驱动电路需要逐行进行驱动,即在前一行完成预充后才能对下一行进行预充,本实用新型实施例还提供一种较佳的实现逐行驱动的方式。即可以令第一薄膜晶体管 501 的栅极和 / 或漏极通过作为开关的薄膜晶体管与预充控制电压 V_{select} 输入端及电流输入端相连,作为开关的薄膜晶体管在高电平时打开,在低电平时关闭,从而通过各行像素电路的预充控制电压 V_{select} 输入端输入不同的信号,实现逐行驱动。

[0041] 具体的,可以令第一薄膜晶体管 501 的栅极通过作为开关的薄膜晶体管与预充控制电压 V_{select} 输入端及电流输入端相连,如图 7 所示,第一薄膜晶体管 501 的栅极通过作为开关的薄膜晶体管与预充控制电压 V_{select} 输入端及电流输入端相连,具体为:

[0042] 第一薄膜晶体管 501 的栅极通过第三薄膜晶体管 505 与预充控制电压 V_{select} 输入端及电流输入端相连,第三薄膜晶体管 505 的栅极与预充控制电压 V_{select} 输入端相连,源漏两极中的一极与第一薄膜晶体管 501 的栅极相连,源漏两极中的另一极与电流输入端相连;

[0043] 进一步,可以令第一薄膜晶体管 501 的漏极也通过作为开关的薄膜晶体管与预充控制电压 V_{select} 输入端及电流输入端相连,如图 8 所示,第一薄膜晶体管 501 的漏极通过作为开关的薄膜晶体管与预充控制电压 V_{select} 输入端及电流输入端相连,具体为:

[0044] 第一薄膜晶体管的漏极通过第四薄膜晶体管 506 与预充控制电压 V_{select} 输入端及电流输入端相连,第四薄膜晶体管 506 的栅极与预充控制电压 V_{select} 输入端相连,源漏两极中的一极与第一薄膜晶体管 501 的漏极相连,源漏两极中的另一极与电流输入端相连。

[0045] 当然,本领域的技术人员也可以采用其他可行方式实现驱动各像素电路的逐行驱动,此处仅提供一种较佳的实现方式,不再一一叙述。

[0046] 如图 9 所示,本实用新型实施例提供一种较佳的像素电路,包括:

[0047] 第一薄膜晶体管 501,第二薄膜晶体管 504,第三薄膜晶体管 505,第四薄膜晶体管 506,还包括电容 502 和有机发光二极管 503。

[0048] 其中,电容 502 的两端分别连接于第一薄膜晶体管 501 的源极和栅极;

[0049] 有机发光二极管 503 的正极连接第一薄膜晶体管 501 的漏极,负极连接接地电压 V_{ss} 输入端;

[0050] 第二薄膜晶体管 504 的栅极及源漏两极中的一极与发光工作电压 V_{dd} 输入端相连,源漏两极中的另一极与第一薄膜晶体管 501 的漏极相连。

[0051] 第三薄膜晶体管 505 的栅极与预充控制电压 V_{select} 输入端相连,源漏两极中的一极与第一薄膜晶体管 501 的栅极相连,源漏两极中的另一极与电流输入端相连;

[0052] 第四薄膜晶体管 506 的栅极与预充控制电压 V_{select} 输入端相连,源漏两极中的一极与第一薄膜晶体管 501 的漏极相连,源漏两极中的另一极与电流输入端相连。

[0053] 其中,发光工作电压 V_{dd} 输入端输入的是与预充控制电压 V_{select} 同步反向的信号,当像素电路进入预充阶段时,由预充控制电压 V_{select} 为电路提供电压,当像素电路进入发光阶段时,由发光工作电压 V_{dd} 为电路提供电压,保证电路在预充阶段和发光阶段的电流输出,并且没有影响开口率的外接电压输入端,从而增大了使用电流驱动像素电路的 OLED 的开口率,进而增大了使用电流驱动像素电路的 OLED 的使用寿命。第二薄膜晶体管 504 可以看做一个正极连接发光工作电压 V_{dd} 输入端,负极连接第一薄膜晶体管 501 的漏极的二极管,从而保证驱动电路中电流的方向是由发光工作电压 V_{dd} 输入端流向第一薄膜晶体管 501 的漏极,第三薄膜晶体管 505 与第四薄膜晶体管 506 为作为开关的薄膜晶体管,第三薄膜晶体管 505 与第四薄膜晶体管 506 在高电平时打开,在低电平时关闭,从而通过各行像素电路的预充控制电压 V_{select} 输入端输入不同的信号,实现逐行驱动。

[0054] 本实用新型实施例还提供一种驱动电路,该驱动电路为由多个本实用新型实施例

提供的像素电路组成,多个本实用新型实施例提供的像素电路构成矩阵;

[0055] 多个本实用新型实施例提供的像素电路中位于矩阵中同一行的像素电路,连接同一个发光工作电压输入端,连接同一个预充控制电压输入端;

[0056] 多个本实用新型实施例提供的像素电路中位于矩阵中同一列的像素电路,连接同一个电流输入端。

[0057] 较佳的,如图 10 所示,多个本实用新型实施例提供的像素电路中位于矩阵中第一列的像素电路中包括第五薄膜晶体管 507;

[0058] 第五薄膜晶体管 507 的源漏两极分别连接发光工作电压 Vdd 输入端及工作电压 VDD 输入端,栅极连接信号输入端 Input,信号输入端 Input 用于输入与预充控制电压 Vselect 同步反向的信号,第五薄膜晶体管 507 为 N 型薄膜晶体管。

[0059] 在多个本实用新型实施例提供的像素电路中位于矩阵中第一列的像素电路中设置第五薄膜晶体管 507,通过在第五薄膜晶体管 507 的栅极输入与预充控制电压 Vselect 同步反向的信号,在源漏两极分别连接发光工作电压 Vdd 输入端及工作电压 VDD 输入端,则,第五薄膜晶体管 507 源漏两极中连接发光工作电压 Vdd 输入端的一极输出信号即为发光工作电压 Vdd 输入端向各像素电路输入的信号。在工作电压 VDD 输入端和预充控制电压 Vselect 输入端输入信号后,第五薄膜晶体管 507 源漏两极中连接发光工作电压 Vdd 输入端的一极输出信号是与预充控制电压 Vselect 同步反向的信号,从而保证发光工作电压 Vdd 输入端向各像素电路输入的是与预充控制电压 Vselect 同步反向的信号。

[0060] 当然,本领域的技术人员可以采用其他可行的方式保证发光工作电压 Vdd 输入端向各像素电路输入的是与预充控制电压 Vselect 同步反向的信号,此处仅提供一种较佳的实现方式,不再一一叙述。

[0061] 如图 11 所示,本实用新型实施例提供一种较佳的驱动电路,该驱动电路为由多个像素电路组成,多个像素电路构成矩阵;

[0062] 其中,像素电路包括:

[0063] 第一薄膜晶体管 501,第二薄膜晶体管 504,第三薄膜晶体管 505,第四薄膜晶体管 506,第五薄膜晶体管 507,还包括电容 502 和有机发光二极管 503。

[0064] 其中,电容 502 的两端分别连接于第一薄膜晶体管 501 的源极和栅极;

[0065] 第一薄膜晶体管 501,第二薄膜晶体管 504,第三薄膜晶体管 505,第四薄膜晶体管 506,第五薄膜晶体管 507,还包括电容 502 和有机发光二极管 503。

[0066] 其中,电容 502 的两端分别连接于第一薄膜晶体管 501 的源极和栅极;

[0067] 有机发光二极管 503 的正极连接第一薄膜晶体管 501 的漏极,负极连接接地电压 Vss 输入端;

[0068] 第二薄膜晶体管 504 的栅极及源漏两极中的一极与发光工作电压 Vdd 输入端相连,源漏两极中的另一极与第一薄膜晶体管 501 的漏极相连。

[0069] 第三薄膜晶体管 505 的栅极与预充控制电压 Vselect 输入端相连,源漏两极中的一极与第一薄膜晶体管 501 的栅极相连,源漏两极中的另一极与电流输入端相连;

[0070] 第四薄膜晶体管 506 的栅极与预充控制电压 Vselect 输入端相连,源漏两极中的一极与第一薄膜晶体管 501 的漏极相连,源漏两极中的另一极与电流输入端相连。

[0071] 多个像素电路中位于矩阵中第一列的像素电路的第五薄膜晶体管 507 的源漏两

极分别连接发光工作电压 Vdd 输入端及工作电压 VDD 输入端。栅极连接信号输入端 Input，信号输入端 Input 用于输入与预充控制电压 Vselect 同步反向的信号，第五薄膜晶体管 507 为 N 型薄膜晶体管。较佳的，如图 12 所示，可以令工作电压 VDD 输入端输入的信号也与预充控制电压 Vselect 控制端输入的信号相反。

[0072] 多个像素电路中位于矩阵中同一行的像素电路，连接同一个发光工作电压输入端，连接同一个预充控制电压输入端；

[0073] 多个像素电路中位于矩阵中同一列的像素电路，连接同一个电流输入端。

[0074] 下面具体介绍图 11 所示驱动电路的工作原理。如图 13 所示，在预充阶段，预充控制电压 Vselect 为高电平，发光工作电压 Vdd 为低电平，此时第五薄膜晶体管 507 和第二薄膜晶体管 504 关闭，第三薄膜晶体管 505 和第四薄膜晶体管 506 打开，第一薄膜晶体管 501 的栅极(A 点)和漏极(B 点)电压相等， $V_{ds} > V_{gs} - V_{th}$ ，其中 V_{ds} 为源漏极电压， V_{gs} 为源栅极电压。此时第一薄膜晶体管 501 处于饱和区，电流 I_{data} 通过第四薄膜晶体管 506 流入第一薄膜晶体管 501，电容 502 储存电荷以维持第一薄膜晶体管 501 的源栅极电压 V_{gs} ，此时输出电流 $I_{OLED} = I_{data}$ 。

[0075] 如图 14 所示，在发光阶段，预充控制电压 Vselect 为低电平，发光工作电压 Vdd 也为高电平，此时第三薄膜晶体管 505 和第四薄膜晶体管 506 关闭，第二薄膜晶体管 504 和第五薄膜晶体管 507 打开。第一薄膜晶体管 501 的漏极(B 点)为高电平，第一薄膜晶体管 501 仍保持在饱和区，此时晶体管的输出电流将保持进入饱和区时的数值，因此发光阶段的输出电流 I_{OLED} 依然为预充阶段的 I_{data} ，输出电流保持不变。

[0076] 由此可知，图 11 所示的驱动电路的输出电流只跟输入电流有关，与阈值电压 V_{th} 无关，因此基本消除了阈值电压非均匀性对显示的影响，输出电流稳定，易于实现显示的高亮度和高分辨率。

[0077] 图 15 为对图 11 所示的驱动电路的仿真结果，该仿真显示的是单个子像素工作的两个周期。在第一个周期中，把 2uA 的电流写入像素，第二个周期中把 3uA 的电流写入像素。从波形图可以明显看到，在对电路进行预充之后，像素的输出电流 I_{OLED} 很好地跟随了输入电流 I_{data} 的变化。

[0078] 本实用新型实施例还提供一种阵列基板，包括本实用新型实施例提供的驱动电路。

[0079] 本实用新型实施例还提供一种显示设备，包括本实用新型实施例提供的驱动电路。

[0080] 本实用新型实施例提供一种像素电路、驱动电路、阵列基板及显示设备，通过在发光工作电压 Vdd 输入端输入与预充控制电压 Vselect 同步反向的信号，使像素电路进入发光阶段时，由发光工作电压 Vdd 为电路提供电压，保证电路在发光阶段的电流输出，并且没有影响开口率的外接电压输入端，从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的 OLED 的开口率，进而增大了使用电流驱动像素电路的 OLED 的使用寿命。

[0081] 显然，本领域的技术人员可以对本实用新型进行各种改动和变型而不脱离本实用新型的精神和范围。这样，倘若本实用新型的这些修改和变型属于本实用新型权利要求及其等同技术的范围之内，则本实用新型也意图包含这些改动和变型在内。

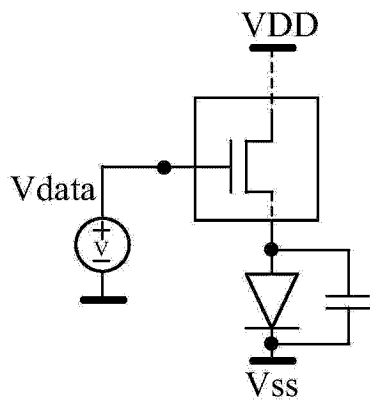


图 1

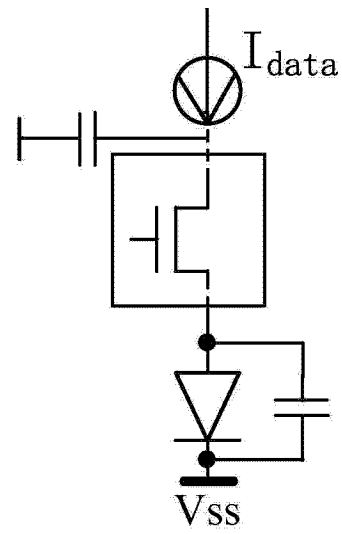


图 2

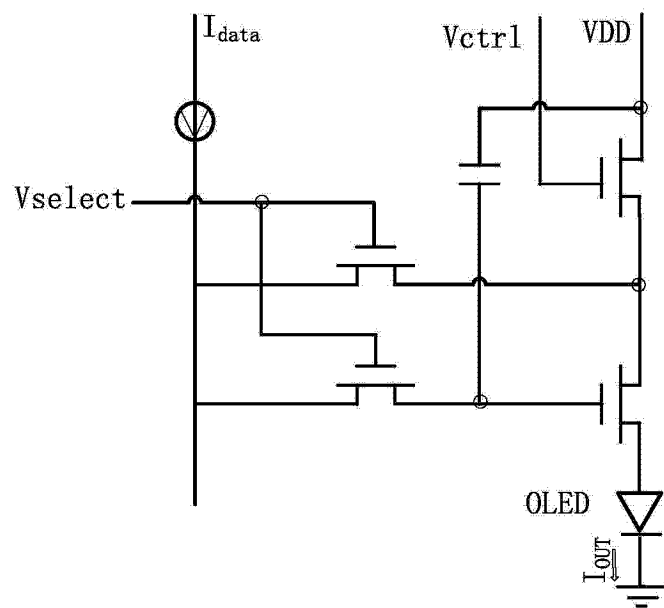


图 3

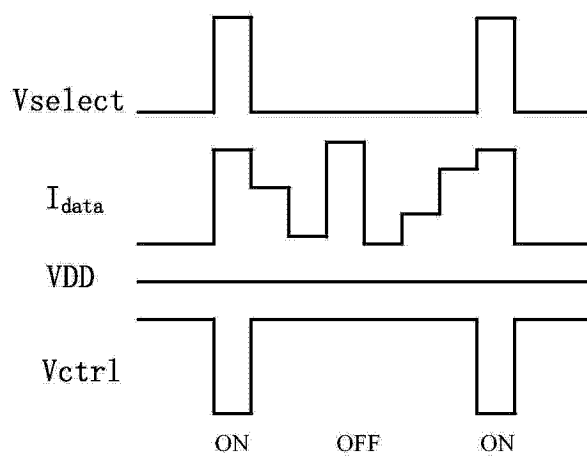


图 4

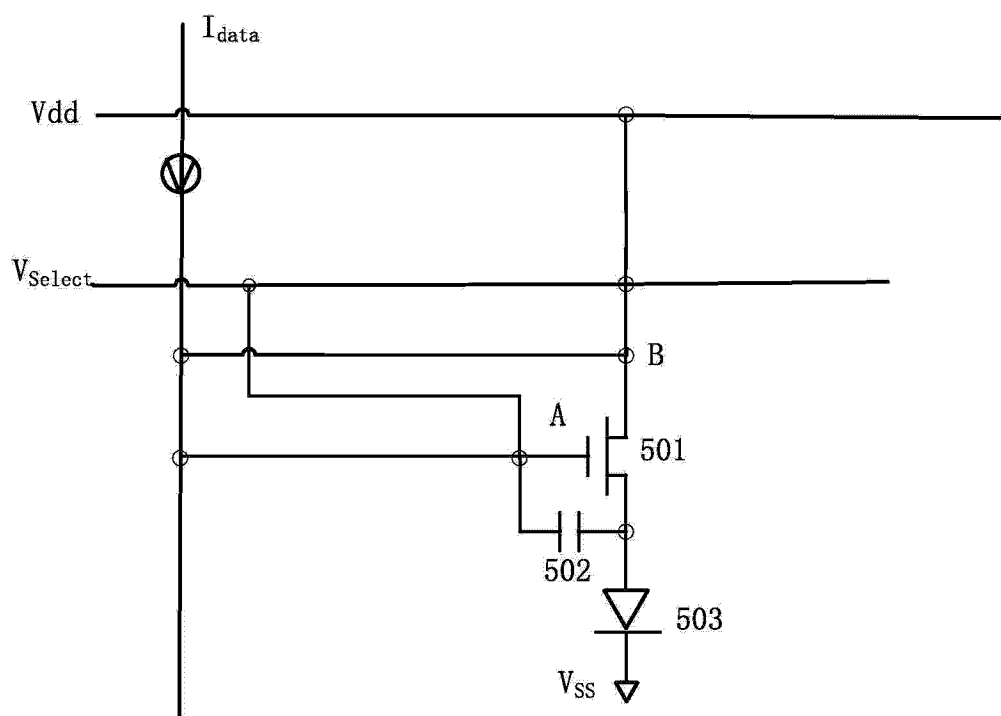


图 5

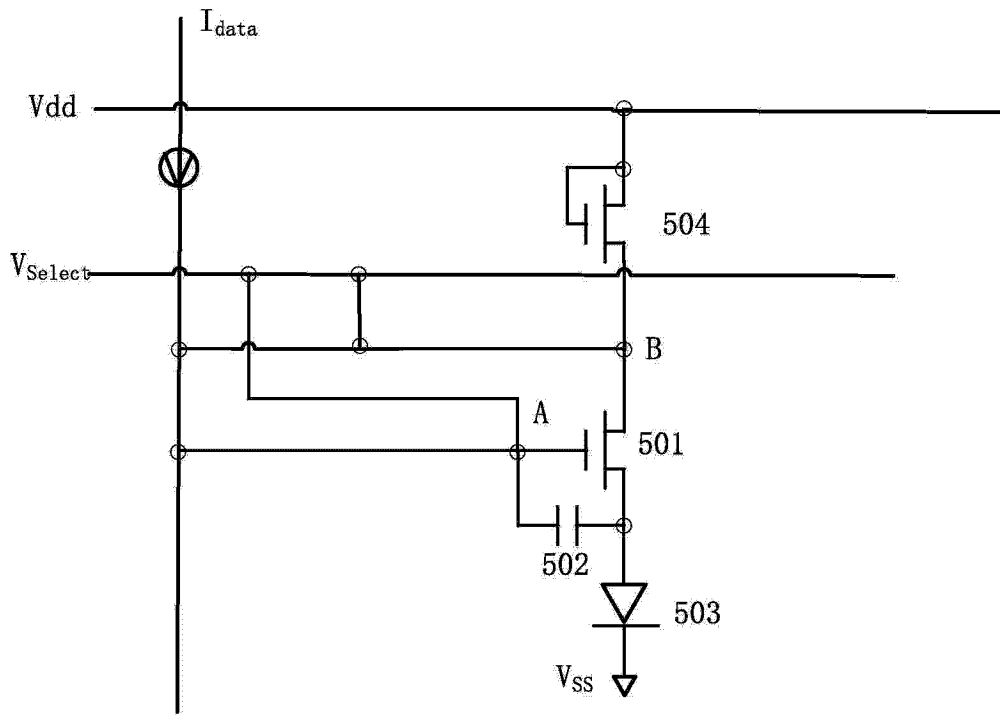


图 6

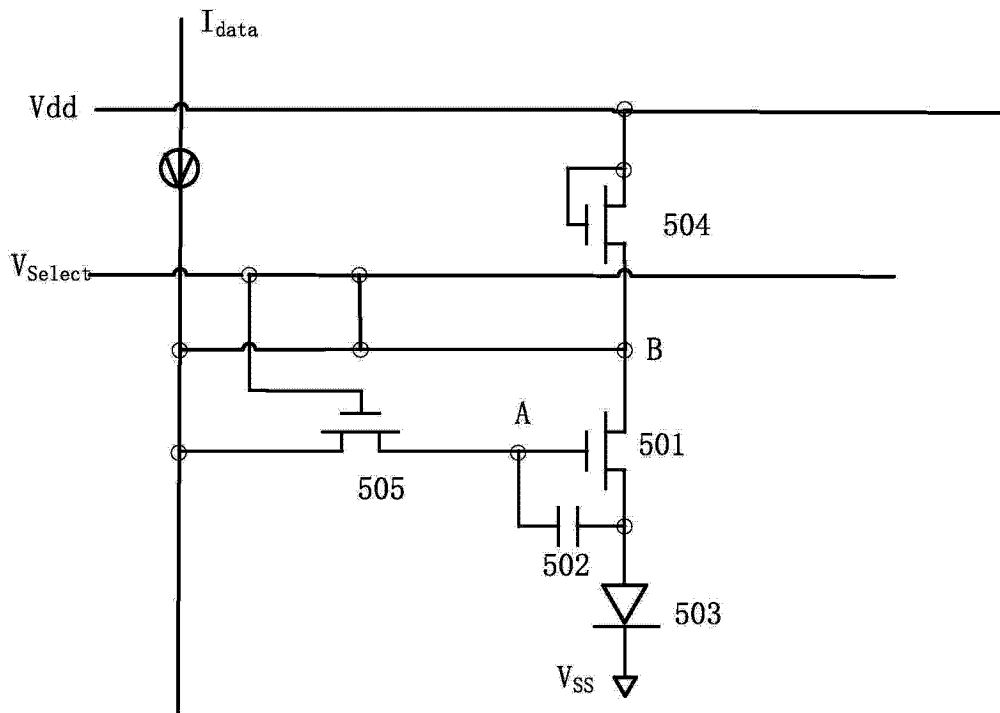


图 7

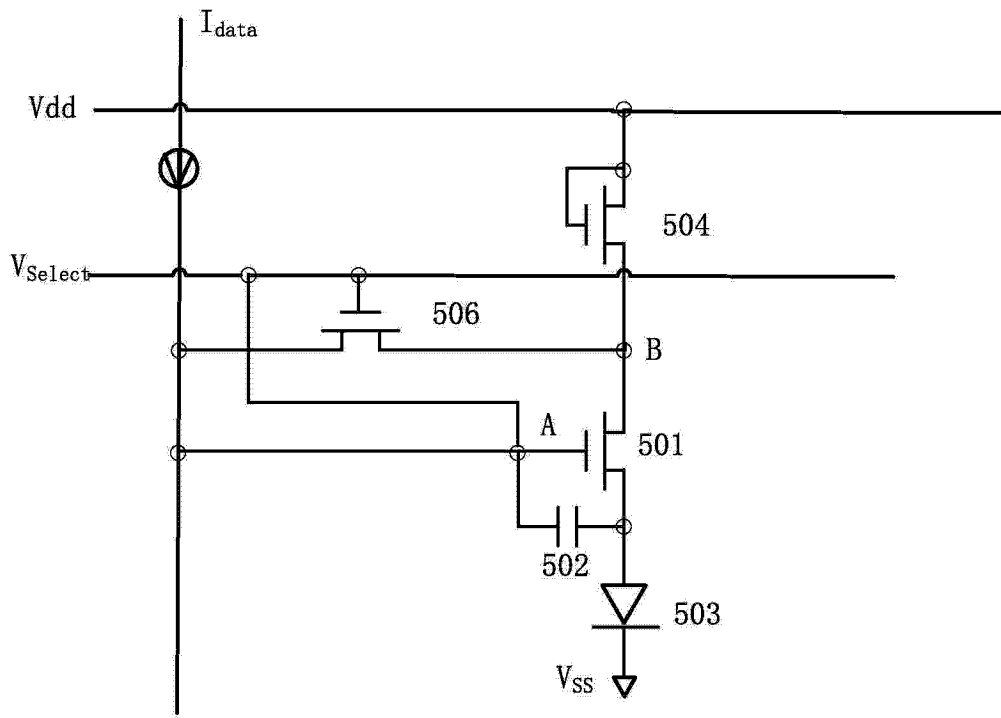


图 8

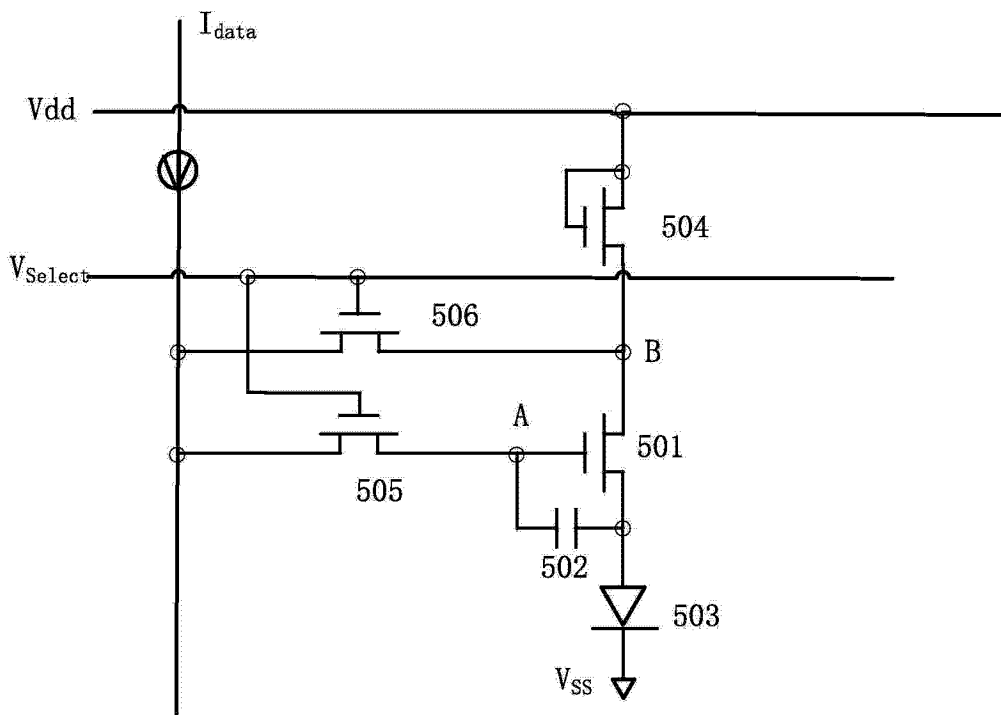


图 9

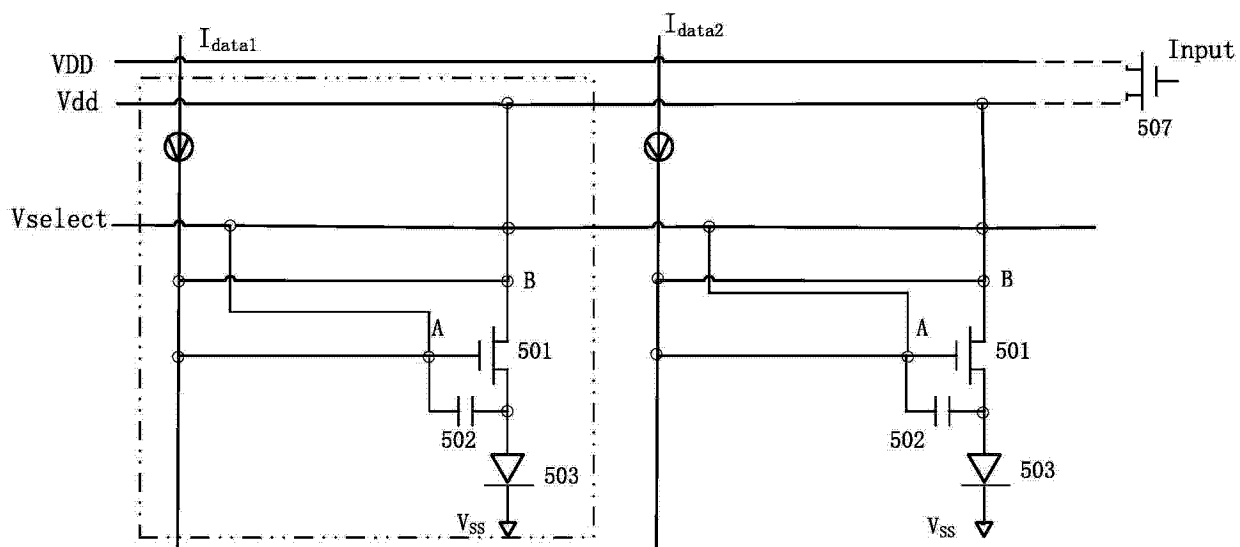


图 10

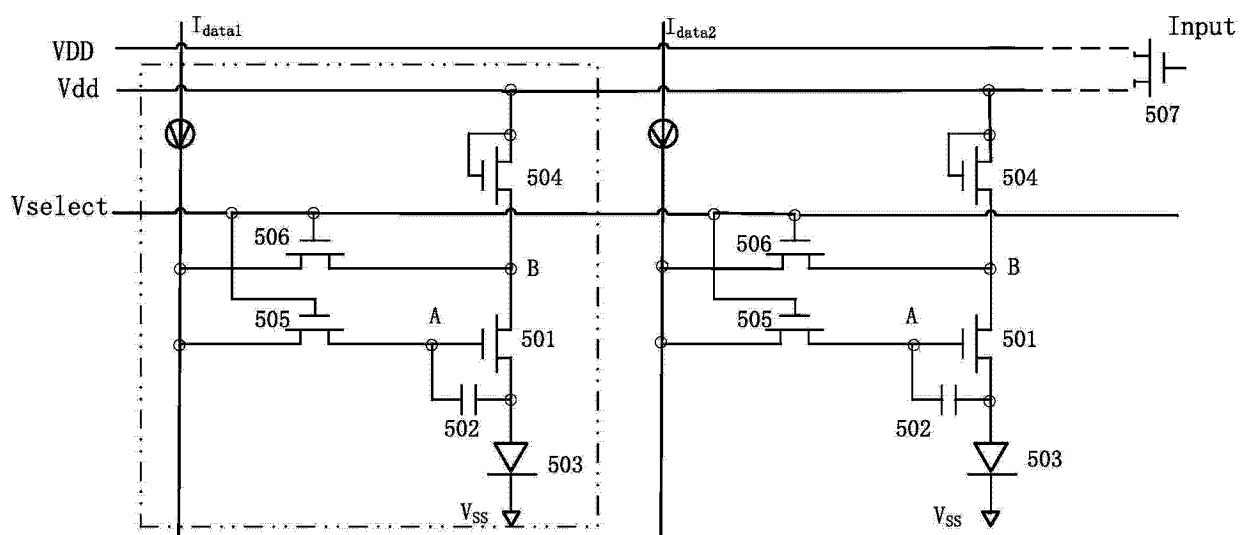


图 11

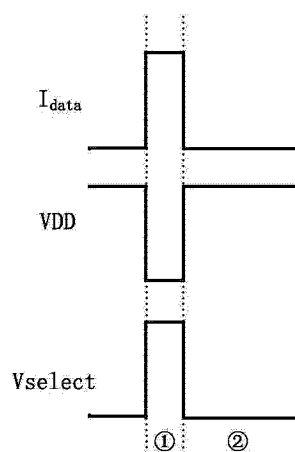


图 12

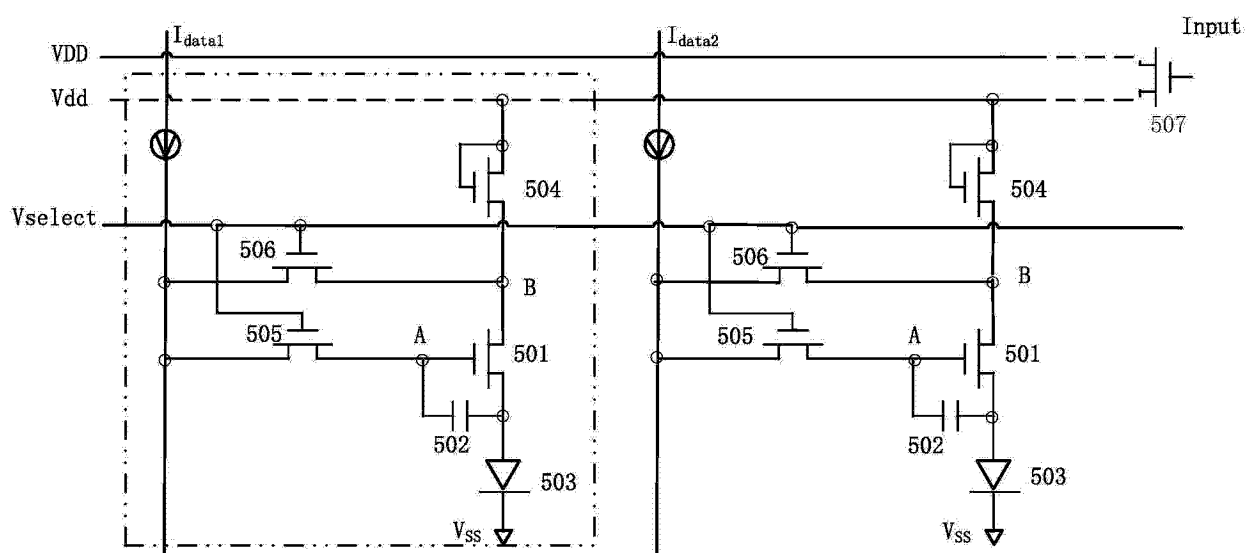


图 13

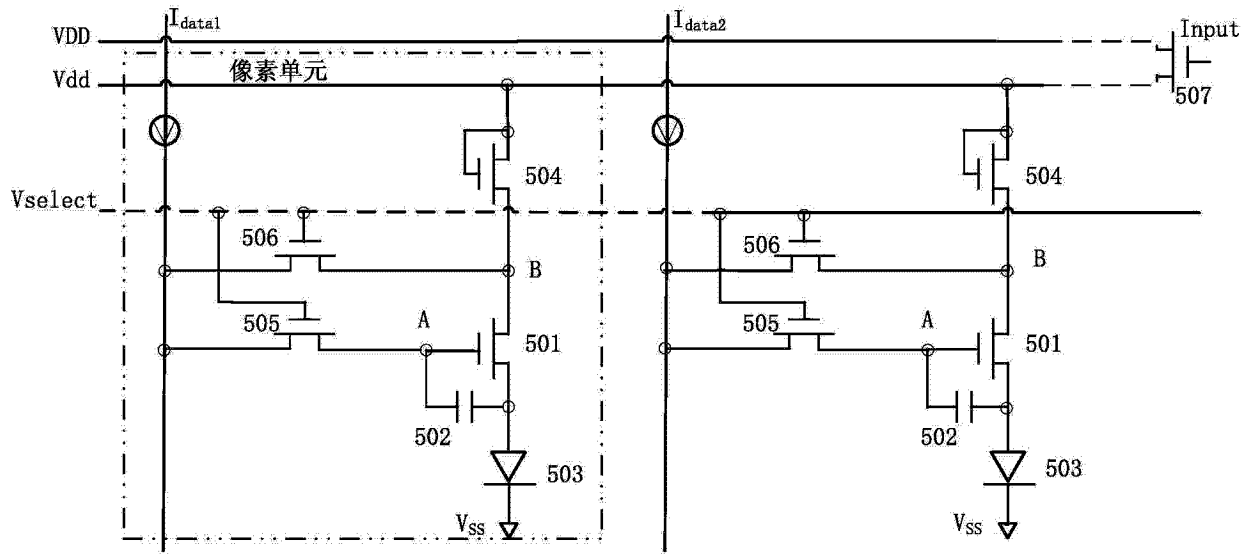


图 14

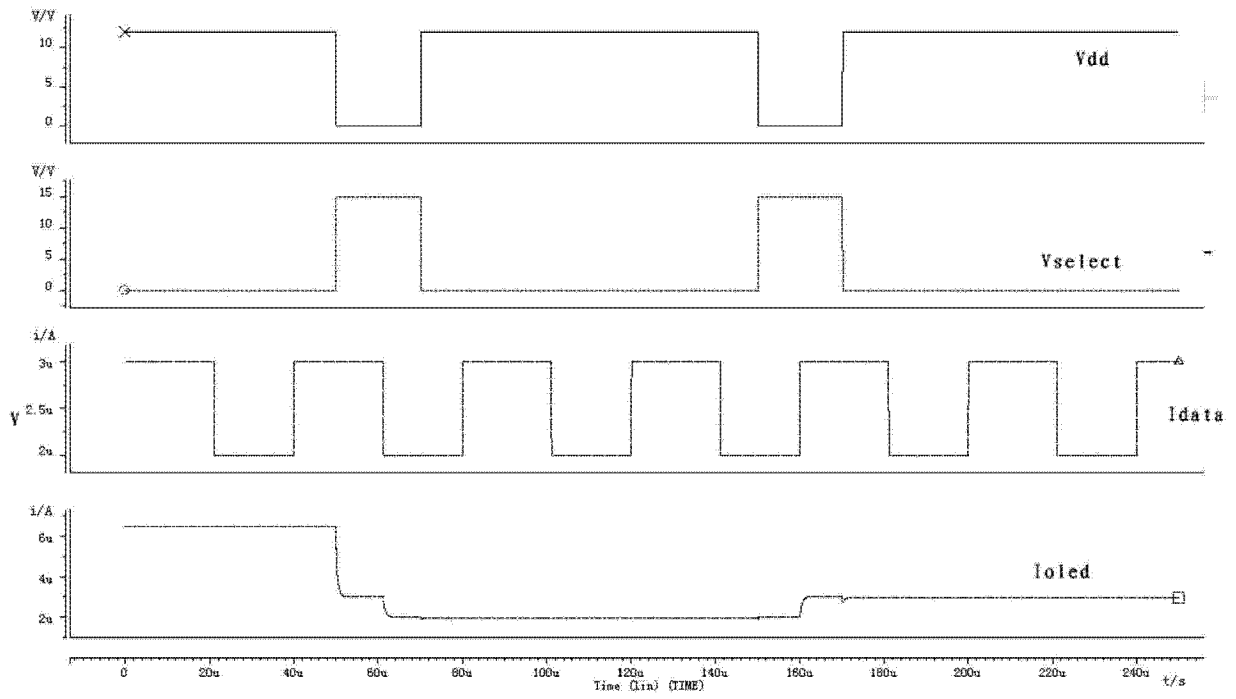


图 15

专利名称(译)	一种像素电路、驱动电路、阵列基板及显示设备		
公开(公告)号	CN203520833U	公开(公告)日	2014-04-02
申请号	CN201320557345.8	申请日	2013-09-09
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	段立业 王俪蓉 吴仲远		
发明人	段立业 王俪蓉 吴仲远		
IPC分类号	G09G3/32 G09G3/3233		
代理人(译)	黄志华		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型实施例提供一种像素电路、驱动电路、阵列基板及显示设备，涉及有机发光二极管显示技术，通过在发光工作电压输入端输入与预充控制电压同步反向的信号，使像素电路进入发光阶段时，由发光工作电压为电路提供电压，保证电路在发光阶段的电流的稳定输出，并且不需要设置影响开口率的外接电压输入端，从而在保证电流驱动电路的电流的稳定输出的同时增大了使用电流驱动像素电路的OLED的开口率，进而增大了使用电流驱动像素电路的OLED的使用寿命。

