



(12) 实用新型专利

(10) 授权公告号 CN 202976780 U

(45) 授权公告日 2013. 06. 05

(21) 申请号 201220717840. 6

(22) 申请日 2012. 12. 21

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市大兴区经济技术开发区
西环中路 8 号

(72) 发明人 杨盛际

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

G09G 3/32 (2006. 01)

G09G 3/20 (2006. 01)

(ESM) 同样的发明创造已同日申请发明专利

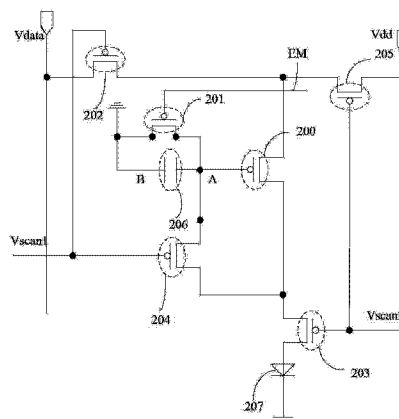
权利要求书1页 说明书5页 附图3页

(54) 实用新型名称

像素电路及显示装置

(57) 摘要

本实用新型公开了一种像素电路及显示装置, 涉及显示领域, 可有效地补偿驱动 TFT 阈值电压非均匀性、漂移, 以及 OLED 非均匀性导致的电流差异。所述像素电路包括: 发光元件; 驱动薄膜晶体管; 第一薄膜晶体管, 漏极与驱动薄膜晶体管的栅极相连; 第二薄膜晶体管, 漏极与驱动薄膜晶体管的源极相连; 第三薄膜晶体管, 源极与驱动薄膜晶体管的漏极相连接, 漏极与发光元件相连; 第四薄膜晶体管, 其源极与驱动薄膜晶体管的栅极相连接, 漏极与驱动薄膜晶体管的漏极相连接; 第五薄膜晶体管, 其漏极与驱动薄膜晶体管的源极连接; 电容。



1. 一种像素电路,其特征在于,包括:

发光元件;

用于驱动所述发光元件的驱动薄膜晶体管;

第一薄膜晶体管,其源极连接参考电压端,其漏极与所述驱动薄膜晶体管的栅极相连接,其栅极接收第一控制信号;

第二薄膜晶体管,其栅极接收第一扫描信号,其漏极与所述驱动薄膜晶体管的源极相连接,其源极接收数据电压信号;

第三薄膜晶体管,其栅极接收第二扫描信号,其源极与所述驱动薄膜晶体管的漏极相连接,其漏极与发光元件相连;

第四薄膜晶体管,其源极与所述驱动薄膜晶体管的栅极相连接,其漏极与所述驱动薄膜晶体管的漏极相连接,其栅极接收第一扫描信号;

第五薄膜晶体管,其栅极接收第二扫描信号,其源极与电源电压相连接,其漏极与所述驱动薄膜晶体管的源极连接;

电容,所述电容的一极板连接至第一节点 A,另一极板连接至第二节点 B,所述第一节点 A 为所述第一薄膜晶体管漏极与所述驱动薄膜晶体管栅极的连接点,所述第二节点 B 与参考电压端相连。

2. 根据权利要求 1 所述的像素电路,其特征在于,

所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和驱动晶体管均为 N 型或 P 型薄膜晶体管。

3. 根据权利要求 1 或 2 所述的像素电路,其特征在于,

所述发光元件为有机发光二极管。

4. 一种显示装置,其特征在于,设置有权利要求 1-3 任一项所述的像素电路。

像素电路及显示装置

技术领域

[0001] 本实用新型涉及显示领域,尤其涉及一种像素电路及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)为电流驱动主动发光型器件,因其具有自发光、快速响应、宽视角和可制作在柔性衬底上等独特特点,以 OLED 为基础的有机发光显示预计今后几年将成为显示领域的主流。

[0003] 有机发光显示的每个显示单元,都是由 OLED 构成的,有机发光显示按驱动方式可分为有源有机发光显示和无源有机发光显示,其中有源有机发光显示是指每个 OLED 都由薄膜晶体管(Thin Film Transistor,TFT)电路来控制流过 OLED 的电流,OLED 和用于驱动 OLED 的 TFT 电路构成像素电路。

[0004] 一种典型的像素电路如图 1 所示,包括 2 个 TFT 晶体管,1 个电容和 1 个 OLED,其中开关管 T2 将数据线上的电压传输到驱动管 T1 的栅极,驱动管 T1 将这个数据电压转化为相应的电流,供给 OLED 器件,其电流可表示为:

[0005]

$$I_{OLED} = \frac{1}{2} \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th})^2 = \frac{1}{2} \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{data} - V_{oled} - V_{th})^2 \quad \text{-----} \quad (1)$$

[0006] 其中, V_{gs} 为驱动管 T1 栅极和源极之间的电势差, μ_n 为载流子迁移率, C_{ox} 为栅绝缘层电容, W/L 为晶体管宽长比, V_{data} 为数据电压, V_{oled} 为 OLED 的工作电压, V_{th} 为驱动管 T1 的阈值电压,由上式可知:如果不同像素单元之间的 V_{th} 不同或者 V_{th} 随时间发生漂移,则流过 OLED 的电流存在差异,影响显示效果,另外,OLED 器件的非均匀性引起 OLED 工作电压不同时,也会导致电流差异。

实用新型内容

[0007] 本实用新型所要解决的技术问题在于提供一种像素电路及显示装置,可以有效地补偿 TFT 驱动管的阈值电压非均匀性、漂移,以及 OLED 非均匀性导致的电流差异,从而提升显示装置的显示效果。

[0008] 为达到上述目的,本实用新型的实施例采用如下技术方案:

[0009] 一种像素电路,其特征在于,包括:

[0010] 发光元件;

[0011] 用于驱动所述发光元件的驱动薄膜晶体管;

[0012] 第一薄膜晶体管,其源极连接参考电压端,其漏极与所述驱动薄膜晶体管的栅极相连接,其栅极接收第一控制信号;

[0013] 第二薄膜晶体管,其栅极接收第一扫描信号,其漏极与所述驱动薄膜晶体管的源极相连接,其源极接收数据电压信号;

[0014] 第三薄膜晶体管,其栅极接收第二扫描信号,其源极与所述驱动薄膜晶体管的漏极相连接,其漏极与发光元件相连;

[0015] 第四薄膜晶体管,其源极与所述驱动薄膜晶体管的栅极相连接,其漏极与所述驱动薄膜晶体管的漏极相连接,其栅极接收第一扫描信号;

[0016] 第五薄膜晶体管,其栅极接收第二扫描信号,其源极与电源电压相连接,其漏极与所述驱动薄膜晶体管的源极连接;

[0017] 电容,所述电容的一极板连接至第一节点 A,另一极板连接至第二节点 B,所述第一节点 A 为所述第一薄膜晶体管漏极与所述驱动薄膜晶体管栅极的连接点,所述第二节点 B 与参考电压端相连。

[0018] 优选地,所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管和驱动晶体管均为 P 型或 N 型薄膜晶体管。

[0019] 可选地,所述发光元件为有机发光二极管。

[0020] 本实用新型还提供一种显示装置,设置所述的任一的像素电路。

[0021] 本实用新型提供的像素电路及显示装置,将电容的一端连接至驱动薄膜晶体管的栅极(第一节点),另一端连接至参考电压端,并通过第五薄膜晶体管控制驱动薄膜晶体管源极与电源电压的导通,通过第三薄膜晶体管控制驱动薄膜晶体管的漏极与发光元件的导通。每帧图像显示过程都包括:重置、补偿和保持发光三个阶段。重置阶段:第一薄膜晶体管导通,第一节点储存的电荷释放,使第一节点的电压拉低,驱动薄膜晶体管导通;补偿阶段:第二、四薄膜晶体管导通,驱动薄膜晶体管的栅极和漏极或源极连通,结果第一节点的电压中包含驱动薄膜晶体管阈值电压的信息;保持发光阶段:第三、五薄膜晶体管导通,驱动薄膜晶体管的栅极电压保持不变,电源电压信号驱使发光元件发光,其电流大小与驱动薄膜晶体管的阈值电压、以及发光元件两端电压无关,因此,可有效地补偿驱动管的阈值电压非均匀性、漂移,以及 OLED 非均匀性导致的电流差异,从而提升显示装置的显示效果,同时采用同类型薄膜晶体管不仅保证了在所有非发光阶段无电流通过 OLED,而且可提高 OLED 的使用寿命。

附图说明

[0022] 图 1 为现有像素电路的结构示意图;

[0023] 图 2 为本实用新型实施例提供的像素电路示意图;

[0024] 图 3 为本实用新型实施例中像素电路的控制时序图;

[0025] 图 4 为本实用新型实施例提供的另一像素电路示意图;

[0026] 图 5 为本实用新型实施例中另一像素电路的控制时序图;

[0027] 图 6 为本实用新型实施例中像素电路的驱动方法流程图。

具体实施方式

[0028] 本实用新型实施例提供一种像素电路及显示装置,可以有效地补偿 TFT 驱动管的阈值电压非均匀性、漂移,以及 OLED 非均匀性导致的电流差异,从而提升显示装置的显示效果,同时采用同类型薄膜晶体管不仅保证了在所有非发光阶段无电流通过 OLED,而且可提高 OLED 的使用寿命。

[0029] 下面结合附图对本实用新型实施例进行详细描述。此处所描述的具体实施方式仅仅用以解释本实用新型,并不用于限定本实用新型。

[0030] 需要说明的是,对于液晶显示领域的晶体管来说,漏极和源极没有明确的区别,因此本实用新型实施例中所提到的晶体管的源极可以为晶体管的漏极,晶体管的漏极也可以为晶体管的源极。

[0031] 本实用新型实施例提供一种像素电路,如图 2 所示,该电路包括:

[0032] 发光元件 207;

[0033] 用于驱动发光元件 207 的驱动薄膜晶体管 200;

[0034] 第一薄膜晶体管 201,其源极连接参考电压端,其漏极与所述驱动薄膜晶体管 200 的栅极相连接,其栅极接收第一控制信号 EM;

[0035] 第二薄膜晶体管 202,其栅极接收第一扫描信号 V_{scan1} ,其漏极与所述驱动薄膜晶体管 200 的源极相连接,其源极接收数据电压信号 V_{data} ;

[0036] 第三薄膜晶体管 203,其栅极接收第二扫描信号 V_{scan2} ,其源极与所述驱动薄膜晶体管 200 的漏极相连接,其漏极与发光元件相连;

[0037] 第四薄膜晶体管 204,其源极与所述驱动薄膜晶体管 200 的栅极相连接,其漏极与所述驱动薄膜晶体管 200 的漏极相连接,其栅极接收第一扫描信号 V_{scan1} ;

[0038] 第五薄膜晶体管 205,其栅极接收第二扫描信号 V_{scan2} ,其源极与电源电压 V_{dd} 相连接,其漏极与所述驱动薄膜晶体管 200 的源极连接;

[0039] 电容 206,所述电容的一极板连接至第一节点 A,另一极板连接至第二节点 B,所述第一节点 A 为所述第一薄膜晶体管 201 漏极与所述驱动薄膜晶体管 200 栅极的连接点,所述第二节点 B 与参考电压端相连。

[0040] 上面所述像素电路由 5 个薄膜晶体管,1 个电容组成,其中,5 个薄膜晶体管($T1 \sim T5$)均为 P 型或 N 型的薄膜晶体管,为便于制造,优选地,除了驱动薄膜晶体管,其它采用相同规格的 P 型或 N 型薄膜晶体管。其中,可选地,所述发光元件 207 为有机发光二极管(OLED)。

[0041] 本实施例提供的像素电路,可以有效地补偿 TFT 驱动管的阈值电压非均匀性、漂移,以及 OLED 非均匀性导致的电流差异(具体原理性阐述见下文),从而提升显示装置的显示效果,同时采用同类型薄膜晶体管不仅保证了在所有非发光阶段无电流通过 OLED,而且可提高 OLED 的使用寿命。

[0042] 如图 2 所示像素电路均为 P 型薄膜晶体管,如图 3 所示为控制时序,其每帧图像显示过程都包括:重置(I)、补偿(II)和保持发光(III)三个阶段,如图 5 所示,具体包括:

[0043] 步骤 S101、重置阶段(I),在第一控制信号 EM 控制下,第一薄膜晶体管 201 导通,第一节点 A 储存的电荷通过第一薄膜晶体管 201 进行释放,驱动薄膜晶体管 200 的栅极电压信号重置,驱动薄膜晶体管 200 导通,第二薄膜晶体管 202、第三薄膜晶体管 203、第四薄膜晶体管 204、第五薄膜晶体管 205 截止。

[0044] 在重置阶段(I),第一扫描信号 V_{scan1} 、第二扫描信号 V_{scan2} 为高电平,第一控制信号 EM 为低电平,此时 5 个 P 型薄膜晶体管中,201 导通,202、203、204、205 截止,第一节点 A 储存的电荷通过第一薄膜晶体管 201 进行释放,驱动薄膜晶体管 200 的栅极电压信号重置,驱动薄膜晶体管 200 导通。

[0045] 步骤 S102、补偿阶段(II),在第一扫描信号 Vscan1 控制下,第二薄膜晶体管 202 和第四薄膜晶体管 204 导通,驱动薄膜晶体管 200 继续保持导通状态,由于第四薄膜晶体管 204 的导通,驱动晶体管 200 的栅极和漏极连通,数据信号 V_{data} 通过驱动薄膜晶体管 200 对第一节点 A 充电,使第一节点 A 的电压升高,第一薄膜晶体管 201、第三薄膜晶体管 203 和第五薄膜晶体管 205 截止;

[0046] 补偿阶段(II),第一扫描信号 Vscan1 为低电平,第二扫描信号 Vscan2 仍为高电平,第一控制信号 EM 为高电平,第二薄膜晶体管 202 和第四薄膜晶体管 204 导通,第一薄膜晶体管 201、第三薄膜晶体管 203 和第五薄膜晶体管 205 截止,驱动薄膜晶体管 200 继续保持导通状态,由于第四薄膜晶体管 204 的导通,驱动晶体管 200 的栅极和漏极连通,数据信号 V_{data} 通过驱动薄膜晶体管 200 对第一节点 A 充电,使第一节点 A 的电压升高,直至第一节点 A 的电压为 $V_{data}-V_{th}$ 。补偿阶段(II)结束时,电容 206 的电荷量 Q 为:

$$[0047] \quad Q=C(V_2-V_1)=C \cdot (V_{REF}+V_{th}-V_{data}) \text{-----} (1)$$

[0048] 其中, V_1 为第一节点 A 此时的电压,等于 $V_{data}-V_{th}$; V_2 为第二节点 B 此时的电压,等于参考电压端电压 V_{REF} ,本实用新型参考电压端接地,电压 V_{REF} 为 0。

[0049] 步骤 S103、保持发光阶段(III),在第二扫描信号 Vscan2 控制下,第三薄膜晶体管 203 和第五薄膜晶体管 205 导通,所述电容 206 保持所述驱动薄膜晶体管 200 的栅极电压不变,驱动薄膜晶体管 200 继续保持导通状态,电源电压信号 V_{dd} 驱动所述 OLED 发光,第一薄膜晶体管 201、第二薄膜晶体管 202 和第四薄膜晶体管 204 截止。

[0050] 保持发光阶段(III)中,第二扫描信号 Vscan2 为低电平,第一扫描信号为 Vscan1 和第一控制信号 EM 为高电平,因此,第三薄膜晶体管 203 和第五薄膜晶体管 205 导通,第一薄膜晶体管 201、第二薄膜晶体管 202 和第四薄膜晶体管 204 截止,所述电容 206 保持所述驱动薄膜晶体管 200 的栅极电压仍为 $V_{data}-V_{th}$,驱动薄膜晶体管 200 的源极电压为电源电压 V_{dd} ,为了保证发光阶段驱动薄膜晶体管 200 的导通,设计时电源电压 V_{dd} 小于数据信号电压 V_{data} ,电源电压 V_{dd} 驱动所述 OLED 发光,

$$[0051] \quad V_{gs} = V_s - V_g = V_{dd} + V_{th} - V_{data} \text{-----} (2)$$

[0052] 驱动薄膜晶体管 200 的栅源电压 V_{gs} 保持为 $V_{dd}+V_{th}-V_{data}$,此时驱动薄膜晶体管 200 的电流为:

$$[0053] \quad I_{OLED} = \frac{1}{2} \cdot \mu_n \cdot Cox \cdot \frac{W}{L} \cdot [V_{dd} - V_{data} + V_{th} - V_{th}]^2 \text{-----} (3)$$

$$[0054] \quad = \frac{1}{2} \cdot \mu_n \cdot Cox \cdot \frac{W}{L} \cdot [V_{dd} - V_{data}]^2$$

[0055] 由上式可知,驱动薄膜晶体管 200 的电流,只与电源电压 V_{dd} 和数据电压 V_{data} 有关,与阈值电压 V_{th} 无关,因此可消除驱动薄膜晶体管阈值电压非均匀性、漂移以及 OLED 电气性能非均匀性的影响。

[0056] 本实用新型实施例还提供了另一种像素电路实施方式,电源电压 V_{dd} 和数据电压 V_{data} 均为负压, OLED 负极连接低负压端,如图 4 所示,像素电路的薄膜晶体管均选用 N 型薄膜晶体管,驱动薄膜晶体管 200 也为 N 型薄膜晶体管,电路控制时序图如图 5 所示,除了第一控制信号 EM、第一扫描信号 Vscan1 和第二扫描信号 Vscan2 与图 3 中的信号相反外,第四薄膜晶体管 204 的漏极与驱动薄膜晶体管 200 的源极相连,同时增加第六薄膜晶体管 213,其栅极连接第一扫描信号 Vscan1,漏极接低负压端,源极接驱动晶体管 200 的漏极,其它薄

膜晶体管的连接方式相同,该像素电路的具体工作过程如下:

[0057] 步骤 101:在重置阶段(I),第一扫描信号 Vscan1、第二扫描信号 Vscan2 为低电平,第一控制信号 EM 为高电平,此时 5 个 N 型薄膜晶体管中,201 导通,202、203、204、205、213 截止,第一节点 A 储存的电荷通过第一薄膜晶体管 201 进行释放,驱动薄膜晶体管 200 的栅极电压信号重置,驱动薄膜晶体管 200 导通。

[0058] 步骤 102:补偿阶段(II),第一扫描信号 Vscan1 仍为高电平,第一控制信号 EM 和第二扫描信号 Vscan2 为低电平,第二薄膜晶体管 202、第四薄膜晶体管 204 和第六薄膜晶体管 213 导通,第一薄膜晶体管 201、第三薄膜晶体管 203 和第五薄膜晶体管 205 截止,驱动薄膜晶体管 200 继续保持导通状态,由于第四薄膜晶体管 204 的导通,驱动晶体管 200 的栅极和源极连通,数据信号 V_{data} 通过第四薄膜晶体管 204 对第一节点 A 充电,使第一节点 A 的电压升高,直至第一节点 A 的电压为 $V_{data}+V_{th}$ 。补偿阶段(II)结束时,电容 206 的电荷量 Q 为:

$$[0059] \quad Q=C(V_2-V_1)=C \cdot (V_{REF}-V_{th}-V_{data}) \text{-----} (1)$$

[0060] 其中, V_1 为第一节点 A 此时的电压,等于 $V_{data}+V_{th}$; V_2 为第二节点 B 此时的电压,等于参考电压端电压 V_{REF} ,本实用新型参考电压端接地,电压 V_{REF} 为 0。

[0061] 步骤 103:保持发光阶段(III)中,第二扫描信号 Vscan2 为高电平,第一扫描信号为 Vscan1 和第一控制信号 EM 为低电平,因此,第三薄膜晶体管 203 和第五薄膜晶体管 205 导通,第一薄膜晶体管 201、第二薄膜晶体管 202、第四薄膜晶体管 204 和第六薄膜晶体管 213 截止,所述电容 206 保持所述驱动薄膜晶体管 200 的栅极电压仍为 $V_{data}+V_{th}$,驱动薄膜晶体管 200 的源极电压为电源电压 V_{dd} ,为了保证发光阶段驱动薄膜晶体管 200 的导通,设计时电源电压 V_{dd} 小于数据信号电压 V_{data} ,电源电压 V_{dd} 驱动所述 OLED 发光,

$$[0062] \quad V_{gs} = V_g - V_s = V_{data} + V_{th} - V_{dd} \text{-----} (2)$$

[0063] 驱动薄膜晶体管 200 的栅源电压 V_{gs} 保持为 $V_{dd}+V_{th}-V_{data}$,此时驱动薄膜晶体管 200 的电流为:

$$[0064] \quad I_{OLED} = \frac{1}{2} \cdot \mu_n \cdot Cox \cdot \frac{W}{L} \cdot [V_{data} + V_{th} - V_{dd} - V_{th}]^2 \text{-----} (3)$$

$$[0065] \quad = \frac{1}{2} \cdot \mu_n \cdot Cox \cdot \frac{W}{L} \cdot [V_{data} - V_{dd}]^2$$

[0066] 由上式可知,驱动薄膜晶体管 200 的电流,只与电源电压 V_{dd} 和数据电压 V_{data} 有关,与阈值电压 V_{th} 无关,因此可消除驱动薄膜晶体管阈值电压非均匀性、漂移以及 OLED 电气性能非均匀性的影响。

[0067] 本实用新型实施例还提供了一种显示装置,其设置有上述的任意一种像素电路。由于所述像素电路可有效地补偿驱动薄膜晶体管阈值电压非均匀性、漂移,以及 OLED 非均匀性导致的电流差异,因此本实施例所述显示装置亮度均一,显示效果更好。

[0068] 所述显示装置可以为:OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0069] 本实用新型实施例所述的技术特征,在不冲突的情况下,可任意相互组合使用。

[0070] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本实用新型的保护范围之内。因此,本实用新型的保护范围应所述以权利要求要求的保护范围为准。

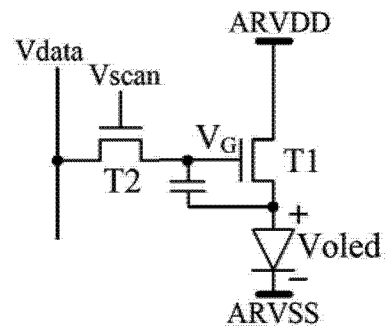


图 1

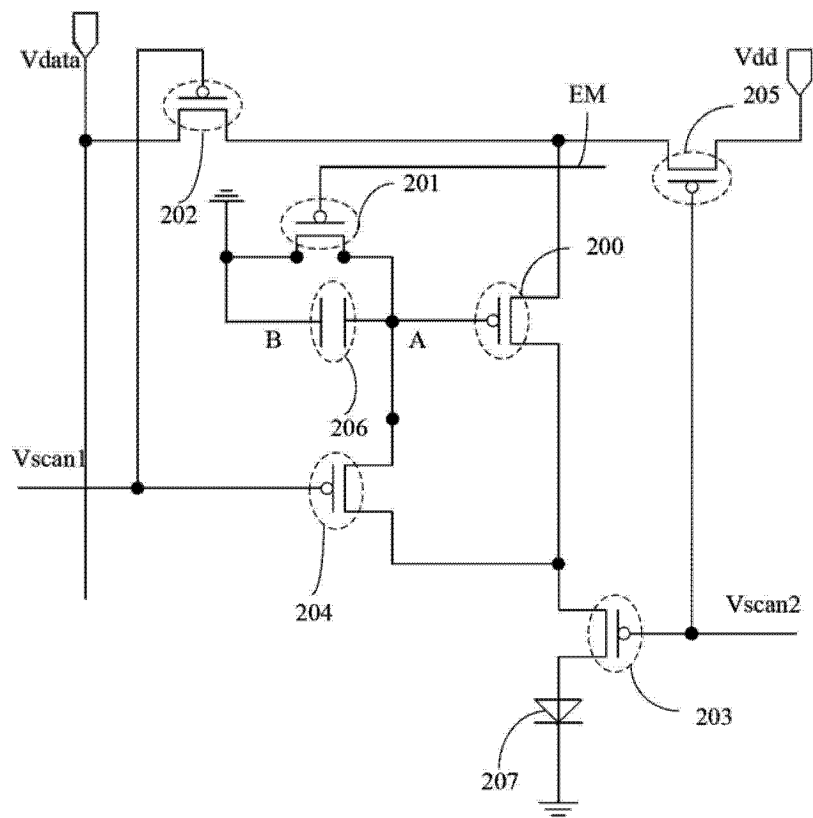


图 2

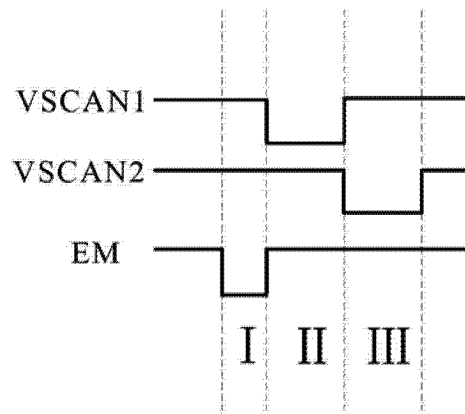


图 3

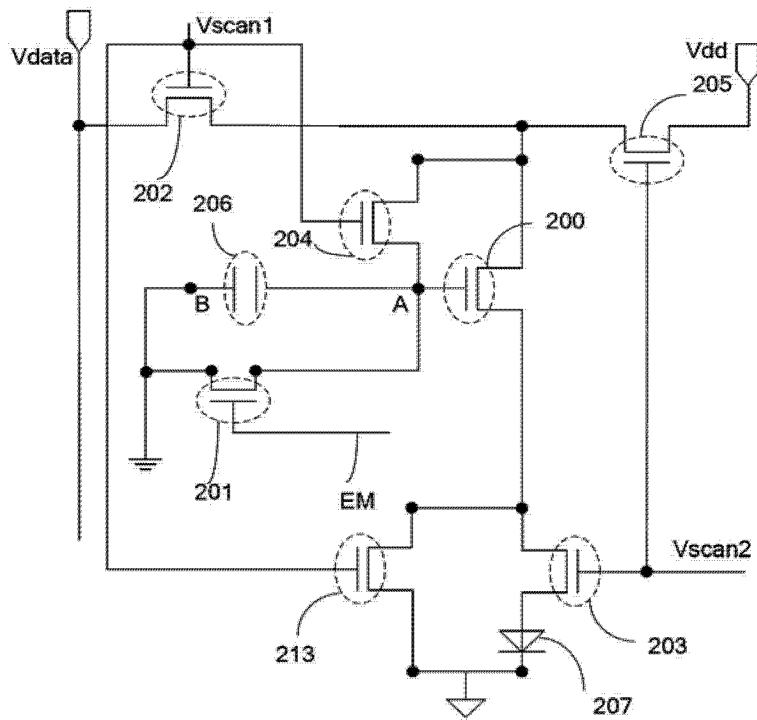


图 4

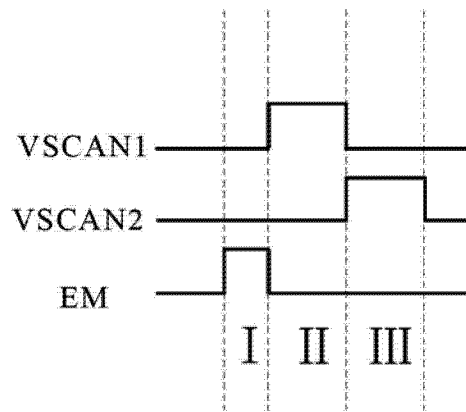


图 5

201导通，202、203、204、205关断，第一节点储存的电荷通过201进行释放，200的栅极电压信号重置，200导通；

S101

202和204导通，201、203和205关断，200继续保持导通状态，由于204的导通，200的栅极和漏极连通，数据信号通过200对第一节点充电，使第一节点的电压升高；

S102

203和205导通，201、202和204关断，所述电容206保持所述200的栅极电压不变，200继续保持导通状态，参考电压信号驱动207发光

S103

图 6

专利名称(译)	像素电路及显示装置		
公开(公告)号	CN202976780U	公开(公告)日	2013-06-05
申请号	CN201220717840.6	申请日	2012-12-21
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	杨盛际		
发明人	杨盛际		
IPC分类号	G09G3/32 G09G3/20 G09G3/3233		
代理人(译)	黄志华		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种像素电路及显示装置，涉及显示领域，可有效地补偿驱动TFT阈值电压非均匀性、漂移，以及OLED非均匀性导致的电流差异。所述像素电路包括：发光元件；驱动薄膜晶体管；第一薄膜晶体管，漏极与驱动薄膜晶体管的栅极相连；第二薄膜晶体管，漏极与驱动薄膜晶体管的源极相连；第三薄膜晶体管，源极与驱动薄膜晶体管的漏极相连接，漏极与发光元件相连；第四薄膜晶体管，其源极与驱动薄膜晶体管的栅极相连接，漏极与驱动薄膜晶体管的漏极相连接；第五薄膜晶体管，其漏极与驱动薄膜晶体管的源极连接；电容。

