



(12)发明专利申请

(10)申请公布号 CN 110224011 A

(43)申请公布日 2019.09.10

(21)申请号 201910514510.3

(22)申请日 2015.09.01

(30)优先权数据

10-2014-0115653 2014.09.01 KR

10-2015-0119646 2015.08.25 KR

(62)分案原申请数据

201510552743.4 2015.09.01

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 卞昌洙 朴玉京 金世镐

(74)专利代理机构 北京英赛嘉华知识产权代理

有限责任公司 11204

代理人 王达佐 刘铮

(51)Int.Cl.

H01L 27/32(2006.01)

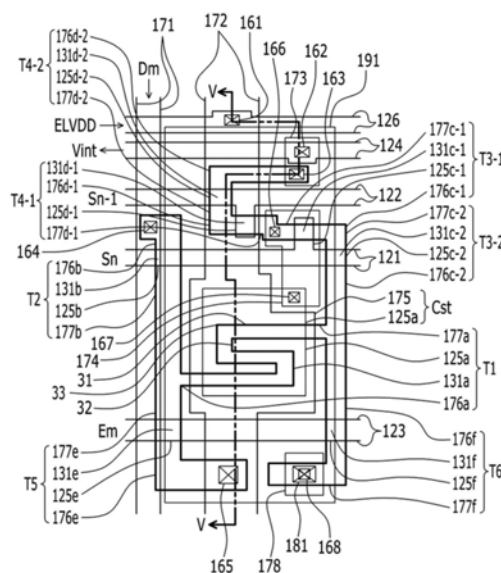
权利要求书2页 说明书32页 附图26页

(54)发明名称

有机发光二极管显示设备及其制造方法

(57)摘要

根据一个或多个实施方式,有机发光二极管显示设备包括第一驱动电压线,第一驱动电压线包括在第一方向延伸的第一部分和在与第一方向垂直的第二方向具有比第一部分的宽度更大的宽度的第二部分,以及第二部分与驱动薄膜晶体管的栅电极重叠,并且层间绝缘层插设于第二部分和驱动薄膜晶体管的栅电极之间。



1. 一种显示设备,包括:

衬底;

第一半导体和第二半导体,位于所述衬底上;

第一绝缘层,位于所述第一半导体和所述第二半导体上;

第一栅电极,设置在所述第一绝缘层上并与所述第一半导体重叠;

第二栅电极,设置在所述第一绝缘层上并与所述第二半导体重叠;

第二绝缘层,位于所述第一栅电极和所述第二栅电极上;

数据线,位于所述第二绝缘层上;以及

第一驱动电压线,位于所述第二绝缘层上,

其中所述第一驱动电压线包括第一部分和第二部分,所述第一部分在第一方向上延伸,所述第二部分在与所述第一方向垂直的第二方向上具有比所述第一部分的宽度更大的宽度,

其中所述第二部分与所述第二栅电极的至少一部分重叠,并且在平面图中所述第二绝缘层插设于所述第二部分和所述第二栅电极之间,以及

其中所述第一部分和所述第二部分彼此电连接。

2. 如权利要求1所述的显示设备,其中:

所述第一部分和所述第二部分位于彼此相同的层中。

3. 如权利要求1所述的显示设备,其中:

所述第二半导体具有一个或多个弯曲部分。

4. 如权利要求1所述的显示设备,还包括:

第二驱动电压线,位于与所述第一驱动电压线不同的层中,并且与所述第一驱动电压线电连接,

其中,所述第二驱动电压线包括在所述第二方向上延伸的部分。

5. 如权利要求4所述的显示设备,其中:

所述第二驱动电压线位于与所述数据线不同的层中。

6. 如权利要求5所述的显示设备,其中:

所述第二驱动电压线将所述第一驱动电压线中的两个或更多个相邻的第一驱动电压线彼此电连接。

7. 如权利要求6所述的显示设备,其中:

所述第二驱动电压线包括在与所述第一方向相交的方向上延伸的部分。

8. 如权利要求7所述的显示设备,其中,所述第二驱动电压线位于与所述第二栅电极相同的层中,并且所述第二驱动电压线包括与所述第二栅电极相同的材料。

9. 如权利要求8所述的显示设备,其中:

所述第二栅电极具有与所述第一驱动电压线的所述第二部分不重叠的部分,以及

所述第二绝缘层包括设置在所述第二栅电极的与所述第二部分不重叠的所述部分上的接触孔。

10. 如权利要求9所述的显示设备,还包括:

连接器,通过所述第二绝缘层的所述接触孔连接至所述第二栅电极,

其中,所述连接器位于与所述第一驱动电压线相同的层中。

11. 如权利要求4所述的显示设备, 其中, 所述第二驱动电压线位于所述第一驱动电压线与所述衬底之间的层中。

12. 如权利要求4所述的显示设备, 其中, 所述数据线位于与所述第一驱动电压线相同的层中。

13. 如权利要求1所述的显示设备, 其中, 所述第二部分包括突出, 所述突出沿所述第一方向延伸并且与所述第一驱动电压线的所述第一部分相对。

14. 如权利要求13所述的显示设备, 还包括:

垂直半导体, 连接至所述第二半导体并且沿所述第一方向延伸, 在所述平面图中所述垂直半导体不与所述第二栅电极重叠,

其中, 所述突出与所述第二栅电极和所述垂直半导体之间的间隙重叠。

15. 如权利要求1所述的显示设备, 其中, 所述第一半导体与所述第二半导体一体形成。

16. 如权利要求1所述的显示设备, 还包括:

扫描线, 连接至所述第一栅电极, 其中所述扫描线位于与所述第二栅电极相同的层中。

17. 如权利要求1所述的显示设备, 其中, 所述第一驱动电压线的所述第二部分和所述第二栅电极之间仅插设有所述第二绝缘层。

18. 如权利要求1所述的显示设备, 其中, 所述第一驱动电压线的所述第二部分和所述第二栅电极之间未插设有任何其他导电层。

19. 如权利要求1所述的显示设备, 还包括:

开关薄膜晶体管, 包括所述第一半导体、所述第一栅电极、连接至所述数据线的第一源电极和与所述第一源电极相对的第一漏电极;

驱动薄膜晶体管, 包括所述第二半导体、所述第二栅电极、连接至所述第一漏电极的第二源电极和与所述第二源电极相对的第二漏电极;

存储电容器, 由作为第一存储端的所述第二栅电极和作为第二存储端的所述第一驱动电压线的所述第二部分形成; 以及

有机发光二极管, 与所述驱动薄膜晶体管的所述第二漏电极电连接。

20. 如权利要求19所述的显示设备, 还包括:

第三绝缘层, 位于所述第二绝缘层、所述数据线和所述第一驱动电压线上,

其中, 所述有机发光二极管包括:

像素电极, 位于所述第三绝缘层上;

有机发射层, 位于所述像素电极上; 以及

公共电极, 位于所述有机发射层上。

有机发光二极管显示设备及其制造方法

技术领域

[0001] 本文中描述的一个或多个实施方式涉及有机发光二极管显示设备和有机发光二极管显示设备的制造方法。

背景技术

[0002] 有机发光显示器使用多个像素产生图像。每个像素包括有机发光二极管,并且每个二极管由两个电极之间的有机发射层形成。来自一个电极的电子和来自另一电极的空穴在有机发射层中耦合,以产生激子。当激子变化状态时,则发光。

[0003] 每个像素使用薄膜晶体管和电容器,以驱动有机发光二极管。晶体管包括开关晶体管和驱动晶体管。为了在每个像素中形成晶体管、电容器以及有机发光层,使用多个掩模。每个掩模的成本非常昂贵。

发明内容

[0004] 根据一个或多个实施方式,有机发光二极管显示设备包括:衬底;设置在衬底上的开关薄膜晶体管的半导体;设置在衬底上并且具有一个或多个弯曲部分的驱动薄膜晶体管的半导体;覆盖开关薄膜晶体管的半导体和驱动薄膜晶体管的半导体的栅绝缘层;位于栅绝缘层上并且与开关薄膜晶体管的半导体重叠的开关薄膜晶体管的栅电极;位于栅绝缘层上并且与驱动薄膜晶体管的半导体重叠的驱动薄膜晶体管的栅电极;覆盖开关薄膜晶体管的栅电极和驱动薄膜晶体管的栅电极的层间绝缘层;设置在层间绝缘层上并且与开关薄膜晶体管的半导体电连接的数据线;以及设置在层间绝缘层上的第一驱动电压线,其中,第一驱动电压线包括在第一方向延伸的第一部分和在与第一方向垂直的第二方向具有比第一部分的宽度更大的宽度的第二部分,以及第二部分与驱动薄膜晶体管的栅电极重叠,并且层间绝缘层插设于第二部分和驱动薄膜晶体管的栅电极之间。

[0005] 根据一个或多个其他实施方式,有机发光二极管显示设备包括:衬底;设置在衬底上且配置为传送扫描信号的扫描线;配置为传送数据电压的数据线和配置为传送驱动电压的第一驱动电压线,第一驱动电压线包括在与在第一方向延伸的扫描线相交的方向延伸的第一部分和连接至第一部分的第二部分;包括连接至扫描线的第一栅电极、连接至数据线的第一源电极、和面向第一源电极的第一漏电极的开关薄膜晶体管;包括连接至第一漏电极的第二源电极、面向第二源电极的第二漏电极、第二栅电极、和半导体的驱动薄膜晶体管;包括作为第一存储端的驱动薄膜晶体管的第二栅电极并且包括作为第二存储端的第一驱动电压线的第二部分的存储电容器;以及与驱动薄膜晶体管的第二漏电极电连接有机发光二极管。

[0006] 根据一个或多个其他实施方式,用于制造有机发光二极管显示设备的方法包括:在衬底上形成驱动半导体和开关半导体;在驱动半导体和开关半导体上形成栅绝缘层;在栅绝缘层上形成驱动栅电极和开关栅电极,并且驱动栅电极和开关栅电极分别与驱动半导体的沟道区和开关半导体的沟道区对应;形成覆盖驱动栅电极和开关栅电极的层间绝缘

层;以及在层间绝缘层上形成数据线和第一驱动电压线,第一驱动电压线包括在第一方向大体延伸的第一部分和在与第一方向垂直的第二方向比第一部分更宽的第二部分;形成第二驱动电压线,第二驱动电压线与第一驱动电压线处于不同的层中并且与第一驱动电压线电连接,第二驱动电压线包括大体在第二方向延伸的部分,其中,第一驱动电压线的第二部分与驱动栅电极重叠。

附图说明

[0007] 通过参照附图详细地描述示例性实施方式,本发明的特征将对于本领域的技术人员变得清楚,在附图中:

- [0008] 图1示出像素的实施方式;
- [0009] 图2示出用于像素的控制信号的示例;
- [0010] 图3示出像素的布局实施方式;
- [0011] 图4示出包括三个相邻像素的布局实施方式;
- [0012] 图5示出沿图3的剖面线V-V的视图;
- [0013] 图6至图11示出制造方法的一个实施方式中的各阶段;
- [0014] 图12示出像素的另一布局实施方式;
- [0015] 图13示出三个相邻像素的另一实施方式;
- [0016] 图14示出沿图12的剖面线XIV-XIV的视图;
- [0017] 图15示出像素的另一实施方式;
- [0018] 图16示出用于图15中的像素的控制信号的示例;
- [0019] 图17示出像素的另一布局实施方式;
- [0020] 图18示出三个相邻像素的另一布局实施方式;
- [0021] 图19示出沿图17的剖面线XIX-XIX的视图;
- [0022] 图20示出像素的另一布局实施方式;
- [0023] 图21示出三个相邻像素的另一布局实施方式;
- [0024] 图22示出沿图20中的剖面线XXII-XXII的视图;以及
- [0025] 图23至图28示出两个相邻像素的布局实施方式。

具体实施方式

[0026] 下面将参照附图在下文中更充分地描述示例性实施方式;但是,这些示例性实施方式可以不同的形式实施,并且不应解释为限制本文中所描述的实施方式。相反地,为了使本公开全面且完整而提供这些实施方式,并且这些实施方式将充分地向本领域的技术人员传达示例性实施。实施方式可以被组合来形成其他实施方式。

[0027] 还应理解,当层或元件被称为位于另一层或衬底“上”时,其可直接位于该另一层或衬底上,或者还可存在介入层。另外,应当理解,当层被称为位于另一层“下”时,其可直接位于另一层下,并且还可存在一个或多个插入的层。另外,还应理解,当层被称为位于两个层“之间”时,其可以是这两个层之间的唯一的层,或者还可存在一个或多个插入的层。在整个说明书中,相似的附图标记表示相似的元件。

[0028] 图1示出有机发光二极管显示设备的像素的实施方式,以及图2是示出用于像素的

控制信号的示例的时序图。

[0029] 如图1所示,像素包括多个信号线、连接至信号线的多个薄膜晶体管、存储电容器Cst和有机发光二极管OLED。薄膜晶体管包括驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3、初始化薄膜晶体管T4、操作控制薄膜晶体管T5、和发射控制薄膜晶体管T6。

[0030] 信号线包括传送扫描信号Sn的扫描线121、将先前扫描信号Sn-1传送至初始化薄膜晶体管T4的先前扫描线122、将发射控制信号Em传送至操作控制薄膜晶体管T5和发射控制薄膜晶体管T6的发射控制线123、与扫描线121相交且传送数据信号Dm的数据线171、传送驱动电压ELVDD的驱动电压线126/172、以及传送用于初始化驱动薄膜晶体管T1的初始化电压Vint的初始化电压线124。驱动电压线126/172包括与扫描线121平行的第一驱动电压线126、以及与数据线171平行的第二驱动电压线172,并且第一驱动电压线126和第二驱动电压线172彼此电连接。

[0031] 驱动薄膜晶体管T1的栅电极G1与存储电容器Cst的一端Cst1连接,驱动薄膜晶体管T1的源电极S1通过操作控制薄膜晶体管T5与驱动电压线126/172连接,驱动薄膜晶体管T1的漏电极D1通过发射控制薄膜晶体管T6与有机发光二极管OLED的阳极电连接。驱动薄膜晶体管T1根据开关薄膜晶体管T2的开关操作来接收数据信号Dm,以将OLED驱动电流 I_{OLED} 提供至有机发光二极管OLED。

[0032] 开关薄膜晶体管T2的栅电极G2与扫描线121连接,开关薄膜晶体管T2的源电极S2与数据线171连接,以及开关薄膜晶体管T2的漏电极D2与驱动薄膜晶体管T1的源电极S1连接并且同时通过操作控制薄膜晶体管T5与驱动电压线126/172连接。开关薄膜晶体管T2根据通过扫描线121接收的扫描信号Sn被导通,以执行开关操作,该开关操作将传送至数据线171的数据信号Dm传送至驱动薄膜晶体管T1的源电极S1。

[0033] 补偿薄膜晶体管T3的栅电极G3与扫描线121连接,补偿薄膜晶体管T3的源电极S3与驱动薄膜晶体管T1的漏电极D1连接并且同时通过发射控制薄膜晶体管T6与有机发光二极管OLED的阳极连接,以及补偿薄膜晶体管T3的漏电极D3与存储电容器Cst的一端Cst1、初始化薄膜晶体管T4的漏电极D4和驱动薄膜晶体管T1的栅电极G1一起连接。补偿薄膜晶体管T3根据通过扫描线121接收的扫描信号Sn被导通,以连接驱动薄膜晶体管T1的栅电极G1和漏电极D1并且二极管-连接驱动薄膜晶体管T1。

[0034] 初始化薄膜晶体管T4的栅电极G4与先前扫描线122连接,初始化薄膜晶体管T4的源电极S4与初始化电压线124连接,并且初始化薄膜晶体管T4的漏电极D4同时与存储电容器Cst的一端Cst1、补偿薄膜晶体管T3的漏电极D3和驱动薄膜晶体管T1的栅电极G1连接。初始化薄膜晶体管T4根据通过先前扫描线122接收的先前扫描信号Sn-1被导通,以将初始化电压Vint传送至驱动薄膜晶体管T1的栅电极G1,并且然后执行初始化操作以初始化驱动薄膜晶体管T1的栅电极G1的电压。

[0035] 操作控制薄膜晶体管T5的栅电极G5与发射控制线123连接,操作控制薄膜晶体管T5的源电极S5与驱动电压线126/172连接,并且操作控制薄膜晶体管T5的漏电极D5与驱动薄膜晶体管T1的源电极S1和开关薄膜晶体管T2的漏电极D2连接。

[0036] 发射控制薄膜晶体管T6的栅电极G6与发射控制线123连接,发射控制薄膜晶体管T6的源电极S6与驱动薄膜晶体管T1的漏电极D1和补偿薄膜晶体管T3的源电极S3连接,并且发射控制薄膜晶体管T6的漏电极D6与有机发光二极管OLED的阳极电连接。操作控制薄膜晶

体管T5和发射控制薄膜晶体管T6根据通过发射控制线123接收的发射控制信号Em被同时导通,并且驱动电压ELVDD被传送至有机发光二极管OLED,并且因此OLED驱动电流 I_{OLED} 在有机发光二极管OLED中流动。

[0037] 存储电容器Cst的另一端Cst2与驱动电压线126/172连接,并且有机发光二极管OLED的阴极与公用电压ELVSS连接。因此,有机发光二极管OLED从驱动薄膜晶体管T1接收OLED驱动电流 I_{OLED} 以进行发光,从而显示图像。

[0038] 参照图2,在初始化周期中,通过先前扫描线122来提供具有低电平的先前扫描信号Sn-1。在该情况下,已经通过发射控制线123施加处于低电平的发射控制信号Em。然后,根据具有低电平的先前扫描信号Sn-1导通初始化薄膜晶体管T4,通过初始化薄膜晶体管T4将初始化电压Vint从初始化电压线124提供至驱动薄膜晶体管T1的栅电极G1,并且通过初始化电压Vint初始化驱动薄膜晶体管T1。

[0039] 此后,在数据编程周期中,通过扫描线121来提供具有低电平的扫描信号Sn。然后,根据具有低电平的扫描信号Sn来导通开关薄膜晶体管T2和补偿薄膜晶体管T3-1和T3-2。在该情况下,通过导通的补偿薄膜晶体管T3-1和T3-2来二极管-连接驱动薄膜晶体管T1,并且驱动薄膜晶体管T1在正向被偏置。

[0040] 然后,从数据线171提供的的数据信号Dm中减去驱动薄膜晶体管T1的阈值电压Vth而得到的补偿电压 $Dm+V_{th}$ (Vth是负(-)值)被施加至驱动薄膜晶体管T1的栅电极G1。

[0041] 驱动电压ELVDD和补偿电压 $Dm+V_{th}$ 被施加至存储电容器Cst的各端,并且与各端之间的电压差对应的电荷存储在存储电容器Cst中。

[0042] 此后,在发射周期中,从发射控制线123提供的发射控制信号Em从高电平变化到低电平。然后,在发射周期中,通过低电平的发射控制信号Em来导通操作控制薄膜晶体管T5和发射控制薄膜晶体管T6。

[0043] 然后,根据驱动薄膜晶体管T1的栅电极G1的电压和驱动电压ELVDD之间的电压差来产生OLED驱动电流 I_{OLED} ,并且OLED驱动电流 I_{OLED} 通过发射控制薄膜晶体管T6提供至有机发光二极管OLED。对于发射周期,通过存储电容器Cst将驱动薄膜晶体管T1的栅-源电极电压Vgs保持在‘ $(Dm+V_{th})-ELVDD$ ’,并且根据驱动薄膜晶体管T1的电流-电压关系,驱动电流 I_d 与通过从源-栅电极电压Vgs减去阈值电压Vth而得到的值的平方‘ $(Dm-ELVDD)^2$ ’成比例。因此,与驱动薄膜晶体管T1的阈值电压Vth无关地确定OLED驱动电流 I_{OLED} 。

[0044] 图3示出像素的布局实施方式,图4示出三个相邻像素的布局实施方式,并且图5示出沿图3的剖面线V-V得到的剖视图。

[0045] 如图3所示,像素包括在行方向并且分别施加扫描信号Sn、先前扫描信号Sn-1、发射控制信号Em和初始化电压Vint的扫描线121、先前扫描线122、发射控制线123、和初始化电压线124。像素还包括数据线171,该数据线171与扫描线121、先前扫描线122、发射控制线123和初始化电压线124相交并且将数据信号Dm施加至像素。

[0046] 像素还包括用于施加驱动电压ELVDD的驱动电压线。驱动电压线包括与扫描线121平行的第一驱动电压线126和与数据线171平行的第二驱动电压线172。第一驱动电压线126和第二驱动电压线172彼此电连接。第一驱动电压线126将两个或多个在水平方向中彼此相邻的第二驱动电压线172电连接,以使驱动电压ELVDD在水平方向进行传送。

[0047] 像素还包括驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、

初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5、发射控制薄膜晶体管T6、存储电容器Cst和有机发光二极管。参照图3,补偿薄膜晶体管T3-1和T3-2和初始化薄膜晶体管T4-1和T4-2可以具有双栅结构,并且以下将被描述为彼此连接的晶体管。

[0048] 驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5和发射控制薄膜晶体管T6的沟道形成在一个连接的半导体131内部,并且半导体131形成为被弯曲成各种形状。根据图3的示例性实施方式的半导体131包括垂直部分,垂直部分根据驱动薄膜晶体管T1的半导体131a(被称为驱动半导体)在左侧和右侧处在垂直方向(与数据线171平行的方向)中延伸,并且每个垂直部分的两端被弯曲。在右侧垂直部分上包括例如呈‘’形的被弯曲的附加延伸部分。

[0049] 驱动薄膜晶体管T1的半导体131a具有反向‘’形(‘’形相对于通过中心的垂直线或水平线对称的形状),反向‘’形的大部分构成驱动薄膜晶体管T1的半导体131a,并且驱动薄膜晶体管T1的源电极176a和漏电极177a分别设置在与位于左侧和右侧处的垂直部分相邻的部分处。虽然驱动薄膜晶体管T1的半导体131a在示例性实施方式中具有反向‘’形,但是半导体131a可以在另一实施方式中具有不同的形状和/或可以具有一个或多个弯曲部分。

[0050] 此外,驱动薄膜晶体管T1的半导体131a包括在第一方向的多个第一延伸部31和在与第一方向不同的第二方向的多个第二延伸部32,并且弯曲部分33可以具有连接第一延伸部31和第二延伸部32的结构。

[0051] 在与驱动薄膜晶体管T1的源电极176a连接的左侧垂直部分处,形成有设置在上方的开关薄膜晶体管T2的半导体131b(被称为开关半导体)和设置在下方的操作控制薄膜晶体管T5的半导体131e。在开关薄膜晶体管T2的半导体131b和操作控制薄膜晶体管T5的半导体131e之间,开关薄膜晶体管T2的漏电极177b和操作控制薄膜晶体管T5的漏电极177e设置成与驱动薄膜晶体管T1的源电极176a连接。

[0052] 开关薄膜晶体管T2的源电极176b设置在开关薄膜晶体管T2的半导体131b之上,并且操作控制薄膜晶体管T5的源电极176e设置在操作控制薄膜晶体管T5的半导体131e之下。

[0053] 在与驱动薄膜晶体管T1的漏电极177a连接的右侧垂直部分处,形成有设置在上方的补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2和设置在下方的发射控制薄膜晶体管T6的半导体131f。在补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2与发射控制薄膜晶体管T6的半导体131f之间,补偿薄膜晶体管T3-1和T3-2的第二补偿薄膜晶体管T3-2的源电极176c-2和发射控制薄膜晶体管T6的源电极176f设置成与驱动薄膜晶体管T1的漏电极177a连接。下面将更详细地描述补偿薄膜晶体管T3-1和T3-2的结构。

[0054] 补偿薄膜晶体管T3-1和T3-2包括第一补偿薄膜晶体管T3-1和第二补偿薄膜晶体管T3-2,并且第一补偿薄膜晶体管T3-1根据扫描线121的突出进行设置,并且第二补偿薄膜晶体管T3-2根据扫描线121与半导体131的右侧垂直部分彼此重叠的位置处的部分进行设置。

[0055] 首先,第二补偿薄膜晶体管T3-2的源电极176c-2与发射控制薄膜晶体管T6的源电极176f和驱动薄膜晶体管T1的漏电极177a连接,栅电极125c-2设置在扫描线121的与右侧垂直部分重叠的部分处,半导体131c-2设置在半导体131的右侧垂直部分的与扫描线121重叠的部分处,并且漏电极177c-2设置在半导体131的右侧垂直部分的半导体131c-2之上。

[0056] 第一补偿薄膜晶体管T3-1的源电极176c-1与第二补偿薄膜晶体管T3-2的漏电极177c-2连接,栅电极125c-1设置在扫描线121的突出处,半导体131c-1设置在半导体131的右侧垂直部分的与扫描线121的突出重叠的部分处,并且漏电极177c-1设置在根据半导体131c-1与源电极176c-1相对的一侧处。第一补偿薄膜晶体管T3-1设置在从半导体131的右侧垂直部分以‘’形额外延伸的部分处。

[0057] 发射控制薄膜晶体管T6的漏电极177f设置在发射控制薄膜晶体管T6的半导体131f之下。初始化薄膜晶体管T4-1和T4-2的半导体131d-1和131d-2进一步形成在‘’形额外延伸部处,该额外延伸部在第二补偿薄膜晶体管T3-2的半导体131c-2和漏电极177c-1之上额外延伸。在第一初始化薄膜晶体管T4-1的半导体131d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1之间,第一初始化薄膜晶体管T4-1的漏电极177d-1被设置,并且第二初始化薄膜晶体管T4-2的源电极176d-2设置在额外延伸的‘’形部分的一端处。下面将更详细地描述初始化薄膜晶体管T4-1和T4-2的结构。

[0058] 初始化薄膜晶体管T4-1和T4-2包括第一初始化薄膜晶体管T4-1和第二初始化薄膜晶体管T4-2,并且第一初始化薄膜晶体管T4-1根据先前扫描线122的突出进行设置,并且第二初始化薄膜晶体管T4-2根据先前扫描线122与半导体131的‘’形部分彼此重叠位置处的部分进行设置。

[0059] 首先,第一初始化薄膜晶体管T4-1的源电极176d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1连接,栅电极125d-1设置在先前扫描线122的与半导体131的‘’形部分重叠的一部分处,半导体131d-1设置在半导体131的‘’形部分的与先前扫描线122的突出重叠的一部分处,并且漏电极177d-1设置在根据半导体131d-1与源电极176d-1相对的一侧处。

[0060] 第二初始化薄膜晶体管T4-2的源电极176d-2与第一初始化薄膜晶体管T4-1的漏电极177d-1连接,栅电极125d-2设置在先前扫描线122的与半导体131的‘’形部分重叠的一部分处,半导体131d-2设置在半导体131的‘’形部分的与先前扫描线122重叠的部分处,并且漏电极177d-2设置在作为根据半导体131d-2与源电极176d-2相对的一侧的、半导体131的‘’形部分的一端处。

[0061] 在另一实施方式中,半导体131可以具有不同结构。半导体131例如可以形成包括多晶半导体材料。可以仅掺杂相应区域来形成半导体131中的源电极/漏电极。另外,在半导体131中,不同晶体管的源电极与漏电极之间的区域被掺杂。因此,源电极和漏电极可以彼此电连接。

[0062] 半导体131形成在绝缘衬底110上,并且缓冲层111可以设置在绝缘衬底110与半导体131之间。缓冲层111可以用于通过在形成多晶半导体的结晶过程中阻止来自绝缘衬底110的杂质来改进多晶半导体的特性,并且可以用于减少施加至绝缘衬底110的应力。

[0063] 覆盖半导体131的栅绝缘层141形成在半导体131上。栅绝缘层141可以由无机绝缘层形成。

[0064] 在行方向形成的扫描线121、先前扫描线122、发射控制线123、初始化电压线124、第一驱动电压线126和驱动薄膜晶体管T1的栅电极125a被形成在栅绝缘层141上。

[0065] 扫描线121和先前扫描线122分别具有突出,并且扫描线121的突出向先前扫描线122突出,以及先前扫描线122的突出向扫描线121突出。

[0066] 首先,扫描线121的突出在扫描线121的向上方向突出,与第一补偿薄膜晶体管T3-1的半导体131c-1重叠,并且构成第一补偿薄膜晶体管T3-1的栅电极125c-1。第一补偿薄膜晶体管T3-1的源电极176c-1和漏电极177c-1不与第一补偿薄膜晶体管T3-1的栅电极125c-1重叠。

[0067] 先前扫描线122的突出在先前扫描线122的向下方向突出,与第一初始化薄膜晶体管T4-1的半导体131d-1重叠,并且构成第一初始化薄膜晶体管T4-1的栅电极125d-1。第一初始化薄膜晶体管T4-1的源电极176d-1和漏电极177d-1不与第一初始化薄膜晶体管T4-1的栅电极125d-1重叠。

[0068] 发射控制线123设置在扫描线121之下,并且发射控制线123分别与半导体131的左侧垂直部分和右侧垂直部分重叠。发射控制线123与半导体131的左侧垂直部分的操作控制薄膜晶体管T5的半导体131e重叠,但不与操作控制薄膜晶体管T5的源电极176e和漏电极177e重叠。此外,发射控制线123与半导体131的右侧垂直部分的发射控制薄膜晶体管T6的半导体131f重叠,但不与发射控制薄膜晶体管T6的源电极176f和漏电极177f重叠。

[0069] 初始化电压线124设置在先前扫描线122之上,并且初始化电压线124具有部分扩张区域。初始化电压线124的扩张区域将被扩张,以容易地接触另一导线。

[0070] 第一驱动电压线126设置在初始化电压线124之上,并且第一驱动电压线126还具有部分扩张区域,以容易地接触另一导线。

[0071] 初始化电压线124和第一驱动电压线126不与半导体131重叠。

[0072] 驱动薄膜晶体管T1的栅电极125a(还被称为驱动栅电极)形成为四边形的形状,并且与半导体131的反向‘’形部分(即驱动薄膜晶体管T1的半导体131a)重叠。驱动薄膜晶体管T1的源电极176a和漏电极177a不与驱动薄膜晶体管T1的栅电极125a重叠。

[0073] 层间绝缘层160被覆盖在扫描线121、先前扫描线122、发射控制线123、初始化电压线124、第一驱动电压线126(被称为水平驱动电压线)、驱动薄膜晶体管T1的栅电极125a、和暴露的栅绝缘层141上。层间绝缘层160可以由无机绝缘层形成。

[0074] 多个接触孔161、162、163、164、165、166、167和168形成在层间绝缘层160中。第一接触孔161暴露第一驱动电压线126的扩张区域,第二接触孔162暴露初始化电压线124的扩张区域,并且第三接触孔163暴露半导体131的额外延伸的‘’形部分的端部(第二初始化薄膜晶体管T4-2的源电极176d-2)。第四接触孔164暴露半导体131的左侧垂直部分的上端(开关薄膜晶体管T2的源电极176b),第五接触孔165暴露半导体131的左侧垂直部分的下端(操作控制薄膜晶体管T5的源电极176e),第六接触孔166暴露第一补偿薄膜晶体管T3-1的漏电极177c-1,该漏电极177c-1是从半导体131的右侧垂直部分额外延伸的‘’形部分的一部分。第七接触孔167暴露驱动薄膜晶体管T1的栅电极125a的部分区域,并且第八接触孔168暴露半导体131的右侧垂直部分的下端(发射控制薄膜晶体管T6的漏电极177f)。

[0075] 数据线171、具有扩张区域175的第二驱动电压线172、第一连接部件173、第二连接部件174和第三连接部件178形成在层间绝缘层160上。

[0076] 数据线171穿过第四接触孔164以在垂直方向延伸,并且通过第四接触孔164与开关薄膜晶体管T2的源电极176b连接。因此,在数据线171中流动的数据电压被传送至开关薄膜晶体管T2的源电极176b。

[0077] 第二驱动电压线172(被称为垂直驱动电压线)在垂直方向延伸,并且通过第一接

触孔161与第一驱动电压线126连接。第一驱动电压线126在水平方向传送驱动电压ELVDD,并且第二驱动电压线172在垂直方向传送驱动电压ELVDD。第二驱动电压线172具有扩张区域175,并且对于每一个像素形成一个扩张区域175。第二驱动电压线172的扩张区域175构成存储电容器Cst的第二电极175。驱动电压ELVDD施加至存储电容器Cst的第二电极175。存储电容器Cst的第二电极175与驱动薄膜晶体管T1的栅电极125a和具有反向‘’形的驱动薄膜晶体管T1的半导体131a重叠。存储电容器Cst包括驱动薄膜晶体管T1的栅电极125a、存储电容器Cst的第二电极175、和该栅电极125a与第二电极175之间的层间绝缘层160。

[0078] 根据第二驱动电压线172的上述结构,因为第二驱动电压线172和存储电容器Cst的第二电极175同时由相同材料形成,所以存储电容器Cst的电极不需要形成在隔离层上,并且因此减少制造期间使用的掩模的数量。当考虑掩模的单位价格时,制造成本被减少并且制造时间被缩短。

[0079] 根据该示例性实施方式,在第二驱动电压线172的扩张区域175(也称为第二电极175)和驱动薄膜晶体管T1的栅电极125a之间仅可以设置一种类型的层间绝缘层160,并且扩张区域175所处的层和驱动薄膜晶体管T1的栅电极125a所处的层之间可以不设置其他导电层。

[0080] 第一连接部件173通过第二接触孔162和第三接触孔163连接初始化电压线124和第二初始化薄膜晶体管T4-2的源电极176d-2。因此,因为初始化电压Vint被施加至第二初始化薄膜晶体管T4-2的源电极176d-2并且第一和第二初始化薄膜晶体管T4-1和T4-2可以示为具有双栅结构的一个薄膜晶体管,因此可以理解初始化电压Vint被施加至初始化薄膜晶体管T4的源电极S4。

[0081] 第二连接部件174通过第六接触孔166和第七接触孔167连接第一补偿薄膜晶体管T3-1的漏电极177c-1与驱动薄膜晶体管T1的栅电极125a。因此,第一补偿薄膜晶体管T3-1的漏电极177c-1的电压被施加至驱动薄膜晶体管T1的栅电极125a。驱动薄膜晶体管T1的栅电极125a的一部分具有暴露区域,该暴露区域不与第二驱动电压线172的扩张区域175重叠,并且该暴露区域通过第二连接部件174与第一补偿薄膜晶体管T3-1的漏电极177c-1连接。

[0082] 第三连接部件178形成在第八接触孔168上,以与发射控制薄膜晶体管T6的漏电极177f连接。平面化层180设置在第三连接部件178上。第一上接触孔181被包括在平面化层180中,以暴露第三连接部件178。像素电极191设置在平面化层180上,并且像素电极191和第三连接部件178通过平面化层180的第一上接触孔181彼此连接。因此,像素电极191与发射控制薄膜晶体管T6的漏电极177f连接。有机发射层370设置像素电极191上,并且公共电极270设置在有机发射层370上。像素电极191、有机发射层370和公共电极270构成有机发光二极管70,并且像素电极191是有机发光二极管70的阳极。

[0083] 驱动薄膜晶体管T1包括栅电极125a、半导体131a、源电极176a和漏电极177a,开关薄膜晶体管T2通过栅电极125b、半导体131b、源电极176b和漏电极177b构成,补偿薄膜晶体管T3-1和T3-2分别包括栅电极125c-1、半导体131c-1、源电极176c-1和漏电极177c-1、和栅电极125c-2、半导体131c-2、源电极176c-2和漏电极177c-2,初始化薄膜晶体管T4-1和T4-2分别包括栅电极125d-1、半导体131d-1、源电极176d-1和漏电极177d-1、和栅电极125d-2、半导体131d-2、源电极176d-2和漏电极177d-2,操作控制薄膜晶体管T5包括栅电极125e、半

导体131e、源电极176e和漏电极177e,并且发射控制薄膜晶体管T6包括栅电极125f、半导体131f、源电极176f和漏电极177f。此外,存储电容器Cst包括栅电极125a和扩张区域175。在每个晶体管的半导体中,沟道区形成在与每个晶体管的栅电极重叠的部分处。

[0084] 图6至图11示出用于有机发光二极管显示设备(例如可以是图3中的设备)的制造方法的实施方式的阶段顺序。首先,将参照图6和图7描述其中仅形成半导体131的有机发光二极管显示设备。

[0085] 保护绝缘衬底110的缓冲层111形成在绝缘衬底110上。缓冲层111不仅可以用于保护绝缘衬底110,还可以用于防止在使半导体131结晶时杂质从绝缘衬底110进入半导体131。

[0086] 之后,非晶硅完全形成在缓冲层111上,并且多晶半导体层通过使非晶硅结晶而形成。此后,使用第一掩模,多晶半导体层被蚀刻为在多晶半导体层上具有图6中形状的半导体131。

[0087] 半导体131包括垂直部分,该垂直部分在根据具有反向‘’形的驱动薄膜晶体管T1的半导体131a的左侧和右侧处在垂直方向延伸,并且每个垂直部分的两端被弯曲。此外,被额外延伸以弯曲成‘’形的部分位于右侧垂直部分上。半导体131不被掺杂。因此,半导体131不被分成用于构成每个晶体管的半导体、源电极和漏电极。

[0088] 此后,如图8和图9所示,栅绝缘层141覆盖在半导体131上,并且用于栅极的导体层压在栅绝缘层141上并且然后使用第二掩模进行蚀刻。因此,扫描线121、先前扫描线122、发射控制线123、初始化电压线124、第一驱动电压线126和驱动薄膜晶体管T1的栅电极125a被形成。扫描线121、先前扫描线122、发射控制线123、初始化电压线124和第一驱动电压线126彼此平行。此外,在扫描线121和先前扫描线122上分别形成有突出。

[0089] 此后,半导体131被掺杂。在除了通过具有突出的扫描线121、具有突出的先前扫描线122、发射控制线123、初始化电压线124、第一驱动电压线126和驱动薄膜晶体管T1的栅电极125a被覆盖的部分之外的暴露区域中,半导体131被掺杂。因此,形成每个晶体管的源电极和漏电极。用作每个晶体管中沟道的半导体形成在通过半导体131覆盖的区域中,并且不被掺杂。因此,当半导体131被掺杂时,不需要单独的掩模。

[0090] 当半导体131被掺杂时,其可以具有以下结构。驱动薄膜晶体管T1的半导体131a具有反向‘’形,驱动薄膜晶体管T1的源电极176a和漏电极177a分别设置在与在左侧和右侧处设置的垂直部分相邻的部分处。在示例性实施方式中,驱动薄膜晶体管T1的半导体131a具有反向‘’形,但是其可以具有各种形状,并且具有包括一个或多个弯曲部分的结构是足够的。

[0091] 此外,驱动薄膜晶体管T1的半导体131a包括在第一方向的多个第一延伸部31和与在第一方向不同的第二方向的多个第二延伸部32,并且弯曲部分33可以具有连接第一延伸部31与第二延伸部32的结构。

[0092] 在与驱动薄膜晶体管T1的源电极176a连接的左侧垂直部分处,形成有设置在上方的开关薄膜晶体管T2的半导体131b和设置在下方的操作控制薄膜晶体管T5的半导体131e。在开关薄膜晶体管T2的半导体131b和操作控制薄膜晶体管T5的半导体131e之间,开关薄膜晶体管T2的漏电极177b和操作控制薄膜晶体管T5的漏电极177e设置成与驱动薄膜晶体管T1的源电极176a连接。

[0093] 开关薄膜晶体管T2的源电极176b设置在开关薄膜晶体管T2的半导体131b之上,并且操作控制薄膜晶体管T5的源电极176e设置在操作控制薄膜晶体管T5的半导体131e之下。

[0094] 在与驱动薄膜晶体管T1的漏电极177a连接的右侧垂直部分处,形成有设置在上方的补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2和设置在下方的发射控制薄膜晶体管T6的半导体131f。在补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2与发射控制薄膜晶体管T6的半导体131f之间,补偿薄膜晶体管T3-1和T3-2的第二补偿薄膜晶体管T3-2的源电极176c-2和发射控制薄膜晶体管T6的源电极176f设置成与驱动薄膜晶体管T1的漏电极177a连接。下面将更详细地描述补偿薄膜晶体管T3-1和T3-2的结构。

[0095] 补偿薄膜晶体管T3-1和T3-2包括第一补偿薄膜晶体管T3-1和第二补偿薄膜晶体管T3-2,并且第一补偿薄膜晶体管T3-1根据扫描线121的突出进行设置,并且第二补偿薄膜晶体管T3-2根据扫描线121与半导体131的右侧垂直部分彼此重叠的位置处的部分进行设置。

[0096] 首先,第二补偿薄膜晶体管T3-2的源电极176c-2与发射控制薄膜晶体管T6的源电极176f和驱动薄膜晶体管T1的漏电极177a连接,栅电极125c-2设置在扫描线121的与半导体131的右侧垂直部分重叠的一部分处,半导体131c-2设置在半导体131的右侧垂直部分的与扫描线121重叠的部分处,并且漏电极177c-2设置在半导体131的右侧垂直部分的半导体131c-2之上。

[0097] 第一补偿薄膜晶体管T3-1的源电极176c-1与第二补偿薄膜晶体管T3-2的漏电极177c-2连接,栅电极125c-1设置在扫描线121的突出处,半导体131c-1设置在半导体131的右侧垂直部分与扫描线121的突出重叠的部分处,并且漏电极177c-1设置在根据半导体131c-1与源电极176c-1相对的一侧处。在示例性实施方式中,第一补偿薄膜晶体管T3-1设置在从半导体131的右侧垂直部分以‘’形额外延伸的部分处。

[0098] 发射控制薄膜晶体管T6的漏电极177f设置在发射控制薄膜晶体管T6的半导体131f之下,并且初始化薄膜晶体管T4-1和T4-2的半导体131d-1和131d-2进一步形成于在第二补偿薄膜晶体管T3-2的半导体131c-2和漏电极177c-1之上额外延伸的‘’形延伸部处。在第一初始化薄膜晶体管T4-1的半导体131d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1之间,第一初始化薄膜晶体管T4-1的漏电极177d-1被设置,并且第二初始化薄膜晶体管T4-2的源电极176d-2被设置在额外延伸的‘’形部分的一端处。下面将更详细地描述初始化薄膜晶体管T4-1和T4-2的结构。

[0099] 初始化薄膜晶体管T4-1和T4-2包括第一初始化薄膜晶体管T4-1和第二初始化薄膜晶体管T4-2,并且第一初始化薄膜晶体管T4-1根据先前扫描线122的突出进行设置,并且第二初始化薄膜晶体管T4-2根据先前扫描线122和半导体131的‘’形部分彼此重叠位置处的部分进行设置。

[0100] 首先,第一初始化薄膜晶体管T4-1的源电极176d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1连接,栅电极125d-1设置在先前扫描线122的与半导体131的‘’形部分重叠的部分处,半导体131d-1设置在半导体131的‘’形部分的与先前扫描线122的突出重叠的部分处,并且漏电极177d-1设置在根据半导体131d-1与源电极176d-1相对的一侧处。

[0101] 第二初始化薄膜晶体管T4-2的源电极176d-2与第一初始化薄膜晶体管T4-1的漏

电极177d-1连接,栅电极125d-2设置在先前扫描线122的与半导体131的‘ $\square$ ’形部分重叠的部分处,半导体131d-2设置在半导体131的‘ $\square$ ’形部分的与先前扫描线122重叠的部分处,并且漏电极177d-2设置在作为根据半导体131d-2与源电极176d-2相对的一侧的、半导体131的‘ $\square$ ’形部分的一端处。

[0102] 此后,如图10和图11所示,在层间绝缘层160被覆盖后,通过使用第三掩模在层间绝缘层160中形成多个接触孔161、162、163、164、165、166、167和168。此后,用于数据的导体层压在层间绝缘层160上,并且然后通过使用第四掩模进行蚀刻。因此,形成了数据线171、具有扩张区域175的第二驱动电压线172、第一连接部件173、第二连接部件174和第三连接部件178。

[0103] 数据线171穿过第四接触孔164以在垂直方向延伸,并且通过第四接触孔164与开关薄膜晶体管T2的源电极176b连接。因此,在数据线171中流动的数据电压被传送至开关薄膜晶体管T2的源电极176b。

[0104] 第二驱动电压线172在垂直方向延伸,并且通过第一接触孔161与第一驱动电压线126连接。第一驱动电压线126在水平方向传送驱动电压ELVDD,并且第二驱动电压线172在垂直方向传送驱动电压ELVDD。第二驱动电压线172具有扩张区域175,并且对于每一个像素形成一个扩张区域。第二驱动电压线172的扩张区域175构成存储电容器Cst的第二电极175。驱动电压ELVDD被施加至存储电容器Cst的第二电极175。存储电容器Cst的第二电极175与驱动薄膜晶体管T1的栅电极125a和具有反向‘ $\square$ ’形的驱动薄膜晶体管T1的半导体131a重叠。存储电容器Cst通过驱动薄膜晶体管T1的栅电极125a、存储电容器Cst的第二电极175、和该栅电极125a与第二电极175之间的层间绝缘层160构成。

[0105] 第一连接部件173通过第二接触孔162和第三接触孔163连接初始化电压线124与第二初始化薄膜晶体管T4-2的源电极176d-2。因此,因为初始化电压Vint被施加至第二初始化薄膜晶体管T4-2的源电极176d-2并且第一和第二初始化薄膜晶体管T4-1和T4-2可以示为具有双重栅结构的一个薄膜晶体管,因此可以理解初始化电压Vint被施加至初始化薄膜晶体管T4的源电极S4。

[0106] 第二连接部件174通过第六接触孔166和第七接触孔167连接第一补偿薄膜晶体管T3-1的漏电极177c-1与驱动薄膜晶体管T1的栅电极125a。因此,第一补偿薄膜晶体管T3-1的漏电极177c-1的电压被施加至驱动薄膜晶体管T1的栅电极125a。驱动薄膜晶体管T1的栅电极125a的一部分具有暴露区域,该暴露区域不与第二驱动电压线172的扩张区域175重叠,并且该暴露区域通过第二连接部件174与第一补偿薄膜晶体管T3-1的漏电极177c-1连接。

[0107] 第三连接部件178形成在第八接触孔168上,以与发射控制薄膜晶体管T6的漏电极177f连接。

[0108] 此后,再次参照图5,覆盖数据线171的平面化层180、具有扩张区域175的第二驱动电压线172、第一连接部件173、第二连接部件174和第三连接部件178被层压。此后,使用第五掩模形成暴露第三连接部件178的第一上接触孔181。此后,在平面化层180上,使用第六掩模形成像素电极191,并且像素电极191与将被连接至发射控制薄膜晶体管T6的漏电极177f的、暴露的第三连接部件178电连接。

[0109] 此后,通过使用第七掩模将分隔壁形成在像素电极191上,并且在分隔壁之间形成

有机发射层370。此后,在有机发射层370上形成公共电极270。因为公共电极270在整个区域形成之上,所以不使用单独的掩模。因此,像素电极191、有机发射层370和公共电极270构成有机发光二极管70,并且像素电极191是有机发光二极管70的阳极。

[0110] 根据上述制造方法,因为第二驱动电压线172的扩张区域175形成存储电容器Cst的第二电极175,所以存储电容器Cst的电极不需要形成在单独的层上。因此,减少制造过程中使用的掩模数量。当考虑掩模的单位价格时,制造成本被减少并且制造时间被缩短。

[0111] 图12至图14示出有机发光二极管显示设备的另一布局实施方式。在图12至图14中,包括与图1相同的电路结构,但是与图3至图5不同,第一驱动电压线不与扫描线121形成在相同的层上,而是与像素电极191形成在相同的层上。图12中的第一驱动电压线192通过第一接触孔161接触第二驱动电压线172,但是第一接触孔161设置在平面化层180中。此外,在布局图上,第一驱动电压线192(还被称为水平驱动电压线)与初始化电压线124重叠。

[0112] 具体地,图12示出有机发光二极管显示设备的像素的布局实施方式,图13示出在有机发光二极管显示设备中包括三个相邻像素的布局实施方式,以及图14示出沿线XIV-XIV得到的图12的有机发光二极管显示设备的剖视图。

[0113] 参照图12,像素包括如图2所示的分别施加扫描信号 S_n 、先前扫描信号 S_{n-1} 、发射控制信号 E_m 和初始化电压 V_{int} 的并且在行方向形成的扫描线121、先前扫描线122、发射控制线123和初始化电压线124,并且包括与扫描线121、先前扫描线122、发射控制线123和初始化电压线124都相交的且施加数据信号 D_m 至像素的数据线171。

[0114] 还包括施加驱动电压ELVDD的驱动电压线192/172,并且驱动电压线192/172由第一驱动电压线192和第二驱动电压线172构成,第一驱动电压线192与扫描线121平行并且与像素电极191设置在相同的层上,第二驱动电压线172与数据线171平行。第一驱动电压线192和第二驱动电压线172彼此电连接。第一驱动电压线192电连接水平方向的两个或多个第二驱动电压线172,以使驱动电压ELVDD在水平方向进行传送。

[0115] 像素包括驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5、发射控制薄膜晶体管T6、存储电容器Cst和有机发光二极管。参照图12,补偿薄膜晶体管T3-1和T3-2和初始化薄膜晶体管T4-1和T4-2可以具有双栅结构,并且以下将被描述为彼此连接的晶体管。

[0116] 驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5和发射控制薄膜晶体管T6的沟道形成在一个连接的半导体131内部,并且半导体131形成成为被弯曲成各种形状。根据图3的半导体131包括垂直部分,该垂直部分在根据驱动薄膜晶体管T1的半导体131a在左侧和右侧处在垂直方向(与数据线171平行的方向)延伸,并且每个垂直部分的两端被弯曲。此外,被额外延伸以弯曲成‘’形的部分包括在右侧垂直部分上。

[0117] 驱动薄膜晶体管T1的半导体131a具有反向‘’形,反向‘’形的大部分构成驱动薄膜晶体管T1的半导体131a,并且驱动薄膜晶体管T1的源电极176a和漏电极177a分别设置在与设置在左侧和右侧处的垂直部分相邻的部分处。在示例性实施方式中,驱动薄膜晶体管T1的半导体131a具有反向‘’形,但是可以具有各种形状,并且具有包括一个或多个弯曲部分的结构是足够的。此外,驱动薄膜晶体管T1的半导体131a包括在第一方向延伸的多个第一延伸部31和在与第一方向不同的第二方向延伸的多个第二延伸部32,并且弯曲部分

33可以具有连接第一延伸部31与第二延伸部32的结构。

[0118] 在与驱动薄膜晶体管T1的源电极176a连接的左侧垂直部分处,形成有设置在上方的开关薄膜晶体管T2的半导体131b和设置在下方的操作控制薄膜晶体管T5的半导体131e。在开关薄膜晶体管T2的半导体131b与操作控制薄膜晶体管T5的半导体131e之间,开关薄膜晶体管T2的漏电极177b和操作控制薄膜晶体管T5的漏电极177e设置成与驱动薄膜晶体管T1的源电极176a连接。

[0119] 开关薄膜晶体管T2的源电极176b设置在开关薄膜晶体管T2的半导体131b之上,并且操作控制薄膜晶体管T5的源电极176e设置在操作控制薄膜晶体管T5的半导体131e之下。

[0120] 在与驱动薄膜晶体管T1的漏电极177a连接右侧垂直部分处,形成有设置在上方的补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2和设置在下方的发射控制薄膜晶体管T6的半导体131f。在补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2与发射控制薄膜晶体管T6的半导体131f之间,补偿薄膜晶体管T3-1和T3-2的第二补偿薄膜晶体管T3-2的源电极176c-2和发射控制薄膜晶体管T6的源电极176f设置成与驱动薄膜晶体管T1的漏电极177a连接。下面将更详细地描述补偿薄膜晶体管T3-1和T3-2的结构。

[0121] 补偿薄膜晶体管T3-1和T3-2包括第一补偿薄膜晶体管T3-1和第二补偿薄膜晶体管T3-2,并且第一补偿薄膜晶体管T3-1根据扫描线121的突出进行设置,并且第二补偿薄膜晶体管T3-2根据扫描线121与半导体131的右侧垂直部分彼此重叠的位置处的部分进行设置。

[0122] 首先,第二补偿薄膜晶体管T3-2的源电极176c-2与发射控制薄膜晶体管T6的源电极176f和驱动薄膜晶体管T1的漏电极177a连接,栅电极125c-2设置在扫描线121的与右侧垂直部分重叠的部分处,半导体131c-2设置在半导体131的右侧垂直部分的与扫描线121重叠的部分处,并且漏电极177c-2设置在半导体131的右侧垂直部分的半导体131c-2之上。

[0123] 第一补偿薄膜晶体管T3-1的源电极176c-1与第二补偿薄膜晶体管T3-2的漏电极177c-2连接,栅电极125c-1设置在扫描线121的突出处,半导体131c-1设置在半导体131的右侧垂直部分的与扫描线121的突出重叠的部分处,并且漏电极177c-1设置在根据半导体131c-1与源电极176c-1相对的一侧处。第一补偿薄膜晶体管T3-1设置在从半导体131的右侧垂直部分以‘’形额外延伸的部分处。

[0124] 发射控制薄膜晶体管T6的漏电极177f设置在发射控制薄膜晶体管T6的半导体131f之下,并且初始化薄膜晶体管T4-1和T4-2的半导体131d-1和131d-2进一步形成于在第二补偿薄膜晶体管T3-2的半导体131c-2和漏电极177c-1之上额外延伸的‘’形额外延伸部处。在第一初始化薄膜晶体管T4-1的半导体131d-1和第一补偿薄膜晶体管T3-1的漏电极177c-1之间,第一初始化薄膜晶体管T4-1的漏电极177d-1被设置,并且第二初始化薄膜晶体管T4-2的源电极176d-2被设置在额外延伸的‘’形部分的一端处。下面将更详细地描述初始化薄膜晶体管T4-1和T4-2的结构。

[0125] 初始化薄膜晶体管T4-1和T4-2包括第一初始化薄膜晶体管T4-1和第二初始化薄膜晶体管T4-2,并且第一初始化薄膜晶体管T4-1根据先前扫描线122的突出进行设置,并且第二初始化薄膜晶体管T4-2根据先前扫描线122与半导体131的‘’形部分彼此重叠位置处的部分进行设置。

[0126] 首先,第一初始化薄膜晶体管T4-1的源电极176d-1与第一补偿薄膜晶体管T3-1的

漏电极177c-1连接,栅电极125d-1设置在先前扫描线122的与半导体131的‘ $\square$ ’形部分重叠的部分处,半导体131d-1设置在半导体131的‘ $\square$ ’形部分的与先前扫描线122的突出重叠的部分处,并且漏电极177d-1设置在根据半导体131d-1与源电极176d-1相对的一侧处。

[0127] 第二初始化薄膜晶体管T4-2的源电极176d-2与第一初始化薄膜晶体管T4-1的漏电极177d-1连接,栅电极125d-2设置在先前扫描线122的与半导体131的‘ $\square$ ’形部分重叠的部分处,半导体131d-2设置在半导体131的‘ $\square$ ’形部分的与先前扫描线122重叠的部分处,并且漏电极177d-2设置在作为根据半导体131d-2与源电极176d-2相对的一侧的、半导体131的‘ $\square$ ’形部分的一端处。

[0128] 在其他实施方式中,半导体131可以具有不同结构。半导体131例如可以包括多晶半导体材料。可以仅掺杂相应区域来形成在半导体131中形成的源电极/漏电极。此外,在半导体131中,不同晶体管的源电极和漏电极之间的区域被掺杂。因此,源电极和漏电极可以彼此电连接。

[0129] 半导体131形成在绝缘衬底110上,并且缓冲层111可以设置在绝缘衬底110和半导体131之间。缓冲层111可以用于通过在形成多晶半导体的结晶过程中阻止来自绝缘衬底110的杂质来改进多晶半导体的特性,并且可以用于减少施加至绝缘衬底110的应力。

[0130] 覆盖半导体131的栅绝缘层141形成在半导体131上。栅绝缘层141可以由无机绝缘层形成。

[0131] 在行方向形成的扫描线121、先前扫描线122、发射控制线123、初始化电压线124、第一驱动电压线192和驱动薄膜晶体管T1的栅电极125a被形成在栅绝缘层141上。

[0132] 扫描线121和先前扫描线122分别具有突出,并且扫描线121的突出向先前扫描线122突出,以及先前扫描线122的突出向扫描线121突出。

[0133] 首先,扫描线121的突出在扫描线121的向上方向突出,与第一补偿薄膜晶体管T3-1的半导体131c-1重叠,并且构成第一补偿薄膜晶体管T3-1的栅电极125c-1。第一补偿薄膜晶体管T3-1的源电极176c-1和漏电极177c-1不与第一补偿薄膜晶体管T3-1的栅电极125c-1重叠。

[0134] 先前扫描线122的突出在先前扫描线122的向下方向突出,与第一初始化薄膜晶体管T4-1的半导体131d-1重叠,并且构成第一初始化薄膜晶体管T4-1的栅电极125d-1。第一初始化薄膜晶体管T4-1的源电极176d-1和漏电极177d-1不与第一初始化薄膜晶体管T4-1的栅电极125d-1重叠。

[0135] 发射控制线123设置在扫描线121之下,并且发射控制线123分别与半导体131的左侧垂直部分和右侧垂直部分重叠。发射控制线123与半导体131的左侧垂直部分的操作控制薄膜晶体管T5的半导体131e重叠,但不与操作控制薄膜晶体管T5的源电极176e和漏电极177e重叠。此外,发射控制线123与半导体131的右侧垂直部分的发射控制薄膜晶体管T6的半导体131f重叠,但不与发射控制薄膜晶体管T6的源电极176f和漏电极177f重叠。

[0136] 初始化电压线124设置在先前扫描线122之上,并且初始化电压线124具有部分扩张区域。初始化电压线124的扩张区域将被扩张,以容易地接触另一导线。在平面图上,初始化电压线124与第一驱动电压线192重叠。初始化电压线124不与半导体131重叠。

[0137] 驱动薄膜晶体管T1的栅电极125a形成为四边形的形状,并且与半导体131的反向

‘己’形部分(即驱动薄膜晶体管T1的半导体131a)重叠。驱动薄膜晶体管T1的源电极176a和漏电极177a不与驱动薄膜晶体管T1的栅电极125a重叠。

[0138] 层间绝缘层160覆盖在扫描线121、先前扫描线122、发射控制线123、初始化电压线124、驱动薄膜晶体管T1的栅电极125a和暴露的栅绝缘层141上。层间绝缘层160可以由无机绝缘层形成。

[0139] 多个接触孔161、162、163、164、165、166、167和168形成在层间绝缘层160中。第一接触孔161暴露第一驱动电压线126的扩张区域,第二接触孔162暴露初始化电压线124的扩张区域,并且第三接触孔163暴露半导体131的额外延伸的‘匚’形部分的端部(第二初始化薄膜晶体管T4-2的源电极176d-2)。第四接触孔164暴露半导体131的左侧垂直部分的上端(开关薄膜晶体管T2的源电极176b),第五接触孔165暴露半导体131的左侧垂直部分的下端(操作控制薄膜晶体管T5的源电极176e),第六接触孔166暴露第一补偿薄膜晶体管T3-1的漏电极177c-1,该漏电极177c-1是从半导体131的右侧垂直部分额外延伸的‘匚’形部分的部分。第七接触孔167暴露驱动薄膜晶体管T1的栅电极125a的部分区域,并且第八接触孔168暴露半导体131的右侧垂直部分的下端(发射控制薄膜晶体管T6的漏电极177f)。

[0140] 数据线171、具有扩张区域175的第二驱动电压线172、第一连接部件173、第二连接部件174和第三连接部件178形成在层间绝缘层160上。

[0141] 数据线171穿过第四接触孔164以在垂直方向延伸,并且通过第四接触孔164与开关薄膜晶体管T2的源电极176b连接。因此,在数据线171中流动的数据电压被传送至开关薄膜晶体管T2的源电极176b。

[0142] 第二驱动电压线172在垂直方向延伸,并且驱动电压ELVDD在垂直方向传送。第二驱动电压线172具有扩张区域175,并且对于每一个像素形成一个扩张区域。第二驱动电压线172的扩张区域175构成存储电容器Cst的第二电极175。驱动电压ELVDD被施加至存储电容器Cst的第二电极175。存储电容器Cst的第二电极175与驱动薄膜晶体管T1的栅电极125a和具有反向‘己’形的驱动薄膜晶体管T1的半导体131a重叠。存储电容器Cst通过驱动薄膜晶体管T1的栅电极125a、存储电容器Cst的第二电极175、和该栅电极125a与第二电极175之间的层间绝缘层160构成。

[0143] 根据第二驱动电压线172的上述结构,因为第二驱动电压线172和存储电容器Cst的第二电极175由相同材料一起形成,所以存储电容器Cst的电极不需要形成在单独的层上。因此,减少制造中使用的掩模数量。当考虑掩模的单位价格时,制造成本被减少并且制造时间被缩短。

[0144] 第一连接部件173通过第二接触孔162和第三接触孔163连接初始化电压线124和第二初始化薄膜晶体管T4-2的源电极176d-2。因此,因为初始化电压Vint被施加至第二初始化薄膜晶体管T4-2的源电极176d-2并且第一和第二初始化薄膜晶体管T4-1和T4-2可以示为具有双栅结构的一个薄膜晶体管,因此可以理解初始化电压Vint被施加至初始化薄膜晶体管T4的源电极S4。

[0145] 第二连接部件174通过第六接触孔166和第七接触孔167连接第一补偿薄膜晶体管T3-1的漏电极177c-1和驱动薄膜晶体管T1的栅电极125a。因此,第一补偿薄膜晶体管T3-1的漏电极177c-1的电压被施加至驱动薄膜晶体管T1的栅电极125a。驱动薄膜晶体管T1的栅

电极125a的部分具有暴露区域,该暴露区域不与第二驱动电压线172的扩张区域175重叠,并且该暴露区域通过第二连接部件174与第一补偿薄膜晶体管T3-1的漏电极177c-1连接。

[0146] 第三连接部件178形成在第八接触孔168上,以与发射控制薄膜晶体管T6的漏电极177f连接。平面化层180设置在第三连接部件178上。在平面化层180中,存在暴露第三连接部件178的第一上接触孔181和暴露第一驱动电压线192的一部分的第二上接触孔182,并且第二驱动电压线172由第二上接触孔182暴露。

[0147] 像素电极191和第一驱动电压线192形成在平面化层180上。首先,像素电极191通过平面化层180的第一上接触孔181与第三连接部件178连接。因此,像素电极191与发射控制薄膜晶体管T6的漏电极177f连接。

[0148] 第一驱动电压线192如扫描线121那样在水平方向延伸,并且具有部分扩张区域以容易地接触另一导线。第一驱动电压线192通过第二上接触孔182与第二驱动电压线172电连接,并且第一驱动电压线192在水平方向传送驱动电压ELVDD。在布局图上,第一驱动电压线192与初始化电压线124重叠,以减少像素的面积。

[0149] 有机发射层370设置像素电极191上,并且公共电极270设置在有机发射层370上。像素电极191、有机发射层370和公共电极270构成有机发光二极管70,并且像素电极191是有机发光二极管70的阳极。

[0150] 驱动薄膜晶体管T1通过栅电极125a、半导体131a、源电极176a和漏电极177a构成,开关薄膜晶体管T2通过栅电极125b、半导体131b、源电极176b和漏电极177b构成,补偿薄膜晶体管T3-1和T3-2分别通过栅电极125c-1、半导体131c-1、源电极176c-1和漏电极177c-1、和栅电极125c-2、半导体131c-2、源电极176c-2和漏电极177c-2构成,初始化薄膜晶体管T4-1和T4-2分别通过栅电极125d-1、半导体131d-1、源电极176d-1和漏电极177d-1、和栅电极125d-2、半导体131d-2、源电极176d-2和漏电极177d-2构成,操作控制薄膜晶体管T5通过栅电极125e、半导体131e、源电极176e和漏电极177e构成,并且发射控制薄膜晶体管T6通过栅电极125f、半导体131f、源电极176f和漏电极177f构成。此外,存储电容器Cst通过栅电极125a和扩张区域175构成。

[0151] 甚至在图12至图14的示例性实施方式中,可以根据图3至图5的示例性实施方式的制造方法来制造有机发光二极管显示设备。

[0152] 图15和图16示出有机发光二极管显示设备的另一实施方式。具体地,图15示出有机发光二极管显示设备的像素的另一实施方式,以及图16是示出用于像素的控制信号的示例的时序图。

[0153] 图15示出根据图1的像素的等效电路图,但是与图1不同,包括旁路薄膜晶体管T7,并且根据旁路信号BP,驱动电流 I_d 的一部分通过旁路薄膜晶体管T7被释放为旁路电流 I_{bp} 。

[0154] 如图15所示,像素包括多个信号线、连接至多个信号线的多个薄膜晶体管、存储电容器Cst和有机发光二极管OLED。薄膜晶体管包括驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3、初始化薄膜晶体管T4、操作控制薄膜晶体管T5、发射控制薄膜晶体管T6和旁路薄膜晶体管T7。

[0155] 信号线包括传送扫描信号 S_n 的扫描线121、将先前扫描信号 S_{n-1} 传送至初始化薄膜晶体管T4的先前扫描线122、将发射控制信号 E_m 传送至操作控制薄膜晶体管T5和发射控制薄膜晶体管T6的发射控制线123、与扫描线121相交且传送数据信号 D_m 的数据线171、传送

驱动电压ELVDD的驱动电压线126/172、传送用于初始化驱动薄膜晶体管T1的初始化电压Vint的初始化电压线124、和将旁路信号BP传送至旁路薄膜晶体管T7的旁路控制线128。驱动电压线126/172由与扫描线121平行的第一驱动电压线126、和与数据线171平行的第二驱动电压线172构成,并且第一驱动电压线126和第二驱动电压线172彼此电连接。

[0156] 驱动薄膜晶体管T1的栅电极G1与存储电容器Cst的一端Cst1连接,驱动薄膜晶体管T1的源电极S1通过操作控制薄膜晶体管T5与驱动电压线126/172连接,驱动薄膜晶体管T1的漏电极D1通过发射控制薄膜晶体管T6与有机发光二极管OLED的阳极电连接。驱动薄膜晶体管T1根据开关薄膜晶体管T2的开关操作来接收数据信号Dm,以将OLED驱动电流 I_{OLED} 提供至有机发光二极管OLED。

[0157] 开关薄膜晶体管T2的栅电极G2与扫描线121连接,开关薄膜晶体管T2的源电极S2与数据线171连接,并且开关薄膜晶体管T2的漏电极D2与驱动薄膜晶体管T1的源电极S1连接且同时通过操作控制薄膜晶体管T5与驱动电压线126/172连接。开关薄膜晶体管T2根据通过扫描线121接收的扫描信号Sn被导通,以执行开关操作,该开关操作将传送至数据线171的数据信号Dm传送至驱动薄膜晶体管T1的源电极。

[0158] 补偿薄膜晶体管T3的栅电极G3与扫描线121连接,补偿薄膜晶体管T3的源电极S3与驱动薄膜晶体管T1的漏电极D1连接且同时通过发射控制薄膜晶体管T6与有机发光二极管OLED的阳极连接,以及补偿薄膜晶体管T3的漏电极D3与存储电容器Cst的一端Cst1、初始化薄膜晶体管T4的漏电极D4和驱动薄膜晶体管T1的栅电极G1一起连接。补偿薄膜晶体管T3根据通过扫描线121接收的扫描信号Sn被导通,以连接驱动薄膜晶体管T1的栅电极G1与漏电极D1并且二极管-连接驱动薄膜晶体管T1。

[0159] 初始化薄膜晶体管T4的栅电极G4与先前扫描线122连接,初始化薄膜晶体管T4的源电极S4与初始化电压线124连接,并且初始化薄膜晶体管T4的漏电极D4同时与存储电容器Cst的一端Cst1、补偿薄膜晶体管T3的漏电极D3和驱动薄膜晶体管T1的栅电极G1连接。初始化薄膜晶体管T4根据通过先前扫描线122接收的先前扫描信号Sn-1被导通,以将初始化电压Vint传送至初始化操作驱动薄膜晶体管T1的栅电极G1,并且然后执行初始化操作,该初始化操作初始化驱动薄膜晶体管T1的栅电极G1的电压。

[0160] 操作控制薄膜晶体管T5的栅电极G5与发射控制线123连接,操作控制薄膜晶体管T5的源电极S5与驱动电压线126/172连接,并且操作控制薄膜晶体管T5的漏电极D5与驱动薄膜晶体管T1的源电极S1和开关薄膜晶体管T2的漏电极D2连接。

[0161] 发射控制薄膜晶体管T6的栅电极G6与发射控制线123连接,发射控制薄膜晶体管T6的源电极S6与驱动薄膜晶体管T1的漏电极D1和补偿薄膜晶体管T3的源电极S3连接,并且发射控制薄膜晶体管T6的漏电极D6与有机发光二极管OLED的阳极电连接。操作控制薄膜晶体管T5和发射控制薄膜晶体管T6根据通过发射控制线123接收的发射控制信号Em被同时导通,并且驱动电压ELVDD被传送至有机发光二极管OLED,并且因此OLED驱动电流 I_{OLED} 流入有机发光二极管OLED。

[0162] 旁路薄膜晶体管T7从旁路控制线128接收旁路信号BP。旁路信号BP是具有预定电平的电压,其可以一直关断旁路薄膜晶体管T7,旁路薄膜晶体管T7从栅电极G7接收具有晶体管关断电平的电压,并且因此旁路薄膜晶体管T7一直被关断,并且在关断状态中,驱动电流 I_d 的一部分通过旁路薄膜晶体管T7流出,作为旁路电流 I_{bp} 。

[0163] 存储电容器Cst的另一端Cst2与驱动电压线126/172连接,并且有机发光二极管OLED的阴极与公用电压ELVSS连接。因此,有机发光二极管OLED从驱动薄膜晶体管T1接收OLED驱动电流 I_{OLED} 以进行发光,从而显示图像。

[0164] 参照图16,首先,在初始化周期中,通过先前扫描线122来提供具有低电平的先前扫描信号Sn-1。在该情况下,已经通过发射控制线123施加处于低电平的发射控制信号Em。然后,根据具有低电平的先前扫描信号Sn-1导通初始化薄膜晶体管T4,通过初始化薄膜晶体管T4将初始化电压Vint从初始化电压线124提供至驱动薄膜晶体管T1的栅电极G1,并且通过初始化电压Vint初始化驱动薄膜晶体管T1。

[0165] 此后,在数据编程周期中,通过扫描线121来提供具有低电平的扫描信号Sn。然后,根据具有低电平的扫描信号Sn来导通开关薄膜晶体管T2和补偿薄膜晶体管T3。在该情况下,通过导通的补偿薄膜晶体管T3来二极管-连接驱动薄膜晶体管T1,并且驱动薄膜晶体管T1在正向被偏置。

[0166] 然后,从数据线171提供的数据信号Dm中减去驱动薄膜晶体管T1的阈值电压Vth而得到的补偿电压 $Dm+V_{th}$ (Vth是负(-)值)被施加至驱动薄膜晶体管T1的栅电极G1。驱动电压ELVDD和补偿电压 $Dm+V_{th}$ 被施加至存储电容器Cst的两端,并且与两端之间的电压差对应的电荷存储在存储电容器Cst中。

[0167] 此后,在发射周期中,从发射控制线123提供的发射控制信号Em从高电平变化到低电平。然后,在发射周期中,通过低电平的发射控制信号Em来导通操作控制薄膜晶体管T5和发射控制薄膜晶体管T6。

[0168] 然后,根据驱动薄膜晶体管T1的栅电极G1的电压和驱动电压ELVDD之间的电压差来生成驱动电流,并且OLED驱动电流 I_{OLED} 通过发射控制薄膜晶体管T6提供至有机发光二极管OLED。在发射周期中,通过存储电容器Cst将驱动薄膜晶体管T1的栅-源电极电压Vgs保持在' $(Dm+V_{th})-ELVDD$ ',并且根据驱动薄膜晶体管T1的电流-电压关系,驱动电流 I_d 与通过从源-栅电极电压Vgs减去阈值电压Vth而得到的值的平方' $(Dm-ELVDD)^2$ '成正比。因此,与驱动薄膜晶体管T1的阈值电压Vth无关地确定驱动电流 I_{OLED} 。

[0169] 旁路薄膜晶体管T7从旁路控制线128接收旁路信号BP。旁路信号BP是具有预定电平的电压,其可以一直关断旁路薄膜晶体管T7,旁路薄膜晶体管T7从栅电极G7接收具有晶体管关断电平的电压,并且因此旁路薄膜晶体管T7一直被关断,并且在关断状态中,驱动电流 I_d 的一部分通过旁路薄膜晶体管T7流出,作为旁路电流 I_{bp} 。

[0170] 甚至在用于显示黑色图像的驱动薄膜晶体管T1的最小电流作为驱动电流流动的情况下,当有机发光二极管OLED发光时,黑色图像不会很好地显示。因此,旁路薄膜晶体管T7可以将驱动薄膜晶体管T1的最小电流的一部分作为旁路电流 I_{bp} 而分配至除了有机发光二极管侧的电流路径之外的另一电流路径。驱动薄膜晶体管T1的最小电流对应于在驱动薄膜晶体管T1关断的情况下的电流,因为驱动薄膜晶体管T1的栅-源电压Vgs小于阈值电压Vth。驱动薄膜晶体管T1关断情况下的最小驱动电流(例如等于或小于10pA的电流)被传送到有机发光二极管OLED,以表示为处于黑色亮度的图像。

[0171] 当表示黑色图像的最小驱动电流流动时,对旁路电流 I_{bp} 的旁路传送的影响很大。但是,当表示诸如正常图像或白色图像的图像的大驱动电流流动时,可能对旁路电流 I_{bp} 有很小的影响。因此,当显示黑色图像的驱动电流流动时,通过旁路电流 I_{bp} 的电流量减小的有

机发光二极管的OLED驱动电流 I_{OLED} 具有作为可以精确表示黑色图像的电平的最小电流量,该旁路电流 I_{bp} 通过旁路薄膜晶体管T7从驱动电流 I_d 流出。

[0172] 因此,通过使用旁路薄膜晶体管,精确地实现黑色亮度图像,从而改进对比率。

[0173] 在图16中,因为作为旁路信号BP,提供与先前扫描信号 S_{n-1} 相同的信号,所以代替旁路控制线128,先前扫描线122可以连接至旁路薄膜晶体管T7。在该情况下,可以省略旁路控制线128。

[0174] 图17至图19示出有机发光二极管显示设备的另一实施方式的详细结构。具体地,图17示出像素的另一布局实施方式,图18是三个相邻像素的另一布局实施方式,并且图19示出沿线XIX-XIX得到的图17的有机发光二极管显示设备的剖视图。

[0175] 如图16所示,像素包括分别施加扫描信号 S_n 、先前扫描信号 S_{n-1} 、发射控制信号 E_m 、旁路信号BP和初始化电压 V_{int} 的并且在行方向形成的扫描线121、先前扫描线122、发射控制线123、旁路控制线128和初始化电压线124,并且包括与扫描线121、先前扫描线122、发射控制线123、旁路控制线128和初始化电压线124都相交且施加数据信号 D_m 至像素的数据线171。

[0176] 像素还包括用于施加驱动电压ELVDD的驱动电压线126/172。驱动电压线126/172通过与扫描线121平行的第一驱动电压线126和与数据线171平行的第二驱动电压线172构成。第一驱动电压线126和第二驱动电压线172彼此电连接。

[0177] 像素还包括驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5、发射控制薄膜晶体管T6、旁路薄膜晶体管T7、存储电容器 C_{st} 和有机发光二极管OLED。参照图17的示例性实施方式,补偿薄膜晶体管T3-1和T3-2和初始化薄膜晶体管T4-1和T4-2具有双栅结构,并且以下将被描述为彼此连接的晶体管。

[0178] 驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5和发射控制薄膜晶体管T6的沟道形成在一个连接的半导体131内部,并且半导体131形成为被弯曲成各种形状。根据图17的示例性实施方式的半导体131包括垂直部分,该垂直部分在根据驱动薄膜晶体管T1的半导体131a的左侧和右侧处在垂直方向(与数据线171平行的方向)中延伸,并且每个垂直部分的两端被弯曲。此外,额外延伸将被弯曲成“”形的部分包括在右侧垂直部分之上,并且向下额外延伸的部分包括在右侧垂直部分之下。

[0179] 驱动薄膜晶体管T1的半导体131a具有反向“”形,反向“”形的大部分构成驱动薄膜晶体管T1的半导体131a,并且驱动薄膜晶体管T1的源电极176a和漏电极177a分别设置在与设置在左侧和右侧处的垂直部分相邻的部分处。在示例性实施方式中驱动薄膜晶体管T1的半导体131a具有反向“”形。在另一实施方式中,半导体131a可以具有不同的形状和/或一个或多个弯曲部分。此外,驱动薄膜晶体管T1的半导体131a包括在第一方向延伸的多个第一延伸部31和在与第一方向不同的第二方向延伸的多个第二延伸部32,并且弯曲部分33可以具有连接第一延伸部31与第二延伸部32的结构。

[0180] 在与驱动薄膜晶体管T1的源电极176a连接的左侧垂直部分处,形成有设置在上方的开关薄膜晶体管T2的半导体131b和设置在下方的操作控制薄膜晶体管T5的半导体131e。在开关薄膜晶体管T2的半导体131b与操作控制薄膜晶体管T5的半导体131e之间,开关薄膜

晶体管T2的漏电极177b和操作控制薄膜晶体管T5的漏电极177e设置成与驱动薄膜晶体管T1的源电极176a连接。

[0181] 开关薄膜晶体管T2的源电极176b设置在开关薄膜晶体管T2的半导体131b之上,并且操作控制薄膜晶体管T5的源电极176e设置在操作控制薄膜晶体管T5的半导体131e之下。

[0182] 在与驱动薄膜晶体管T1的漏电极177a连接的右侧垂直部分处,形成有设置在上方的补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2和设置在下方的发射控制薄膜晶体管T6的半导体131f。在补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2与发射控制薄膜晶体管T6的半导体131f之间,补偿薄膜晶体管T3-1和T3-2的第二补偿薄膜晶体管T3-2的源电极176c-2和发射控制薄膜晶体管T6的源电极176f设置成与驱动薄膜晶体管T1的漏电极177a连接。下面将更详细地描述补偿薄膜晶体管T3-1和T3-2的结构。

[0183] 补偿薄膜晶体管T3-1和T3-2包括第一补偿薄膜晶体管T3-1和第二补偿薄膜晶体管T3-2,并且第一补偿薄膜晶体管T3-1根据扫描线121的突出进行设置,并且第二补偿薄膜晶体管T3-2根据扫描线121和半导体131的右侧垂直部分彼此重叠的位置处的部分进行设置。首先,第二补偿薄膜晶体管T3-2的源电极176c-2与发射控制薄膜晶体管T6的源电极176f和驱动薄膜晶体管T1的漏电极177a连接,栅电极125c-2设置在扫描线121的与右侧垂直部分重叠的部分处,半导体131c-2设置在半导体131的右侧垂直部分的与扫描线121重叠的部分处,并且漏电极177c-2设置在半导体131的右侧垂直部分的半导体131c-2之上。

[0184] 同时,第一补偿薄膜晶体管T3-1的源电极176c-1与第二补偿薄膜晶体管T3-2的漏电极177c-2连接,栅电极125c-1设置在扫描线121的突出处,半导体131c-1设置在半导体131的右侧垂直部分的与扫描线121的突出重叠的部分处,并且漏电极177c-1设置在根据半导体131c-1与源电极176c-1相对的一侧处。第一补偿薄膜晶体管T3-1设置在从半导体131的右侧垂直部分以“”形额外延伸的部分处。

[0185] 发射控制薄膜晶体管T6的漏电极177f设置在发射控制薄膜晶体管T6的半导体131f之下,并且初始化薄膜晶体管T4-1和T4-2的半导体131d-1和131d-2进一步形成于在第二补偿薄膜晶体管T3-2的半导体131c-2和漏电极177c-1之上额外延伸的“”形额外延伸部处。在第一初始化薄膜晶体管T4-1的半导体131d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1之间,第一初始化薄膜晶体管T4-1的漏电极177d-1被设置,并且第二初始化薄膜晶体管T4-2的源电极176d-2被设置在额外延伸的“”形部分的一端处。下面将更详细地描述初始化薄膜晶体管T4-1和T4-2的结构。

[0186] 初始化薄膜晶体管T4-1和T4-2包括第一初始化薄膜晶体管T4-1和第二初始化薄膜晶体管T4-2,并且第一初始化薄膜晶体管T4-1根据先前扫描线122的突出进行设置,并且第二初始化薄膜晶体管T4-2根据先前扫描线122和半导体131的“”形部分彼此重叠位置处的部分进行设置。

[0187] 首先,第一初始化薄膜晶体管T4-1的源电极176d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1连接,栅电极125d-1设置在先前扫描线122的与半导体131的“”形部分重叠的部分处,半导体131d-1设置在半导体131的“”形部分的与先前扫描线122的突出重叠的部分处,并且漏电极177d-1设置在根据半导体131d-1与源电极176d-1相对的一侧处。

[0188] 第二初始化薄膜晶体管T4-2的源电极176d-2与第一初始化薄膜晶体管T4-1的漏

电极177d-1连接,栅电极125d-2设置在先前扫描线122的与半导体131的‘ $\square$ ’形部分重叠的部分处,半导体131d-2设置在半导体131的‘ $\square$ ’形部分的与先前扫描线122重叠的部分处,并且漏电极177d-2设置在作为根据半导体131d-2与源电极176d-2相对的一侧的、半导体131的‘ $\square$ ’形部分的一端处。

[0189] 此外,向下额外延伸的部分设置在发射控制薄膜晶体管T6的漏电极177f之下。旁路薄膜晶体管T7的源电极176g设置在与发射控制薄膜晶体管T6的漏电极177f相邻的一侧处,并且接着顺序地设置旁路薄膜晶体管T7的半导体131g和旁路薄膜晶体管T7的漏电极177g。

[0190] 在另一实施方式中,半导体131可以具有不同结构。半导体131例如可以包括多晶半导体材料。可以仅掺杂相应区域来形成在半导体131中形成的源电极/漏电极。此外,在半导体131中,在不同晶体管的源电极和漏电极之间的区域被掺杂,并且因此源电极和漏电极可以彼此电连接。

[0191] 半导体131形成在绝缘衬底110上,并且缓冲层111可以设置在绝缘衬底110与半导体131之间。缓冲层111可以用于通过在形成多晶半导体的结晶过程中阻止来自绝缘衬底110的杂质来改进多晶半导体的特性,并且可以用于减少施加至绝缘衬底110的应力。

[0192] 覆盖半导体131的栅绝缘层141形成在半导体131上。栅绝缘层141可以由无机绝缘层形成。

[0193] 在行方向形成的扫描线121、先前扫描线122、发射控制线123、初始化电压线124、第一驱动电压线126、旁路控制线128和驱动薄膜晶体管T1的栅电极125a被形成在栅绝缘层141上。

[0194] 扫描线121和先前扫描线122分别具有突出,并且扫描线121的突出向先前扫描线122突出,以及先前扫描线122的突出向扫描线121突出。

[0195] 首先,扫描线121的突出在扫描线121的向上方向突出,与第一补偿薄膜晶体管T3-1的半导体131c-1重叠,并且构成第一补偿薄膜晶体管T3-1的栅电极125c-1。第一补偿薄膜晶体管T3-1的源电极176c-1和漏电极177c-1不与第一补偿薄膜晶体管T3-1的栅电极125c-1重叠。

[0196] 先前扫描线122的突出在先前扫描线122的向下方向突出,与第一初始化薄膜晶体管T4-1的半导体131d-1重叠,并且构成第一初始化薄膜晶体管T4-1的栅电极125d-1。第一初始化薄膜晶体管T4-1的源电极176d-1和漏电极177d-1不与第一初始化薄膜晶体管T4-1的栅电极125d-1重叠。

[0197] 发射控制线123设置在扫描线121之下,并且发射控制线123分别与左侧垂直部分和右侧垂直部分重叠。发射控制线123与半导体131的左侧垂直部分的操作控制薄膜晶体管T5的半导体131e重叠,但不与操作控制薄膜晶体管T5的源电极176e和漏电极177e重叠。此外,发射控制线123与半导体131的右侧垂直部分的发射控制薄膜晶体管T6的半导体131f重叠,但不与发射控制薄膜晶体管T6的源电极176f和漏电极177f重叠。

[0198] 初始化电压线124设置在先前扫描线122之上,并且初始化电压线124具有部分扩张区域。初始化电压线124的扩张区域将被扩张,以容易地接触另一导线。

[0199] 第一驱动电压线126设置在初始化电压线124之上,并且第一驱动电压线126还具有部分扩张区域,以容易地接触另一导线。

[0200] 初始化电压线124和第一驱动电压线126不与半导体131重叠。

[0201] 旁路控制线128在像素底部处在水平方向延伸并且与半导体131的右侧垂直部分之下的额外延伸部重叠,并且旁路薄膜晶体管T7的半导体131g设置在被重叠的额外延伸部处。

[0202] 驱动薄膜晶体管T1的栅电极125a形成为四边形的形状,并且与半导体131的反向‘’形部分(即驱动薄膜晶体管T1的半导体131a)重叠。驱动薄膜晶体管T1的源电极176a和漏电极177a不与驱动薄膜晶体管T1的栅电极125a重叠。

[0203] 层间绝缘层160覆盖在扫描线121、先前扫描线122、发射控制线123、初始化电压线124、第一驱动电压线126、旁路控制线128、驱动薄膜晶体管T1的栅电极125a、和暴露的栅绝缘层141上。层间绝缘层160可以由无机绝缘层形成。

[0204] 多个接触孔161、162、163、164、165、166、167、168和169形成在层间绝缘层160中。第一接触孔161暴露第一驱动电压线126的扩张区域,第二接触孔162暴露初始化电压线124的扩张区域,并且第三接触孔163暴露半导体131的额外延伸的‘’形部分的端部(第二初始化薄膜晶体管T4-2的源电极176d-2)。第四接触孔164暴露半导体131的左侧垂直部分的上端(开关薄膜晶体管T2的源电极176b),第五接触孔165暴露半导体131的左侧垂直部分的下端(操作控制薄膜晶体管T5的源电极176e),第六接触孔166暴露第一补偿薄膜晶体管T3-1的漏电极177c-1,该漏电极177c-1是从半导体131的右侧垂直部分额外延伸的‘’形的一部分。第七接触孔167暴露驱动薄膜晶体管T1的栅电极125a的部分区域,并且第八接触孔168暴露半导体131的右侧垂直部分的下端(发射控制薄膜晶体管T6的源电极176f)。此外,第九接触孔169暴露半导体131的右侧垂直部分之下的额外延伸部的端部(旁路薄膜晶体管T7的漏电极177g)。

[0205] 数据线171、具有扩张区域175的第二驱动电压线172、第一连接部件173、第二连接部件174和第三连接部件178形成在层间绝缘层160上。

[0206] 数据线171穿过第四接触孔164以在垂直方向延伸,并且通过第四接触孔164与开关薄膜晶体管T2的源电极176b连接。因此,在数据线171中流动的数据电压被传送至开关薄膜晶体管T2的源电极176b。

[0207] 第二驱动电压线172在垂直方向延伸,并且通过第一接触孔161与第一驱动电压线126连接。第一驱动电压线126在水平方向传送驱动电压ELVDD,并且第二驱动电压线172在垂直方向传送驱动电压ELVDD。第二驱动电压线172具有扩张区域175,并且对于每一个像素形成一个扩张区域。第二驱动电压线172的扩张区域175构成存储电容器Cst的第二电极175。驱动电压ELVDD被施加至存储电容器Cst的第二电极175。存储电容器Cst的第二电极175与驱动薄膜晶体管T1的栅电极125a和具有反向‘’形的驱动薄膜晶体管T1的半导体131a重叠。存储电容器Cst通过驱动薄膜晶体管T1的栅电极125a、存储电容器Cst的第二电极175、和该栅电极125a与第二电极175之间的层间绝缘层160构成。

[0208] 根据第二驱动电压线172的上述结构,因为第二驱动电压线172和存储电容器Cst的第二电极175由相同材料一起形成,所以存储电容器Cst的电极不需要形成在单独的层上。因此,减少制造中使用的掩模数量。当考虑掩模的单位价格时,减少了制造成本并且缩短了制造时间。

[0209] 第一连接部件173通过第二接触孔162、第三接触孔163和第九接触孔169来连接初

始化电压线124、第二初始化薄膜晶体管T4-2的源电极176d-2和旁路薄膜晶体管T7的漏电极177g。因此,初始化电压V_{int}被施加至第二初始化薄膜晶体管T4-2的源电极176d-2和旁路薄膜晶体管T7的漏电极177g。这里因为第一和第二初始化薄膜晶体管T4-1和T4-2可以表示为具有双栅结构的一个薄膜晶体管,所以可以理解初始化电压V_{int}被施加至初始化薄膜晶体管T4的源电极S4。

[0210] 第二连接部件174通过第六接触孔166和第七接触孔167连接第一补偿薄膜晶体管T3-1的漏电极177c-1和驱动薄膜晶体管T1的栅电极125a。因此,第一补偿薄膜晶体管T3-1的漏电极177c-1的电压被施加至驱动薄膜晶体管T1的栅电极125a。驱动薄膜晶体管T1的栅电极125a的一部分具有暴露区域,该暴露区域不与第二驱动电压线172的扩张区域175重叠,并且该暴露区域通过第二连接部件174与第一补偿薄膜晶体管T3-1的漏电极177c-1连接。

[0211] 第三连接部件178形成在第八接触孔168上,以与发射控制薄膜晶体管T6的源电极176f连接。平面化层180设置在第三连接部件178上。第一上接触孔181包括在平面化层180中,以暴露第三连接部件178。像素电极191设置在平面化层180上,并且像素电极191和第三连接部件178通过平面化层180的第一上接触孔181彼此连接。因此,像素电极191与发射控制薄膜晶体管T6的源电极176f连接。有机发射层370设置像素电极191上,并且公共电极270设置在有机发射层370上。像素电极191、有机发射层370和公共电极270构成有机发光二极管70,并且像素电极191是有机发光二极管70的阳极。

[0212] 驱动薄膜晶体管T1通过栅电极125a、半导体131a、源电极176a和漏电极177a构成,开关薄膜晶体管T2通过栅电极125b、半导体131b、源电极176b和漏电极177b构成,补偿薄膜晶体管T3-1和T3-2分别通过栅电极125c-1、半导体131c-1、源电极176c-1和漏电极177c-1、和栅电极125c-2、半导体131c-2、源电极176c-2和漏电极177c-2构成,初始化薄膜晶体管T4-1和T4-2分别通过栅电极125d-1、半导体131d-1、源电极176d-1和漏电极177d-1、和栅电极125d-2、半导体131d-2、源电极176d-2和漏电极177d-2构成,操作控制薄膜晶体管T5通过栅电极125e、半导体131e、源电极176e和漏电极177e构成,发射控制薄膜晶体管T6通过栅电极125f、半导体131f、源电极176f和漏电极177f构成,并且旁路薄膜晶体管T7通过栅电极125g、半导体131g、源电极176g和漏电极177g构成。此外,存储电容器C_{st}通过栅电极125a和扩张区域175构成。

[0213] 甚至在图17至图19的示例性实施方式中,可以根据图3至图5的示例性实施方式的制造方法来制造有机发光二极管显示设备。

[0214] 图20至图22示出有机发光二极管显示设备的另一实施方式。在图20至图22中,包括与图15相同的电路结构。但是,与图17至图19不同,存在以下区别:第一驱动电压线不与扫描线121形成在相同的层上,而与像素电极191形成在相同的层上。在图20的示例性实施方式中,第一驱动电压线192通过第一接触孔161接触第二驱动电压线172,但是第一接触孔161设置在平面化层180中。此外,在布局图上,第一驱动电压线192与初始化电压线124重叠。

[0215] 图20示出像素的另一布局实施方式,图21示出三个相邻像素的另一布局实施方式,以及图22示出沿线XXII-XXII得到的图20的有机发光二极管显示设备的剖视图。

[0216] 图20中的像素包括分别施加扫描信号S_n、先前扫描信号S_{n-1}、发射控制信号E_m、旁

路信号BP和初始化电压Vint的并且在行方向形成的扫描线121、先前扫描线122、发射控制线123、旁路控制线128和初始化电压线124,并且包括与扫描线121、先前扫描线122、发射控制线123、旁路控制线128和初始化电压线124都相交的并且施加数据信号Dm至像素的数据线171。

[0217] 像素还包括用于施加驱动电压ELVDD的驱动电压线192/172。驱动电压线192/172由第一驱动电压线192和第二驱动电压线172构成,第一驱动电压线192与扫描线121平行并且与像素电极191设置在相同的层上,第二驱动电压线172与数据线171平行。第一驱动电压线192和第二驱动电压线172彼此电连接。

[0218] 像素还包括驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5、发射控制薄膜晶体管T6、旁路薄膜晶体管T7、存储电容器Cst和有机发光二极管OLED。参照图20的示例性实施方式,补偿薄膜晶体管T3-1和T3-2和初始化薄膜晶体管T4-1和T4-2具有双栅结构,并且以下将被描述为彼此连接的晶体管。

[0219] 驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5和发射控制薄膜晶体管T6的沟道形成在一个连接的半导体131内部,并且半导体131形成为被弯曲成各种形状。根据图17的示例性实施方式的半导体131包括垂直部分,该垂直部分在根据驱动薄膜晶体管T1的半导体131a的左侧和右侧处在垂直方向(与数据线171平行的方向)中延伸,并且每个垂直部分的两端被弯曲。此外,额外延伸将被弯曲成‘’形的部分包括在右侧垂直部分之上,并且向下额外延伸的部分包括在右侧垂直部分之下。

[0220] 驱动薄膜晶体管T1的半导体131a具有反向‘’形,反向‘’形的大部分构成驱动薄膜晶体管T1的半导体131a,并且驱动薄膜晶体管T1的源电极176a和漏电极177a分别设置在与设置在左侧和右侧处的垂直部分相邻的部分处。在示例性实施方式中驱动薄膜晶体管T1的半导体131a具有反向‘’形,但是可以具有各种形状,并且具有包括一个或多个弯曲部分的结构是更好的。此外,驱动薄膜晶体管T1的半导体131a包括在第一方向延伸的多个第一延伸部31和在与第一方向不同的第二方向延伸的多个第二延伸部32,并且弯曲部分33可以具有连接第一延伸部31与第二延伸部32的结构。

[0221] 在与驱动薄膜晶体管T1的源电极176a连接的左侧垂直部分处,形成有设置在上方的开关薄膜晶体管T2的半导体131b和设置在下方的操作控制薄膜晶体管T5的半导体131e。在开关薄膜晶体管T2的半导体131b和操作控制薄膜晶体管T5的半导体131e之间,开关薄膜晶体管T2的漏电极177b和操作控制薄膜晶体管T5的漏电极177e设置成与驱动薄膜晶体管T1的源电极176a连接。

[0222] 开关薄膜晶体管T2的源电极176b设置在开关薄膜晶体管T2的半导体131b之上,并且操作控制薄膜晶体管T5的源电极176e设置在操作控制薄膜晶体管T5的半导体131e之下。

[0223] 在与驱动薄膜晶体管T1的漏电极177a连接的右侧垂直部分处,形成有设置在上方的补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2和设置在下方的发射控制薄膜晶体管T6的半导体131f。在补偿薄膜晶体管T3-1和T3-2的半导体131c-1和131c-2与发射控制薄膜晶体管T6的半导体131f之间,补偿薄膜晶体管T3-1和T3-2的第二补偿薄膜晶体管T3-2的源电极176c-2和发射控制薄膜晶体管T6的源电极176f设置成与驱动薄膜晶体管T1的漏

电极177a连接。下面将更详细地描述补偿薄膜晶体管T3-1和T3-2的结构。

[0224] 补偿薄膜晶体管T3-1和T3-2包括第一补偿薄膜晶体管T3-1和第二补偿薄膜晶体管T3-2,并且第一补偿薄膜晶体管T3-1根据扫描线121的突出进行设置,并且第二补偿薄膜晶体管T3-2根据扫描线121和半导体131的右侧垂直部分彼此重叠的位置处的部分进行设置。

[0225] 首先,第二补偿薄膜晶体管T3-2的源电极176c-2与发射控制薄膜晶体管T6的源电极176f和驱动薄膜晶体管T1的漏电极177a连接,栅电极125c-2设置在扫描线121的与半导体131的右侧垂直部分重叠的部分处,半导体131c-2设置在半导体131的右侧垂直部分的与扫描线121重叠的部分处,并且漏电极177c-2设置在半导体131的右侧垂直部分的半导体131c-2之上。

[0226] 第一补偿薄膜晶体管T3-1的源电极176c-1与第二补偿薄膜晶体管T3-2的漏电极177c-2连接,栅电极125c-1设置在扫描线121的突出处,半导体131c-1设置在半导体131的右侧垂直部分的与扫描线121的突出重叠的部分处,并且漏电极177c-1设置在根据半导体131c-1与源电极176c-1相对的一侧处。第一补偿薄膜晶体管T3-1设置在从半导体131的右侧垂直部分以‘’形额外延伸的部分处。

[0227] 发射控制薄膜晶体管T6的漏电极177f设置在发射控制薄膜晶体管T6的半导体131f之下,并且初始化薄膜晶体管T4-1和T4-2的半导体131d-1和131d-2进一步形成于在第二补偿薄膜晶体管T3-2的半导体131c-2和漏电极177c-1之上额外延伸的‘’形额外延伸部处。在第一初始化薄膜晶体管T4-1的半导体131d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1之间,第一初始化薄膜晶体管T4-1的漏电极177d-1被设置,并且第二初始化薄膜晶体管T4-2的源电极176d-2被设置在额外延伸的‘’形部分的一端处。下面将更详细地描述初始化薄膜晶体管T4-1和T4-2的结构。

[0228] 初始化薄膜晶体管T4-1和T4-2包括第一初始化薄膜晶体管T4-1和第二初始化薄膜晶体管T4-2,并且第一初始化薄膜晶体管T4-1根据先前扫描线122的突出进行设置,并且第二初始化薄膜晶体管T4-2根据先前扫描线122和半导体131的‘’形部分彼此重叠位置处的部分进行设置。

[0229] 首先,第一初始化薄膜晶体管T4-1的源电极176d-1与第一补偿薄膜晶体管T3-1的漏电极177c-1连接,栅电极125d-1设置在先前扫描线122的与半导体131的‘’形部分重叠的部分处,半导体131d-1设置在半导体131的‘’形部分的与先前扫描线122的突出重叠的部分处,并且漏电极177d-1设置在根据半导体131d-1与源电极176d-1相对的一侧处。

[0230] 第二初始化薄膜晶体管T4-2的源电极176d-2与第一初始化薄膜晶体管T4-1的漏电极177d-1连接,栅电极125d-2设置在先前扫描线122的与半导体131的‘’形部分重叠的部分处,半导体131d-2设置在半导体131的‘’形部分的与先前扫描线122重叠的部分处,并且漏电极177d-2设置在作为根据半导体131d-2与源电极176d-2相对的一侧的、半导体131的‘’形部分的一端处。

[0231] 此外,向下额外延伸的部分设置在发射控制薄膜晶体管T6的漏电极177f之下。旁路薄膜晶体管T7的源电极176g设置在与发射控制薄膜晶体管T6的漏电极177f相邻的一侧处,并且接着顺序地设置旁路薄膜晶体管T7的半导体131g和旁路薄膜晶体管T7的漏电极

177g。

[0232] 在另一实施方式中,半导体131可以具有不同结构。半导体131例如可以包括多晶半导体材料。可以仅掺杂相应区域来形成在半导体131中形成的源电极/漏电极。此外,在半导体131中,在不同晶体管的源电极和漏电极之间的区域被掺杂,并且因此源电极和漏电极可以彼此电连接。

[0233] 半导体131形成在绝缘衬底110上,并且缓冲层111可以设置在绝缘衬底110和半导体131之间。缓冲层111可以用于通过在形成多晶半导体的结晶过程中阻止来自绝缘衬底110的杂质来改进多晶半导体的特性,并且可以用于减少施加至绝缘衬底110的应力。

[0234] 覆盖半导体131的栅绝缘层141形成在半导体131上。栅绝缘层141可以由无机绝缘层形成。

[0235] 在行方向形成的扫描线121、先前扫描线122、发射控制线123、初始化电压线124、旁路控制线128和驱动薄膜晶体管T1的栅电极125a被形成在栅绝缘层141上。扫描线121和先前扫描线122分别具有突出,并且扫描线121的突出向先前扫描线122突出,以及先前扫描线122的突出向扫描线121突出。

[0236] 首先,扫描线121的突出在扫描线121的向上方向突出,与第一补偿薄膜晶体管T3-1的半导体131c-1重叠,并且构成第一补偿薄膜晶体管T3-1的栅电极125c-1。第一补偿薄膜晶体管T3-1的源电极176c-1和漏电极177c-1不与第一补偿薄膜晶体管T3-1的栅电极125c-1重叠。

[0237] 先前扫描线122的突出在先前扫描线122的向下方向突出,与第一初始化薄膜晶体管T4-1的半导体131d-1重叠,并且构成第一初始化薄膜晶体管T4-1的栅电极125d-1。第一初始化薄膜晶体管T4-1的源电极176d-1和漏电极177d-1不与第一初始化薄膜晶体管T4-1的栅电极125d-1重叠。

[0238] 发射控制线123设置在扫描线121之下,并且发射控制线123分别与半导体131的左侧垂直部分和右侧垂直部分重叠。发射控制线123与半导体131的左侧垂直部分的操作控制薄膜晶体管T5的半导体131e重叠,但不与操作控制薄膜晶体管T5的源电极176e和漏电极177e重叠。此外,发射控制线123与半导体131的右侧垂直部分的发射控制薄膜晶体管T6的半导体131f重叠,但不与发射控制薄膜晶体管T6的源电极176f和漏电极177f重叠。

[0239] 初始化电压线124设置在先前扫描线122之上,并且初始化电压线124具有部分扩张区域。初始化电压线124的扩张区域将被扩张,以容易地接触另一导线。初始化电压线124不与半导体131重叠。

[0240] 旁路控制线128在像素底部处在水平方向延伸并且与半导体131的右侧垂直部分之下的额外延伸部重叠,并且旁路薄膜晶体管T7的半导体131g设置在被重叠的额外延伸部处。

[0241] 驱动薄膜晶体管T1的栅电极125a形成为四边形的形状,并且与半导体131的反向‘己’形部分(即驱动薄膜晶体管T1的半导体131a)重叠。驱动薄膜晶体管T1的源电极176a和漏电极177a不与驱动薄膜晶体管T1的栅电极125a重叠。

[0242] 层间绝缘层160覆盖在扫描线121、先前扫描线122、发射控制线123、初始化电压线124、旁路控制线128、驱动薄膜晶体管T1的栅电极125a、和暴露的栅绝缘层141上。层间绝缘层160可以由无机绝缘层形成。

[0243] 多个接触孔161、162、163、164、165、166、167、168和169形成在层间绝缘层160中。第一接触孔161暴露第一驱动电压线126的扩张区域,第二接触孔162暴露初始化电压线124的扩张区域,并且第三接触孔163暴露半导体131的额外延伸的‘’形部分的端部(第二初始化薄膜晶体管T4-2的源电极176d-2)。第四接触孔164暴露半导体131的左侧垂直部分的上端(开关薄膜晶体管T2的源电极176b),第五接触孔165暴露半导体131的左侧垂直部分的下端(操作控制薄膜晶体管T5的源电极176e),第六接触孔166暴露第一补偿薄膜晶体管T3-1的漏电极177c-1,该漏电极177c-1是从半导体131的右侧垂直部分额外延伸的‘’形部分的一部分。第七接触孔167暴露驱动薄膜晶体管T1的栅电极125a的部分区域,并且第八接触孔168暴露半导体131的右侧垂直部分的下端(发射控制薄膜晶体管T6的源电极176f)。此外,第九接触孔169暴露半导体131的右侧垂直部分之下的额外延伸部的端部(旁路薄膜晶体管T7的漏电极177g)。

[0244] 数据线171、具有扩张区域175的第二驱动电压线172、第一连接部件173、第二连接部件174和第三连接部件178形成在层间绝缘层160上。

[0245] 数据线171穿过第四接触孔164以在垂直方向延伸,并且通过第四接触孔164与开关薄膜晶体管T2的源电极176b连接。因此,在数据线171中流动的数据电压被传送至开关薄膜晶体管T2的源电极176b。

[0246] 第二驱动电压线172在垂直方向延伸,并且驱动电压ELVDD在垂直方向传送。第二驱动电压线172具有扩张区域175,并且对于每一个像素形成一个扩张区域。第二驱动电压线172的扩张区域175构成存储电容器Cst的第二电极175。驱动电压ELVDD被施加至存储电容器Cst的第二电极175。存储电容器Cst的第二电极175与驱动薄膜晶体管T1的栅电极125a和具有反向‘’形的驱动薄膜晶体管T1的半导体131a重叠。存储电容器Cst通过驱动薄膜晶体管T1的栅电极125a、存储电容器Cst的第二电极175、和该栅电极125a与第二电极175之间的层间绝缘层160构成。

[0247] 根据第二驱动电压线172的上述结构,因为第二驱动电压线172和存储电容器Cst的第二电极175由相同材料一起形成,所以存储电容器Cst的电极不需要形成在单独的层上,并且因此减少制造过程期间使用的掩模的数量。当考虑掩模的单位价格时,减少了制造成本被并且缩短了制造时间被。

[0248] 第一连接部件173通过第二接触孔162、第三接触孔163和第九接触孔169来连接初始化电压线124、第二初始化薄膜晶体管T4-2的源电极176d-2和旁路薄膜晶体管T7的漏电极177g。因此,初始化电压Vint被施加至第二初始化薄膜晶体管T4-2的源电极176d-2和旁路薄膜晶体管T7的漏电极177g。这里因为第一和第二初始化薄膜晶体管T4-1和T4-2可以表示为具有双栅结构的一个薄膜晶体管,所以可以理解初始化电压Vint被施加至初始化薄膜晶体管T4的源电极S4。

[0249] 第二连接部件174通过第六接触孔166和第七接触孔167连接第一补偿薄膜晶体管T3-1的漏电极177c-1和驱动薄膜晶体管T1的栅电极125a。因此,第一补偿薄膜晶体管T3-1的漏电极177c-1的电压被施加至驱动薄膜晶体管T1的栅电极125a。驱动薄膜晶体管T1的栅电极125a的一部分具有暴露区域,该暴露区域不与第二驱动电压线172的扩张区域175重叠,并且该暴露区域通过第二连接部件174与第一补偿薄膜晶体管T3-1的漏电极177c-1连接。

[0250] 第三连接部件178形成在第八接触孔168上,以与发射控制薄膜晶体管T6的源电极176f连接。平面化层180设置在第三连接部件178上。在平面化层180中,存在暴露第三连接部件178的第一上接触孔181和暴露第一驱动电压线192的一部分的第二上接触孔182,并且第二驱动电压线172由第二上接触孔182暴露。

[0251] 像素电极191和第一驱动电压线192形成在平面化层180上。首先,像素电极191通过平面化层180的第一上接触孔181与第三连接部件178连接。因此,像素电极191与发射控制薄膜晶体管T6的漏电极177f连接。

[0252] 第一驱动电压线192如扫描线121那样在水平方向延伸,并且具有部分扩张区域以容易地接触另一导线。第一驱动电压线192通过第二上接触孔182与第二驱动电压线172电连接,并且第一驱动电压线192在水平方向传送驱动电压ELVDD。在布局图上,第一驱动电压线192与初始化电压线124重叠,以减少像素的面积。

[0253] 有机发射层370设置在像素电极191上,并且公共电极270设置在有机发射层370上。像素电极191、有机发射层370和公共电极270构成有机发光二极管70,并且像素电极191是有机发光二极管70的阳极。

[0254] 驱动薄膜晶体管T1通过栅电极125a、半导体131a、源电极176a和漏电极177a构成,开关薄膜晶体管T2通过栅电极125b、半导体131b、源电极176b和漏电极177b构成,补偿薄膜晶体管T3-1和T3-2分别通过栅电极125c-1、半导体131c-1、源电极176c-1和漏电极177c-1、和栅电极125c-2、半导体131c-2、源电极176c-2和漏电极177c-2构成,初始化薄膜晶体管T4-1和T4-2分别通过栅电极125d-1、半导体131d-1、源电极176d-1和漏电极177d-1、和栅电极125d-2、半导体131d-2、源电极176d-2和漏电极177d-2构成,操作控制薄膜晶体管T5通过栅电极125e、半导体131e、源电极176e和漏电极177e构成,发射控制薄膜晶体管T6通过栅电极125f、半导体131f、源电极176f和漏电极177f构成,并且旁路薄膜晶体管T7通过栅电极125g、半导体131g、源电极176g和漏电极177g构成。此外,存储电容器Cst通过栅电极125a和扩张区域175构成。

[0255] 甚至在图20至图22的示例性实施方式中,可以根据图3至图5的示例性实施方式的制造方法来制造有机发光二极管显示设备。

[0256] 图23至图28示出有机发光二极管显示中两个相邻像素的布局实施方式。具体地,图23示出两个相邻像素,作为图3的像素变型示例。

[0257] 与两个相邻像素连接的两个数据线171彼此相邻,并且两个像素具有根据设置在两个相邻数据线171之间的任何线(以下被称为对称参考线)的线对称结构。

[0258] 设置在图23所示的两个像素的左侧处的像素(以下被称为第一像素)具有与图3相同的结构,但是存在以下区别:第一驱动电压线126根据第二驱动电压线172仅在一个方向延伸。设置在第一驱动电压线126的延伸方向的像素(设置在图23的右侧的像素,以下被称为第二像素)根据对称参考线与第一像素对称。

[0259] 根据图23所示的像素,驱动电压ELVDD被施加至第二驱动电压线172和第一驱动电压线126,并且被公用地施加至包括这两个相邻像素(第一像素和第二像素)的两个像素列。在图3中,因为第一驱动电压线126与所有相邻像素连接的结构,所以存在以下区别:驱动电压ELVDD公用地施加至设置在一行中的所有像素。在图23的示例性实施方式中,在显示区的外部,额外设置与第二驱动电压线172连接的线,以公用地将驱动电压ELVDD施加至相邻的

第二驱动电压线172。

[0260] 图24的示例性实施方式包括两个相邻像素,作为图12所示的有机发光二极管显示器的像素的变型示例。甚至在图24中,与图23相似,与两个相邻像素连接的两个数据线171彼此相邻,并且两个像素具有根据设置在两个相邻数据线171之间的任何线(以下被称为对称参考线)的线对称结构。

[0261] 设置在图24所示的两个像素的左侧处的像素(以下被称为第一像素)具有与图12相同的结构,但是存在以下区别:第一驱动电压线192根据第二驱动电压线172仅在一个方向延伸。设置在第一驱动电压线192的延伸方向的像素(设置在图24的右侧的像素,以下被称为第二像素)根据对称参考线与第一像素对称。

[0262] 根据图24所示的像素,驱动电压ELVDD被施加至第二驱动电压线172和第一驱动电压线192,并且被公用地施加至包括这两个相邻像素(第一像素和第二像素)的两个像素列。在图12中,因为第一驱动电压线192与所有相邻像素连接的结构,所以存在以下区别:驱动电压ELVDD公用地施加至设置在一行中的所有像素。在图24的示例性实施方式中,在显示区的外部,额外设置与第二驱动电压线172连接的线,以公用地将驱动电压ELVDD施加至相邻的第二驱动电压线172。

[0263] 在图24的示例性实施方式中,与图23的示例性实施方式不同,第一驱动电压线192与像素电极191由相同的材料形成。

[0264] 图25示出两个相邻像素的附加实施方式,作为图17中的像素的变型示例。与两个相邻像素连接的两个数据线171彼此相邻,并且两个像素具有根据设置在两个相邻数据线171之间的任何线(以下被称为对称参考线)的线对称结构。

[0265] 设置在图25所示的两个像素的左侧处的像素(以下被称为第一像素)具有与图17相同的结构,但是存在以下区别:第一驱动电压线126根据第二驱动电压线172仅在一个方向延伸。设置在第一驱动电压线126的延伸方向的像素(设置在图25的右侧的像素,以下被称为第二像素)根据对称参考线与第一像素对称。

[0266] 根据图25所示的像素,驱动电压ELVDD被施加至第二驱动电压线172和第一驱动电压线126,并且被公用地施加至包括这两个相邻像素(第一像素和第二像素)的两个像素列。在图17中,因为第一驱动电压线126与所有相邻像素连接的结构,存在以下区别:驱动电压ELVDD公用地施加至设置在一行中的所有像素。在图25的示例性实施方式中,在显示区的外部,额外设置与第二驱动电压线172连接的线,以公用地将驱动电压ELVDD施加至相邻的第二驱动电压线172。

[0267] 图26示出两个相邻像素的另一实施方式,作为图20中的有机发光二极管显示器的变型示例。甚至在图26中,与图25相似,与两个相邻像素连接的两个数据线171彼此相邻,并且两个像素具有根据设置在两个相邻数据线171之间的任何线(以下被称为对称参考线)的线对称结构。

[0268] 设置在图26所示的两个像素的左侧处的像素(以下被称为第一像素)具有与图20相同的结构,但是存在以下区别:第一驱动电压线192根据第二驱动电压线172仅在一个方向延伸。设置在第一驱动电压线192的延伸方向的像素(设置在图26的右侧的像素,以下被称为第二像素)根据对称参考线与第一像素对称。

[0269] 根据图26所示的像素,驱动电压ELVDD被施加至第二驱动电压线172和第一驱动电

压线192,并且被公用地施加至包括该两个相邻像素(第一像素和第二像素)的两个像素列。在图20中,因为第一驱动电压线192与所有相邻像素连接的结构,所以存在以下区别:驱动电压ELVDD公用地施加至设置在一行中的所有像素。在图26的示例性实施方式中,在显示区的外部,额外设置与第二驱动电压线172连接的线,以公用地将驱动电压ELVDD施加至相邻的第二驱动电压线172。

[0270] 在图26的示例性实施方式中,与图25的示例性实施方式不同,第一驱动电压线192与像素电极191由相同的材料形成。

[0271] 图27和图28分别示出根据图3所示的有机发光二极管显示器的像素的示例性变型的、彼此相邻的两个像素PX。具体地,图27和图28示出位于两个分离数据线171之间的两个相邻像素PX,其不同于图23所示的两个相邻像素PX。

[0272] 图27和图28所示的每个像素具有与图15所示的有机发光二极管显示器相同的结构。

[0273] 两个相邻像素PX具有相对于两个像素PX之间设置的线(被称为对称参考线)的轴对称结构。

[0274] 根据本示例性实施方式的有机发光二极管显示器的像素包括分别接收扫描信号 S_n 、先前扫描信号 $S_{(n-1)}$ 、发射控制信号 E_m 和旁路信号BP的并且沿第一方向Dir1形成的扫描线121、先前扫描线122、发射控制线123和旁路控制线128,该第一方向Dir1是图27和图28的平面图中的水平方向,并且该有机发光二极管显示器的像素包括与扫描线121、先前扫描线122、发射控制线123和旁路控制线128相交的并且施加数据信号 D_m 至像素的数据线171。在根据本示例性实施方式的有机发光二极管显示器中,省略了之前示例性实施方式的初始化电压线124,并且进一步包括具有与上述初始化电压线124不同的结构的初始化电压线193。初始化电压线193与之前描述的示例性实施方式的像素电极191设置在相同的层中,并且与像素电极191分离。初始化电压线193大体在第一方向Dir1延伸并且可以周期地弯曲,但是其结构不限于此。

[0275] 根据本示例性实施方式的有机发光二极管显示器还包括施加驱动电压ELVDD的驱动电压线126/172/179h。驱动电压线126/172/179h包括第一驱动电压线126、第二驱动电压线172和第三驱动电压线179h。

[0276] 第一驱动电压线126大体与扫描线121平行,并且如图27和图28所示,第一驱动电压线126可以将两个相邻的第二驱动电压线172彼此连接。但是,第一驱动电压线126可以在水平方向延伸穿过多个像素。

[0277] 第三驱动电压线179h在第一方向Dir1延伸并且可以电连接两个相邻的第二驱动电压线172。第一驱动电压线126和第二驱动电压线172彼此电连接,并且第三驱动电压线179h通过层间绝缘层160的第五接触孔165与第二驱动电压线172电连接。

[0278] 第三驱动电压线179h还可以包括在第二方向Dir2扩张或突出的扩张部分179v。扩张部分179v大体设置在两个相邻像素PX之间,并且与两个相邻的数据线171中至少之一重叠,从而将绝缘层插设于这两个相邻像素PX之间,并且扩张部分179v可以沿数据线171延伸。图27和图28示例性地示出第三驱动电压线179h的扩张部分179h与两个相邻的数据线171的全部重叠。扩张部分179v在平面图中沿第二方向Dir2延伸并因此与发射控制线123相交,并且可以到达开关薄膜晶体管T2的源电极176b所处的部分的附近。

[0279] 扩张部分179v还可以包括至少一个切口(未示出),该切口位于除与数据线171重叠的部分之外的部分中。例如,扩张部分179v可以包括设置在两个相邻的数据线171之间的切口。

[0280] 当具有导电性的扩张部分179v与数据线171重叠时,数据线171被屏蔽,并且因此可以防止外周区域中的诸如像素电极191、驱动薄膜晶体管T1等的电气元件的电压因通过数据线171传送的数据信号Dm的信号变化而被影响。

[0281] 在剖视结构的图中,第二驱动电压线172设置在与第一驱动电压线126所处的层和第三驱动电压线179h所处的层不同的层中。如在图3至图5、图17至图19、或图23所示的示例性实施方式中,第二驱动电压线172和第一驱动电压线126可以设置在相同的层中。虽然第一驱动电压线126和第三驱动电压线179h分别位于不同层中,但是第三驱动电压线179h与上述示例性实施方式的半导体131设置在相同的层中。

[0282] 可以省略连接两个相邻第二驱动电压线172的第三驱动电压线179h和第一驱动电压线126中的一个。图28示出省略了第一驱动电压线126并且第三驱动电压线179h将第二驱动电压线172在第一方向Dir1彼此连接的示例性实施方式。

[0283] 参照图27和图28以及图15,一个像素PX包括驱动薄膜晶体管T1、开关薄膜晶体管T2、补偿薄膜晶体管T3-1和T3-2、初始化薄膜晶体管T4-1和T4-2、操作控制薄膜晶体管T5、发射控制薄膜晶体管T6、旁路薄膜晶体管T7、存储电容器Cst和有机发光二极管。根据本示例性实施方式的薄膜晶体管的结构与之前描述的示例性实施方式(例如图17所示的示例性实施方式)相同或相似,并且因此以下将仅描述区别。

[0284] 像素PX中的半导体131包括彼此面向的一对垂直部分,从而将驱动薄膜晶体管T1的半导体131a插设于这一对垂直部分之间。

[0285] 驱动薄膜晶体管T1的半导体131a与栅电极125a重叠。半导体131a可以包括第一延伸部31、第二延伸部32和弯曲部分33,但是其结构不限于此。

[0286] 位于图27和图28的左侧像素中的半导体131的左侧垂直部分的大部分不与数据线171重叠,并且主要在第二方向Dir2延伸,并且另外,半导体131的左侧垂直部分的大部分与第二驱动电压线172重叠。

[0287] 和与扫描线121重叠的开关薄膜晶体管T2的半导体131b的上部部分连接的开关薄膜晶体管T2的源电极176b向左侧弯曲,并且通过层间绝缘层160的第四接触孔164与数据线电连接。

[0288] 操作控制薄膜晶体管T5的源电极176e设置在与发射控制线123重叠的操作控制薄膜晶体管T5的半导体131e之下,并且源电极176e通过层间绝缘层的第五接触孔165与第二驱动电压线172电连接。

[0289] 操作控制薄膜晶体管T5的源电极176e直接与相同层中的第三驱动电压线179h连接。也就是说,第三驱动电压线179h通过层间绝缘层160的第五接触孔165与第二驱动电压线172电连接。

[0290] 与扫描线121重叠的补偿薄膜晶体管T3-1和T3-2的半导体和与先前扫描线122重叠的初始化薄膜晶体管T4-1和T4-2的半导体沿半导体131的延伸方向在位于图27所示的左侧像素PX中的半导体131的右侧垂直部分的上侧处顺序地形成。

[0291] 与发射控制线123重叠的发射控制薄膜晶体管T6的半导体和与旁路控制线128重

叠的旁路薄膜晶体管T7的半导体沿半导体131的延伸方向在位于图27所示的左侧像素PX中的半导体131的右侧垂直部分的下侧处顺序地设置。

[0292] 两个相邻像素PX的第二初始化薄膜晶体管T4-2的源电极176d-2在相同层中彼此连接。与两个相邻像素PX之间的边界重叠的第一连接部件173通过层间绝缘层的第三接触孔163与第二初始化薄膜晶体管T4-2的源电极176d-2电连接。第一连接部件173通过层设在第一连接部件173上的平面化层的第三上接触孔183与初始化电压线193连接,并且将初始化电压V_{int}传送至源电极176d-2。

[0293] 旁路薄膜晶体管T7的漏电极177g通过层间绝缘层的第九接触孔169与第一连接部件173连接,并且因此可以接收初始化电压V_{int}。

[0294] 第二驱动电压线172包括第一部分172e和扩张区域175,第一部分172e不与驱动薄膜晶体管T1的栅电极125a重叠,扩张区域175包括与第一部分172e连接的部分并且与驱动薄膜晶体管T1的栅电极125a重叠。遍及延伸穿过设置在第二方向Dir2的多个像素PX的第二驱动电压线172可以包括交替地设置在第二方向Dir2的第一部分172e和扩张区域175。

[0295] 在图27和图2示出的左侧像素PX中,第二驱动电压线172的右边缘在第一部分172e和扩张区域175之间的交界处弯曲至右侧。因此,扩张区域175的右侧与栅电极125a重叠。第二驱动电压线172的左边缘在第一部分172e和扩张区域175之间的交界处可以是直的或者可以是弯的。具体地,扩张区域175在第一方向Dir1的宽度大于第一部分172e在第一方向Dir1的宽度,以确保第二驱动电压线172和驱动薄膜晶体管T1的栅电极125a的重叠区域。

[0296] 参照图27和图28,两个相邻像素RX中的扩张区域175在相同层中彼此连接。因此,两个相邻的第二驱动电压线172可以通过第一驱动电压线126或第三驱动电压线179h彼此连接,或者两个相邻的第二驱动电压线172可以通过在两个相邻像素PX之间彼此连接的扩张区域175而被连接,因此多个第二驱动电压线172可以在第一方向Dir1彼此连接穿过多个像素。两个相邻的第二驱动电压线172可以通过这样的扩张区域175而彼此连接,其中该扩张区域175甚至在两个相邻像素PX之间未形成有第一驱动电压线126或第三驱动电压线179h的部分中也彼此连接。因此,一致的驱动电压ELVDD可以传送至沿方向Dir1和Dir2设置的全部像素PX中。

[0297] 驱动薄膜晶体管T1的栅电极125a和扩张区域175形成存储电容器C_{st},并且层间绝缘层160插设于驱动薄膜晶体管T1的栅电极125a和扩张区域175之间,并且因为具有宽的宽度的扩张区域175与栅电极125a重叠,所以与不包括扩张区域175的情况相比,存储电容器C_{st}可以具有足够的容量。足够容量的效果与之前描述的相同。

[0298] 根据本示例性实施方式,仅一种类型的层间绝缘层160可以设置在第二驱动电压线172的扩张区域175和驱动薄膜晶体管T1的栅电极125a之间,并且扩张区域175所处的层和驱动薄膜晶体管T1的栅电极125a所处的层之间可以不设置其他导电层。

[0299] 在本文中已经公开了示例性实施方式,并且虽然使用具体术语,但是这些术语仅应以一般性和描述性的意义来使用和解释,并且不用于限制目的。在一些情况下,如在提交本申请时为止对本领域的普通技术人员显而易见的,除非另外明确指出,与关于具体实施方式描述的特征、特性和/或元件可以单独地使用,或者可以与关于其他实施方式描述的特征、特性和/或元件结合使用。因此,本领域的技术人员应当理解,在不脱离如权利要求所描述的本发明精神和范围的情况下,可以在形式和细节上进行各种变化。

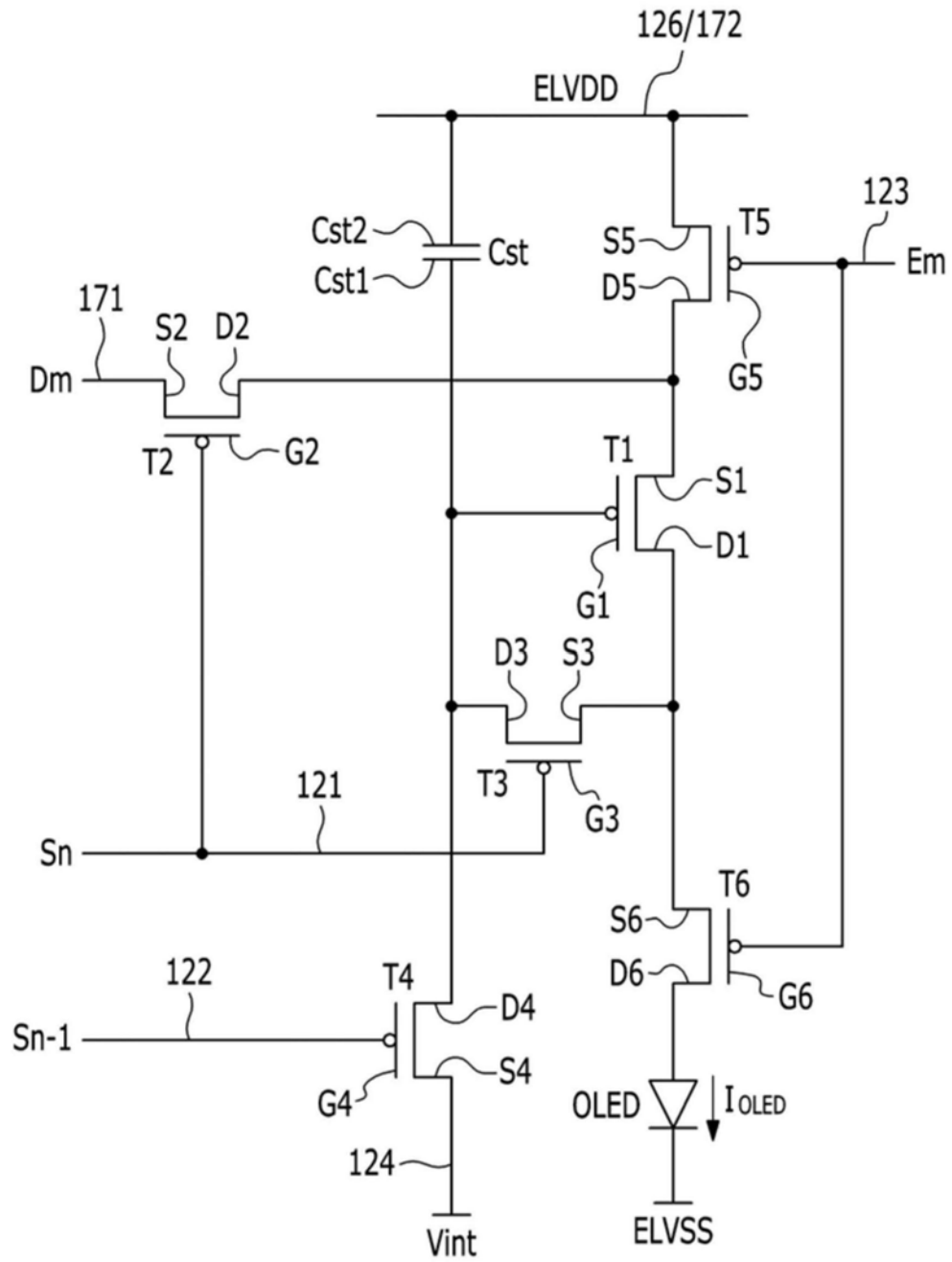


图1

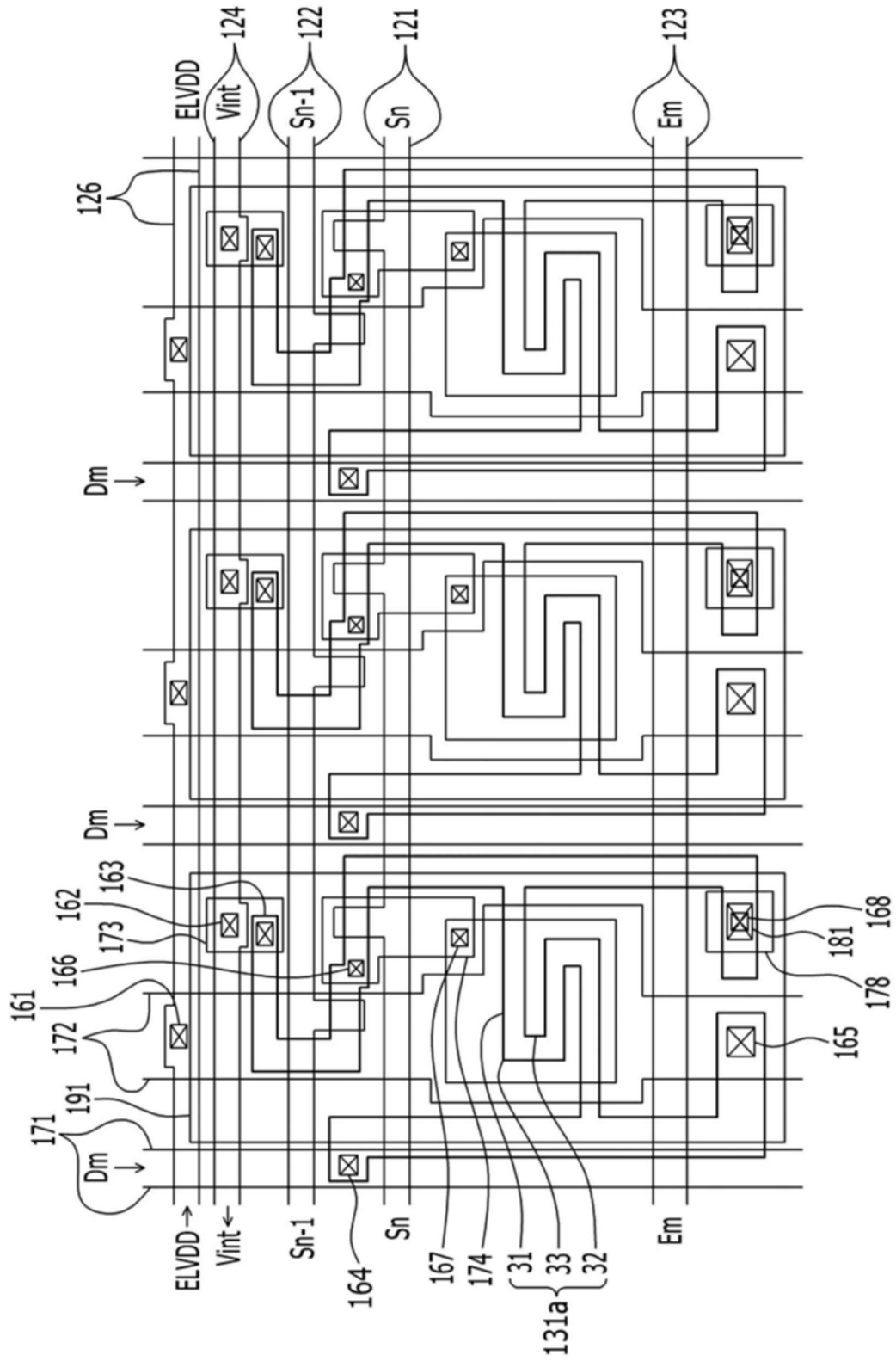


图4

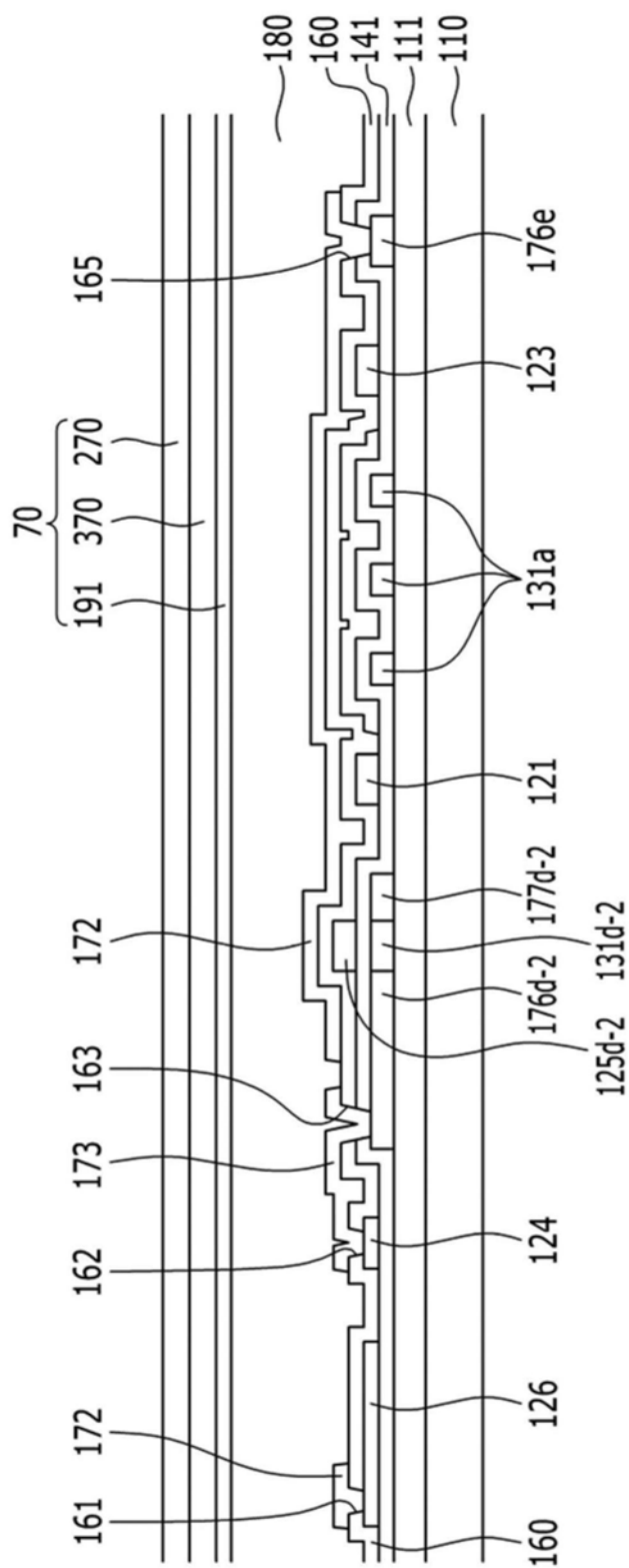


图5

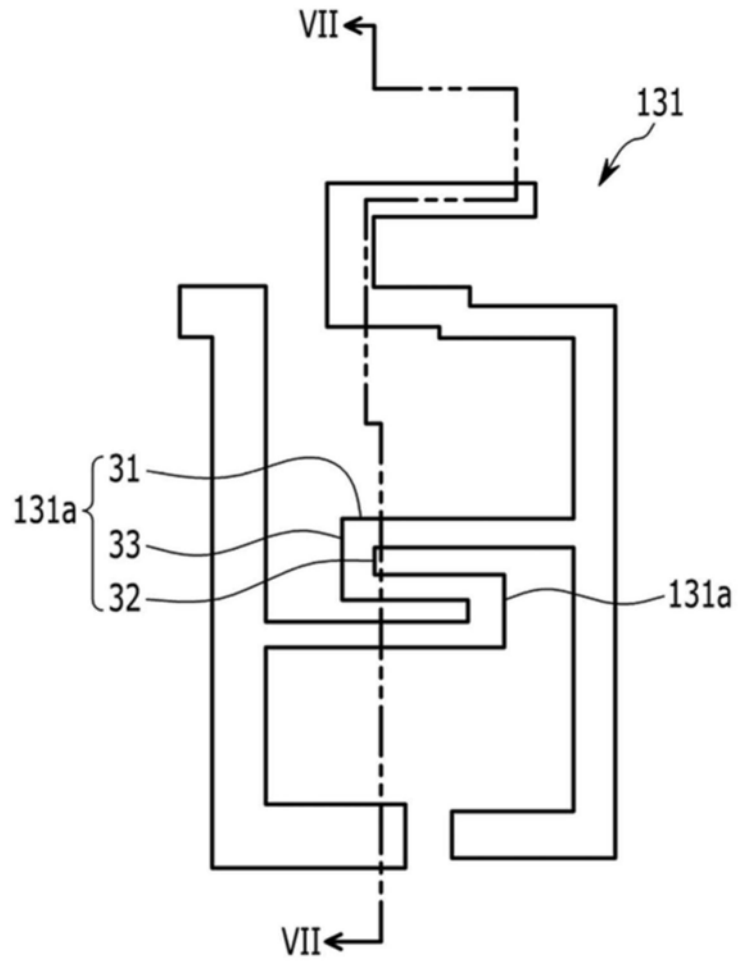


图6

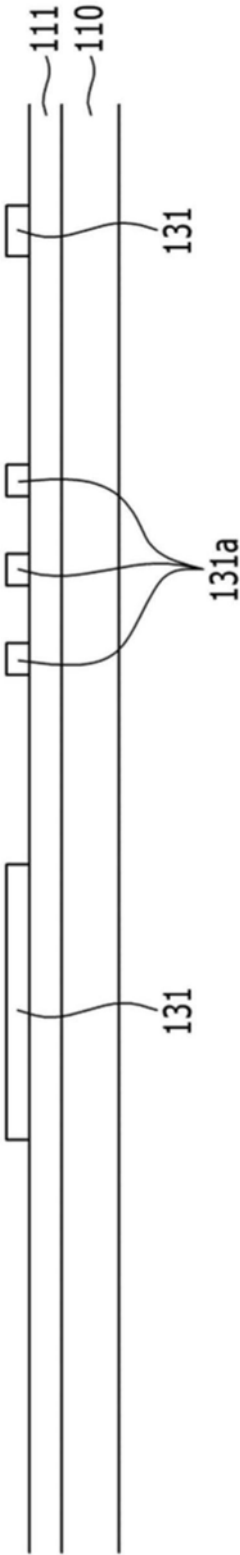


图7

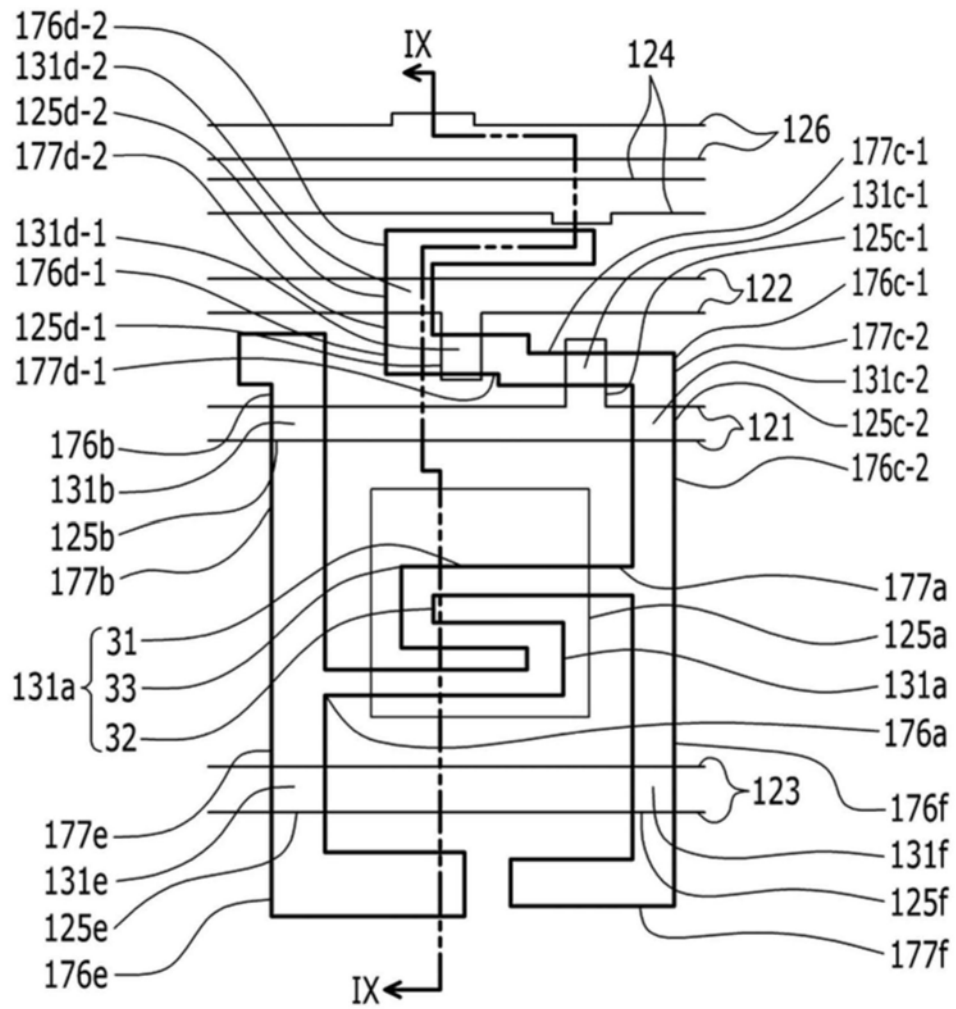


图8

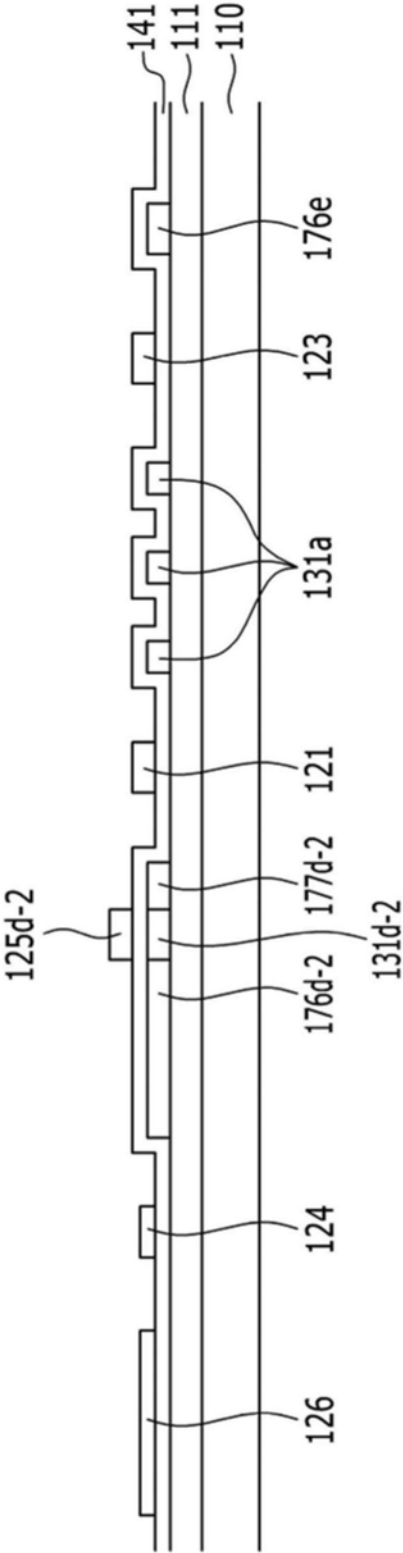


图9

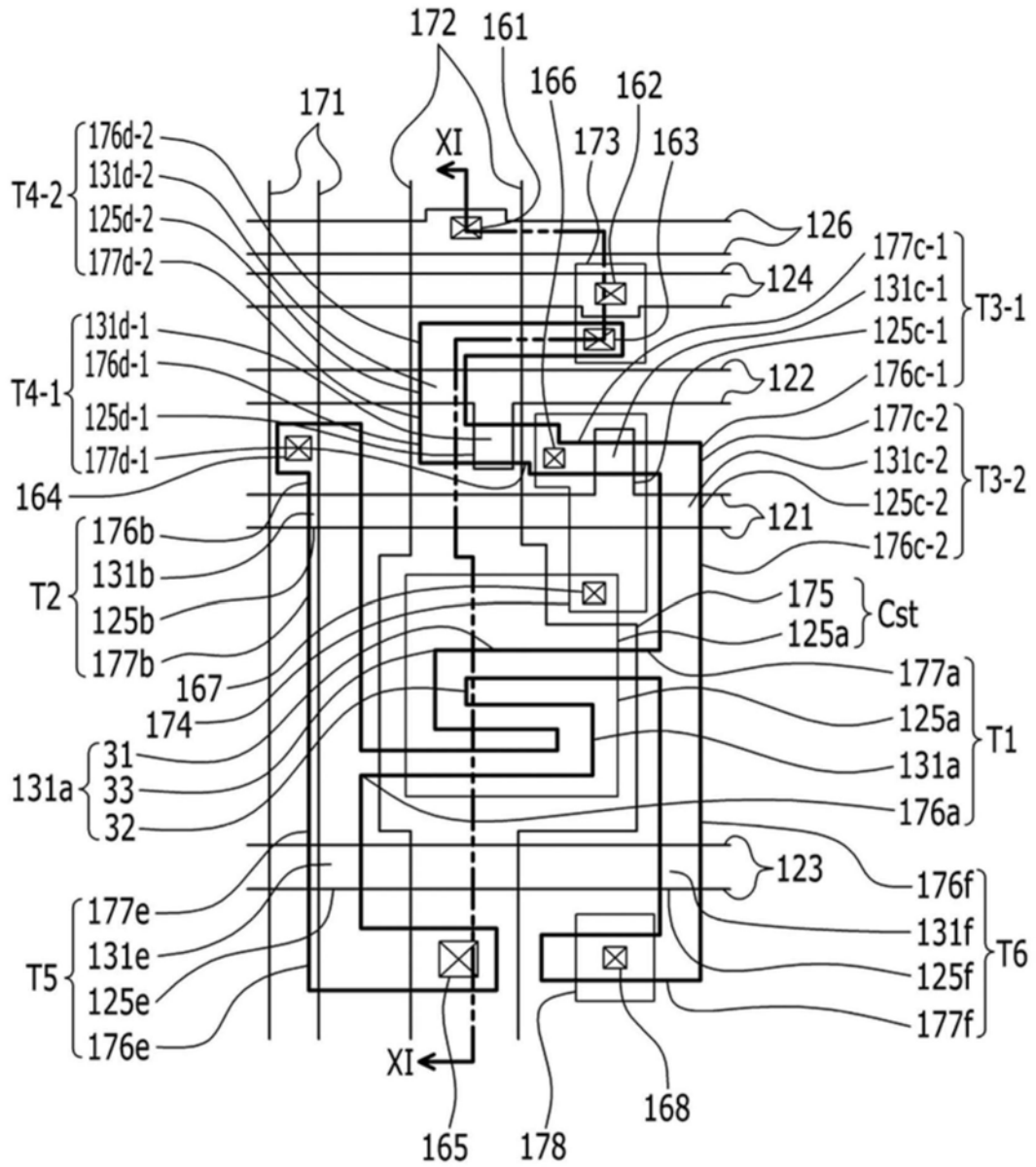


图10

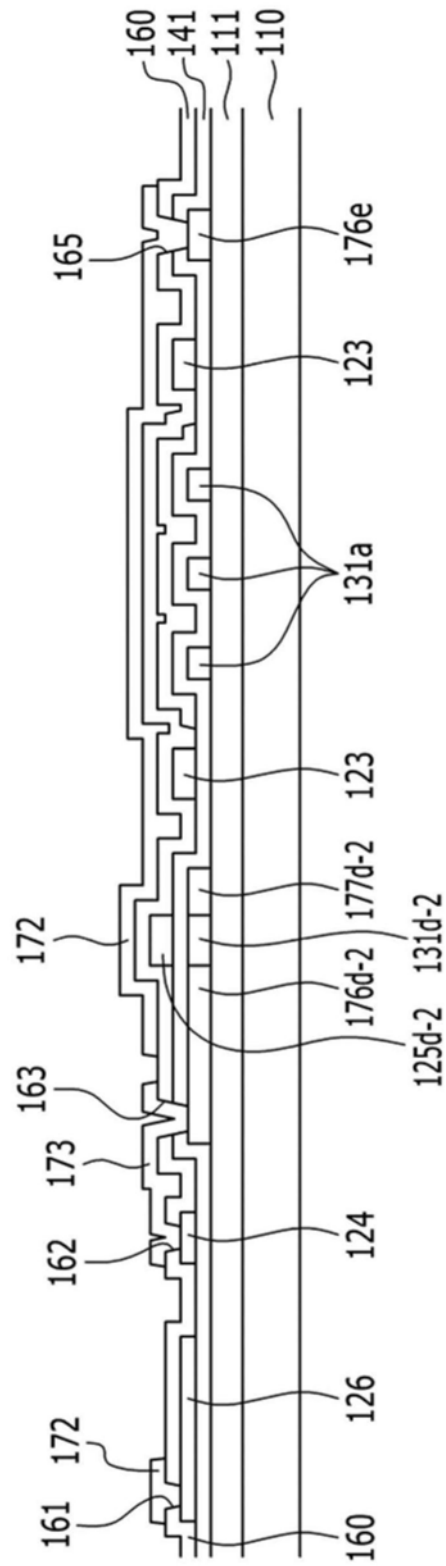


图11

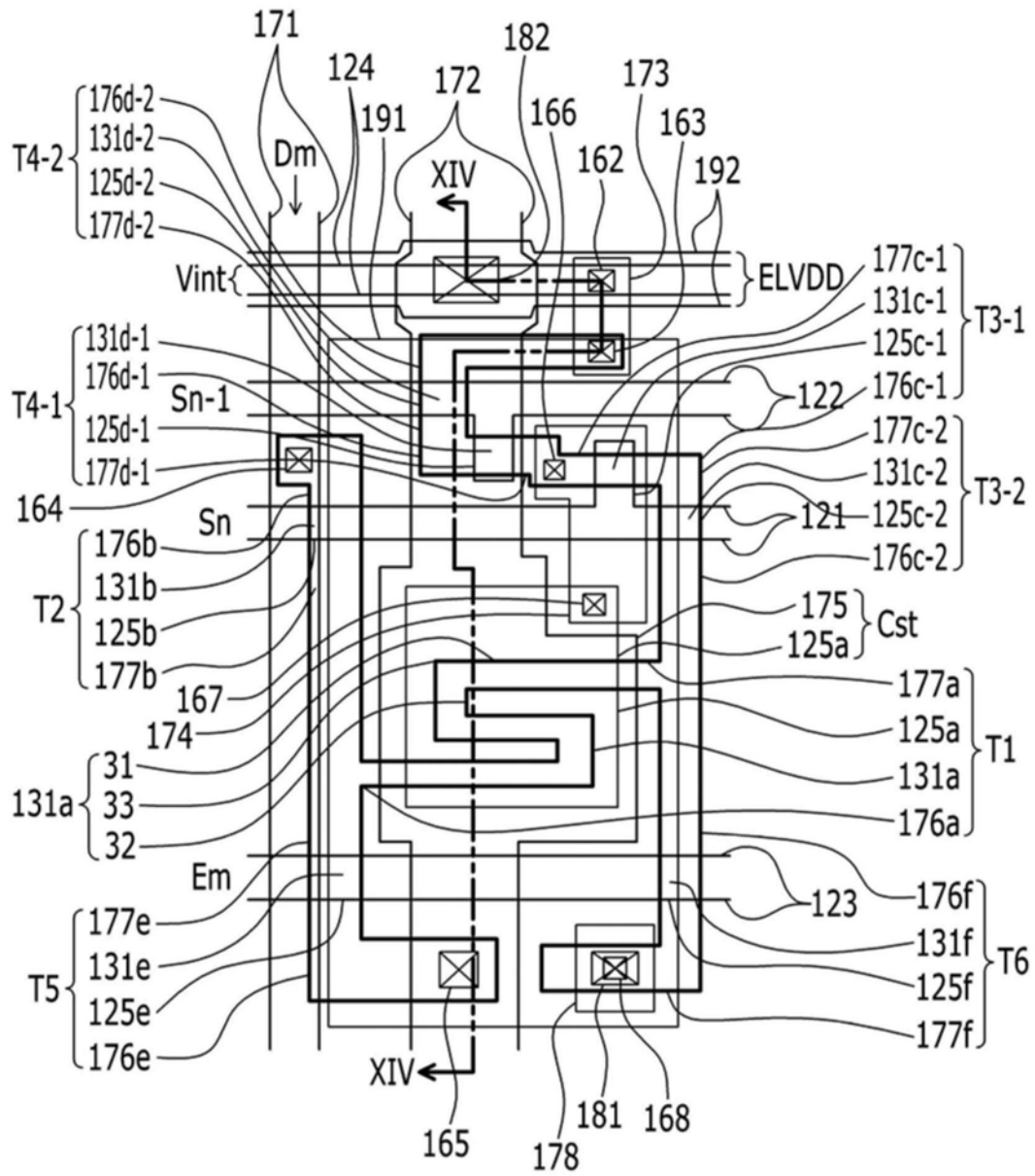


图12

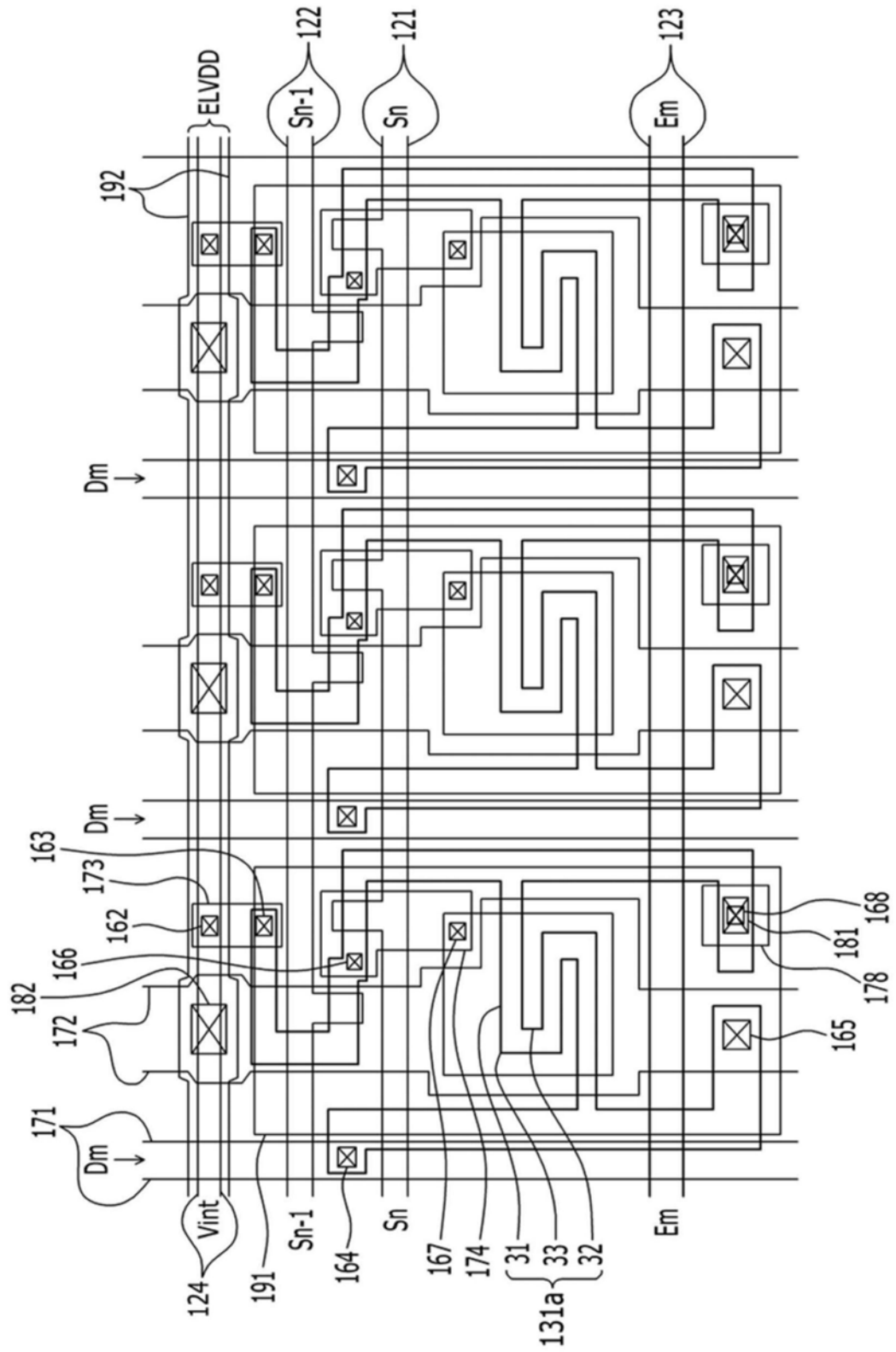


图13

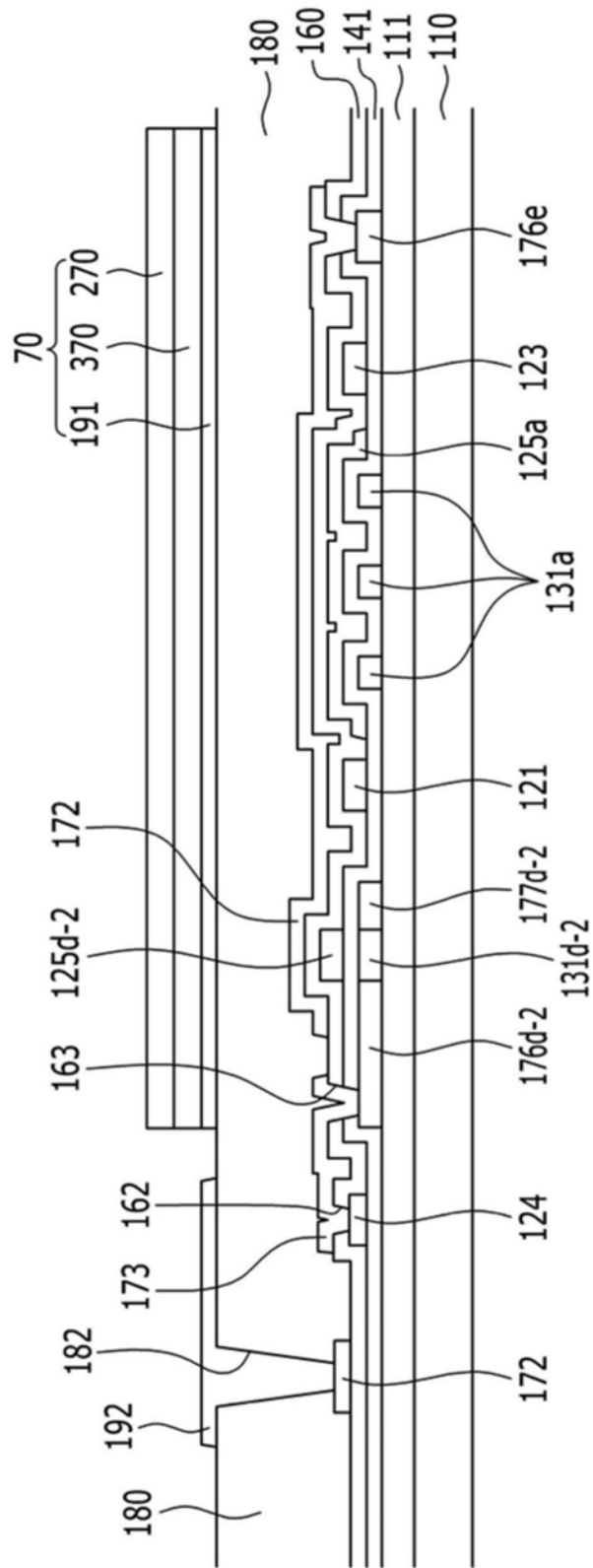


图14

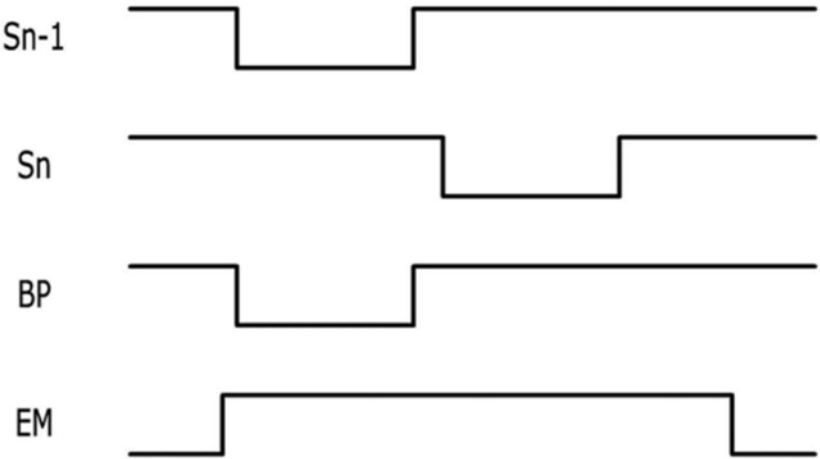


图16

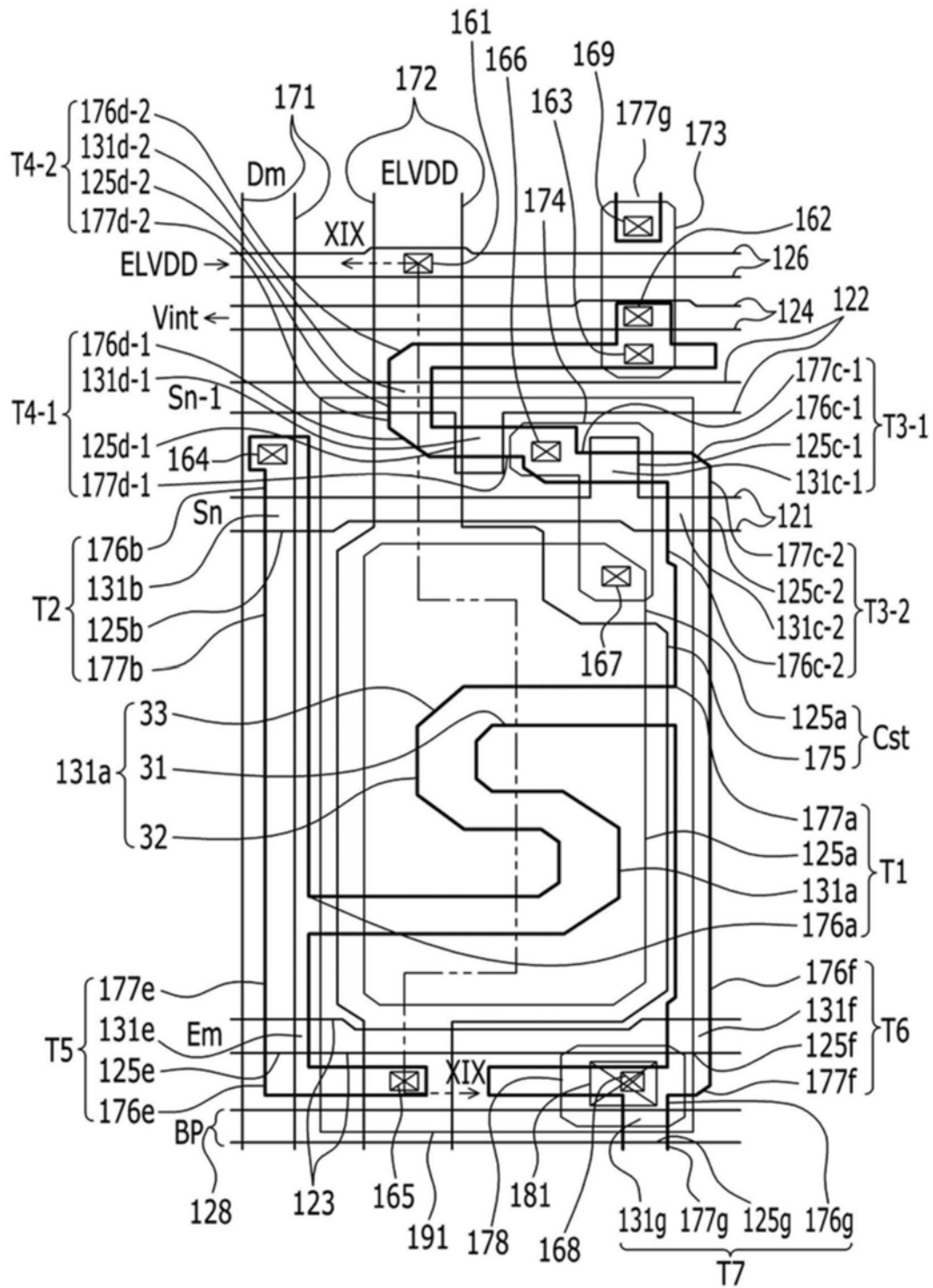


图17

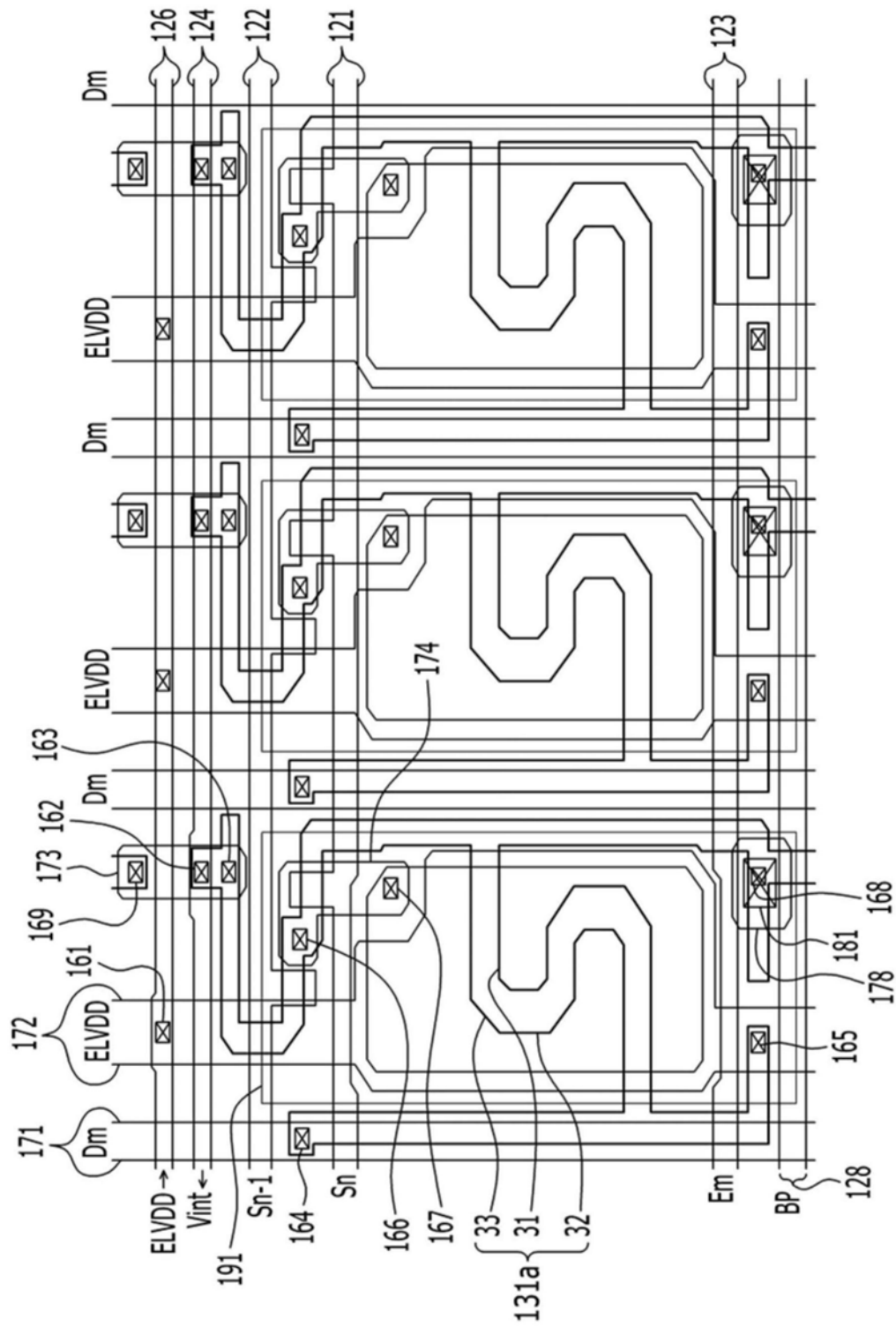


图18

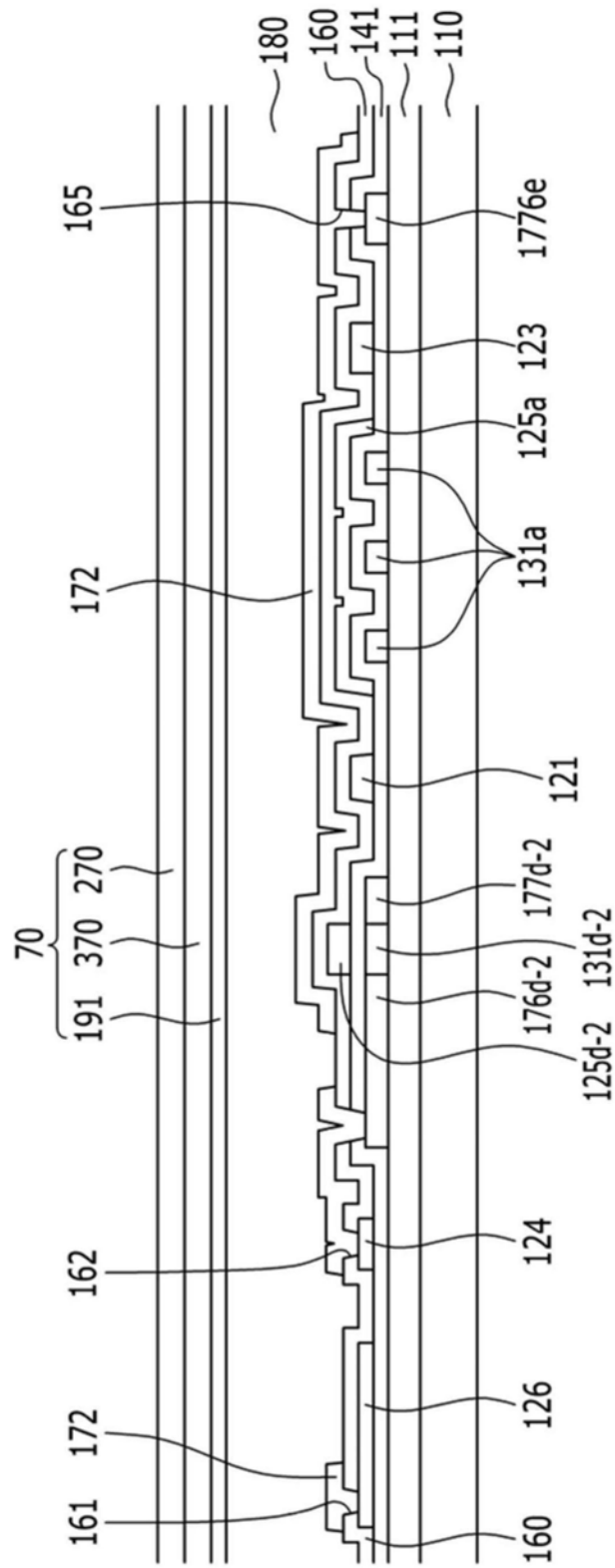


图19

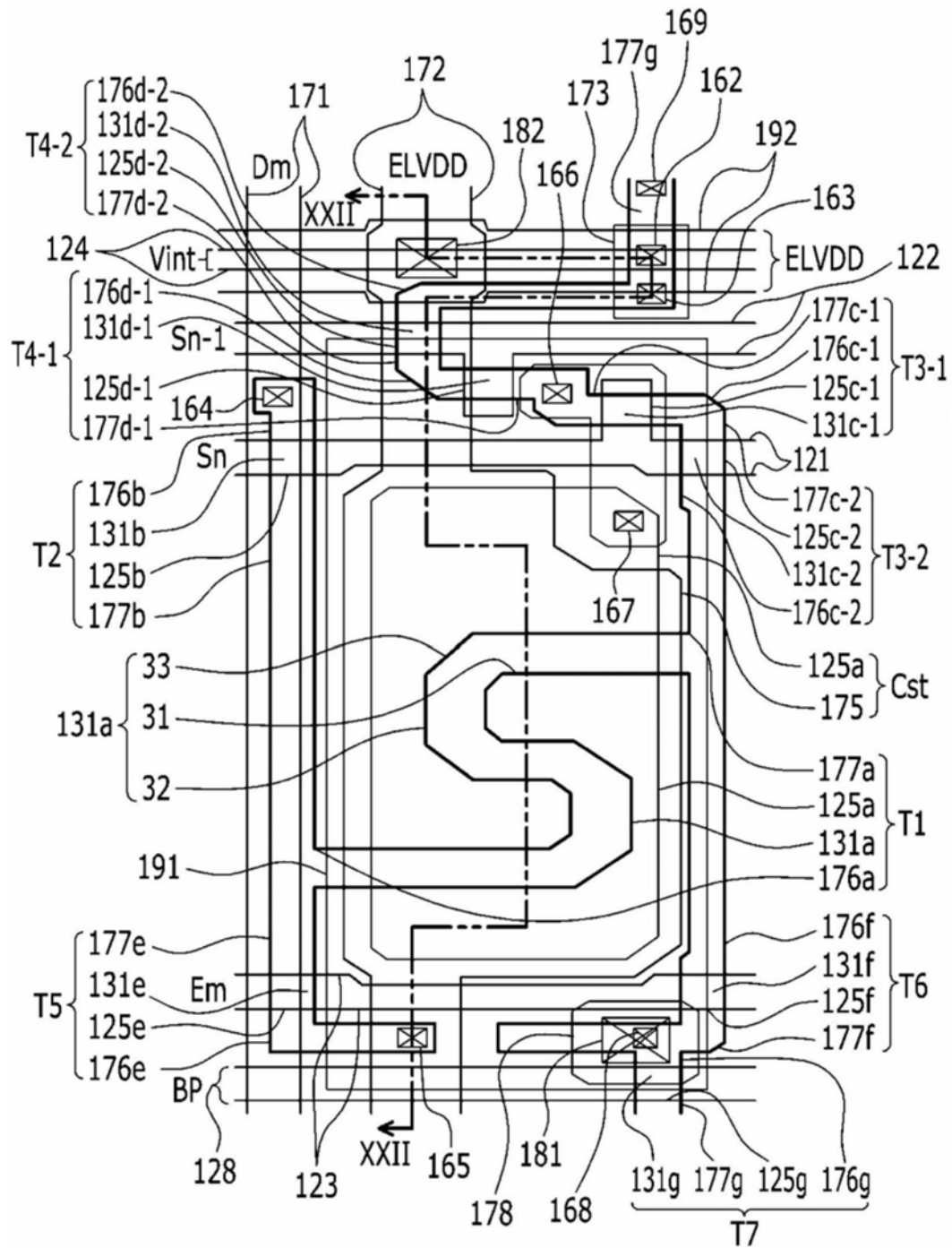


图20

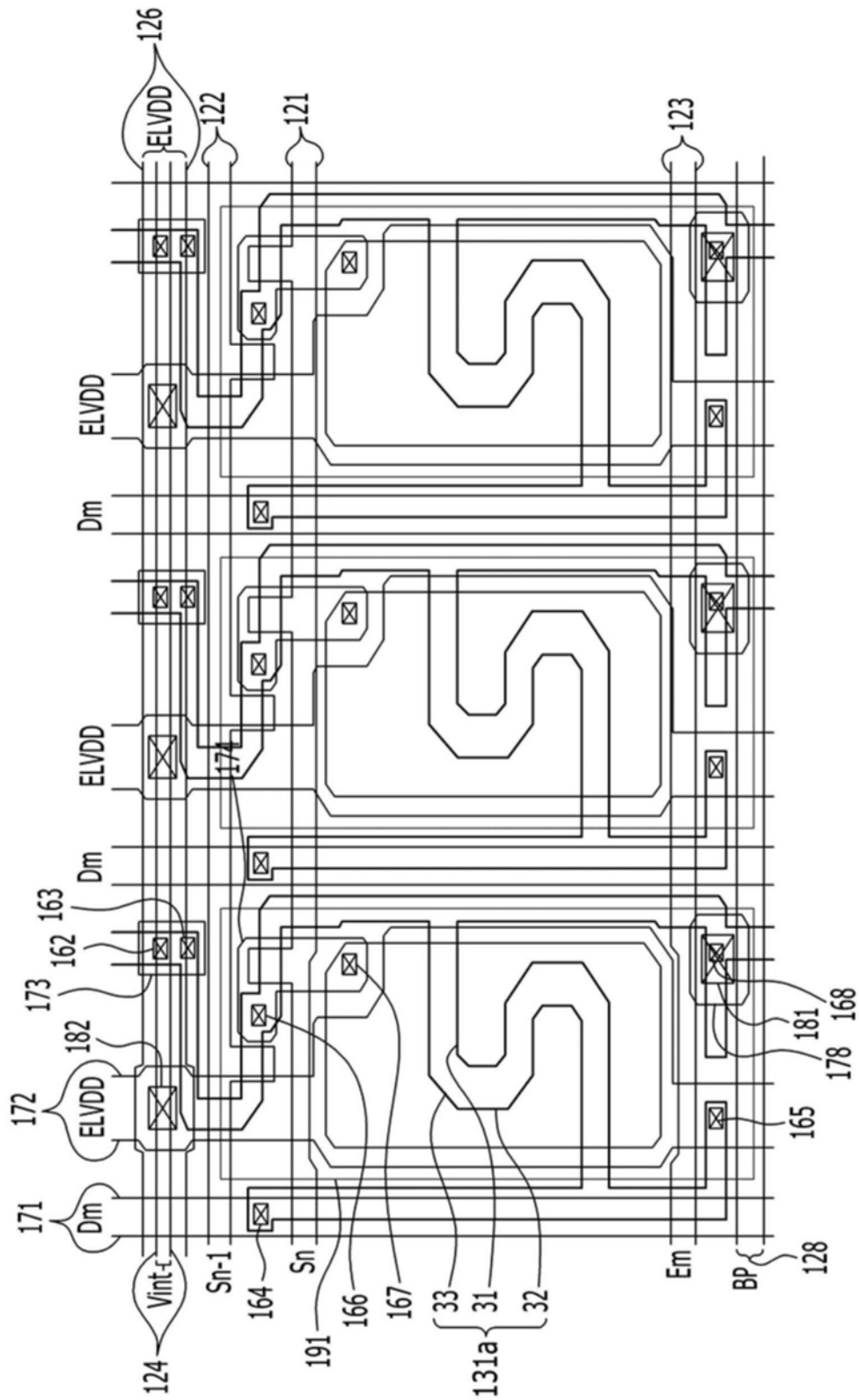


图21

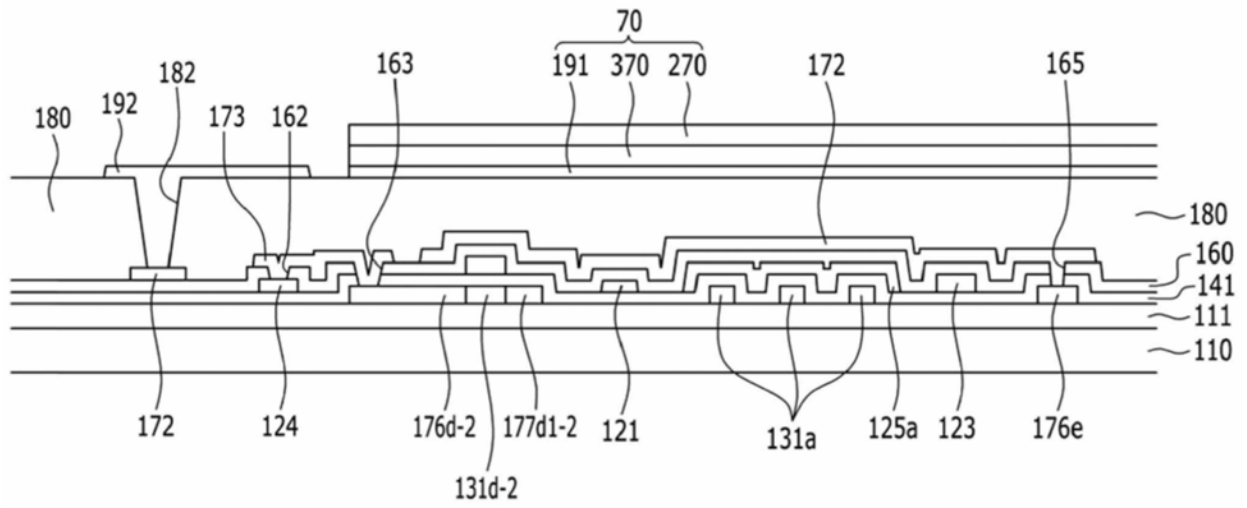


图22

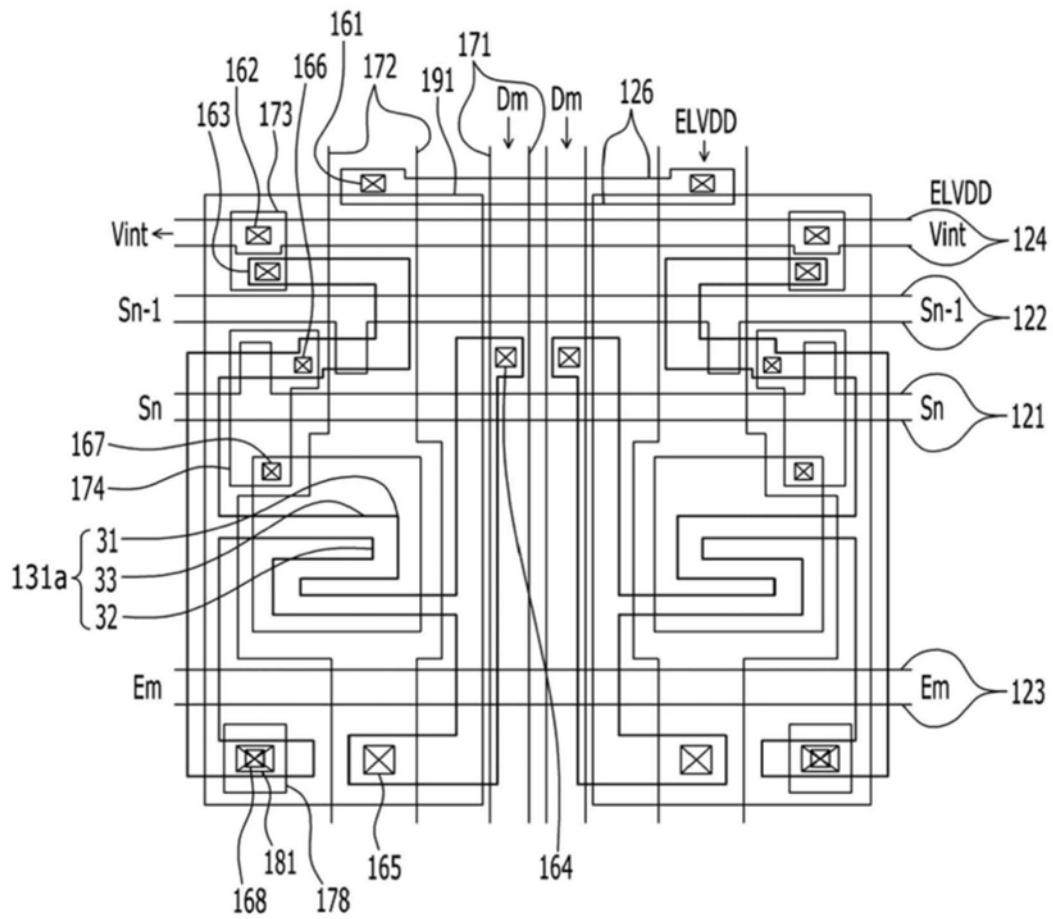


图23

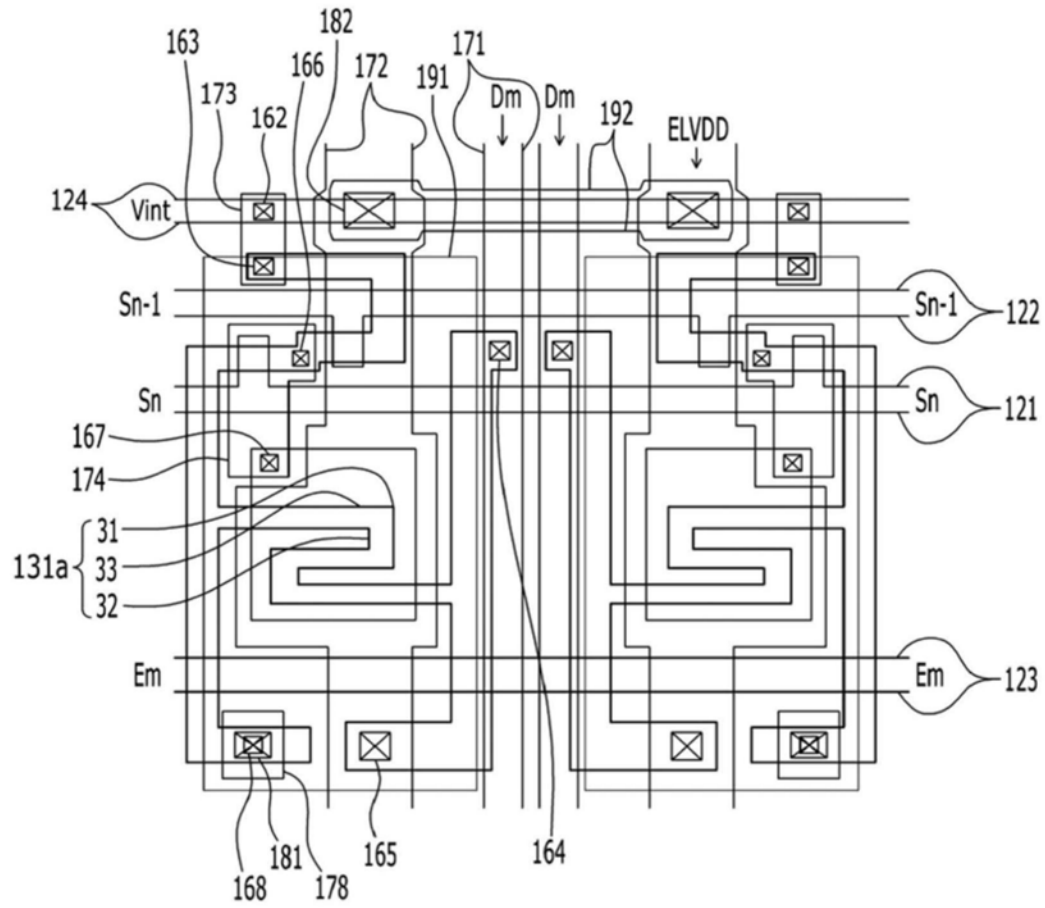


图24

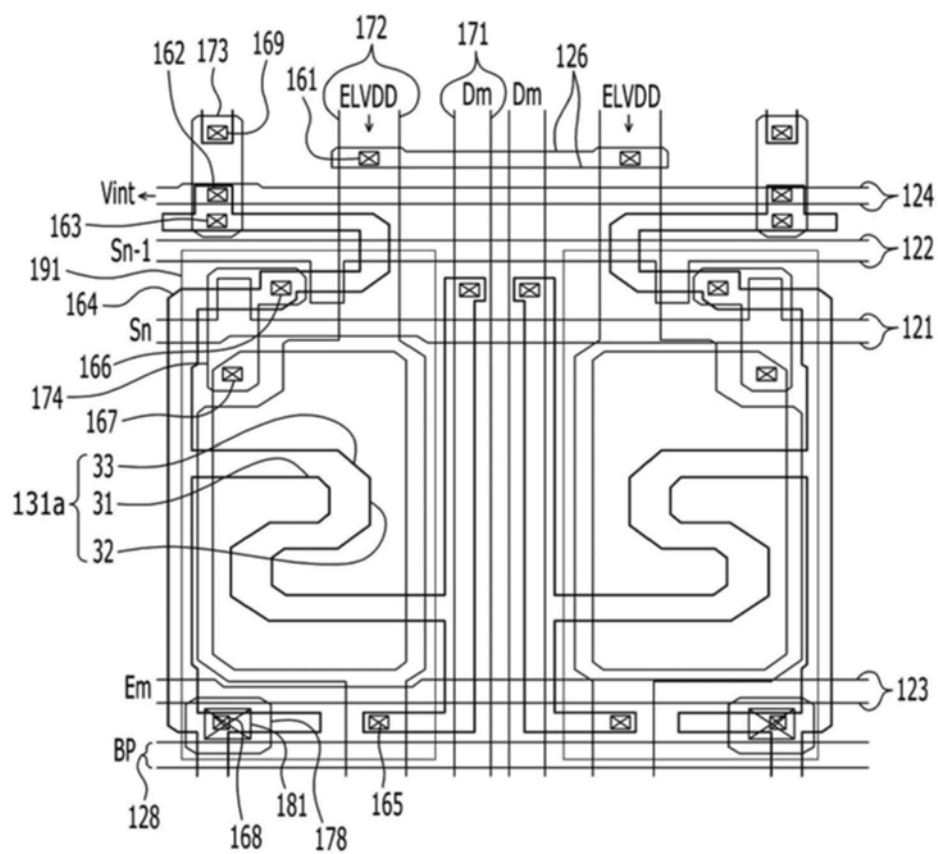


图25

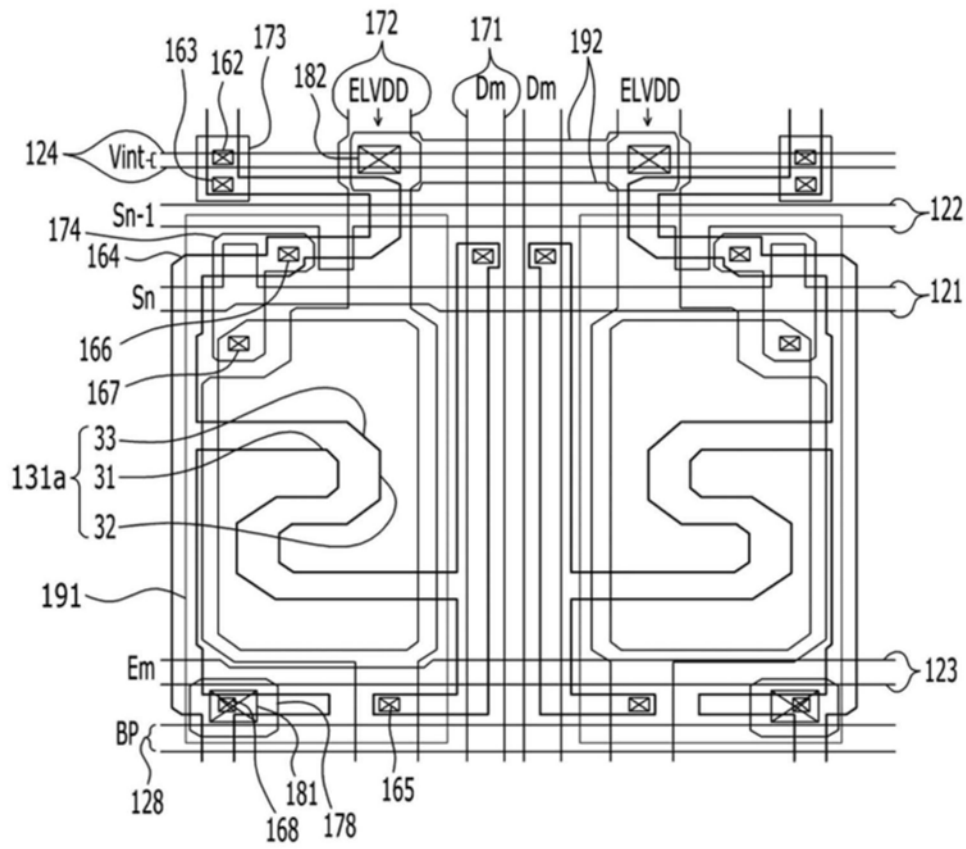


图26

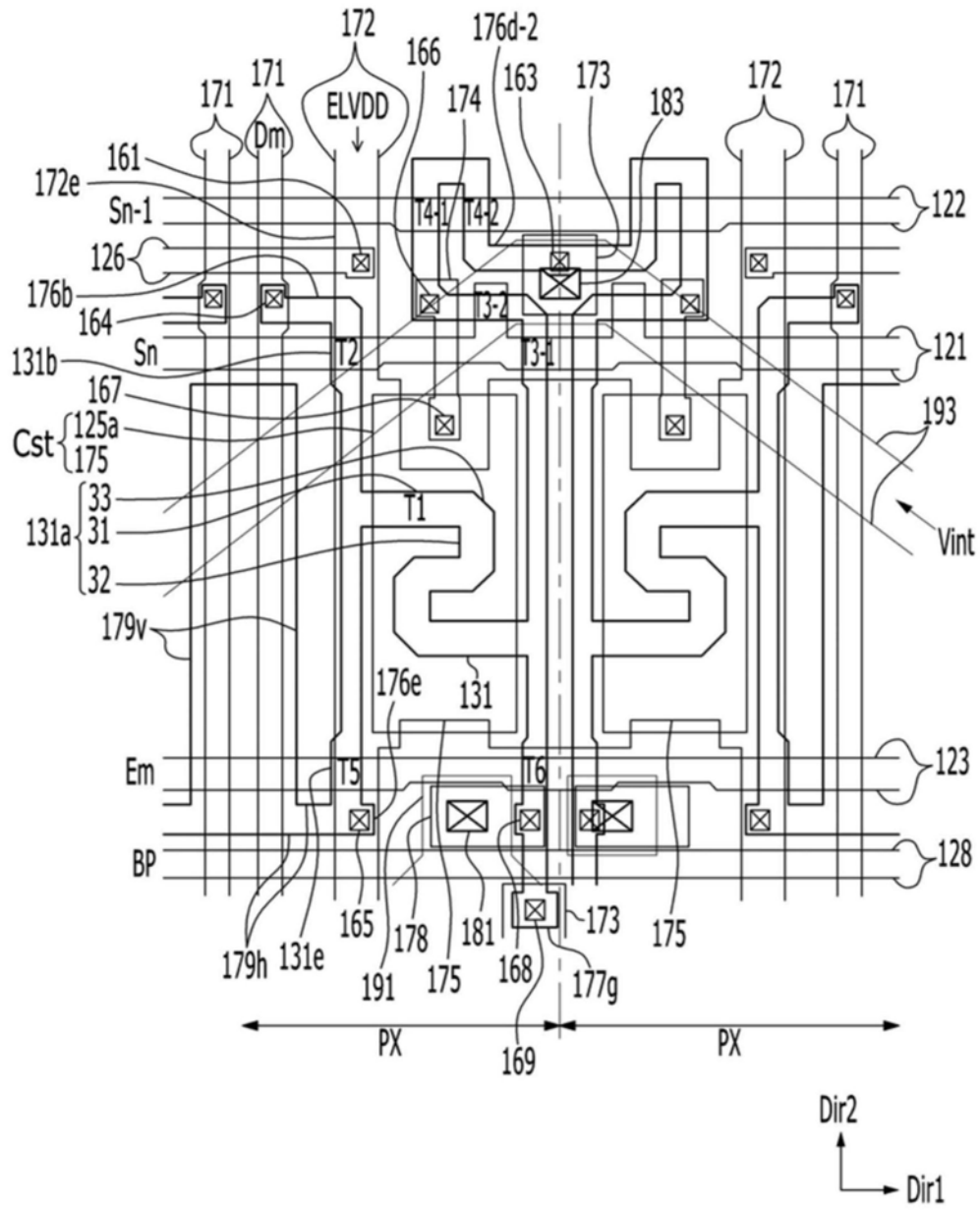


图27

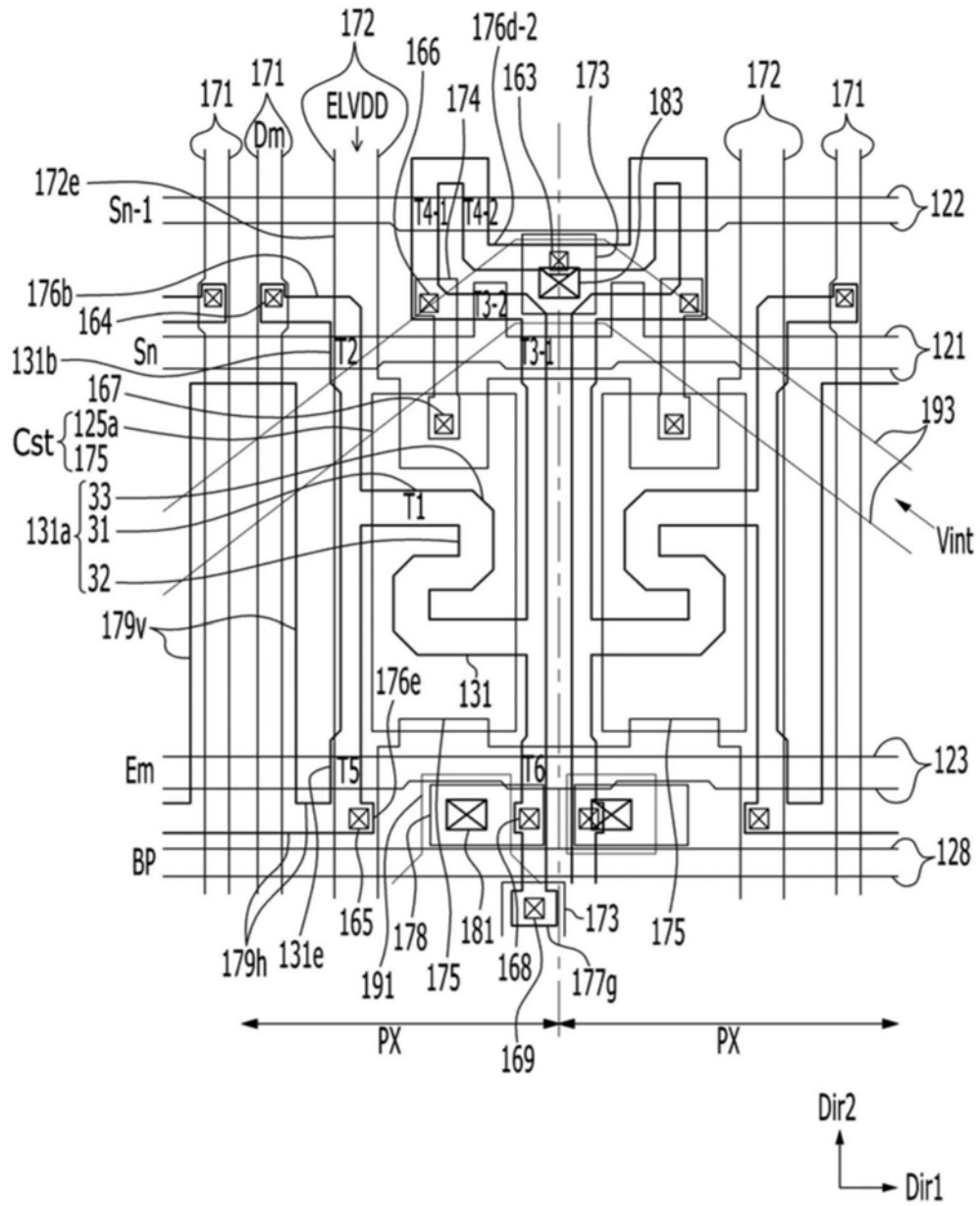


图28

根据一个或多个实施方式，有机发光二极管显示设备包括第一驱动电压线，第一驱动电压线包括在第一方向延伸的第一部分和在与第一方向垂直的第二方向具有比第一部分的宽度更大的宽度的第二部分，以及第二部分与驱动薄膜晶体管的栅电极重叠，并且层间绝缘层插设于第二部分和驱动薄膜晶体管的栅电极之间。

