



(12)发明专利申请

(10)申请公布号 CN 108428434 A

(43)申请公布日 2018.08.21

(21)申请号 201810161795.2

(22)申请日 2018.02.27

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509

(72)发明人 高娅娜 向东旭 李玥 朱仁远
周星耀

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int.Cl.

G09G 3/3225(2016.01)

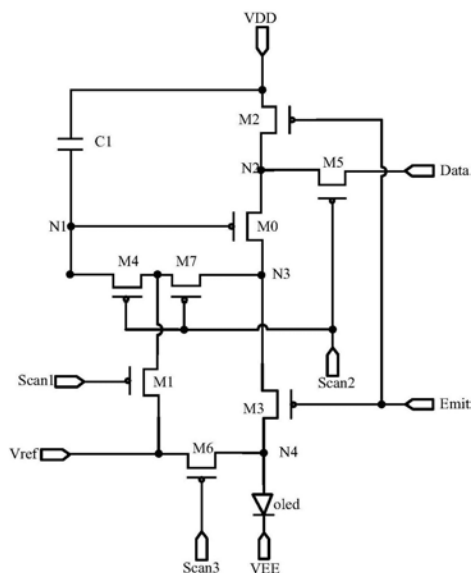
权利要求书2页 说明书8页 附图5页

(54)发明名称

像素电路、有机发光显示面板及显示装置

(57)摘要

本发明公开了一种像素电路、有机发光显示面板及显示装置,像素电路被三个扫描信号端控制,第一扫描信号端、第二扫描信号端和第三扫描信号端是依次输出扫描信号的,因此这三个扫描信号端不存在同时输出扫描信号的时间段,意味着本发明实施例提供的像素电路中,不存在第五开关晶体管、第七开关晶体管、第四开关晶体管、第一开关晶体管和第六开关晶体管同时导通的情况,因此不存在Data向Vref通路的电流会通过第六开关晶体管流向发光器件,从而解决现有像素电路存在的暗态不暗的问题。



1. 一种像素电路,其特征在于,包括:驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管和第一电容;其中,

所述第一开关晶体管用于在第一扫描信号端的控制下将参考信号端的信号提供给所述第四开关晶体管的第一极;

所述第二开关晶体管用于在发光控制端的控制下将电源电压端的信号提供给所述驱动晶体管的第一极;

所述第三开关晶体管用于在所述发光控制端的控制下使所述驱动晶体管的第二极与所述第三开关晶体管的第二极导通;

所述第四开关晶体管的第一极和所述第七开关晶体管的第二极串联电连接,用于在第二扫描信号端的控制下使所述驱动晶体管的栅极与所述驱动晶体管的第二极导通;

所述第五开关晶体管用于在所述第二扫描信号端的控制下将数据信号端的信号提供给所述驱动晶体管的第一极,所述第六开关晶体管用于在第三扫描信号端的控制下将所述参考信号端的信号提供给发光器件的阳极;或者,

所述第五开关晶体管用于在第三扫描信号端的控制下将数据信号端的信号提供给所述驱动晶体管的第一极,所述第六开关晶体管用于在所述第一扫描信号端的控制下将所述参考信号端的信号提供给发光器件的阳极;

所述第一电容用于使所述驱动晶体管的栅极和所述电源电压端之间的电压差保持稳定;

所述驱动晶体管用于在所述第二开关晶体管、所述第三开关晶体管和所述第一电容的控制下为所述发光器件提供驱动电流。

2. 如权利要求1所述的像素电路,其特征在于,

所述第二开关晶体管的栅极与所述发光控制端相连,所述第二开关晶体管的第一极与所述电源电压端相连,所述第二开关晶体管的第二极与所述驱动晶体管的第一极相连。

3. 如权利要求1所述的像素电路,其特征在于,

所述第三开关晶体管的栅极与所述发光控制端相连,所述第三开关晶体管的第一极与所述驱动晶体管的第二极相连,所述第三开关晶体管的第二极与所述发光器件的阳极相连。

4. 如权利要求1所述的像素电路,其特征在于,

所述第四开关晶体管的栅极与所述第二扫描信号端相连,所述第四开关晶体管的第一极与所述驱动晶体管的栅极相连,所述第七开关晶体管的第二极与所述驱动晶体管的第二极相连,所述第七开关晶体管的栅极与所述第二扫描信号端相连。

5. 如权利要求4所述的像素电路,其特征在于,

所述第四开关晶体管的宽长比小于所述第一开关晶体管、所述第二开关晶体管、所述第三开关晶体管、所述第五开关晶体管、所述第六开关晶体管和所述第七开关晶体管中任意一个开关晶体管的宽长比。

6. 如权利要求4所述的像素电路,其特征在于,

所述第一开关晶体管的栅极与所述第一扫描信号端相连,所述第一开关晶体管的第一极与所述参考信号端相连,所述第一开关晶体管的第二极连接于所述第四开关晶体管的第

二极与所述第七开关晶体管的第一极之间。

7. 如权利要求1所述的像素电路,其特征在于,

所述第五开关晶体管的栅极与所述第二扫描信号端相连,所述第五开关晶体管的第一极与所述数据信号端相连,所述第五开关晶体管的第二极与所述驱动晶体管的第一极相连;

所述第六开关晶体管的栅极与所述第三扫描信号端相连,所述第六开关晶体管的第一极与所述参考信号端相连,所述第六开关晶体管的第二极与所述第三开关晶体管的第二极相连。

8. 如权利要求1所述的像素电路,其特征在于,

所述第五开关晶体管的栅极与所述第三扫描信号端相连,所述第五开关晶体管的第一极与所述数据信号端相连,所述第五开关晶体管的第二极与所述驱动晶体管的第一极相连;

所述第六开关晶体管的栅极与所述第一扫描信号端相连,所述第六开关晶体管的第一极与所述参考信号端相连,所述第六开关晶体管的第二极与所述第三开关晶体管的第二极相连。

9. 如权利要求1-8任一项所述的像素电路,其特征在于,所有所述晶体管均为P型晶体管。

10. 一种有机发光显示面板,其特征在于,包括N行像素单元、N+2条扫描线和N+2级移位寄存单元,其中每一级所述移位寄存单元对应连接一条所述扫描线,N为大于0的整数;

所述像素单元包括如权利要求1-9任一项所述的所述像素电路以及与各所述像素电路连接的发光器件;

第n行像素单元中的像素电路的第一扫描信号端与第n条扫描线相连,第n行像素单元中的像素电路的第二扫描信号端与第n+1条扫描线相连,第n行像素单元中的像素电路的第三扫描信号端与第n+2条扫描线相连。

11. 如权利要求10所述的有机发光显示面板,其特征在于,还包括两行虚拟像素单元;

所述虚拟像素单元包括像素电路,且所述虚拟像素单元中的像素电路与所述像素单元中的像素电路结构相同;

第1行所述虚拟像素单元的像素电路的第三扫描信号端与第1条扫描线相连;

第2行所述虚拟像素单元中的像素电路的第三扫描信号端与第2条扫描线相连,第2行所述虚拟像素单元中的像素电路的第二扫描信号端与第1条扫描线相连第2条所述扫描线相连。

12. 一种显示装置,其特征在于,包括如权利要求10或11所述的有机发光显示面板。

像素电路、有机发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤指一种像素电路、有机发光显示面板及显示装置。

背景技术

[0002] 有机发光显示器(Organic Light Emitting Diode,OLED)是当今平板显示器研究领域的热点之一,与液晶显示器相比,OLED具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点,目前,在手机、PDA、数码相机等平板显示领域,OLED已经开始取代传统的液晶显示屏(Liquid Crystal Display, LCD)。其中,像素电路设计是OLED显示器核心技术内容,具有重要的研究意义。

[0003] 现有的一种像素电路的结构如图1所示,包括7个开关晶体管:M1~M7、1个驱动晶体管M0和1个电容C1。对应的输入时序图如图2所示。该电路虽然通过内部补偿改善了因工艺和晶体管老化造成的驱动晶体管M0阈值电压漂移造成的显示不均问题,但是在实际工作时,面板生产者发现存在较短的T时间段,开关晶体管M2、M3、M4、M5、M7和M8均导通,数据信号端Vdata的信号依次通过导通的开关晶体管M2、M3、M5和M7流向参考信号端Vref,从而在参考信号端Vref产生电流,又通过导通的开关晶体管M8流向发光器件oled,使发光器件oled发光,从而产生暗态不暗的问题。

发明内容

[0004] 鉴于此,本发明实施例提供了一种像素电路、有机发光显示面板及显示装置,用以解决现有技术中存在的暗态不暗的问题。

[0005] 本发明实施例提供的一种像素电路,包括:驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管和第一电容;其中,

[0006] 所述第一开关晶体管用于在第一扫描信号端的控制下将参考信号端的信号提供给第四开关晶体管的第一极;

[0007] 所述第二开关晶体管用于在发光控制端的控制下将电源电压端的信号提供给所述驱动晶体管的第一极;

[0008] 所述第三开关晶体管用于在所述发光控制端的控制下使所述驱动晶体管的第二极与所述第三开关晶体管的第二极导通;

[0009] 所述第四开关晶体管的第一极和所述第七开关晶体管的第二极串联电连接,用于在第二扫描信号端的控制下使所述驱动晶体管的栅极与所述驱动晶体管的第二极导通;

[0010] 所述第五开关晶体管用于在所述第二扫描信号端的控制下将数据信号端的信号提供给所述驱动晶体管的第一极,所述第六开关晶体管用于在第三扫描信号端的控制下将所述参考信号端的信号提供给发光器件的阳极;或者,

[0011] 所述第五开关晶体管用于在第三扫描信号端的控制下将数据信号端的信号提供

给所述驱动晶体管的第一极,所述第六开关晶体管用于在所述第一扫描信号端的控制下将所述参考信号端的信号提供给发光器件的阳极;

[0012] 所述第一电容用于使所述驱动晶体管的栅极和所述电源电压端之间的电压差保持稳定;

[0013] 所述驱动晶体管用于在所述第二开关晶体管、所述第三开关晶体管和所述第一电容的控制下为所述发光器件提供驱动电流。

[0014] 相应地,本发明实施例还提供了一种有机发光显示面板,包括N行像素单元、N+2条扫描线和N+2级移位寄存单元,其中每一级所述移位寄存单元对应连接一条所述扫描线,N为大于0的整数;

[0015] 所述像素单元包括本发明实施例提供的所述像素电路以及与各所述像素电路连接的发光器件;

[0016] 第n行像素单元中的像素电路的第一扫描信号端与第n条扫描线相连,第n行像素单元中的像素电路的第二扫描信号端与第n+1条扫描线相连,第n行像素单元中的像素电路的第三扫描信号端与第n+2条扫描线相连。

[0017] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的有机发光显示面板。

[0018] 本发明有益效果如下:

[0019] 本发明实施例提供的上述像素电路、有机发光显示面板及显示装置,像素电路被三个扫描信号端控制,第一扫描信号端、第二扫描信号端和第三扫描信号端是依次输出扫描信号的,因此这三个扫描信号端不存在同时输出扫描信号的时间段,意味着本发明实施例提供的像素电路中,不存在第五开关晶体管、第七开关晶体管、第四开关晶体管、第一开关晶体管和第六开关晶体管同时导通的情况,因此不存在Data向Vref通路的电流会通过第六开关晶体管流向发光器件,从而解决现有像素电路存在的暗态不暗的问题。

附图说明

[0020] 图1为相关技术中提供的像素电路的结构示意图;

[0021] 图2为图1所示的像素电路对应的输入时序图;

[0022] 图3为本发明实施例提供的一种像素电路的结构示意图;

[0023] 图4为本发明实施例提供的另一种像素电路的结构示意图;

[0024] 图5为本发明实施例提供的像素电路对应的输入时序图;

[0025] 图6为本发明实施例提供的有机发光显示面板的结构示意图;

[0026] 图7为本发明实施例提供的显示装置的结构示意图。

具体实施方式

[0027] 具体地,在图1所示的像素电路中,当Scan1与Scan2同时为低电平信号时,通过仿真模拟发现,存在Data向Vref电流,一个像素电路上的电流约为1.14uA,一行像素电路上的总电流估算有3.28mA,在暗态情况下,一个像素电路上的电流约为2.18uA,一行像素电路上的总电流估算有6.28mA,因此发光器件存在暗态不暗的问题。

[0028] 有鉴于此,本发明实施例提供了一种像素电路、有机发光显示面板及显示装置,

用以解决暗态不暗的问题。

[0029] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作进一步地详细描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0030] 附图中各部件的形状和大小不反映真实比例,目的只是示意说明本发明内容。

[0031] 具体地,本发明实施例提供了一种像素电路,如图3和图4所示,包括:驱动晶体管M0、第一开关晶体管M1、第二开关晶体管M2、第三开关晶体管M3、第四开关晶体管M4、第五开关晶体管M5、第六开关晶体管M6、第七开关晶体管M7和第一电容C1;其中,

[0032] 第一开关晶体管M1用于在第一扫描信号端Scan1的控制下将参考信号端Vref的信号提供给所述第四开关晶体管M4的第一极;

[0033] 第二开关晶体管M2用于在发光控制端Emit的控制下将第一电源电压端VDD的信号提供给驱动晶体管M0的第一极;

[0034] 第三开关晶体管M3用于在发光控制端Emit的控制下使驱动晶体管M0的第二极与第三开关晶体管M3的第二极导通;

[0035] 第四开关晶体管M4的第一极和第七开关晶体管M7的第二极串联电连接,用于在第二扫描信号端Scan2的控制下使驱动晶体管M0的栅极与驱动晶体管M0的第二极导通;

[0036] 如图3所示,第五开关晶体管M5用于在第二扫描信号端Scan2的控制下将数据信号端Data的信号提供给驱动晶体管M0的第一极,第六开关晶体管M6用于在第三扫描信号端Scan3的控制下将参考信号端Vref的信号提供给发光器件oled的阳极;或者,如图4所示,第五开关晶体管M5用于在第三扫描信号端Scan3的控制下将数据信号端Data的信号提供给驱动晶体管M0的第一极,第六开关晶体管M6用于在第一扫描信号端Scan1的控制下将参考信号端Vref的信号提供给发光器件oled的阳极;

[0037] 第一电容C1用于使驱动晶体管M0的栅极和电源电压端之间的电压差保持稳定;

[0038] 驱动晶体管M0用于在第二开关晶体管M2、第三开关晶体管M3和第一电容C1的控制下为发光器件提供驱动电流。

[0039] 本发明实施例提供的像素电路,被三个扫描信号端控制,第一扫描信号端、第二扫描信号端和第三扫描信号端是依次输出扫描信号的,因此这三个扫描信号端不存在同时输出扫描信号的时间段,意味着本发明实施例提供的像素电路中,不存在第五开关晶体管、第七开关晶体管、第四开关晶体管、第一开关晶体管和第六开关晶体管同时导通的情况,因此不存在Data向Vref通路的电流会通过第六开关晶体管流向发光器件,从而解决现有像素电路存在的暗态不暗的问题。

[0040] 具体地,在本发明实施例提供的像素电路中,如图3和图4所示,发光器件oled的阴极与第二电源电压端VEE连接,第二电源电压端VEE的电压一般为负电压或接地。

[0041] 具体地,在本发明实施例提供的像素电路中,发光器件oled一般为有机发光二极管,在此不作限定。

[0042] 具体地,在本发明实施例提供的像素电路中,如图3和图4所示,第二开关晶体管M2的栅极与发光控制端Emit相连,第二开关晶体管M2的第一极与电源电压端相连,第二开关晶体管M2的第二极与驱动晶体管M0的第一极相连。当第二开关晶体管M2在发光控制端

Emit控制下导通时,第一电源电压端VDD的信号传输至第二节点N2。

[0043] 具体地,在本发明实施例提供的像素电路中,如图3和图4所示,第三开关晶体管M3的栅极与发光控制端Emit相连,第三开关晶体管M3的第一极与驱动晶体管M0的第二极相连,第三开关晶体管M3的第二极与发光器件的阳极相连。当第三开关晶体管M3在发光控制端Emit控制下导通时,驱动晶体管M0向发光器件oled提供驱动电流。

[0044] 具体地,在本发明实施例提供的像素电路中,如图3和图4所示,第四开关晶体管M4的栅极与第二扫描信号端Scan2相连,第四开关晶体管M4的第一极与驱动晶体管M0的栅极相连,第四开关晶体管M4的第二极与第七开关晶体管M7的第一极连接,第七开关晶体管M7的第二极与驱动晶体管M0的第二极相连,第七开关晶体管M7的栅极与第二扫描信号端Scan2相连。当第四开关晶体管M4和第七开关晶体管M7在第二扫描信号端Scan2控制下导通时,使驱动晶体管M0连接成二极管结构,从而对驱动晶体管M0的阈值电压进行补偿。并且,由于第四开关晶体管M4在发光阶段截止,因此即使有漏流流到第四开关晶体管M4的第二极,也不会进一步流到驱动晶体管M0的栅极,即发光阶段驱动晶体管M0的栅极电位不会受到其余晶体管漏流的影响,充分保证了发光阶段的发光均匀性。

[0045] 可选地,在本发明实施例提供的像素电路中,驱动晶体管的宽长比是整个像素驱动电路中宽长比最小的晶体管,即驱动晶体管的宽长比小于任意一个开关晶体管的宽长比,保证流过驱动晶体管的驱动电流大小可以满足发光器件较高的发光亮度。同时,本发明实施例中,为了充分保证驱动晶体管栅极电位的稳定性,第四开关晶体管的宽长比小于第一开关晶体管、第二开关晶体管、第三开关晶体管、第五开关晶体管、第六开关晶体管和第七开关晶体管中任意一个开关晶体管的宽长比。

[0046] 具体地,在本发明实施例提供的像素电路中,如图3和图4所示,第一开关晶体管M1的栅极与第一扫描信号端Scan1相连,第一开关晶体管M1的第一极与参考信号端Vref相连,第一开关晶体管M1的第二极连接于第四开关晶体管M4的第二极与第七开关晶体管M7的第一极之间。

[0047] 具体地,在本发明实施例提供的像素电路中,如图3所示,第五开关晶体管M5的栅极与第二扫描信号端Scan2相连,第五开关晶体管M5的第一极与数据信号端Data相连,第五开关晶体管M5的第二极与驱动晶体管M0的第一极相连。当第五开关晶体管M5在第二扫描信号端Scan2控制下导通时,数据信号端Data通过第五开关晶体管M5向第二节点N2提供数据信号。

[0048] 第六开关晶体管M6的栅极与第三扫描信号端Scan3相连,第六开关晶体管M6的第一极与参考信号端Vref相连,第六开关晶体管M6的第二极与第三开关晶体管M3的第二极相连。当第六开关晶体管M6在第三扫描信号端Scan3控制下导通时,参考信号端Vref通过第六开关晶体管M6对发光器件oled的阳极进行复位。

[0049] 或者,具体地,在本发明实施例提供的像素电路中,如图4所示,第五开关晶体管M5的栅极与第三扫描信号端Scan3相连,第五开关晶体管M5的第一极与数据信号端Data相连,第五开关晶体管M5的第二极与驱动晶体管M0的第一极相连。当第五开关晶体管M5在第三扫描信号端Scan3控制下导通时,数据信号端Data通过第五开关晶体管M5向第二节点N2提供数据信号。

[0050] 第六开关晶体管M6的栅极与第一扫描信号端Scan1相连,第六开关晶体管M6的第

一极与参考信号端Vref相连,第六开关晶体管M6的第二极与第三开关晶体管M3的第二极相连。当第六开关晶体管M6在第一扫描信号端Scan1控制下导通时,参考信号端Vref通过第六开关晶体管M6对发光器件oled的阳极进行复位。

[0051] 相对单栅结构,双栅结构具有较强的抗击穿能力、减小漏流等优势,因此,在具体实施时,也可以将任一开关晶体管设置成双栅结构,在此不作限定。

[0052] 在具体实施时,在本发明实施例提供的像素电路中,晶体管的第一极和第二极中,一个为源极,另一个为漏极。

[0053] 在具体实施时,在本发明实施例提供的显示面板中,驱动晶体管为P型晶体管,对于驱动晶体管为N型晶体管的情况,设计原理与本发明相同,也属于本发明保护的范围。

[0054] 在具体实施时,在本发明实施例提供的显示面板中,所有的晶体管均可以采用P型晶体管设计,这样可以简化像素电路的制作工艺流程。

[0055] 在具体实施时,在时序上,第一扫描信号端Scan1、第二扫描信号端Scan2和第三扫描信号端Scan3会输出扫描信号。如图5所示,第一扫描信号端Scan1的扫描信号与第二扫描信号端Scan2的扫描信号在时序上会存在部分重叠,第二扫描信号端Scan2的扫描信号与第三扫描信号端Scan3的扫描信号在时序上也部分重叠,第一扫描信号端Scan1的扫描信号与第三扫描信号端Scan3的扫描信号在时序上不存在重叠。而在图1所示的像素电路,存在数据信号端Vdata向参考信号端Vref的通路,并且通路上的电流会流向发光器件oled,使发光器件oled发光,从而产生暗态不暗的问题。而在本发明实施例提供的像素电路,通过对图1所示的像素电路重新设计连接关系,避免了Vdata向Vref的通路或者避免Vdata向Vref通路的电流流向发光器件,因此可以解决图1像素电路存在的暗态不暗的问题。

[0056] 下面结合电路时序图对本发明实施例提供的像素电路的工作过程作以描述。

[0057] 实例一

[0058] 以图3所示的像素电路为例,所有开关晶体管均为P型晶体管,对应的输入时序如图5所示。具体地,选取图5所示的输入时序图中的T1、T2、T3、T4和T5五个阶段。

[0059] 在T1阶段,仅有第一扫描信号端Scan1为低电平信号。第一开关晶体管M1导通。仅在图4的像素电路中,第一开关晶体管M1对第一节点N1进行复位。

[0060] 在T2阶段,第二扫描信号端Scan2变为低电平信号。第一扫描信号端Scan1持续一段时间后由低电平信号变为高电平信号。第五开关晶体管M5导通,数据信号端Data的信号传输至第二节点N2,第二节点N2的电位为Vdata。第四开关晶体管M4和第七开关晶体管M7导通,驱动晶体管M0形成二极管结构。在第一扫描信号端Scan1为低电平信号时,参考信号端Vref的信号传输至第一节点N1,第一节点N1的电位为Vref。二极管结构的驱动晶体管M0导通。在第一扫描信号端Scan1变为高电平信号时,第一节点N1开始充电,直到第一节点N1的电位变为 $Vdata - |V_{th}|$,驱动晶体管M0截止。 V_{th} 为驱动晶体管的阈值电压。在该阶段中,虽然存在Data向Vref的通路,但是由于第六开关晶体管M6截止,因此没有电流可流向发光器件oled,发光器件oled不发光。

[0061] 在T3阶段,第三扫描信号端Scan3变为低电平信号。第二扫描信号端Scan2持续一段时间后由低电平信号变为高电平信号。第六开关晶体管M6导通,参考信号端Vref的信号传输至第四节点N4,第四节点N4的电位为Vref,对发光器件oled的阳极进行复位,发光器

件oled不发光。在第二扫描信号端Scan1 为低电平信号时,第二节点N2的电位仍保持Vdata,第一节点N1的电位仍保持 $Vdata - |V_{th}|$ 。在第二扫描信号端Scan2变为高电平信号时,在电容C1的作用下,第一节点N1的电位仍保持 $Vdata - |V_{th}|$ 。该阶段中,虽然参考信号端Vref 的信号会传输至第四节点N4,但是由于第一开关晶体管M1截止,因此不存在Data向Vref的通路,因此Data不会对Vref产生影响,发光器件oled仍是不发光的。

[0062] 在T4阶段,第三扫描信号端Scan3持续一段时间后由低电平信号变为高电平信号。在第三扫描信号端Scan3为低电平信号时,第四节点N4的电位仍为Vref。在第三扫描信号端Scan3变为高电平信号时,第一节点N1的电位仍保持 $Vdata - |V_{th}|$,发光器件oled仍是不发光的。

[0063] 在T5阶段,仅发光控制端Emit为低电平信号,第二开关晶体管和第三开关晶体管导通。第一电源电压端VEE的信号传输至第二节点N2,第二节点 N2的电位变为VDD,由于电容C1的作用,第一节点N1的电位仍为 $Vdata - |V_{th}|$,此时驱动晶体管M0的栅源电压 $V_{sg} = VDD - Vdata + |V_{th}|$,驱动晶体管M0的驱动电流 $I = K(V_{sg} - |V_{th}|)^2 = K(VDD - Vdata)^2 = K(VDD - Vdata + |V_{th}| - |V_{th}|)^2$;驱动晶体管M0的驱动发光器件oled工作发光。

[0064] 由于K为结构参数,相同结构中此数值相对稳定,可以算作常量。可以看出流向发光器件oled的电流已经不受驱动晶体管的阈值电压影响,解决了驱动晶体管由于阈值电压漂移造成的影响,从而改善面板显示不均匀性。并且,由于不存在第五开关晶体管、第七开关晶体管、第四开关晶体管、第一开关晶体管和第六开关晶体管同时导通的情况,虽然存在Data向Vref通路,但是在存在Data向Vref通路时,参考信号端Vref与发光器件是截止的,保证本行发光器件没有电流流过,虽然本行参考信号端Vref的信号会受上一行Data的影响,但是存在整行电流上,对本行Vref压降较小。通过测试,可将暗态电路由0.8nit降低至0.2nit。因此,与图1的像素电路相比,可以极大的改善暗态不暗的问题。

[0065] 实例二

[0066] 以图4所示的像素电路为例,所有开关晶体管均为P型晶体管,对应的输入时序如图5所示。具体地,选取图5所示的输入时序图中的T1、T2、T3、T4和T5五个阶段。

[0067] 在T1阶段,仅有第一扫描信号端Scan1为低电平信号。第一开关晶体管M1和第六开关晶体管M6导通。仅在图7的像素电路中,第一开关晶体管M1对第一节点N1进行复位。参考信号端Vref的信号通过第六开关晶体管M6传输至第四节点N4,第四节点N4的电位为Vref,对发光器件oled的阳极进行复位,发光器件oled不发光。

[0068] 在T2阶段,第二扫描信号端Scan2变为低电平信号。第一扫描信号端Scan1持续一段时间后由低电平信号变为高电平信号。第四开关晶体管M4和第七开关晶体管M7导通,驱动晶体管M0形成二极管结构。在第一扫描信号端Scan1 为低电平信号时,参考信号端Vref的信号传输至第一节点N1,第一节点N1 的电位为Vref。二极管结构的驱动晶体管M0导通。第六开关晶体管M6导通,虽然参考信号端Vref与第四节点N4导通,但是由于第五开关晶体管M5截止,因此不存在Data向Vref的通路,因此参考信号端Vref的信号不受数据信号端Data的影响,第四节点N4的电位仍为Vref,发光器件oled仍不会发光。在第一扫描信号端Scan1变为高电平信号时,在该阶段中,由于电容C1作用,第一节点N1的电位仍为Vref。第六开关晶体管M6截止,因此发光器件oled仍不发光。

[0069] 在T3阶段,第三扫描信号端Scan3变为低电平信号。第二扫描信号端Scan2持续一

段时间后由低电平信号变为高电平信号。第五开关晶体管M5导通,数据信号端Data的信号传输至第二节点N2,第二节点N2的电位为Vdata。在第二扫描信号端Scan1为低电平信号时,第一节点N1开始充电,直到第一节点N1的电位变为 $V_{data}-|V_{th}|$,驱动晶体管M0截止。 V_{th} 为驱动晶体管的阈值电压。在第二扫描信号端Scan2变为高电平信号时,第四开关晶体管M4和第七开关晶体管M7截止,在电容C1的作用下,第一节点N1的电位仍保持 $V_{data}-|V_{th}|$ 。该阶段中,由于第一开关晶体管M1截止,因此不存在Data向Vref的通路,因此Data不会对Vref产生影响,并且,第六开关晶体管M6是截止的,因此发光器件oled仍是不发光的。

[0070] 在T4阶段,第三扫描信号端Scan3持续一段时间后由低电平信号变为高电平信号。在第三扫描信号端Scan3为低电平信号时,第二节点N2的电位仍为Vdata,第一节点N1的电位仍保持 $V_{data}-|V_{th}|$,发光器件oled仍是不发光的。在第三扫描信号端Scan3变为高电平信号时,第一节点N1的电位仍保持 $V_{data}-|V_{th}|$ 。该阶段中,由于第一开关晶体管M1截止,因此不存在Data向Vref的通路,因此Data不会对Vref产生影响,并且,第六开关晶体管M6是截止的,因此发光器件oled仍是不发光的。

[0071] 在T5阶段,仅发光控制端Emit为低电平信号,第二开关晶体管和第三开关晶体管导通。第一电源电压端VEE的信号传输至第二节点N2,第二节点N2的电位变为VDD,由于电容C1的作用,第一节点N1的电位仍为 $V_{data}-|V_{th}|$,此时驱动晶体管M0的栅源电压 $V_{sg}=VDD-V_{data}+|V_{th}|$,驱动晶体管M0的驱动电流 $I=K(V_{sg}-|V_{th}|)^2=K(VDD-V_{data})^2=K(VDD-V_{data}+|V_{th}|-|V_{th}|)^2$;驱动晶体管M0的驱动发光器件oled工作发光。

[0072] 由于K为结构参数,相同结构中此数值相对稳定,可以算作常量。可以看出流向发光器件oled的电流已经不受驱动晶体管的阈值电压影响,解决了驱动晶体管由于阈值电压漂移造成的影响,从而改善面板显示不均匀性。并且,由于不存在第五开关晶体管、第七开关晶体管、第四开关晶体管、第一开关晶体管和第六开关晶体管同时导通的情况,因此不存在Data向Vref的通路,即Data不会对Vref产生影响,因此不存在暗态不暗的问题。

[0073] 基于同一发明构思,本发明实施例还提供了一种有机发光显示面板,如图6所示,包括N行像素单元PX、N+2条扫描线Gaten和N+2级移位寄存单元VSRn,其中每一级移位寄存单元VSRn对应连接一条扫描线Gaten,N为大于0的整数;图6中以n=1、2、3、4、5和6为例进行示意。

[0074] 各像素单元PX包括本发明实施例提供的上述像素电路以及与各像素电路连接的发光器件(像素单元的具体结构图6中未视出);

[0075] 第n行像素单元PX中的像素电路的第一扫描信号端与第n条扫描线Gaten相连,第n行像素单元PX中的像素电路的第二扫描信号端与第n+1条扫描线Gaten+1相连,第n行像素单元PX中的像素电路的第三扫描信号端与第n+2条扫描线Gaten+2相连。

[0076] 可选地,在本发明实施例提供的有机发光显示面板中,如图6所示,还包括两行虚拟像素单元DPX;

[0077] DPX虚拟像素单元包括像素电路,且虚拟像素单元DPX中的像素电路与像素单元PX中的像素电路结构相同;

[0078] 第1行虚拟像素单元的像素电路的第三扫描信号端与第1条扫描线相连;

[0079] 第2行虚拟像素单元中的像素电路的第三扫描信号端与第2条扫描线相连,第2行虚拟像素单元中的像素电路的第二扫描信号端与第1条扫描线相连 第2条扫描线相连。

[0080] 在具体实施时,设置虚拟像素单元的目的是为了与像素单元连接的扫描线上的负载能够保持一致。由于虚拟像素单元不发光,因此在设计时一般不设置发光器件,或者设置发光器件,但是发光器件与像素电路不连接。

[0081] 基于同一发明构思,本发明实施例还提供了一种显示装置,如图7所示,包括本发明实施例提供的上述任一种有机发光显示面板。该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。由于该显示装置解决问题的原理与前述一种有机发光显示面板相似,因此该显示装置的实施可以参见前述有机发光显示面板的实施,重复之处不再赘述。

[0082] 本发明实施例提供的一种像素电路、有机发光显示面板及显示装置,像素电路被三个扫描信号端控制,第一扫描信号端、第二扫描信号端和第三扫描信号端是依次输出扫描信号的,因此这三个扫描信号端不存在同时输出扫描信号的时间段,意味着本发明实施例提供的像素电路中,不存在第五开关晶体管、第七开关晶体管、第四开关晶体管、第一开关晶体管和第六开关晶体管同时导通的情况,因此不存在Data向Vref通路的电流会通过第六开关晶体管流向发光器件,从而解决现有像素电路存在的暗态不暗的问题。

[0083] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

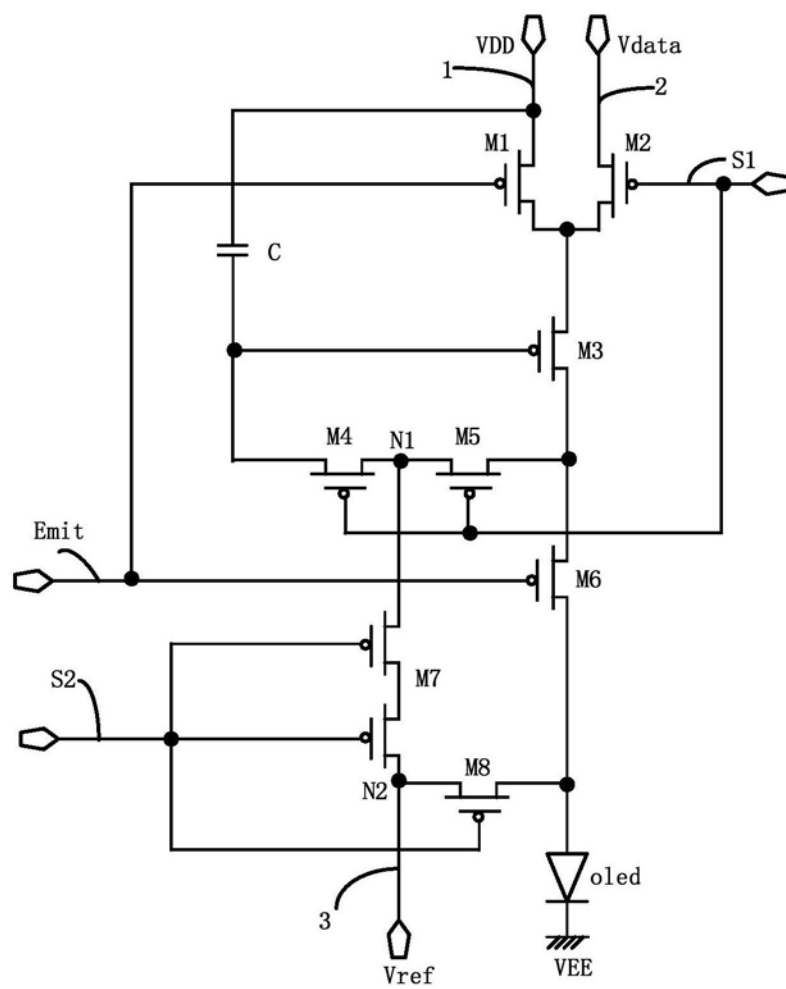


图1

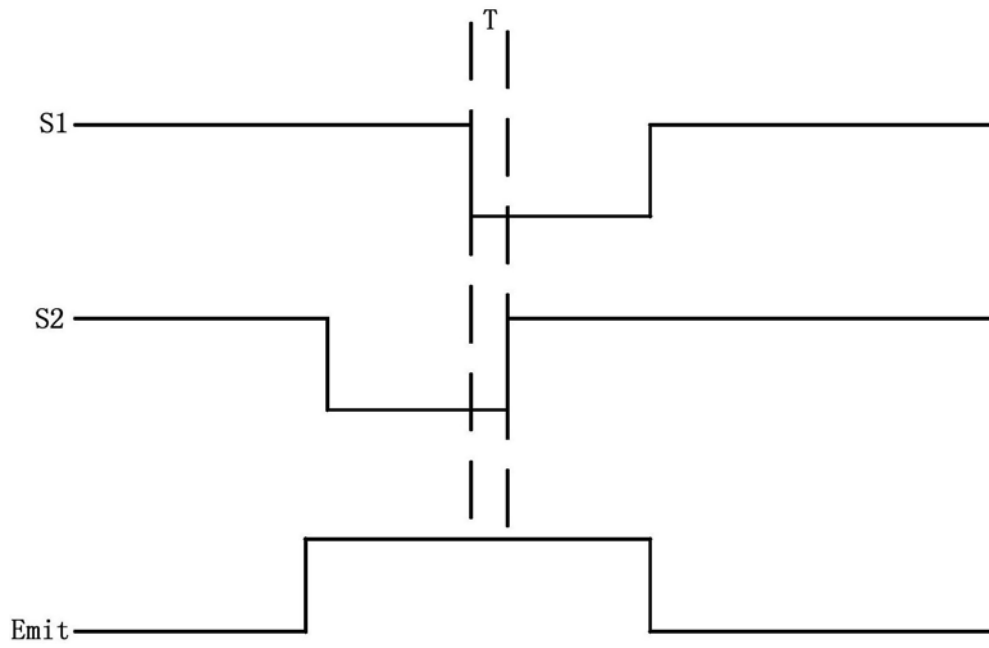


图2

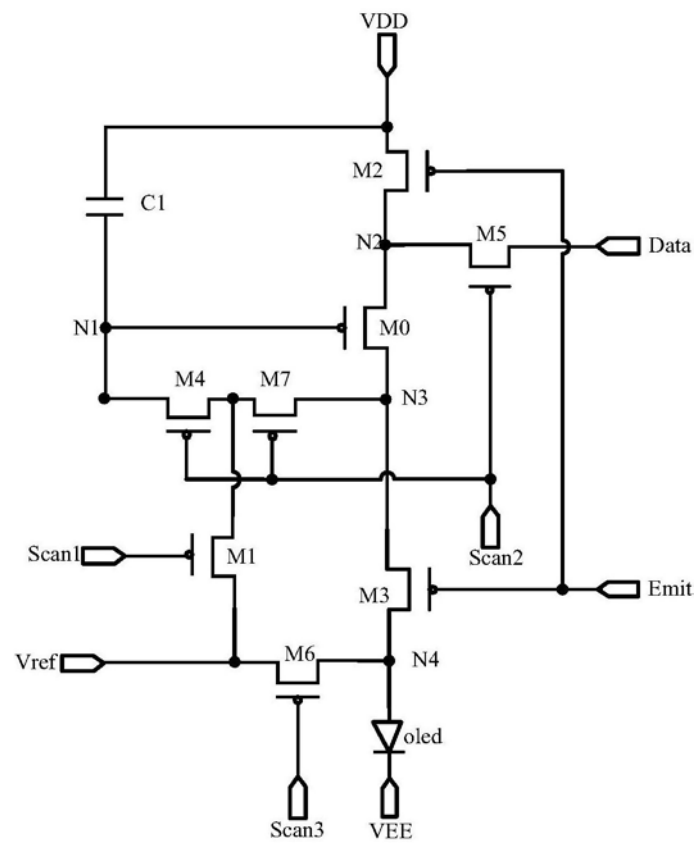


图3

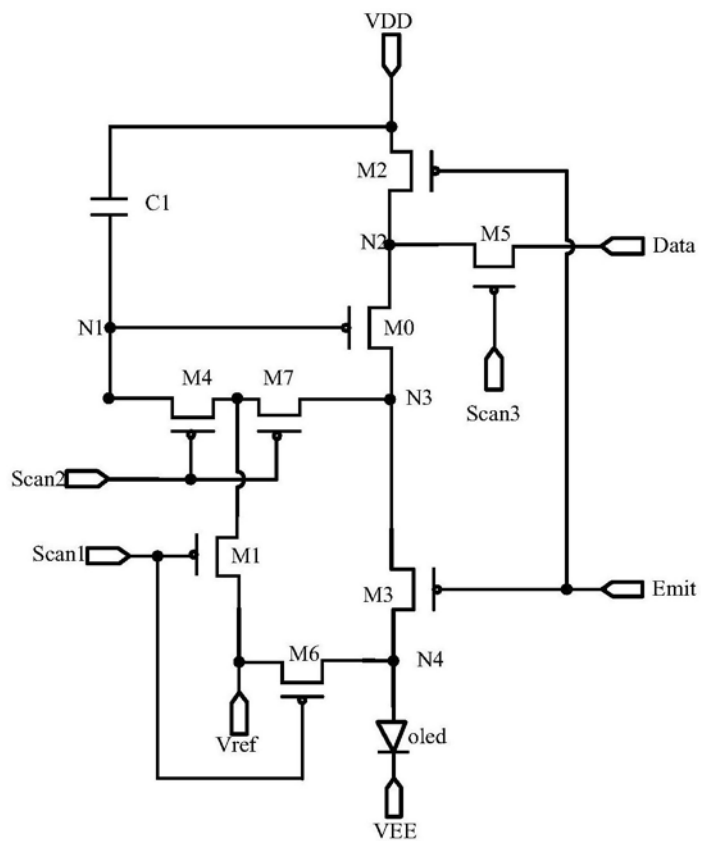


图4

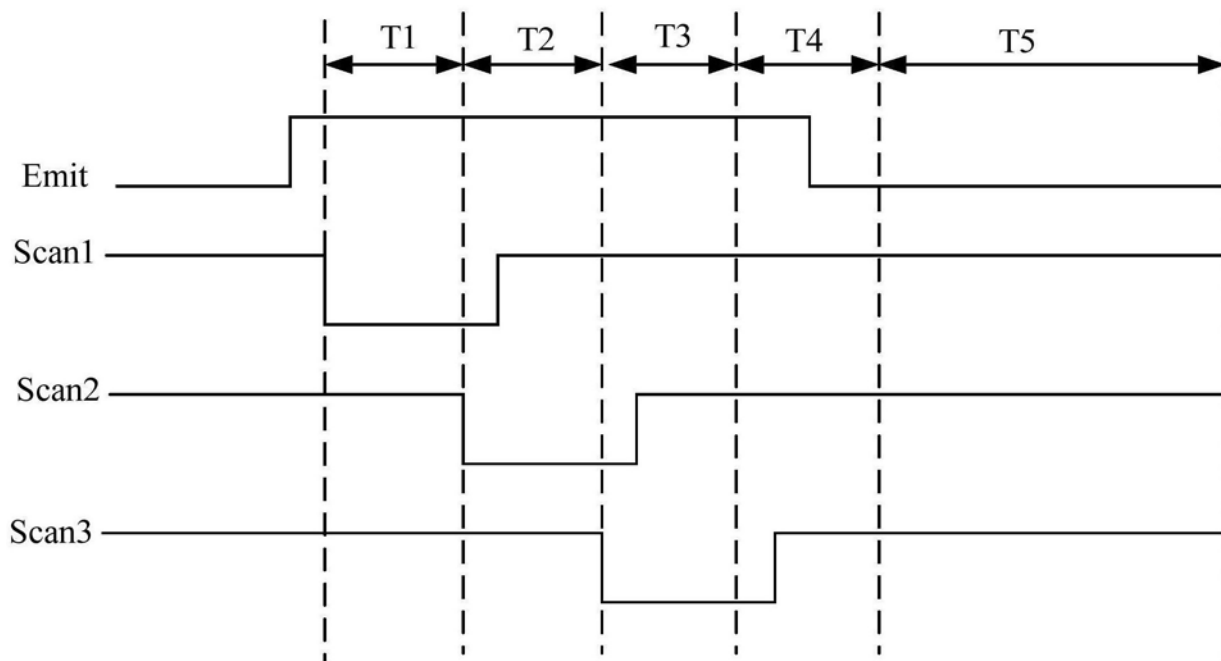


图5

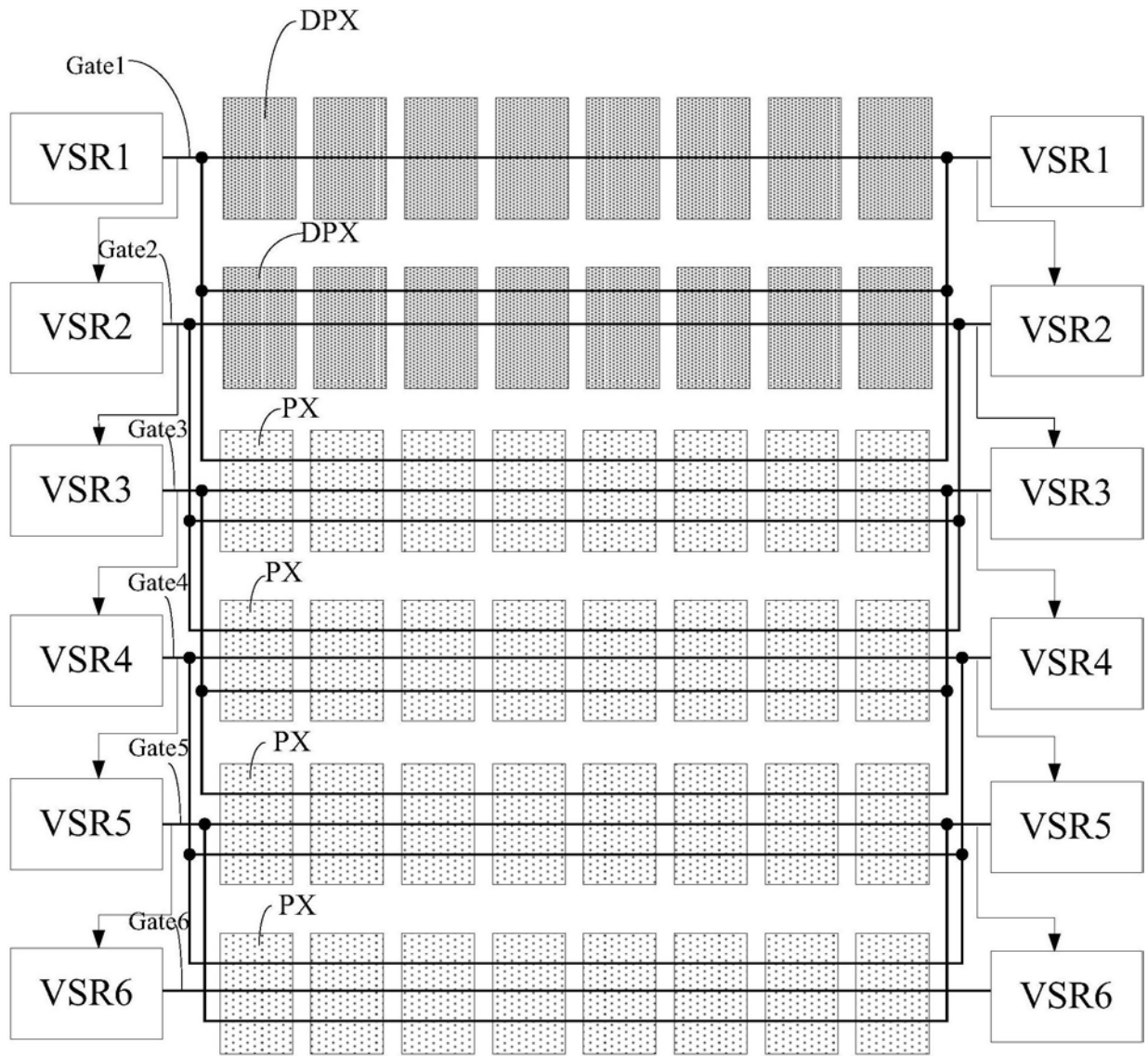


图6

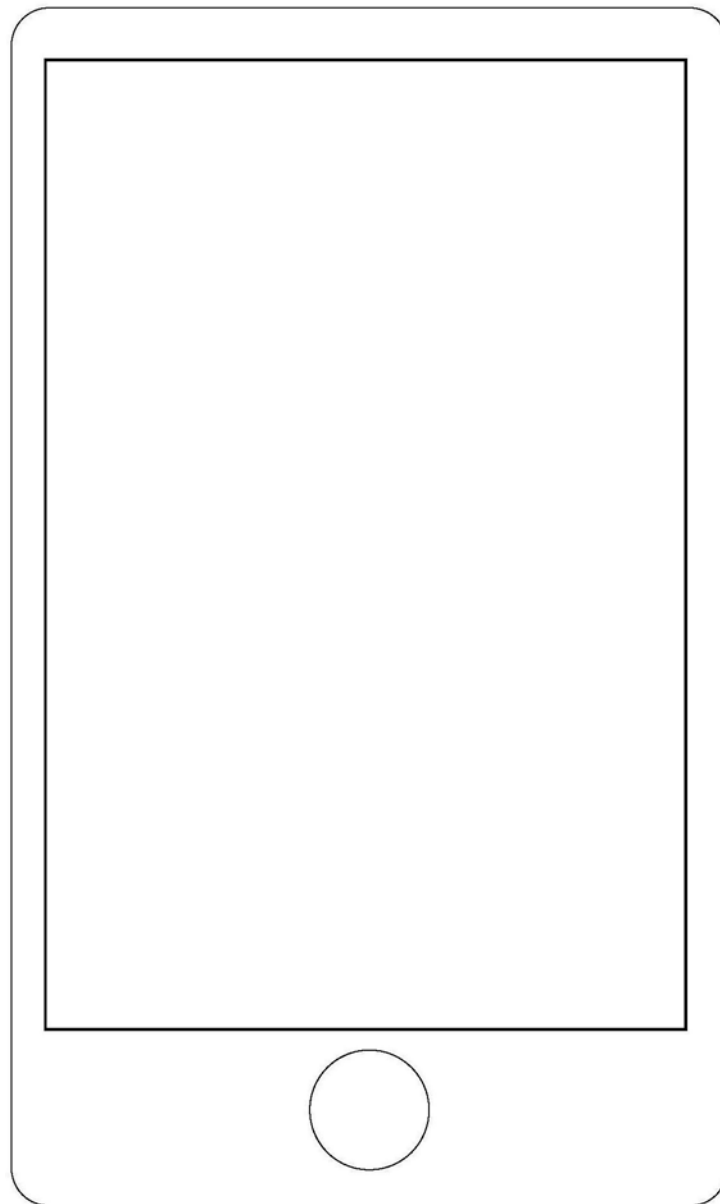


图7

[illegible]