



(12)发明专利申请

(10)申请公布号 CN 107016964 A

(43)申请公布日 2017.08.04

(21)申请号 201710278367.3

(22)申请日 2017.04.25

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 徐攀

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 孙之刚 陈岚

(51) Int.Cl.

G09G 3/3225(2016.01)

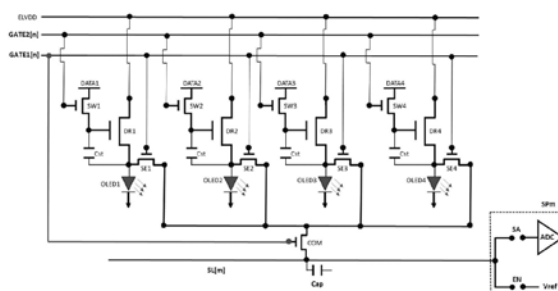
权利要求书3页 说明书10页 附图5页

(54)发明名称

像素电路、其驱动方法和显示装置

(57)摘要

公开了一种像素电路,其包括多个子像素,每个子像素包括:有机发光二极管,具有阳极;驱动晶体管,经由所述阳极与所述有机发光二极管串联;以及感测晶体管,具有连接到所述阳极的第一电极、连接到第一扫描线的栅极、以及第二电极。该像素电路还包括公共晶体管,其具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到所述第一扫描线的栅极、以及连接到感测线的第二电极。还公开了包括该像素电路的显示装置和驱动该像素电路的方法。



1. 一种像素电路,包括:
多个子像素,每个包括:
有机发光二极管,其具有阳极;
驱动晶体管,经由所述阳极与所述有机发光二极管串联;以及
感测晶体管,具有连接到所述阳极的第一电极、连接到第一扫描线的栅极、以及第二电极;以及

公共晶体管,具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到所述第一扫描线的栅极、以及连接到感测线的第二电极。

2. 如权利要求1所述的像素电路,其中所述多个子像素被配置成使得当在补偿模式下所述多个子像素之一被供应有数据电压时该子像素的驱动晶体管基于所述数据电压生成像素电流,并且其中所述被供应有数据电压的子像素的感测晶体管和所述公共晶体管被配置成在所述补偿模式下响应于来自所述第一扫描线的第一扫描信号将所生成的像素电流传送给所述感测线以供检测。

3. 如权利要求1所述的像素电路,其中所述多个子像素中的每个还包括:
存储电容器,具有连接到所述驱动晶体管的栅极的第一端和连接到所述驱动晶体管的源极的第二端;以及

开关晶体管,具有连接到数据线的第一电极、连接到第二扫描线的栅极、以及连接到所述存储电容器的第一端的第二电极。

4. 如权利要求3所述的像素电路,其中所述驱动晶体管为N型晶体管,所述驱动晶体管的所述源极和所述存储电容器的第二端连接到所述有机发光二极管的阳极;或者其中所述驱动晶体管为P型晶体管,所述驱动晶体管的漏极连接到所述有机发光二极管的阳极。

5. 如权利要求4所述的像素电路,其中在所述驱动晶体管为N型晶体管的情况下,所述多个子像素的各感测晶体管和所述公共晶体管被配置成当参考电压被施加到所述感测线时响应于来自所述第一扫描信号线的第一扫描信号将所述参考电压传送到所述多个子像素的各存储电容器的第二端。

6. 如权利要求1至5中任一项所述的像素电路,其中所述公共晶体管为底栅型晶体管。

7. 一种显示装置,包括:
第一扫描驱动器,用于向多条第一扫描线顺序地供应第一扫描信号;
第二扫描驱动器,用于向多条第二扫描线顺序地供应第二扫描信号;
数据驱动器,用于基于图像数据生成数据信号并且向多条数据线供应所生成的数据信号;

多个像素电路,每个包括多个子像素,所述多个像素电路呈阵列布置使得所述多个像素电路的各子像素呈行和列布置,每行子像素连接到所述多条第一扫描线中的相应一条和所述多条第二扫描线中的相应一条,每列子像素连接到所述多条数据线中的相应一条,其中每个子像素包括:有机发光二极管,具有阳极;驱动晶体管,经由所述阳极与所述有机发光二极管串联;以及感测晶体管,具有连接到所述阳极的第一电极、连接到该行子像素所连接的该第一扫描线的栅极、以及第二电极,其中每列像素电路连接到多条感测线中的相应一条,并且其中每个像素电路还包括公共晶体管,其具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到该行子像素所连接的该第一扫描线的栅极、以及连

接到该列像素电路所连接的该感测线的第二电极；

多个采样电路，每个连接到所述多条感测线中的相应一条，其中每个采样电路被配置成对通过由所述相应的感测线传送的像素电流对该感测线上呈现的电容充电而生成的电压进行采样；以及

时序控制器，用于控制所述第一扫描驱动器、所述第二扫描驱动器、所述数据驱动器和所述多个采样电路的操作并且基于所述多个采样电路的采样对提供给所述数据驱动器的所述图像数据进行补偿。

8. 如权利要求7所述的显示装置，其中所述多个采样电路中的每个包括第一受控开关和模数转换器，其中：

所述第一受控开关被配置成响应于第一开关控制信号将所述生成的电压耦合到所述模数转换器；并且

所述模数转换器被配置成将所述生成的电压转换成数字值并将该数字值提供给所述时序控制器。

9. 如权利要求8所述的显示装置，其中所述驱动晶体管为N型晶体管，并且其中所述多个采样电路中的每个还包括第二受控开关，其被配置成响应于第二开关控制信号将参考电压源供应的参考电压施加到所述感测线。

10. 如权利要求9所述的显示装置，其中每个像素电路的所述多个子像素的各感测晶体管和所述公共晶体管被配置成当所述参考电压被施加到所述感测线时响应于来自所述第一扫描线的第一扫描信号将所述参考电压传送到各所述感测晶体管的第一电极。

11. 如权利要求7所述的显示装置，其中每个像素电路的所述多个子像素中的每个还包括：

存储电容器，具有连接到所述驱动晶体管的栅极的第一端和连接到所述驱动晶体管的源极的第二端；以及

开关晶体管，具有连接到该列子像素所连接的该数据线的第一电极、连接到该行子像素所连接的该第二扫描线的栅极、以及连接到所述存储电容器的第一端的第二电极。

12. 如权利要求11所述的显示装置，其中所述驱动晶体管为N型晶体管，所述驱动晶体管的所述源极和所述存储电容器的第二端连接到所述有机发光二极管的阳极；或者其中所述驱动晶体管为P型晶体管，所述驱动晶体管的漏极连接到所述有机发光二极管的阳极。

13. 一种驱动像素电路的方法，所述像素电路包括多个子像素，每个包括：有机发光二极管，具有阳极；驱动晶体管，经由所述阳极与所述有机发光二极管串联；以及感测晶体管，具有连接到所述阳极的第一电极、连接到第一扫描线的栅极、以及第二电极；公共晶体管，具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到所述第一扫描线的栅极、以及连接到感测线的第二电极；存储电容器，具有连接到所述驱动晶体管的栅极的第一端和连接到所述驱动晶体管的源极的第二端；以及开关晶体管，具有连接到数据线的第二电极、连接到第二扫描线的栅极、以及连接到所述存储电容器的第一端的第二电极，所述方法包括：

在向连接到所述多个子像素的相应数据线之一供应数据信号的同时将来自所述第二扫描线的第二扫描信号施加到所述多个子像素的各开关晶体管的栅极，以将来自该数据线的第二扫描信号传送到该数据线所连接的子像素的所述存储电容器的第一端；

通过将来自所述第一扫描线的第一扫描信号施加到所述多个子像素的各感测晶体管的栅极和所述公共晶体管的栅极,将由该子像素的所述驱动晶体管基于所述数据信号生成的像素电流传送到所述感测线,所述像素电流对所述感测线上呈现的电容充电;以及

经由所述感测线将通过所述像素电流对所述电容充电而生成的电压传送到外部电路以供检测。

14.如权利要求13所述的方法,其中所述驱动晶体管为N型晶体管,其中所述驱动晶体管的所述源极和所述存储电容器的第二端连接到所述有机发光二极管的阳极,并且其中所述方法还包括:与将所述第二扫描信号施加到各所述开关晶体管的栅极同时地,通过将所述第一扫描信号施加到所述多个子像素的各感测晶体管的栅极和所述公共晶体管的栅极,将施加到所述感测线的参考电压传送到该子像素的所述存储电容器的第二端。

15.如权利要求13所述的方法,还包括:在将所述像素电流传送到所述感测线的时候,使所述第二扫描信号无效以关断所述开关晶体管。

16.如权利要求13所述的方法,还包括:在将所述像素电流传送到所述感测线的时候,使所述第二扫描信号保持有效以将所述数据信号持续施加到所述存储电容器的第一端。

像素电路、其驱动方法和显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体来说涉及一种像素电路、其驱动方法和显示装置。

背景技术

[0002] 在有源矩阵有机发光二极管(AMOLED)显示器中,各像素中的相应驱动晶体管可能具有不同的特性(例如,不同的迁移率或阈值电压),使得各像素在相同的灰阶电压下呈现不同的亮度。这种亮度的不均匀性被称为“mura”。补偿技术可以用来缓解mura效果,其中外部电学补偿是一种常用的技术,尤其是在大尺寸OLED显示器中。外部电学补偿可以涉及使用感测线将驱动晶体管生成的饱和电流(下文中也称为“像素电流”)汲取到外部补偿电路,该外部补偿电路然后基于像素电流的量值与目标值的差异确定补偿数据,并向驱动电路提供对应于目标亮度的经补偿的显示数据。

[0003] 图1示出了一种其中可以实现外部电学补偿的现有OLED 像素电路的示意图。如图所示的,该像素电路包括四个子像素,其包括相应的开关晶体管 SW1,SW2,SW3,SW4、相应的驱动晶体管DR1,DR2,DR3,DR4、相应的感测晶体管SE1,SE2,SE3,SE4、相应的存储电容器Cst、以及相应的有机发光二极管OLED1,OLED2,OLED3,OLED4。开关晶体管 SW1,SW2,SW3和SW4分别连接到数据线DATA1,DATA2,DATA3和DATA4,并且在来自第二扫描线GATE2的扫描信号的控制下操作。驱动晶体管DR1,DR2,DR3和DR4连接到电源线ELVDD。感测晶体管SE1,SE2,SE3和SE4在来自第一扫描线GATE1的扫描信号的控制下操作。为了提高开口率,这四个感测晶体管SE1,SE2,SE3和SE4(以及潜在地更多像素电路的感测晶体管)连接到一条公共的感测线SL。在这种情况下,感测线SL上呈现的电容Cap至少包括1)由于感测线SL与其他金属导线或金属块的交叠而形成的电容,以及2)连接到感测线SL的感测晶体管SE1,SE2,SE3和SE4的寄生电容(栅源/栅漏电容)。尤其是,在感测晶体管SE1,SE2,SE3和SE4具有底栅结构的情况下,寄生的栅源电容和栅漏电容会比较大(与其中各感测晶体管具有顶栅结构的情况相比)。

[0004] 感测线SL从像素汲取的像素电流可以由通过该像素电流对感测线SL上呈现的电容Cap充电而生成的电压来指示。因此,感测线SL上呈现的总电容Cap是影响补偿准确性的因素之一。总电容Cap越大,要求充电电流越大并且充电时间越长。大的充电电流意味着大的数据电压,其可能超出正常的显示电压范围。而且,长的充电时间在其中要求实时补偿的场景下可能不能得以满足,导致对电容Cap的充电不足并且因此降低的补偿精度。

发明内容

[0005] 有利的是提供一种可以缓解或减轻上述问题中的至少一个的像素电路。同样期望的是提供一种包括这样的像素电路的显示装置和驱动这样的像素电路的方法。

[0006] 根据本发明的第一方面,提供了一种像素电路,包括:多个子像素,每个包括:有机发光二极管,具有阳极;驱动晶体管,经由所述阳极与所述有机发光二极管串联;以及感测晶体管,具有连接到所述阳极的第一电极、连接到第一扫描线的栅极、以及第二电极。该像

素电路还包括公共晶体管,具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到所述第一扫描线的栅极、以及连接到感测线的第二电极。

[0007] 在一些实施例中,所述多个子像素被配置成使得当在补偿模式下所述多个子像素之一被供应有数据电压时该子像素的驱动晶体管基于所述数据电压生成饱和电流。所述被供应有数据电压的子像素的感测晶体管和所述公共晶体管被配置成在所述补偿模式下响应于来自所述第一扫描线的第一扫描信号将所生成的饱和电流传送给所述感测线以供检测。

[0008] 在一些实施例中,所述多个子像素中的每个还包括:存储电容器,具有连接到所述驱动晶体管的栅极的第一端和连接到所述驱动晶体管的源极的第二端;以及开关晶体管,具有连接到数据线的第一电极、连接到第二扫描线的栅极、以及连接到所述存储电容器的第一端的第二电极。

[0009] 在一些实施例中,所述驱动晶体管为N型晶体管,并且所述驱动晶体管的所述源极和所述存储电容器的第二端连接到所述有机发光二极管的阳极。

[0010] 在一些实施例中,所述多个子像素的各感测晶体管和所述公共晶体管被配置成当参考电压被施加到所述感测线时响应于所述第一扫描信号将所述参考电压传送到所述多个子像素的各存储电容器的第二端。

[0011] 在一些实施例中,所述驱动晶体管为P型晶体管,并且所述驱动晶体管的漏极连接到所述有机发光二极管的阳极。

[0012] 在一些实施例中,所述公共晶体管为底栅型晶体管。

[0013] 在一些实施例中,所述像素电路包括用于RGBW像素图案的四个子像素或者用于RGB像素图案的三个子像素。

[0014] 根据本发明的第二方面,提供了一种显示装置,包括:第一扫描驱动器,用于向多条第一扫描线顺序地供应第一扫描信号;第二扫描驱动器,用于向多条第二扫描线顺序地供应第二扫描信号;数据驱动器,用于基于图像数据生成数据信号并且向多条数据线供应所生成的数据信号;多个像素电路,每个包括多个子像素,所述多个像素电路呈阵列布置使得所述多个像素电路的各子像素呈行和列布置,每行子像素连接到所述多条第一扫描线中的相应一条和所述多条第二扫描线中的相应一条,每列子像素连接到所述多条数据线中的相应一条,每个子像素包括:有机发光二极管,具有阳极;驱动晶体管,经由所述阳极与所述有机发光二极管串联;以及感测晶体管,具有连接到所述阳极的第一电极、连接到该行子像素所连接的该第一扫描线的栅极、以及第二电极,每列像素电路连接到多条感测线中的相应一条,每个像素电路还包括公共晶体管,其具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到该行子像素所连接的该第一扫描线的栅极、以及连接到该列像素电路所连接的该感测线的第二电极。所述显示装置还包括多个采样电路,每个连接到所述多条感测线中的相应一条,每个采样电路被配置成对通过由所述相应的感测线传送的像素电流对该感测线上呈现的电容充电而生成的电压进行采样;以及时序控制器,用于控制所述第一扫描驱动器、所述第二扫描驱动器、所述数据驱动器和所述多个采样电路的操作并且基于所述多个采样电路的采样对提供给所述数据驱动器的所述图像数据进行补偿。

[0015] 在一些实施例中,所述多个采样电路中的每个包括第一受控开关和模数转换器。

所述第一受控开关被配置成响应于第一开关控制信号将所述生成的电压耦合到所述模数转换器,并且所述模数转换器被配置成将所述生成的电压转换成数字值并将该数字值提供给所述时序控制器。

[0016] 在一些实施例中,所述驱动晶体管为N型晶体管,并且所述多个采样电路中的每个还包括第二受控开关,其被配置成响应于第二开关控制信号将参考电压源供应的参考电压施加到所述感测线。

[0017] 在一些实施例中,每个像素电路的所述多个子像素的各感测晶体管和所述公共晶体管被配置成当所述参考电压被施加到所述感测线时响应于来自所述第一扫描线的第一扫描信号将所述参考电压传送到各所述感测晶体管的第一电极。

[0018] 在一些实施例中,每个像素电路的所述多个子像素中的每个还包括:存储电容器,具有连接到所述驱动晶体管的栅极的第一端和连接到所述驱动晶体管的源极的第二端;以及开关晶体管,具有连接到该列子像素所连接的该数据线的第一电极、连接到该行子像素所连接的该第二扫描线的栅极、以及连接到所述存储电容器的第一端的第二电极。

[0019] 在一些实施例中,所述驱动晶体管为N型晶体管,并且所述驱动晶体管的所述源极和所述存储电容器的第二端连接到所述有机发光二极管的阳极。

[0020] 在一些实施例中,所述驱动晶体管为P型晶体管,并且所述驱动晶体管的漏极连接到所述有机发光二极管的阳极。

[0021] 在一些实施例中,所述公共晶体管为底栅型晶体管。

[0022] 在一些实施例中,每个像素电路包括用于RGBW像素图案的四个子像素或者用于RGB像素图案的三个子像素。

[0023] 根据本发明的第三方面,提供了一种驱动像素电路的方法。所述像素电路包括多个子像素,每个包括:有机发光二极管,具有阳极;驱动晶体管,经由所述阳极与所述有机发光二极管串联;以及感测晶体管,具有连接到所述阳极的第一电极、连接到第一扫描线的栅极、以及第二电极;公共晶体管,具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到所述第一扫描线的栅极、以及连接到感测线的第二电极;存储电容器,具有连接到所述驱动晶体管的栅极的第一端和连接到所述驱动晶体管的源极的第二端;以及开关晶体管,具有连接到数据线的第一电极、连接到第二扫描线的栅极、以及连接到所述存储电容器的第一端的第二电极。所述方法包括:在向连接到所述多个子像素的相应数据线之一供应数据信号的同时将来自所述第二扫描线的第二扫描信号施加到所述多个子像素的各开关晶体管的栅极,以将来自该数据线的的数据信号传送到该数据线所连接的子像素的所述存储电容器的第一端;通过将来自所述第一扫描线的第一扫描信号施加到所述多个子像素的各感测晶体管的栅极和所述公共晶体管的栅极,将由该子像素的所述驱动晶体管基于所述数据信号生成的饱和电流传送到所述感测线,所述饱和电流对所述感测线上呈现的电容充电;以及经由所述感测线将通过所述饱和电流对所述电容充电而生成的电压传送到外部电路以供检测。

[0024] 在一些实施例中,所述驱动晶体管为N型晶体管,所述驱动晶体管的所述源极和所述存储电容器的第二端连接到所述有机发光二极管的阳极,并且所述方法还包括:与将所述第二扫描信号施加到各所述开关晶体管的栅极同时地,通过将所述第一扫描信号施加到所述多个子像素的各感测晶体管的栅极和所述公共晶体管的栅极,将施加到所述感测线的

参考电压传送到该子像素的所述存储电容器的第二端。

[0025] 在一些实施例中,所述方法还包括:在将所述像素电流传送到所述感测线的同时,使所述第二扫描信号无效以关断所述开关晶体管。

[0026] 在一些实施例中,所述方法,还包括:在将所述像素电流传送到所述感测线的同时,使所述第二扫描信号保持有效以将所述数据信号持续施加到所述存储电容器的第一端。

[0027] 根据在下文中所描述的实施例,本发明的这些和其它方面将是清楚明白的,并且将参考在下文中所描述的实施例而被阐明。

附图说明

[0028] 图1示出了一种其中可以实现外部电学补偿的现有OLED 像素电路的示意图;

图2示出了根据本发明实施例的显示装置的框图;

图3示出了图2的显示装置中包括的时序控制器的框图;

图4示出了根据本发明实施例的像素电路的电路图;

图5是图4的像素电路在发光模式下的时序图;

图6是图4的像素电路在补偿模式下的时序图;

图7是图4的像素电路在另一补偿模式下的时序图;并且

图8示出了根据本发明另一实施例的像素电路的电路图。

具体实施方式

[0029] 将理解的是,尽管术语第一、第二、第三等等在本文中可以用来描述各种元件、部件和/或部分,但是这些元件、部件和/或部分不应当由这些术语限制。这些术语仅用来将一个元件、部件或部分与另一个元件、部件或部分相区分。因此,下面讨论的第一元件、部件或部分可以被称为第二元件、部件或部分而不偏离本发明的教导。

[0030] 本文中使用的术语仅出于描述特定实施例的目的并且不意图限制本发明。如本文中使用的,单数形式“一个”、“一”和“该”意图也包括复数形式,除非上下文清楚地另有指示。将进一步理解的是,术语“包括”和/或“包含”当在本说明书中使用指定所述及特征、整体、步骤、操作、元件和/或部件的存在,但不排除一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组的存在或添加一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组。如本文中使用的,术语“和/或”包括相关联的列出项目中的一个或多个的任意和全部组合。

[0031] 将理解的是,当元件被称为“连接到另一个元件”或“耦合到另一个元件”时,其可以直接连接到另一个元件或直接耦合到另一个元件,或者可以存在中间元件。相反,当元件被称为“直接连接到另一个元件”、“直接耦合到另一个元件”时,没有中间元件存在。此外,短语“基于”意图被解释为“至少部分地基于”,除非明确地另有说明。

[0032] 除非另有定义,本文中使用的术语(包括技术术语和科学术语)具有与本发明所属领域的普通技术人员所通常理解的相同含义。将进一步理解的是,诸如那些在通常使用的字典中定义的之类的术语应当被解释为具有与其在相关领域和/或本说明书上下文中的含义相一致的含义,并且将不在理想化或过于正式的意义上来进行解释,除非本文中明确

地如此定义。

[0033] 图2示出了根据本发明实施例的显示装置100的框图。参见图2,显示装置100包括像素阵列110、第一扫描驱动器102、第二扫描驱动器 104、数据驱动器106、多个采样电路SP1,SP2,...,SPm、电源108和时序控制器112。

[0034] 像素阵列110包括 $n \times m$ 个像素电路P。每个像素电路P包括OLED和多个子像素(图2中未示出)。像素阵列110包括在行方向上布置以传送第一扫描信号的 n 条第一扫描线GATE1[1],GATE1[2],...,GATE1[n];在行方向上布置以传送第二扫描信号的 n 条第二扫描线GATE2[1],GATE2[2],...,GATE2[n];在列方向上布置以传送数据信号的 m 组数据线D[1],D[2],...,D[m];在列方向上布置以从各像素电路P汲取像素电流的 m 条感测线SL[1],SL[2],...,SL[m];以及用于施加电源电压ELVDD的电线(未示出)。 n 和 m 是自然数。取决于每个像素电路P包括的子像素的数目,数据线组D[1],D[2],...,D[m]中的每个可以包括与子像素的数目相同的数目的数据线以用于向各个子像素供应相应的数据信号。 $n \times m$ 个像素电路P呈阵列布置使得各像素电路P的各子像素呈行和列布置。每行子像素连接到 n 条第一扫描线中的相应一条和 n 条第二扫描线中的相应一条,并且每列子像素连接到各数据线中的相应一条。另外,每列像素电路P连接到感测线SL[1],SL[2],...,SL[m]中的相应一条。

[0035] 第一扫描驱动器102连接至第一扫描线GATE1[1],GATE1[2],...,GATE1[n],以将第一扫描信号施加至像素阵列110。第二扫描驱动器104连接至第二扫描线GATE2[1],GATE2[2],...,GATE2[n],以将第二扫描信号施加至像素阵列110。数据驱动器106连接至数据线组D[1],D[2],...,D[m],以将数据信号施加至像素阵列110。采样电路SP1,SP2,...,SPm分别连接到感测线SL[1],SL[2],...,SL[m],以对通过从各像素电路P汲取的像素电流对感测线SL[1],SL[2],...,SL[m]上呈现的电容充电而生成的电压进行采样。电源108供应的电源电压ELVDD(图2中未示出)被施加至像素阵列110中的每个像素电路P。

[0036] 时序控制器112用于控制第一扫描驱动器102、第二扫描驱动器104、数据驱动器106和采样电路SP1,SP2,...,SPm的操作。时序控制器112从外部设备(例如,主机)接收输入图像数据RGBD和输入控制信号CONT,并且从采样电路SP1,SP2,...,SPm接收采样数据SPD。输入图像数据RGBD可包括用于多个像素的多个输入像素数据。每个输入像素数据可包括用于多个像素中的相应一个的红色灰度数据R、绿色灰度数据G和蓝色灰度数据B。输入控制信号CONT可包括主时钟信号、数据使能信号、垂直同步信号、水平同步信号等。时序控制器112还从采样电路SP1,SP2,...,SPm接收采样数据SPD。时序控制器112基于输入图像数据RGBD、采样数据SPD和输入控制信号CONT 生成输出图像数据RGBD'、第一控制信号CONT1、第二控制信号 CONT2、第三控制信号CONT3和第四控制信号 CONT4。

[0037] 具体地,时序控制器112可基于输入图像数据RGBD和采样数据SPD生成输出图像数据RGBD'。输出图像数据RGBD' 可以通过使用补偿算法补偿输入图像数据RGBD 而生成的补偿图像数据。具体的补偿算法超出了本文中讨论的范围,并且可以是本领域中任何已知或将来的技术。输出图像数据RGBD' 可包括用于多个像素的多个输出像素数据,并且被提供给数据驱动器106。时序控制器112可基于输入控制信号CONT生成第一控制信号 CONT1和第二控制信号CONT2。第一控制信号CONT1和第二控制信号CONT2可被分别提供给第一扫描驱动器102和第二扫描驱动器104,并且第一扫描驱动器102和第二扫描驱动器104的驱动时序可分别基于第一控制信号CONT1和第二控制信号CONT2被控制。第一控制信号CONT1和第二

控制信号CONT2可包括垂直启动信号、栅极时钟信号等。时序控制器112还可基于输入控制信号CONT生成第三控制信号CONT3和第四控制信号CONT4。第三控制信号CONT3可被提供给数据驱动器106,并且数据驱动器106的驱动时序可基于第三控制信号CONT3被控制。第三控制信号CONT3可包括水平启动信号、数据时钟信号、数据负载信号、极性控制信号等。第四控制信号CONT4可被提供给各采样电路SP1,SP2,...,SPm,并且采样电路SP1,SP2,...,SPm的驱动时序可基于第四控制信号CONT4被控制。例如,采样电路SP1,SP2,...,SPm可被控制使得在补偿模式下在像素电流对感测线SL[1],SL[2],...,SL[m]上呈现的电容充电完成后对所述电容上的电压进行采样。

[0038] 第一扫描驱动器102和第二扫描驱动器104从时序控制器112分别接收第一控制信号CONT1和第二控制信号CONT2。第一扫描驱动器102基于第一控制信号CONT1生成顺序地施加到第一扫描线GATE1[1],GATE1[2],...,GATE1[n]的多个栅极信号。第二扫描驱动器104基于第二控制信号CONT2生成顺序地施加到第二扫描线GATE2[1],GATE2[2],...,GATE2[n]的多个栅极信号。

[0039] 数据驱动器106从时序控制器112接收第三控制信号CONT3和输出图像数据RGBD'。数据驱动器106基于第三控制信号CONT3和输出图像数据RGBD' (例如,数字图像数据)生成多个数据信号(例如,模拟灰阶电压)。数据驱动器106可将多个数据信号施加至数据线组D[1],D[2],...,D[m]的各数据线。

[0040] 采样电路SP1,SP2,...,SPm连接到相应的感测线SL[1],SL[2],...,SL[m]并且从时序控制器112接收第四控制信号CONT4。采样电路SP1,SP2,...,SPm中的每个基于第四控制信号CONT4对通过由相应的感测线传送的像素电流对所述感测线上呈现的电容充电而生成的电压进行采样。给定所述电容的值和充电时间,所生成的电压可以指示像素电流的量值。

[0041] 图3示出了图2的显示装置100中包括的时序控制器112的框图。

[0042] 参考图3,时序控制器112可包括数据补偿器210和控制信号生成器220。为了方便描述,时序控制器112在图3中示出为被划分成两个元件,尽管时序控制器112可不被物理划分。

[0043] 数据补偿器210可基于来自所述多个采样电路SP1,SP2,...,SPm的采样数据SPD对输入图像数据RGBD进行补偿以便生成经补偿的输出图像数据RGBD'。

[0044] 控制信号生成器220可从外部设备接收输入控制信号CONT,并且可基于输入控制信号CONT生成用于图2中的各控制信号CONT1,CONT2,CONT3和CONT4。控制信号生成器220可将第一控制信号CONT1输出至图2中的第一扫描驱动器102,将第二控制信号CONT2输出至图2中的第二扫描驱动器104,将第三控制信号CONT3输出至图2中的数据驱动器106,并且将第四控制信号CONT4输出至图2中的采样电路SP1,SP2,...,SPm。

[0045] 作为示例而非限制,在上面的实施例中,显示装置100可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0046] 图4示出了根据本发明实施例的像素电路的电路图。为了便于描述,示出了连接到第n条第一扫描线GATE1[n]、第n条第二扫描线GATE2[n]、第m组数据线D[m]和第m条感测线SL[m]的像素电路。

[0047] 在图4的示例中,像素电路包括四个子像素,其包括相应的有机发光二极管OLED1,OLED2,OLED3,OLED4、相应的驱动晶体管DR1,DR2,DR3,DR4和相应的感测晶体管SE1,SE2,

SE3, SE4。连接到该像素电路的数据线组包括四条数据线DATA1, DATA2, DATA3和DATA4, 其分别向四个子像素供应数据信号。这四个子像素可以被设计成具有相同的结构并且显示不同的颜色分量(例如用于RGBW像素图案)。以第一个子像素为例, 驱动晶体管DR1经由有机发光二极管OLED1的阳极与有机发光二极管OLED1串联, 并且感测晶体管SE1具有连接到所述阳极的第一电极、连接到第一扫描线GATE1[n]的栅极、以及第二电极。该子像素还包括存储电容器Cst和开关晶体管SW1。存储电容器Cst具有连接到驱动晶体管DR1的栅极的第一端和连接到驱动晶体管DR1的源极的第二端。开关晶体管SW1具有连接到数据线DATA1的第一电极、连接到第二扫描线GATE2[n]的栅极、以及连接到存储电容器Cst的第一端的第二电极。开关晶体管SW1可以响应于来自第二扫描线GATE2[n]的第二扫描信号将来自数据线DATA1的数据信号传送到存储电容器Cst的第一端。

[0048] 像素电路还包括公共晶体管COM, 其具有连接到各子像素的感测晶体管SE1, SE2, SE3, SE4的第二电极的第一电极、连接到第一扫描线GATE1[n]的栅极、以及连接到感测线SL[m]的第二电极。各子像素被配置成使得当在补偿模式下所述各子像素之一被供应有数据电压时该子像素的驱动晶体管基于所述数据电压生成饱和电流。被供应有数据电压的该子像素的感测晶体管和公共晶体管COM被配置成在所述补偿模式下响应于来自第一扫描线GATE1[n]的第一扫描信号将所生成的饱和电流传送给感测线SL[m]以供检测。

[0049] 如图4所示, 代替直接连接到各子像素的感测晶体管SE1, SE2, SE3, SE4, 感测线SL[m]经由公共晶体管COM连接到各子像素。因此, 感测线SL[m]上呈现的电容Cap包括1) 由于感测线SL[m]与其他金属导线或金属块的交叠而形成的电容, 以及2) 公共晶体管COM的寄生电容。就寄生电容而言, 将连接到感测线SL[m]的一系列像素的所有公共晶体管COM的寄生电容考虑在内, 总的寄生电容可以简单地计算为 $1 \times C_p \times N_r$, 其中 C_p 为单个晶体管的寄生电容(栅源电容或栅漏电容), 并且 N_r 为像素阵列中像素的行数。相比之下, 在如图1所示的像素电路的情况下, 感测线SL上呈现的总的寄生电容为 $4 \times C_p \times N_r$, 因为感测线SL被连接到四个感测晶体管SE1, SE2, SE3和SE4。由于在根据本发明实施例的像素电路中连接到感测线的晶体管的数目大大减少, 感测线上呈现的电容可以被大大减小。这对于提高外部电学补偿的准确性是有利的。另外, 用于驱动公共晶体管COM的栅极信号可以与用于驱动感测晶体管SE1, SE2, SE3, SE4的栅极信号(即, 来自第一扫描线GATE1[n]的第一扫描信号)相同, 所以无需增加新的控制逻辑。这可以导致电路的低的复杂度。

[0050] 在各实施例中, 像素电路中的公共晶体管COM(以及潜在地其他晶体管)可以是底栅型晶体管。尽管底栅型晶体管具有比顶栅型晶体管更大的寄生电容, 但是在根据本发明实施例的像素电路中感测线上呈现的电容仍然可以较小, 因为感测线经由单个公共晶体管连接到各子像素, 而不是直接连接到各子像素的多个感测晶体管。还设想了其他实施例。例如, 像素电路中的公共晶体管COM(以及潜在地其他晶体管)可以是顶栅型晶体管。

[0051] 继续图4的示例, 感测线SL[m]连接到采样电路SPm, 其对通过经由感测晶体管SE1, SE2, SE3或SE4以及公共晶体管COM传送的饱和电流对电容Cap充电而生成的电压进行采样。采样电路SPm包括第一受控开关SA和模数转换器ADC。第一受控开关SA可以响应于第一开关控制信号将所述生成的电压耦合到模数转换器ADC。模数转换器ADC可以将所述生成的电压转换成数字值并将该数字值提供给图2中的时序控制器112。

[0052] 在图4的示例中, 像素电路中的各驱动晶体管DR1, DR2, DR3, DR4被示出为N型晶体

管。在这种情况下,驱动晶体管DR1,DR2,DR3,DR4的源极和相应的存储电容器Cst的第二端连接到相应的有机发光二极管OLED1,OLED2,OLED3,OLED4的阳极,并且采样电路SPm还包括第二受控开关EN,其可以响应于第二开关控制信号将参考电压源Vref供应的参考电压施加到感测线SL[m]。如下面描述的,当数据电压要被写入子像素时,该参考电压可以通过公共晶体管COM和相应的感测晶体管SE1,SE2,SE3,SE4耦合到相应的存储电容器Cst的第二端。耦合到存储电容器Cst的第二端的该参考电压连同耦合到该存储电容器Cst的第一端的数据信号一起确定由该存储电容器Cst存储的数据电压(即跨驱动晶体管DR1,DR2,DR3或DR4的栅极和源极的电压)。

[0053] 下面结合图5-7描述图4的像素电路的操作,其中图5涉及该像素电路在发光模式下的操作,并且图6和7涉及该像素电路在补偿模式下的操作。

[0054] 图5是图4的像素电路在发光模式下的时序图。

[0055] 在阶段①中,相应的数据电压被写入各存储电容器Cst。来自第二扫描线GATE2[n]的第二扫描信号(图5中为高电平电压)被施加到开关晶体管SW1,SW2,SW3和SW4的栅极,使得数据线DATA1,DATA2,DATA3和DATA4上的数据信号被传送到各存储电容器Cst的第一端。来自第一扫描线GATE1[n]的第一扫描信号(图5中为高电平电压)被施加到感测晶体管SE1,SE2,SE3,SE4和公共晶体管COM的栅极,并且第二开关控制信号(图5中为高电平电压)被施加到第二受控开关EN,使得参考电压源Vref供应的参考电压被施加到感测线SL[m],并且进而通过公共晶体管COM和相应的感测晶体管SE1,SE2,SE3,SE4被传送到相应的存储电容器Cst的第二端。由此,各存储电容器Cst存储相应的数据电压。

[0056] 在阶段②中,各驱动晶体管DR1,DR2,DR3,DR4驱动相应的有机发光二极管OLED1,OLED2,OLED3,OLED4发光。根据晶体管的饱和电流公式,驱动晶体管生成的像素电流可以计算为:

$$I = 1/2 * u * Cox * (W/L) (V_{gs} - V_{th})^2 \quad (1)$$

其中u为电子的迁移率,Cox为单位面积栅氧化层电容,W/L是驱动晶体管的沟道宽长比,Vgs为跨驱动晶体管的栅极和源极的电压,并且Vth为驱动晶体管的阈值电压。由于第一扫描线GATE1[n]上的第一扫描信号在阶段②中被无效(deactivated)(其跳变至低电平,如图5中所示),所以各感测晶体管SE1,SE2,SE3,SE4和公共晶体管COM被关断。因此,各驱动晶体管DR1,DR2,DR3,DR4生成的像素电流流过相应的有机发光二极管OLED1,OLED2,OLED3,OLED4,而不会被汲取到感测线SL[m]。

[0057] 图6是图4的像素电路在补偿模式下的时序图。

[0058] 在阶段①中,一个数据电压被写入该像素电路的多个子像素之一。如图6所示,向连接到该多个子像素的相应数据线之一(图6中为DATA1)供应数据信号,并且同时将来自第二扫描线GATE2[n]的第二扫描信号施加到多个子像素的各开关晶体管SW1,SW2,SW3,SW4的栅极。因此,来自数据线DATA1的数据信号被传送到与该数据线DATA1连接的子像素的存储电容器Cst的第一端。

[0059] 在其中驱动晶体管DR1为N型晶体管并且因此驱动晶体管DR1的源极和存储电容器Cst的第二端连接到有机发光二极管OLED1的阳极的情况下,在阶段①中还可以向各存储电容器Cst的第二端提供参考电压(例如,低电平电压)。如图6所示,在阶段①中第二开关控制信号被施加到第二受控开关EN,使得参考电压源Vref供应的参考电压被施加到感测线SL

[m]。与将第二扫描信号施加到各开关晶体管SW1,SW2,SW3,SW4的栅极同时地,通过将来自第一扫描线GATE1[n]的第一扫描信号施加到各感测晶体管SE1,SE2,SE3,SE4的栅极和所述公共晶体管COM的栅极,施加到感测线SL[m]的参考电压被传送到各存储电容器Cst的第二端。在图6的示例中,来自数据线DATA1的数据信号和由参考电压源Vref供应的该参考电压一起确定第一个子像素的存储电容器Cst所存储的数据电压(即,跨驱动晶体管DR1的栅极和源极的电压)。补偿模式下的参考电压可以不等于发光模式下的参考电压。

[0060] 在阶段②中,由在阶段①中被写入有数据电压的子像素生成像素电流,并且该像素电流被汲取到感测线SL[m],从而对感测线SL[m]上呈现的电容Cap充电。在图6的示例中,驱动晶体管DR1按照上面的等式(1)生成像素电流。来自第一扫描线GATE1[n]的第一扫描信号被施加到各感测晶体管SE1,SE2,SE3,SE4的栅极和公共晶体管COM的栅极,使得各感测晶体管SE1,SE2,SE3,SE4和公共晶体管COM被导通。因此,驱动晶体管DR1生成的像素电流通过感测晶体管SE1和公共晶体管COM被传送到感测线SL[m],对感测线SL[m]上呈现的电容Cap充电。在充电期间,电容Cap上的电压Vsense逐渐升高。

[0061] 在图6的示例中,第二扫描线GATE2[n]上的第二扫描信号在阶段②中被无效,使得开关晶体管SW1被关断。因此,存储电容器Cst的第一端被悬浮。在这种情况下,由于存储电容器Cst的自举(self-boosting)效应,即使电容Cap上的电压Vsense(并且因此存储电容器Cst的第二端处的电压)逐渐升高,跨存储电容器Cst的电压也保持为在阶段①中写入的数据电压。

[0062] 将理解的是,在阶段②中驱动晶体管DR1生成的像素电流不会流过有机发光二极管OLED1,而是通过(导通的)感测晶体管SE1和公共晶体管COM被传送到感测线SL[m]。这是因为1)有机发光二极管OLED1的等效电阻远大于导通的感测晶体管SE1和公共晶体管COM的等效电阻,并且2)电压Vsense一般小于有机发光二极管OLED1的阈值电压。因此,像素电流沿着“驱动晶体管DR1-感测晶体管SE1-公共晶体管COM-感测线SL[m]”的路径流动,而不流过有机发光二极管OLED1。

[0063] 在阶段③中,对电容Cap的充电完成,并且得到的电压Vsense被采样并传送到外部电路以供检测。具体地,如图6所示,第一扫描线GATE1[n]上的第一扫描信号在阶段③中被无效,使得各感测晶体管SE1,SE2,SE3,SE4和公共晶体管COM被关断。同时,第一开关控制信号(图6中为高电平电压)被施加到采样电路SPm中的第一受控开关SA,使得电压Vsense被耦合到采样电路SPm中的模数转换器ADC以供采样,并且所采样的数字值被传送到诸如图2中的时序控制器112之类的外部电路。如上面描述的,电压Vsense可以指示像素电流的量值。时序控制器112然后可以基于像素电流的量值与目标值的差异确定补偿数据,并向图2中的数据驱动器106提供对应于目标亮度的经补偿的图像数据。具体的补偿机制超出了本文中讨论的范围。

[0064] 在阶段④中,可以经由相应的数据线DATA1,DATA2,DATA3和DATA4向各子像素写入数据信号。在图6的示例中,施加到每个子像素的数据电压(即,跨驱动晶体管DR1,DR2,DR3或DR4的栅极和源极)被置零。还设想其他实施例。例如,图6中所示的操作可以在帧周期的空白(Blank)时段中执行,并且因此可以在显示装置的正常操作期间实时地发生。具体地,在当前帧周期的空白时段中获取的采样数据被用于对下一帧周期中的图像数据进行补偿。在这种情况下,可以在阶段④中将当前帧周期中用于各子像素的数据电压写回到各子

像素中,以便防止显示画面的闪烁。

[0065] 图7是图4的像素电路在另一补偿模式下的时序图。

[0066] 与图6中所示的操作相比,在其中像素电流被传送到感测线SL[m]的阶段②中,第二扫描线GATE2[n]上的第二扫描信号被保持有效以将数据线DATA1上的数据信号持续施加到存储电容器Cst的第一端。随着电容Cap上的电压Vsense(并且因此存储电容器Cst的第二端处的电压)逐渐升高,跨存储电容器Cst的电压(即,跨驱动晶体管DR1的栅极和源极的电压)逐渐减小,使得驱动晶体管DR1生成的像素电流也逐渐减小。这导致对电容Cap的充电的速率的下降。正因为如此,如图7所示,电容Cap上的电压Vsense以逐渐减小的斜率缓慢升高,直到跨存储电容器Cst的电压减小到驱动晶体管DR1的阈值电压为止。此时,驱动晶体管DR1处于介于截止和饱和的临界状态,并且生成的像素电流可以被认为等于零。对电容Cap的充电然后得以完成。

[0067] 在图7的示例中,花费如此长的时间来对电容Cap充电,使得图7中所示的操作可能无法在显示装置的正常操作期间实时地执行。因此,在一些实施例中,图7中所示的操作可以在其中显示装置未处于正常操作的状态(例如,待机状态)下执行,尽管这不是必须的。在这种情况下,通过执行图7中所示的操作而获取的采样数据可以用于当显示装置处于正常操作时对每个帧周期中的图像数据进行补偿。

[0068] 在像素电路的以上各实施例中,各驱动晶体管、各开关晶体管、各感测晶体管以及公共晶体管被示出为N型晶体管。然而,本发明不限于此。在其他实施例中,这些晶体管中的至少一个可以是P型晶体管。

[0069] 图8示出了根据本发明另一实施例的像素电路的电路图。

[0070] 如图8所示,在该像素电路中,各驱动晶体管DR1,DR2,DR3和DR4为P型晶体管。各驱动晶体管DR1,DR2,DR3,DR4的漏极连接到相应的有机发光二极管OLED1,OLED2,OLED3,OLED4的阳极,并且各驱动晶体管DR1,DR2,DR3,DR4的源极和各存储电容器Cst的第二端连接到电源电压ELVDD。由于各存储电容器Cst的第二端连接到固定的电源电压ELVDD,在数据写入阶段①中无需向各存储电容器Cst提供参考电压。在这种情况下,采样电路SPm可以未被提供有用于将参考电压源Vref供应的参考电压耦合到感测线SL[m]的第二受控开关EN。

[0071] 将理解的是,图8的像素电路是示例性的,并且在其他实施例中开关晶体管SW1,SW2,SW3,SW4、感测晶体管SE1,SE2,SE3,SE4和公共晶体管COM也可以是P型晶体管。用于这样的像素电路的操作时序需要根据各晶体管的类型进行适配,这是已知的并且因此在此不作详细描述。

[0072] 还将理解的是,在以上各实施例中,虽然像素电路被示出为包括四个子像素,但是本发明不限于此。例如,像素电路可以包括用于RGB像素图案的三个子像素。

[0073] 通过研究附图、公开内容和所附的权利要求书,本领域技术人员在实践所要求保护的主体时,能够理解和实现对于所公开的实施例的变型。在权利要求书中,词语“包括”不排除其他元件或步骤,并且不定冠词“一”或“一个”不排除多个。在相互不同的从属权利要求中记载了某些措施的仅有事实并不表明这些措施的组合不能用来获利。

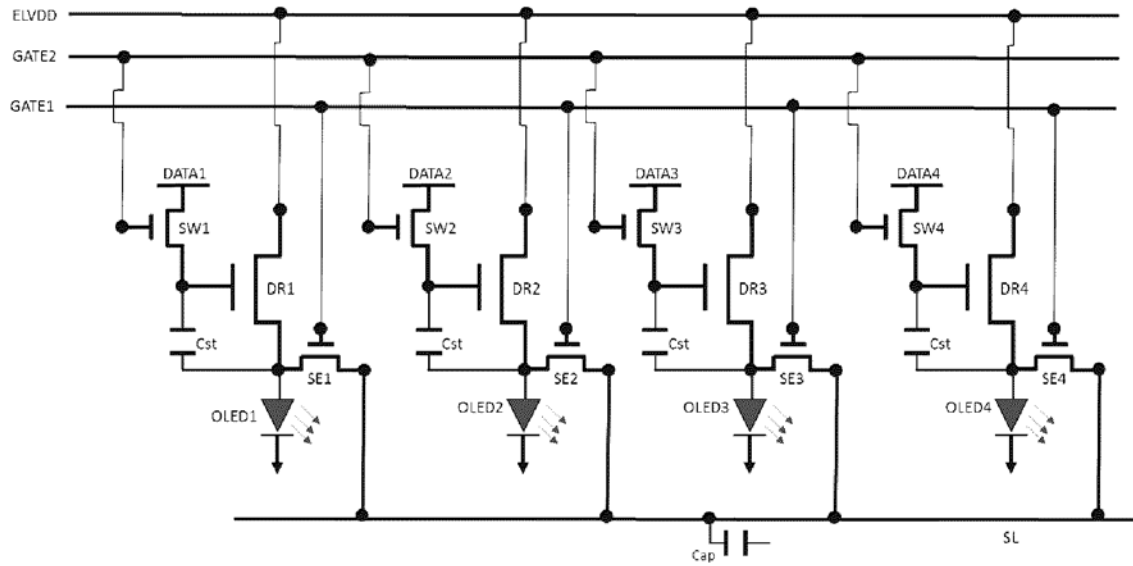


图 1

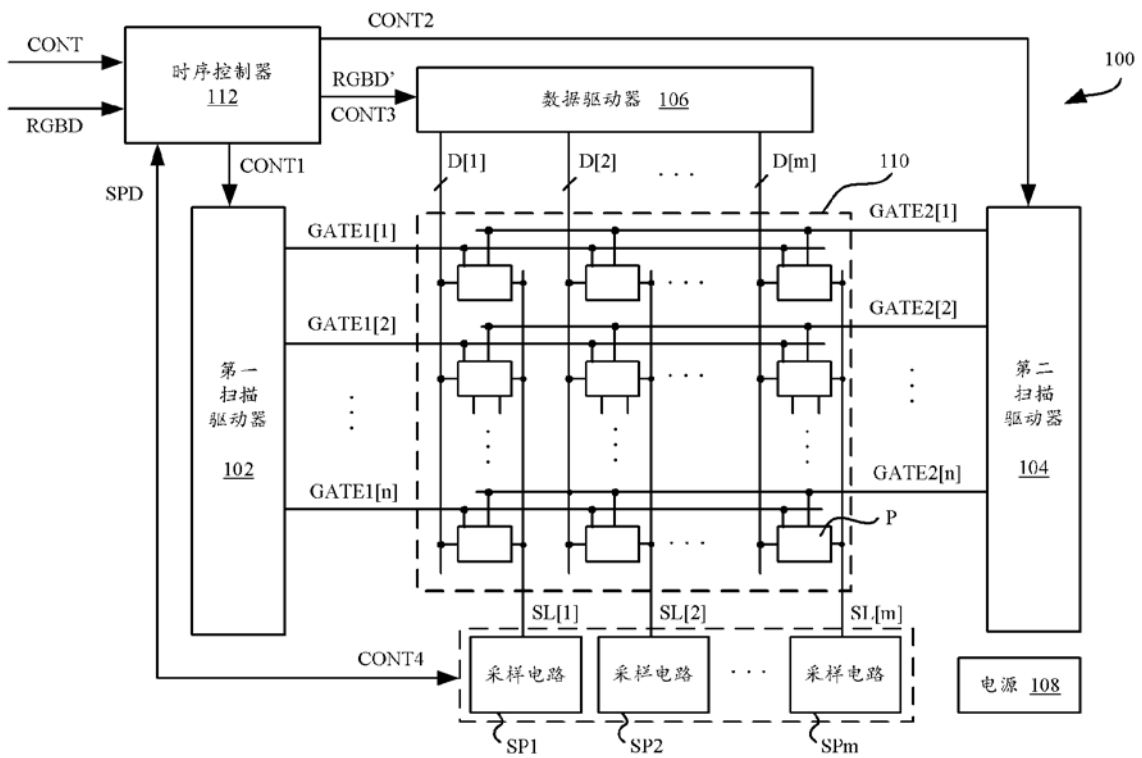


图 2

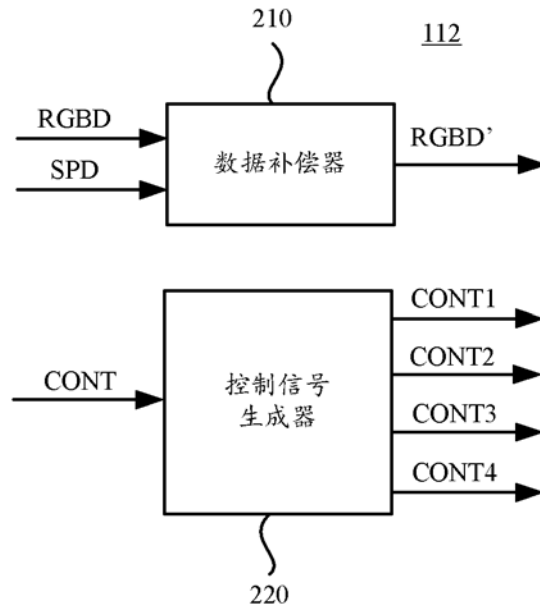


图 3

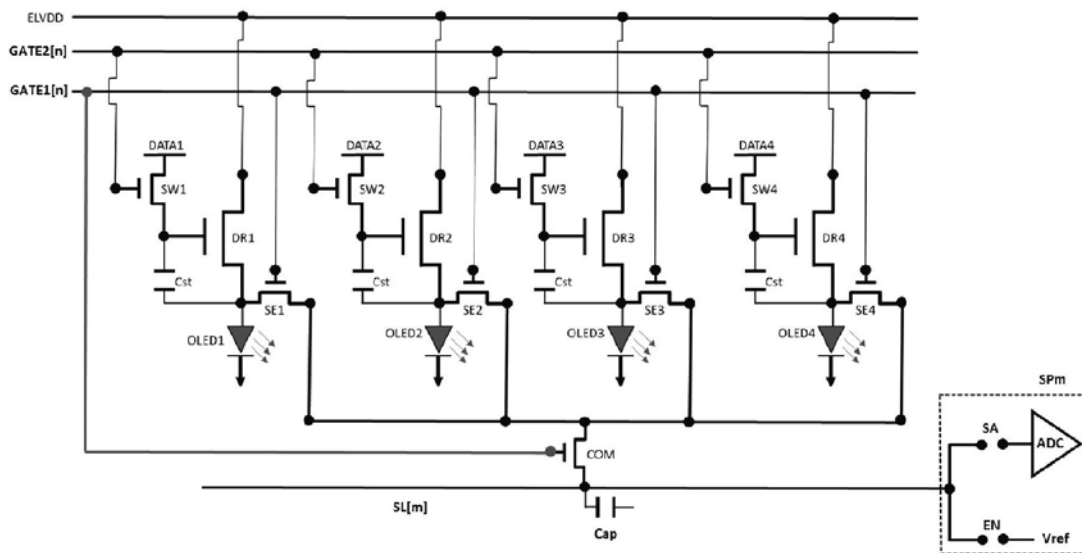


图 4

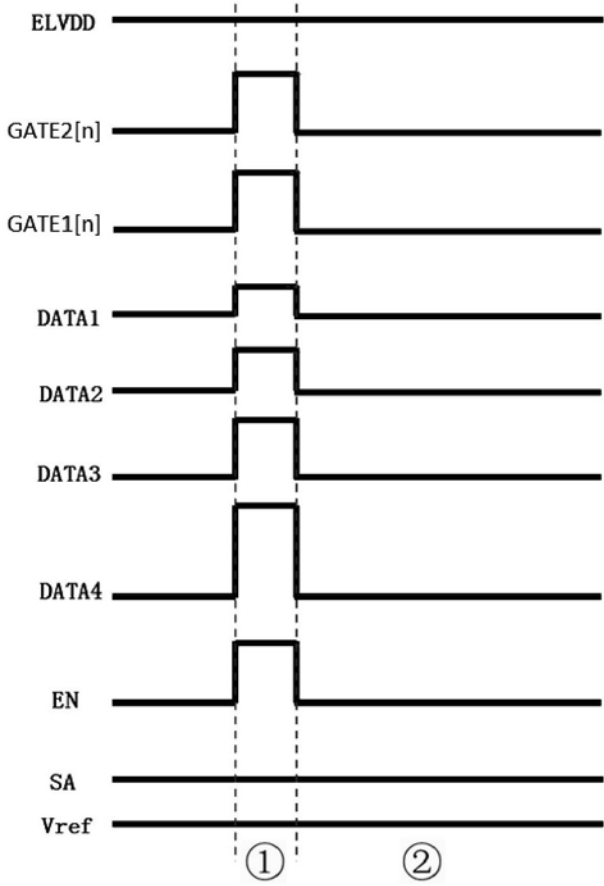


图 5

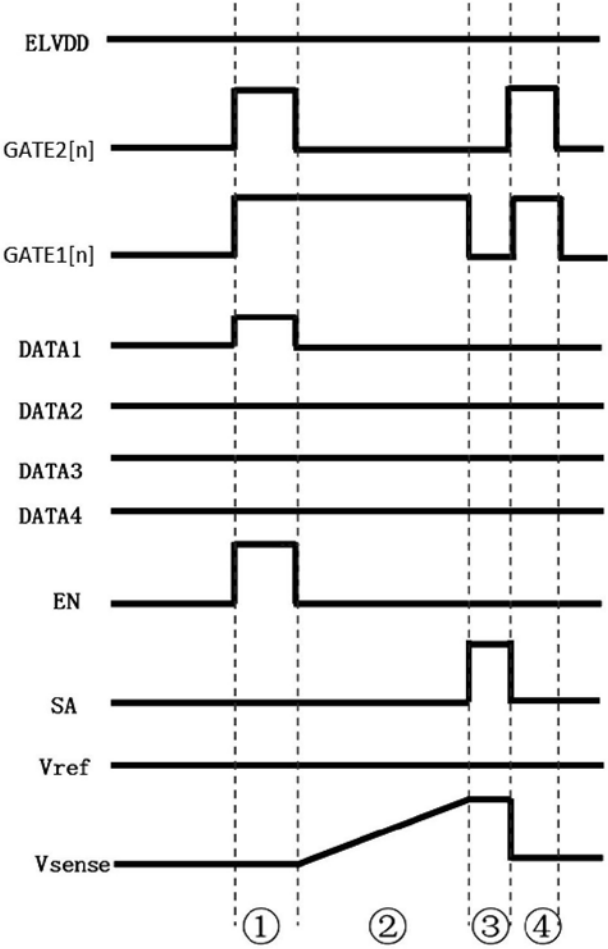


图 6

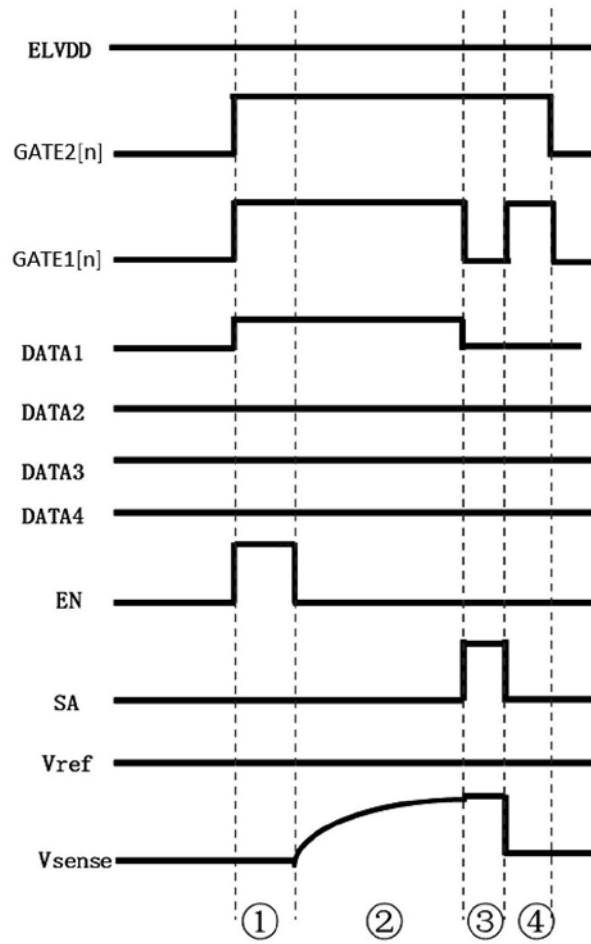


图 7

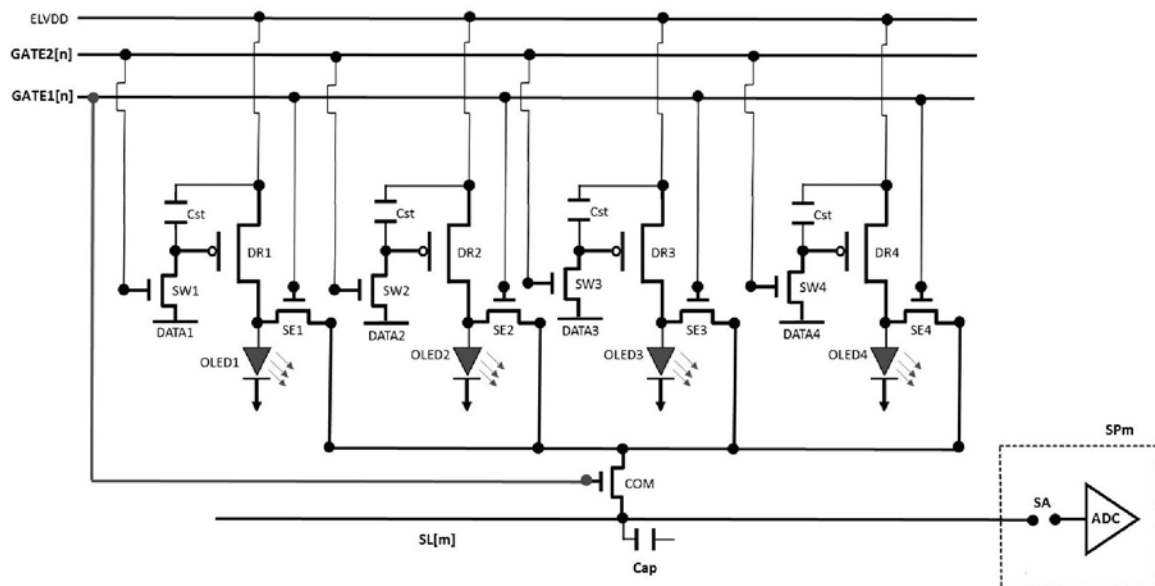


图 8

专利名称(译)	像素电路、其驱动方法和显示装置		
公开(公告)号	CN107016964A	公开(公告)日	2017-08-04
申请号	CN201710278367.3	申请日	2017-04-25
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	徐攀		
发明人	徐攀		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G3/3233 G09G3/3258 G09G2300/0819 G09G2310/0281 G09G2320/0233 G09G2320/029 G09G2320/0295		
代理人(译)	陈岚		
其他公开文献	CN107016964B		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种像素电路，其包括多个子像素，每个子像素包括：有机发光二极管，具有阳极；驱动晶体管，经由所述阳极与所述有机发光二极管串联；以及感测晶体管，具有连接到所述阳极的第一电极、连接到第一扫描线的栅极、以及第二电极。该像素电路还包括公共晶体管，其具有连接到所述多个子像素的各感测晶体管的第二电极的第一电极、连接到所述第一扫描线的栅极、以及连接到感测线的第二电极。还公开了包括该像素电路的显示装置和驱动该像素电路的方法。

