



(12)发明专利

(10)授权公告号 CN 105609052 B

(45)授权公告日 2018.10.19

(21)申请号 201610185846.6

(22)申请日 2016.03.29

(65)同一申请的已公布的文献号

申请公布号 CN 105609052 A

(43)申请公布日 2016.05.25

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道
6111号1幢509室

专利权人 天马微电子股份有限公司

(72)发明人 孙伯彰 钱栋 邹文晖 吴桐
李玥

(74)专利代理机构 北京晟睿智杰知识产权代理
事务所(特殊普通合伙)
11603

代理人 于淼

(51)Int.Cl.

G09G 3/3233(2016.01)

(56)对比文件

CN 103474025 A,2013.12.25,参见说明书
75-115段、附图3,4.

CN 104091559 A,2014.10.08,参见说明书
64-123段、附图3,4.

CN 203882587 U,2014.10.15,全文.

CN 103927973 A,2014.07.16,全文.

US 2014168039 A1,2014.06.19,全文.

JP 2015011267 A,2015.01.19,全文.

审查员 贺轶

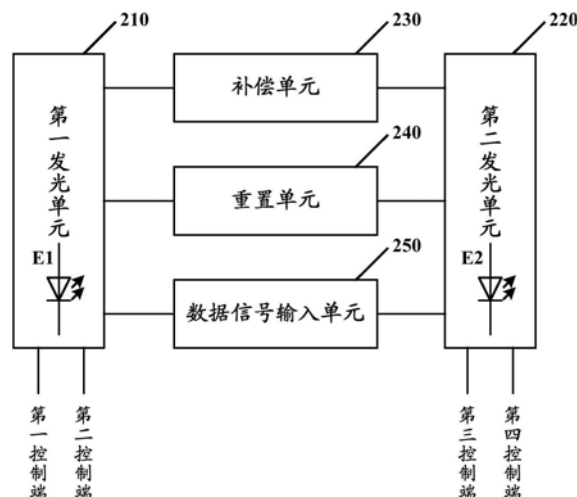
权利要求书4页 说明书15页 附图10页

(54)发明名称

有机电致发光二极管显示器的驱动电路

(57)摘要

本申请公开了有机电致发光二极管显示器的驱动电路,包括第一发光单元、第二发光单元、补偿单元、重置单元和数据信号输入单元;其中:第一发光单元包括第一控制端、第二控制端和第一发光二极管,第二发光单元包括第三控制端、第四控制端和第二发光二极管;补偿单元、重置单元和数据信号输入单元用于在编码阶段控制第一发光单元和第二发光单元以使第一发光二极管和第二发光二极管在发光阶段同时发光。本申请实施例提供的有机电致发光二极管显示器的驱动电路,可以同时驱动多个发光二极管点亮,且单个发光二极管所需的器件较少,从而可以兼顾有机电致发光二极管显示器的高PPI和尺寸规格的小型化。



1. 一种有机电致发光二极管显示器的驱动电路,其特征在于,包括第一发光单元、第二发光单元、补偿单元、重置单元和数据信号输入单元;

其中:

所述第一发光单元包括第一控制端、第二控制端和第一发光二极管,所述第二发光单元包括第三控制端、第四控制端和第二发光二极管;

所述补偿单元、所述重置单元和所述数据信号输入单元用于在编码阶段控制所述第一发光单元和所述第二发光单元以使所述第一发光二极管和所述第二发光二极管在发光阶段同时发光;

所述编码阶段包括第一重置期间、第一阈值提取期间、第二重置期间和第二阈值提取期间;

其中,

所述重置单元用于在所述第一重置期间和所述第二重置期间向所述补偿单元提供第一重置信号;

所述数据信号输入单元用于在所述第一阈值提取期间和所述第二阈值提取期间分别向所述补偿单元提供第一数据信号和第二数据信号,并在所述第一重置期间和所述第二重置期间同时向所述第一发光二极管和所述第二发光二极管提供第二重置信号。

2. 根据权利要求1所述的驱动电路,其特征在于:

所述第一发光单元还包括第一晶体管、第二晶体管、第三晶体管和第一电容;

其中,

所述第一晶体管的栅极连接至所述第一控制端以接收第一控制信号,所述第一晶体管的的第一极接收第一电压信号,所述第一晶体管的第二极与所述第二晶体管的的第一极连接至所述重置单元的输出端;

所述第二晶体管的栅极与所述补偿单元的第一输出端电连接,所述第二晶体管的第二极与所述第三晶体管的的第一极连接至所述数据信号输入单元的输出端;

所述第三晶体管的栅极连接至所述第二控制端以接收第二控制信号,所述第三晶体管的第二极与所述第一发光二极管的正极电连接;

所述第一发光二极管的负极接收第二电压信号;

所述第一电容的第一端与所述补偿单元的第一输出端电连接,所述第一电容的第二端接收第一电压信号或第二电压信号。

3. 根据权利要求2所述的驱动电路,其特征在于:

所述第二发光单元还包括第四晶体管、第五晶体管、第六晶体管和第二电容;

其中,所述第四晶体管的栅极连接至所述第三控制端以接收第一控制信号,所述第四晶体管的的第一极接收第一电压信号,所述第四晶体管的第二极与所述第五晶体管的的第一极电连接;

所述第五晶体管的栅极与所述补偿单元的第二输出端电连接,所述第五晶体管的第二极与所述第二发光二极管的正极电连接;

所述第六晶体管的栅极连接至所述第四控制端以接收第三控制信号,所述第六晶体管的的第一极与所述数据信号输入单元的输出端电连接,所述第六晶体管的第二极与所述第二发光二极管的正极电连接;

所述第二电容的第一端接收所述第一电压信号,所述第二电容的第二端与所述补偿单元的第二输出端电连接。

4. 根据权利要求3所述的驱动电路,其特征在于:

所述重置单元包括第一输入端和第五控制端;

所述数据信号输入单元包括第二输入端和第六控制端;

所述补偿单元包括第七控制端、第八控制端和第九控制端,所述补偿单元用于分别在所述第一重置期间和所述第二重置期间基于所述第一数据信号和所述第二数据信号分别生成第一发光控制信号和第二发光控制信号,并在所述发光阶段分别向所述第一发光单元和所述第二发光单元提供所述第一发光控制信号和第二发光控制信号。

5. 根据权利要求4所述的驱动电路,其特征在于:

所述补偿单元包括第七晶体管、第八晶体管和第九晶体管;

其中,所述第七晶体管的栅极连接至所述第七控制端以接收第四控制信号;

所述第七晶体管的第一极与所述重置单元的输出端电连接,所述第七晶体管的第二极、所述第九晶体管的第一极连接至所述补偿单元的第二输出端;

所述第八晶体管的栅极连接至所述第八控制端以接收第五控制信号,所述第八晶体管的第一极与所述重置单元的输出端电连接;

所述第九晶体管的栅极连接至所述第九控制端接收第四控制信号;

所述第八晶体管的第二极、所述第九晶体管的第二极连接至所述补偿单元的第一输出端。

6. 根据权利要求5所述的驱动电路,其特征在于:

所述重置单元包括第十晶体管;

其中,所述第十晶体管的栅极连接至所述第五控制端以接收所述第三控制信号,所述第十晶体管的第一极连接至所述第一输入端以接收所述第一重置信号,所述第十晶体管的第二极连接至所述重置单元的输出端。

7. 根据权利要求6所述的驱动电路,其特征在于:

所述数据信号输入单元包括第十一晶体管;

其中,所述第十一晶体管的栅极连接至所述第六控制端以接收第六控制信号,所述第十一晶体管的第一极连接至所述第二输入端以在所述编码阶段分时接收第二重置信号、所述第一数据信号和所述第二数据信号,所述第十一晶体管的第二极连接至所述数据信号输入单元的输出端。

8. 根据权利要求7所述的驱动电路,其特征在于,还包括N个级联的第三发光单元,N为大于或等于1的整数;

各所述第三发光单元包括第三输入端、第四输入端、第十控制端、第十一控制端、第十二控制端、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第三电容和第三发光二极管;

所述第十二晶体管的栅极连接至所述第十控制端以接收所述第一控制信号,所述第十二晶体管第一极接收所述第一电压信号,所述第十二晶体管的第二极与所述第十五晶体管的第一极电连接;

所述第十三晶体管的栅极连接至所述第十一控制端以接收第七控制信号,所述第十三

晶体管的第一极即为所述第三输入端,所述第十三晶体管的第二极与第十五晶体管的栅极、所述第三电容的第一端电连接;

所述第十五晶体管的第二极与所述第三发光二极管的阳极、所述第十四晶体管的第二极电连接;

所述第十四晶体管的栅极连接至所述第十二控制端以接收所述第三控制信号,所述第十四晶体管的第一极即为所述第四输入端,所述第三发光二极管的阴极接收所述第二电压信号,所述第三电容的第二端接收所述第一电压信号或所述第二电压信号;

所述补偿单元、所述重置单元和所述数据信号输入单元用于在编码阶段控制所述第一发光单元、所述第二发光单元和所述第三发光单元以使所述第一发光二极管、所述第二发光二极管和所述第三发光二极管在发光阶段同时发光。

9. 根据权利要求8所述的驱动电路,其特征在于,

第1级所述第三发光单元中的所述第十三晶体管的第一极与所述第二晶体管的栅极电连接,第1级所述第三发光单元中的所述第十二晶体管的第一极与所述第六晶体管的第二极电连接;

第*i*级所述第三发光单元中的所述第十三晶体管的第一极与所述第*i*-1级所述第三发光单元中的第十三晶体管的第二极电连接,第*i*级所述第三发光单元中的所述第十四晶体管的第一极与所述第*i*-1级所述第三发光单元中的第十四晶体管的第二极电连接;

其中, $1 < i \leq N$;其中*N*为大于或等于2的整数。

10. 根据权利要求9所述的驱动电路,其特征在于:

所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十一晶体管、所述第十二晶体管、所述第十三晶体管、所述第十四晶体管和所述第十五晶体管为PMOS晶体管。

11. 根据权利要求10所述的驱动电路,其特征在于,还包括第一移位寄存器、第二移位寄存器、第三移位寄存器、第四移位寄存器和第五移位寄存器;

其中,

所述第一移位寄存器用于向所述第四控制端和所述第五控制端提供所述第三控制信号;

所述第二移位寄存器用于向所述第六控制端提供所述第六控制信号;

所述第三移位寄存器用于向所述第一控制端和所述第三控制端提供所述第一控制信号;

所述第四移位寄存器用于向所述第七控制端和所述第九控制端提供所述第四控制信号并向所述第八控制端提供所述第五控制信号;

所述第五移位寄存器用于向所述第二控制端提供所述第二控制信号。

12. 根据权利要求10所述的驱动电路,其特征在于,还包括第六移位寄存器、第七移位寄存器和第八移位寄存器;

其中,

所述第六移位寄存器用于向所述第四控制端和所述第五控制端提供所述第三控制信号并向所述第二控制端提供所述第二控制信号;

所述第七移位寄存器用于向所述第一控制端和所述第三控制端提供所述第一控制信号,并向所述第六控制端提供所述第六控制信号;

所述第八移位寄存器用于向所述第七控制端和所述第九控制端提供所述第四控制信号并向所述第八控制端提供所述第五控制信号。

13. 根据权利要求9所述的驱动电路,其特征在于:

所述第一晶体管、所述第二晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十二晶体管、所述第十三晶体管、所述第十四晶体管和所述第十五晶体管为PMOS晶体管;

所述第三晶体管和所述第十一晶体管为NMOS晶体管。

14. 根据权利要求12所述的驱动电路,其特征在于,还包括第九移位寄存器、第十移位寄存器和第十一移位寄存器;

其中,

所述第九移位寄存器用于向所述第二控制端提供所述第二控制信号、向所述第四控制端和所述第五控制端提供所述第三控制信号;

所述第十移位寄存器用于向所述第一控制端和所述第三控制端提供所述第一控制信号,并向所述第六控制端提供所述第六控制信号,其中所述第一控制信号和所述第六控制信号相同;

所述第十一移位寄存器用于向所述第七移位寄存器和所述第九移位寄存器提供所述第四控制信号,并向所述第八移位寄存器提供所述第五控制信号。

有机电致发光二极管显示器的驱动电路

技术领域

[0001] 本申请涉及显示技术领域,具体涉及机电致发光二极管显示器的驱动电路。

背景技术

[0002] 随着显示技术的不断发展,显示器的尺寸规格日新月异。例如,为了满足电子设备的便携性,尺寸规格较小的显示屏幕的需求量不断增长。

[0003] 此外,随着显示技术的发展,用户对显示屏的显示质量也提出了更高的要求。例如,用户更倾向于喜爱高PPI (Pixel per Inch,每英寸像素)的显示屏,以提高显示的精确性和连贯性。

[0004] OLED (Organic Light-Emitting Diode,有机发光二极管)显示器,因为具备轻薄、省电等特性,越来越广泛地应用在了各种便携式电子设备中。

[0005] OLED显示器中,通常包括了有机发光二极管阵列(即像素阵列),以及向阵列中的各个有机发光二极管提供驱动电流的驱动电路(即像素电路)。

[0006] 如图1所示,为现有的OLED显示器的像素电路的示意性结构图。

[0007] 图1中,向晶体管T34的栅极施加扫描信号scan[n-1],向晶体管T33的栅极施加扫描信号scan[n],并向晶体管T35和晶体管T36的栅极施加发光控制信号Emit[n],从而生成与数据电压信号V_{DATAm}对应的驱动电流,以实现发光二极管EL31的点亮和熄灭。

[0008] 然而,在尺寸规格较小的显示屏幕上应用高PPI技术时,受到屏幕尺寸的限制,像素电路的所占空间必须随之减小。而图1所示的每个像素电路由于包含的器件较多(6个晶体管和1个电容),将不利于兼顾OLED显示器的高PPI和小型化。

发明内容

[0009] 有鉴于此,期望能够提供一种有机电致发光二极管显示器的驱动电路,以解决如上所述的一个或多个问题。

[0010] 第一方面,本申请提供了一种有机电致发光二极管显示器的驱动电路,包括第一发光单元、第二发光单元、补偿单元、重置单元和数据信号输入单元;其中:第一发光单元包括第一控制端、第二控制端和第一发光二极管,第二发光单元包括第三控制端、第四控制端和第二发光二极管;补偿单元、重置单元和数据信号输入单元用于在编码阶段控制第一发光单元和第二发光单元以使第一发光二极管和第二发光二极管在发光阶段同时发光。

[0011] 本申请提供的有机电致发光二极管显示器的驱动电路,可以同时驱动多个发光二极管点亮,且单个发光二极管所需的器件较少,从而可以兼顾有机电致发光二极管显示器的高PPI和尺寸规格的小型化。

[0012] 在本申请的一些实施例中,补偿单元可以补偿薄膜晶体管的阈值电压,以使驱动电流与薄膜晶体管的阈值电压不相关,从而可进一步避免薄膜晶体管之间阈值漂移导致的显示效果不佳的问题。

[0013] 此外,在本申请的一些实施例中,由于驱动电路中采用了同一类型的薄膜晶体管

器件,可以减少有机电致发光二极管显示器的驱动电路的制程,简化有机电致发光二极管显示器的驱动电路的制作工艺,提高有机电致发光二极管显示器的驱动电路的制作效率。

附图说明

[0014] 通过阅读参照以下附图所作的对非限制性实施例详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0015] 图1为一种现有的OLED显示器的像素电路的电路图;

[0016] 图2为本申请的有机电致发光二极管显示器的驱动电路的一个实施例的示意性结构图;

[0017] 图3是本申请的有机电致发光二极管显示器的驱动电路的另一个实施例的示意性电路图;

[0018] 图4是用于驱动如图3所示的有机电致发光二极管显示器的驱动电路的各信号的示意性时序图;

[0019] 图5是图4中采用同一移位寄存器得到第二控制信号和第三控制信号时,各所需信号的示意性时序图;

[0020] 图6是本申请的有机电致发光二极管显示器的驱动电路的又一个实施例的示意性电路图;

[0021] 图7是用于驱动如图6所示的有机电致发光二极管显示器的驱动电路的各信号的示意性时序图;

[0022] 图8是本申请的有机电致发光二极管显示器的驱动电路的再一个实施例的示意性电路图;

[0023] 图9是本申请的有机电致发光二极管显示器的驱动电路的还一个实施例的示意性电路图;

[0024] 图10是用于驱动如图8所示的有机电致发光二极管显示器的驱动电路的各信号的示意性时序图。

具体实施方式

[0025] 下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释相关发明,而非对该发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与有关发明相关的部分。

[0026] 需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0027] 参见图2所示,为本申请的有机电致发光二极管显示器的驱动电路的一个实施例的示意性结构图。

[0028] 图2中,有机电致发光二极管显示器的驱动电路包括第一发光单元210、第二发光单元220、补偿单元230、重置单元240和数据信号输入单元250。

[0029] 第一发光单元210包括第一控制端、第二控制端和第一发光二极管E1。

[0030] 第二发光单元220包括第三控制端、第四控制端和第二发光二极管E2。

[0031] 补偿单元230、重置单元240和数据信号输入单元250用于在编码阶段控制第一发

光单元210和第二发光单元220以使第一发光二极管E1和第二发光二极管E2在发光阶段同时发光。

[0032] 本实施例的有机电致发光二极管显示器的驱动电路,采用同一组补偿单元230、重置单元240和数据信号输入单元250来控制第一发光单元210和第二发光单元220,可以相应地减少用于控制单个发光单元的驱动电路的数量,从而减小驱动电路所占布局面积。

[0033] 参见图3所示,为本申请的有机电致发光二极管显示器的驱动电路的另一个实施例的示意性电路图。

[0034] 与图2所示的实施例类似,本实施例的有机电致发光二极管显示器的驱动电路同样包括第一发光单元310、第二发光单元320、补偿单元330、重置单元340和数据信号输入单元350。且第一发光单元310包括第一控制端CT1、第二控制端CT2和第一发光二极管E1。第二发光单元320包括第三控制端CT3、第四控制端CT4和第二发光二极管E2。

[0035] 补偿单元330、重置单元340和数据信号输入单元350用于在编码阶段控制第一发光单元310和第二发光单元320以使第一发光二极管E1和第二发光二极管E2在发光阶段同时发光。

[0036] 本实施例中,对有机电致发光二极管显示器的驱动电路的电路结构进行了进一步的描述。

[0037] 具体而言,本实施例的第一发光单元310除包括第一发光二极管E1之外,还包括第一晶体管T1、第二晶体管T2、第三晶体管T3和第一电容C1。

[0038] 第一晶体管T1的栅极连接至第一控制端CT1以接收第一控制信号。第一晶体管T1的第一极接收第一电压信号 V_{DD} ,第一晶体管T1的第二极与第二晶体管T2的第一极连接至重置单元340的输出端。

[0039] 第二晶体管T2的栅极与补偿单元330的第一输出端电连接,第二晶体管T2的第二极与第三晶体管T3的第一极连接至数据信号输入单元350的输出端。

[0040] 第三晶体管T3的栅极连接至第二控制端CT2以接收第二控制信号,第三晶体管T3的第二极与第一发光二极管E1的正极电连接。

[0041] 第一发光二极管E1的负极接收第二电压信号 V_{SS} 。第一电容C1的第一端与补偿单元330的第一输出端电连接,第一电容C1的第二端接收第一电压信号 V_{DD} 或第二电压信号 V_{SS} 。

[0042] 请继续参照图3,与第一发光单元310类似,第二发光单元320除包括第二发光二极管E2之外,还包括第四晶体管T4、第五晶体管T5、第六晶体管T6和第二电容C2。

[0043] 其中,第四晶体管T4的栅极连接至第三控制端CT3以接收第一控制信号,第四晶体管T4的第一极接收第一电压信号 V_{DD} ,第四晶体管T4的第二极与第五晶体管T5的第一极电连接。

[0044] 第五晶体管T5的栅极与补偿单元330的第二输出端电连接,第五晶体管T5的第二极与第二发光二极管E2的正极电连接。

[0045] 第六晶体管T6的栅极连接至第四控制端CT4以接收第三控制信号,第六晶体管T6的第一极与数据信号输入单元350的输出端电连接,第六晶体管T6的第二极与第二发光二极管E2的正极电连接。

[0046] 第二电容C2的第一端接收第一电压信号 V_{DD} ,第二电容C2的第二端与补偿单元330的第二输出端电连接。

[0047] 可选地,编码阶段可以包括第一重置期间、第一阈值提取期间、第二重置期间和第二阈值提取期间。

[0048] 重置单元340可包括第一输入端IN1和第五控制端CT5。重置单元340用于在第一重置期间和第二重置期间向补偿单元330提供第一重置信号Vref1。

[0049] 数据信号输入单元350可包括第二输入端IN2和第六控制端CT6。数据信号输入单元350可用于在第一阈值提取期间和第二阈值提取期间分别向补偿单元330提供第一数据信号DAT1和第二数据信号DAT2,并在第一重置期间和第二重置期间同时向第一发光二极管E1和第二发光二极管E2提供第二重置信号Vref2。

[0050] 补偿单元330可包括第七控制端CT7、第八控制端CT8和第九控制端CT9。补偿单元330可用于分别在第一重置期间和第二重置期间基于第一数据信号和第二数据信号分别生成第一发光控制信号和第二发光控制信号,并在发光阶段分别向第一发光单元310和第二发光单元320提供第一发光控制信号和第二发光控制信号。

[0051] 可选地,补偿单元330可包括第七晶体管T7、第八晶体管T8和第九晶体管T9。

[0052] 其中,第七晶体管T7的栅极连接至第七控制端CT7以接收第四控制信号。

[0053] 第七晶体管T7的第一极与重置单元340的输出端电连接,第七晶体管T7的第二极、第九晶体管T9的第一极连接至补偿单元330的第二输出端。

[0054] 第八晶体管T8的栅极连接至第八控制端CT8以接收第五控制信号,第八晶体管T8的第一极与重置单元340的输出端电连接。

[0055] 第九晶体管T9的栅极连接至第九控制端CT9以接收第四控制信号。

[0056] 第八晶体管T8的第二极、第九晶体管T9的第二极连接至补偿单元330的第一输出端。

[0057] 进一步地,重置单元340可包括第十晶体管T10。其中,第十晶体管T10的栅极连接至第五控制端CT5以接收第三控制信号,第十晶体管T10的第一极连接至第一输入端IN1以接收第一重置信号Vref1,第十晶体管T10的第二极连接至重置单元340的输出端。

[0058] 可选地,数据信号输入单元350可包括第十一晶体管T11。第十一晶体管T11的栅极连接至第六控制端CT6以接收第六控制信号,第十一晶体管T11的第一极连接至第二输入端IN2以在编码期间分时接收第二重置信号Vref2、第一数据信号DAT1和第二数据信号DAT2,第十一晶体管T11的第二极连接至数据信号输入单元350的输出端。

[0059] 在一些可选的实现方式中,第一晶体管T1~第十一晶体管T11可以均为PMOS晶体管。

[0060] 本实施例的有机电致发光二极管显示器的驱动电路采用了同一类型的薄膜晶体管器件,可以减少有驱动电路的制程,简化驱动电路的制作工艺,提高驱动电路的制作效率。

[0061] 并且,本实施例的两个发光二极管共用一部分晶体管电路,本实施例提供的驱动电路共计11个晶体管2个电容来驱动2个像素单元,因此每个像素单元中平均包含5.5个晶体管1个电容,相对于现有技术中每个像素单元包含6个晶体管和1个电容而言,减少了晶体管的数量,从而减少了电路布线空间,有利于兼顾OLED显示器的高PPI和小型化。

[0062] 下面,将结合图4所示的信号时序图来描述本实施例的有机电致发光二极管显示器的驱动电路,以使本实施例的有机电致发光二极管显示器的驱动电路的技术效果更加明

确。

[0063] 如图4所示,在第一重置期间P1,向第一输入端IN1、第二输入端IN2、第二控制端CT2、第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7和第九控制端CT9提供第一电平,并向第一控制端CT1、第三控制端CT3和第八控制端CT8提供第二电平。可选地,第一电平例如可以是低电平,第二电平例如可以是高电平。也即是说,在第一重置期间P1,第二控制信号、第三控制信号、第四控制信号和第六控制信号为低电平信号,而第一控制信号和第五控制信号为高电平信号。

[0064] 在第一重置期间P1,第一控制端CT1、第三控制端CT3和第八控制端CT8接收到高电平信号,第一晶体管T1、第四晶体管T4和第八晶体管T8截止。此外,第一输入端IN1、第二输入端IN2、第二控制端CT2、第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7和第九控制端CT9接收到低电平信号,第三晶体管T3、第六晶体管T6、第七晶体管T7、第九晶体管T9、第十晶体管T10和第十一晶体管T11导通。而第一输入端IN1接收到的第一重置信号为低电平,第二输入端IN2接收到的第二重置信号也为低电平,因此,第一发光二极管E1的阳极和第二发光二极管E2的阳极接收到低电平信号(即第二重置信号),第二晶体管T2的栅极和第五晶体管T5的栅极接收到低电平信号(即第一重置信号)。由于第一发光二极管E1的阳极和第二发光二极管E2的阳极接收到的信号为低电平信号,可使得第一发光二极管E1和第二发光二极管E2的阳极电位稳定,并避免第一发光二极管E1和第二发光二极管E2在该第一重置期间P1误点亮,保证了良好的暗态效果。

[0065] 接着,在第一阈值提取期间P2,向第六控制端CT6、第七控制端CT7和第九控制端CT9提供第一电平,向第一控制端CT1、第二控制端CT2、第三控制端CT3、第四控制端CT4、第五控制端CT5和第八控制端CT8提供第二电平,并向第二输入端IN2提供第一数据信号DA1。也即是说,当第一电平为低电平,第二电平为高电平时,在第一阈值提取期间P2,第四控制信号和第六控制信号为低电平信号,而第一控制信号、第二控制信号、第三控制信号、第五控制信号为高电平信号。

[0066] 同样以第一电平为低电平,第二电平为高电平为例。在第一阈值提取期间P2,第一控制端CT1、第二控制端CT2、第三控制端CT3、第四控制端CT4、第五控制端CT5和第八控制端CT8接收到高电平信号,因此第一晶体管T1、第三晶体管T3、第四晶体管T4、第六晶体管T6、第八晶体管T8和第十晶体管T10截止,而第六控制端CT6、第七控制端CT7和第九控制端CT9接收到低电平信号,因此第七晶体管T7、第九晶体管T9和第十一晶体管T11导通,因此,第二晶体管T2的栅极和第五晶体管T5的栅极接收第二输入端输入的第一数据信号DA1,并在第五晶体管的栅极充电至 $V_{DA1} - |V_{th1}|$ 时截止,以使第五晶体管T5的栅极的电位保持在 $V_{DA1} - |V_{th1}|$ 。其中, V_{DA1} 为第一数据信号DA1的电压值, V_{th1} 为第五晶体管T5的阈值电压。

[0067] 由于在第一重置期间P2,第七晶体管T7导通而第四晶体管T4截止,因此,第五晶体管T5的栅极电位将保持在 $V_{DA1} - |V_{th1}|$,其中, V_{th1} 为第五晶体管T5的阈值电压,根据发光电流公式可知:

$$[0068] \quad I_1 = k_1 (V_{sg1} - |V_{th1}|) \quad (1)$$

[0069] 其中, I_1 为第五晶体管T5在发光期间的发光电流, V_{sg1} 为第五晶体管T5第一极和栅极之间的电压差。

[0070] $k_1 = \frac{1}{2} \mu_1 c_{ox1} \frac{w_1}{l_1}$; μ_1 为第五晶体管T5的迁移率, c_{ox1} 为第五晶体管T5的单位面积栅氧化层电容的容值; $\frac{w_1}{l_1}$ 为第五晶体管T5的宽长比。

[0071] 又由于:

$$V_{sg1} = V_{s1} - V_{g1} = V_{DD} - (V_{DA1} - |V_{th1}|) \quad (2)$$

[0073] 其中, V_{DD} 为第一电压信号的电压值。

[0074] 将公式 (2) 带入公式 (1) 可知:

$$I_1 = k_1 (V_{DD} - V_{DA1}) \quad (3)$$

[0076] 从公式 (3) 中可以看出, 采用本实施例的电路结构, 提供给第二发光二极管E2的发光电流与第五晶体管T5的阈值电压 V_{th1} 无关。因而, 采用本实施例的驱动电路, 可实现对第五晶体管T5的阈值电压 V_{th1} 的补偿, 避免由于工艺精度造成的第五晶体管T5的阈值漂移引起的显示不均的问题。

[0077] 接着, 在第二重置期间P3, 向第一输入端IN1、第二输入端IN2、第二控制端CT2、第四控制端CT4、第五控制端CT5、第六控制端CT6和第八控制端CT8提供第一电平, 向第一控制端CT1、第三控制端CT3、第七控制端CT7和第九控制端CT9提供第二电平。也即是说, 当第一电平为低电平, 第二电平为高电平时, 在第二重置期间P3, 第二控制信号、第三控制信号、第五控制信号和第六控制信号为低电平信号, 而第一控制信号和第四控制信号为高电平信号。

[0078] 同样以第一电平为低电平, 第二电平为高电平为例。在第二重置期间P3, 第一控制端CT1、第三控制端CT3、第七控制端CT7和第九控制端CT9接收到高电平信号, 因此, 第一晶体管T1、第四晶体管T4、第七晶体管T7和第九晶体管T9截止, 而第二控制端CT2、第四控制端CT4、第五控制端CT5、第六控制端CT6和第八控制端CT8接收到低电平信号, 因此, 第三晶体管T3、第六晶体管T6、第八晶体管T8、第十晶体管T10和第十一晶体管T11导通, 而第一输入端IN1接收到的第一重置信号和第二输入端IN2接收到的第二重置信号为低电平, 第一发光二极管E1的阳极和第二发光二极管E2的阳极接收到低电平信号 (即第二重置信号), 第二晶体管T2的栅极也接收到低电平信号 (即第一重置信号)。由于一发光二极管E1的阳极和第二发光二极管E2的阳极接收到的信号为低电平信号, 可使得第一发光二极管E1和第二发光二极管E2的阳极电位稳定, 并避免第一发光二极管E1和第二发光二极管E2在该第二重置期间P3误点亮, 保证了良好的暗态效果。

[0079] 接着, 在第二阈值提取期间P4, 向第六控制端CT6和第八控制端CT8提供第一电平, 向第一控制端CT1、第二控制端CT2、第三控制端CT3、第四控制端CT4、第五控制端CT5、第七控制端CT7和第九控制端CT9提供第二电平, 向第二输入端IN2提供第二数据信号DA2。也即是说, 当第一电平为低电平, 第二电平为高电平时, 在第二阈值提取期间P4, 第五控制信号和第六控制信号为低电平信号, 而第一控制信号、第二控制信号、第三控制信号和第四控制信号为高电平信号。

[0080] 同样以第一电平为低电平, 第二电平为高电平为例。在第二阈值提取期间P4, 由于第一控制端CT1、第二控制端CT2、第三控制端CT3、第四控制端CT4、第五控制端CT5、第七控制端CT7和第九控制端CT9接收到的高电平信号, 因此, 在第二阈值提取期间P4, 第一晶体管

T1、第三晶体管T3、第四晶体管T4、第六晶体管T6、第七晶体管T7、第九晶体管T9和第十晶体管T10截止,而由于第六控制端CT6和第八控制端CT8接收到低电平信号,因此第八晶体管T8和第十一晶体管T11导通。

[0081] 因此,在第二阈值提取期间P4,第二晶体管T2的栅极接收第二输入端输入的第二数据信号DA2,并在第二晶体管T2的栅极充电至 $V_{DA2}-|V_{th2}|$ 时截止,以使第二晶体管T2的栅极电位保持在 $V_{DA2}-|V_{th2}|$ 。其中, V_{DA2} 为第二数据信号DA2的电压值, V_{th2} 为第二晶体管T2的阈值电压。

[0082] 由于在第二阈值提取期间P4,第九晶体管T9截止,因此,第二晶体管T2的栅极电位将保持在 $V_{DA2}-|V_{th2}|$,其中, V_{th2} 为第二晶体管T2的阈值电压,根据发光电流公式可知:

$$[0083] \quad I_2 = k_2 (V_{sg2} - |V_{th2}|) \quad (4)$$

[0084] 其中, I_2 为第二晶体管T2在发光期间的发光电流, V_{sg2} 为第二晶体管T2第一极和栅极之间的电压差。

[0085] $k_2 = \frac{1}{2} \mu_2 c_{ox2} \frac{w_2}{l_2}$; μ_2 为第二晶体管T2的迁移率, c_{ox2} 为第二晶体管T2的单位面积栅氧化层电容的容值; $\frac{w_2}{l_2}$ 为第二晶体管T2的宽长比。

[0086] 又由于:

$$[0087] \quad V_{sg2} = V_{s2} - V_{g2} = V_{DD} - (V_{DA2} - |V_{th2}|) \quad (5)$$

[0088] 将公式(5)带入公式(4)可知:

$$[0089] \quad I_2 = k_2 (V_{DD} - V_{DA2}) \quad (6)$$

[0090] 从公式(6)中可以看出,采用本实施例的电路结构,提供给第一发光二极管E1的发光电流与第二晶体管T2的阈值电压 V_{th2} 无关。因而,采用本实施例的驱动电路,可实现对第二晶体管T2的阈值电压 V_{th2} 的补偿,避免由于工艺精度造成的第二晶体管T2的阈值漂移引起的显示不均的问题。

[0091] 接着,在发光期间P5,向第一控制端CT1、第二控制端CT2、第三控制端CT3提供第一电平,向第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7、第八控制端CT8和第九控制端CT9提供第二电平。也即是说,当第一电平为低电平,第二电平为高电平时,在发光期间P5,第一控制信号和第二控制信号为低电平信号,第三控制信号、第四控制信号、第五控制信号和第六控制信号为高电平信号。

[0092] 同样以第一电平为低电平,第二电平为高电平为例。在发光期间P5,由于第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7、第八控制端CT8和第九控制端CT9接收到高电平信号,因此,在发光期间P5,第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10和第十一晶体管T11截止。而由于第一控制端CT1、第二控制端CT2和第三控制端CT3接收到低电平信号,因此,在发光期间P5,第一晶体管T1、第三晶体管T3和第四晶体管T4导通,从而使得在发光期间,第一发光二极管E1和第二发光二极管E2可同时点亮。

[0093] 需要说明的是,本实施例中第一数据信号DA1和第二数据信号DA2的信号的波形仅是示意性的。可以理解的是,根据每一帧显示画面的不同,每个发光单元所需要的数据信号也是随之改变的,因此需要说明的是,本实施例中第一数据信号DA1和第二数据信号DA2的

信号的波形仅是表明在第一阈值提取期间P2和第二阈值提取期间P4分别向第一输入端和第二输入端输入数据信号(DA1、DA2)。在本发明所提供的其他实施例中,数据信号的信号的波形同样仅是示意性的,以下不再赘述。

[0094] 此外,本实施例的驱动电路,采用十一个晶体管(T1~T11)和两个电容(C1、C2)来驱动两个发光二极管(E1、E2)在发光期间同时发光,使得用于驱动单个发光二极管发光所需的器件比现有技术的驱动电路更少,从而可以兼顾有机电致发光二极管显示器的高PPI和尺寸规格的小型化。

[0095] 在一些可选的实现方式中,本实施例的驱动电路还可以包括第一移位寄存器、第二移位寄存器、第三移位寄存器、第四移位寄存器和第五移位寄存器。

[0096] 其中,第一移位寄存器可用于向第四控制端和第五控制端提供第三控制信号。

[0097] 第二移位寄存器可用于向第六控制端提供第六控制信号。

[0098] 第三移位寄存器可用于向第一控制端和第三控制端提供第一控制信号。

[0099] 第四移位寄存器可用于向第七控制端和第九控制端提供第四控制信号并向第八控制端提供第五控制信号。

[0100] 第五移位寄存器可用于向第二控制端提供第二控制信号。

[0101] 在这些可选的实现方式中,第四移位寄存器同时输出了第四控制信号和第五控制信号。观察图4中第四控制信号和第五控制信号的波形可知,第五控制信号可以视为将第四控制信号移位得到的信号。

[0102] 或者,在另一些可选的实现方式中,本实施例的驱动电路还可以包括第六移位寄存器、第七移位寄存器和第八移位寄存器。

[0103] 其中,第六移位寄存器可用于向第四控制端和第五控制端提供第三控制信号并向第二控制端提供第二控制信号。

[0104] 第七移位寄存器可用于向第一控制端和第三控制端提供第一控制信号,并向第六控制端提供第六控制信号。

[0105] 第八移位寄存器可用于向第七控制端和第九控制端提供第四控制信号并向第八控制端提供第五控制信号。

[0106] 在这些可选的实现方式中,第六移位寄存器同时输出了第二控制信号和第三控制信号,第七移位寄存器同时输出了第一控制信号和第六控制信号,而第八移位寄存器同时输出了第四控制信号和第五控制信号。

[0107] 不难看出,第一控制信号和第六控制信号互为反向信号,第五控制信号可以视为将第四控制信号移位得到的信号。下面,将示意性地说明如何通过同一个移位寄存器(例如,第六移位寄存器)同时输出第二控制信号和第三控制信号。

[0108] 如图5所示,假设第六移位寄存器可输出的波形如图5中S1[n]所示,分别对S1[n]进行不同时间区间的移位,可以得到S1[n+1]、S1[n+2]和S1[n+3]。接着,将S1[n]和S1[n+2]输入至或门的二输入端,则或门的输出端可输出S1[n,n+2]信号(也即图4中的第三控制信号)。类似地,将S1[n+1]和S1[n+3]输入至或非门的二输入端,则或非门的输出端可输出S1'[n+1,n+3]信号(也即图4中的第二控制信号)。

[0109] 在这些可选的实现方式中,通过对较少的移位寄存器输出的信号进行简单地逻辑运算,便可以得到本实施例的驱动电路所需的第一控制信号~第六控制信号,进一步地简

化了驱动电路的结构,并缩减了驱动电路所需的布局面积。

[0110] 需要说明的是,本发明实施例所提供的时序图只是信号顺序的和电位的示意图,不代表信号具体测量的波形。在实际生产使用中,为了保证信号的完整性,两个信号之间可能会设置一定的间隔,或者信号自身可能会收到干扰而存在毛刺。因此,本发明实施例所提供的时序图只是信号顺序的和电位的示意图,不应造成对于本发明的限制。

[0111] 参见图6所示,为本申请的有机电致发光二极管显示器的驱动电路的又一个实施例的示意性电路图。

[0112] 与图3所示的实施例类似,本实施例的有机电致发光二极管显示器的驱动电路同样包括第一发光单元610、第二发光单元620、补偿单元630、重置单元640和数据信号输入单元650。各单元的连接关系以及各单元中所包含的电子元件的连接关系也与图3所示的实施例相同。

[0113] 与图3所示实施例不同之处在于,在本实施例中,第三晶体管T3和第十一晶体管T11为NMOS晶体管。

[0114] 下面,将结合图7所示的信号时序图来描述本实施例的有机电致发光二极管显示器的驱动电路,以使本实施例的有机电致发光二极管显示器的驱动电路的技术效果更加明确。

[0115] 如图7所示,在第一重置期间P1',向第一输入端IN1、第二输入端IN2、第四控制端CT4、第五控制端CT5、第七控制端CT7和第九控制端CT9提供第一电平,向第一控制端CT1、第二控制端CT2、第三控制端CT3、第六控制端CT6和第八控制端CT8提供第二电平。可选地,第一电平例如可以是低电平,第二电平例如可以是高电平。也即是说,在第一重置期间P1',第三控制信号和第四控制信号为低电平,而第一控制信号、第二控制信号、第五控制信号和第六控制信号为高电平。

[0116] 在第一重置期间P1',第一控制端CT1、第二控制端CT2、第三控制端CT3、第六控制端和第八控制端CT8接收到高电平信号,第一晶体管T1、第四晶体管T4和第八晶体管T8截止,第三晶体管T3和第十一晶体管T11导通。此外,第一输入端IN1、第二输入端IN2、第四控制端CT4、第五控制端CT5、第七控制端CT7和第九控制端CT9接收到低电平信号,第六晶体管T6、第七晶体管T7、第九晶体管T9和第十晶体管T10导通。而第一输入端IN1接收到的第一重置信号为低电平,第二输入端IN2接收到的第二重置信号也为低电平,因此,第一发光二极管E1的阳极和第二发光二极管E2的阳极接收到低电平信号(即第二重置信号),第二晶体管T2的栅极和第五晶体管T5的栅极接收到低电平信号(即第一重置信号)。由于第一发光二极管E1的阳极和第二发光二极管E2的阳极接收到的信号为低电平信号,可使得第一发光二极管E1和第二发光二极管E2的阳极电位稳定,并避免第一发光二极管E1和第二发光二极管E2在该第一重置期间P1'误点亮,保证了良好的暗态效果。

[0117] 接着,在第一阈值提取期间P2',向第二控制端CT2、第七控制端CT7、第九控制端CT9提供第一电平,向第一控制端CT1、第三控制端CT3、第四控制端CT4、第五控制端CT5、第六控制端CT6和第八控制端CT8提供第二电平,向第二输入端IN2提供第一数据信号DA1。也即是说,当第一电平为低电平,第二电平为高电平时,在第一阈值提取期间P2',第二控制信号和第四控制信号为低电平信号,第一控制信号、第三控制信号、第五控制信号和第六控制信号为高电平信号。

[0118] 同样以第一电平为低电平,第二电平为高电平为例。在第一阈值提取期间P2',第一控制端CT1、第三控制端CT3、第四控制端CT4、第五控制端CT5、第六控制端CT6和第八控制端CT8接收到高电平信号,因此第一晶体管T1、第四晶体管T4、第六晶体管T6、第八晶体管T8和第十晶体管T10截止,第十一晶体管T11导通。而第二控制端CT2、第七控制端CT7和第九控制端CT9接收到低电平信号,因此第三晶体管T3、第七晶体管T7和第九晶体管T9导通,因此,第二晶体管T2的栅极和第五晶体管T5的栅极接收第二输入端输入的第三数据信号DA1,并在第五晶体管的栅极充电至 $V_{DA1}-|V_{th1}|$ 时截止,以使第五晶体管T5的栅极的电位保持在 $V_{DA1}-|V_{th1}|$ 。其中, V_{DA1} 为第一数据信号DA1的电压值, V_{th1} 为第五晶体管T5的阈值电压。如公式(1)~公式(3)的推导可知,采用本实施例的电路结构,提供给第二发光二极管E2的发光电流与第五晶体管T5的阈值电压 V_{th1} 无关。因而,采用本实施例的驱动电路,可实现对第五晶体管T5的阈值电压 V_{th1} 的补偿,避免由于工艺精度造成的第五晶体管T5的阈值漂移引起的显示不均的问题。

[0119] 在第二重置期间P3',向第一输入端IN1、第二输入端IN2、第四控制端CT4、第五控制端CT5和第八控制端CT8提供第一电平,向第一控制端CT1、第二控制端CT2、第三控制端CT3、第六控制端CT6、第七控制端CT7和第九控制端CT9提供第二电平。也即是说,当第一电平为低电平,第二电平为高电平时,在第二重置期间P3',第三控制信号和第五控制信号为低电平,第一控制信号、第二控制信号、第四控制信号和第六控制信号为高电平。

[0120] 同样以第一电平为低电平,第二电平为高电平为例。在第二重置期间P3',第一控制端CT1、第二控制端CT2、第三控制端CT3、第六控制端CT6、第七控制端CT7和第九控制端CT9接收到高电平信号,因此,第一晶体管T1、第四晶体管T4、第七晶体管T7和第九晶体管T9截止,且第三晶体管T3和第十一晶体管T11导通,而第四控制端CT4、第五控制端CT5和第八控制端CT8接收到低电平信号,因此,第六晶体管T6、第八晶体管T8和第十晶体管T10导通,而第一输入端IN1接收到的第一重置信号和第二输入端IN2接收到的第二重置信号为低电平,第一发光二极管E1的阳极和第二发光二极管E2的阳极接收到低电平信号(即第二重置信号),第二晶体管T2的栅极也接收到低电平信号(即第一重置信号)。由于一发光二极管E1的阳极和第二发光二极管E2的阳极接收到的信号为低电平信号,可使得第一发光二极管E1和第二发光二极管E2的阳极电位稳定,并避免第一发光二极管E1和第二发光二极管E2在该第二重置期间P3'误点亮,保证了良好的暗态效果。

[0121] 在第二阈值提取期间P4',向第二控制端CT2和第八控制端CT8提供第一电平,向第一控制端CT1、第三控制端CT3、第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7和第九控制端CT9提供第二电平,向第二输入端IN2提供第二数据信号DA2。也即是说,当第一电平为低电平,第二电平为高电平时,在第二阈值提取期间P4',第二控制信号和第五控制信号为低电平,第一控制信号、第三控制信号、第四控制信号和第六控制信号为高电平。

[0122] 同样以第一电平为低电平,第二电平为高电平为例。在第二阈值提取期间P4',由于第一控制端CT1、第三控制端CT3、第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7和第九控制端CT9接收到的高电平信号,因此,在第二阈值提取期间P4',第一晶体管T1、第四晶体管T4、第六晶体管T6、第七晶体管T7、第九晶体管T9和第十晶体管T10截止,第十一晶体管T11导通。而由于第二控制端CT2和第八控制端CT8接收到低电平信号,第

八晶体管T8导通而第三晶体管T3截止。

[0123] 因此,在第二阈值提取期间P4',第二晶体管T2的栅极接收第二输入端输入的第二数据信号DA2,并在第二晶体管T2的栅极充电至 $V_{DA2}-|V_{th2}|$ 时截止,以使第二晶体管T2的栅极电位保持在 $V_{DA2}-|V_{th2}|$ 。其中, V_{DA2} 为第二数据信号DA2的电压值, V_{th2} 为第二晶体管T2的阈值电压。如公式(4)~公式(6)的推导可知,采用本实施例的电路结构,提供给第二发光二极管E2的发光电流与第二晶体管T2的阈值电压 V_{th2} 无关。因而,采用本实施例的驱动电路,可实现对第二晶体管T2的阈值电压 V_{th2} 的补偿,避免由于工艺精度造成的第二晶体管T2的阈值漂移引起的显示不均的问题。

[0124] 在发光期间,向第一控制端CT1、第三控制端CT3和第六控制端CT6提供第一电平,向第二控制端CT2、第四控制端CT4、第五控制端CT5、第七控制端CT7、第八控制端CT8和第九控制端CT9提供第二电平。也即是说,当第一电平为低电平,第二电平为高电平时,在发光期间P5',第一控制信号和第六控制信号为低电平信号,第二控制信号、第三控制信号、第四控制信号和第五控制信号为高电平信号。

[0125] 同样以第一电平为低电平,第二电平为高电平为例。在发光期间P5',由于第二控制端CT2、第四控制端CT4、第五控制端CT5、第七控制端CT7、第八控制端CT8和第九控制端CT9接收到高电平信号,第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10截止,而第三晶体管T3导通。此外,由于第一控制端CT1、第三控制端CT3和第六控制端CT6接收到低电平信号,因此,第一晶体管T1和第四晶体管T4导通,而第十一晶体管T11截止。因此,在发光期间P5',第一晶体管T1、第三晶体管T3和第四晶体管T4导通,从而使得在发光期间,第一发光二极管E1和第二发光二极管E2可同时点亮。

[0126] 此外,本实施例的驱动电路,与图3所示实施例相似,采用十一个晶体管(T1~T11)和两个电容(C1、C2)来驱动两个发光二极管(E1、E2)在发光期间同时发光,使得用于驱动单个发光二极管发光所需的器件比现有技术的驱动电路更少,从而可以兼顾有机电致发光二极管显示器的高PPI和尺寸规格的小型化。

[0127] 在一些可选的实现方式中,本实施例的驱动电路还可以进一步包括第九移位寄存器、第十移位寄存器和第十一移位寄存器。

[0128] 第九移位寄存器可用于向第二控制端提供第二控制信号、向第四控制端和第五控制端提供第三控制信号。

[0129] 第十移位寄存器可用于向第一控制端和第三控制端提供第一控制信号,并向第六控制端提供第六控制信号,其中第一控制信号和第六控制信号相同。

[0130] 第十一移位寄存器可用于向第七移位寄存器和第九移位寄存器提供第四控制信号,并向第八移位寄存器提供第五控制信号。

[0131] 不难看出,第一控制信号和第六控制信号完全相同,因而显然可由同一个移位寄存器(例如第十移位寄存器)生成。此外,第五控制信号可视为将第四控制信号移位得到的信号,因而,第四控制信号和第五控制信号也可以容易地由同一个移位寄存器(例如第十一移位寄存器)生成。

[0132] 而通过同一个移位寄存器(例如第九移位寄存器)同时生成第二控制信号和第三控制信号的方式,可以参照图5和与图5相关的文字描述来进行。

[0133] 参见图8所示,为本申请的有机电致发光二极管显示器的驱动电路的再一个实施

例的示意性电路图。

[0134] 与图3或图6所示的实施例类似,本实施例的有机电致发光二极管显示器的驱动电路同样包括第一发光单元810、第二发光单元820、补偿单元830、重置单元840和数据信号输入单元850。这些单元的连接关系以及这些单元中所包含的电子元件的连接关系也与图3或图6所示的实施例相同。

[0135] 与图3或图6所示的实施例不同的是,本实施例中,还包括N个级联的第三发光单元860,其中N为大于或等于1的整数。

[0136] 各第三发光单元860包括第三输入端、第四输入端、第十控制端CT10、第十一控制端CT11、第十二控制端CT12、第十二晶体管T12、第十三晶体管T13、第十四晶体管T14、第十五晶体管T15、第三电容C3和第三发光二极管E3。补偿单元830、重置单元840和数据信号输入单元850用于在编码阶段控制第一发光单元810、第二发光单元820和第三发光单元860以使第一发光二极管E1、第二发光二极管E2和第三发光二极管E3在发光阶段同时发光。

[0137] 其中,第十二晶体管T12的栅极连接至第十控制端CT10以接收第一控制信号,第十二晶体管T12第一极接收第一电压信号 V_{DD} ,第十二晶体管T12的第二极与第十五晶体管T15的第一极电连接。

[0138] 第十三晶体管T13的栅极连接至第十一控制端CT11以接收第七控制信号,第十三晶体管T13的第二极与第十五晶体管T15的栅极、第三电容C3的第一端电连接。

[0139] 第十五晶体管T15的第二极与第三发光二极管E3的阳极、第十四晶体管T14的第二极电连接。

[0140] 第十四晶体管T14的栅极连接至第十二控制端CT12以接收第三控制信号,第三发光二极管E3的阴极接收第二电压信号 V_{SS} ,第三电容C3的第二端接收第一电压信号 V_{DD} 或第二电压信号 V_{SS} 。

[0141] 在本实施例的一些可选的实现方式中,如图8所示,第1级的第三发光单元860中的第十三晶体管T13的第一极与第二晶体管T2的栅极电连接,第1级第三发光单元860中的第十二晶体管T12的第一极与第六晶体管T6的第二极电连接。

[0142] 本实施例中,第十二晶体管T12、第十三晶体管T13、第十四晶体管T14可以是PMOS晶体管。

[0143] 并且,本实施例的三个发光二极管共用一部分晶体管电路,本实施例提供的驱动电路共计15个晶体管3个电容来驱动3个像素单元,因此每个像素单元中平均包含5个晶体管1个电容,相对于现有技术中每个像素单元包含6个晶体管和1个电容而言,更进一步减少了晶体管的数量,从而减少了电路布线空间,有利于兼顾OLED显示器的高PPI和小型化。

[0144] 参见图9所示,为本申请的有机电致发光二极管显示器的驱动电路的还一个实施例的示意性电路图。

[0145] 本实施例的第一发光单元910、第二发光单元920、补偿单元930、重置单元940和数据信号输入单元950以及第一级的第三发光单元960-1与图8所示的实施例具有相同的结构。

[0146] 与图8所示的实施例不同的是,本实施例中,第i级第三发光单元中的第十三晶体管的第一极与第i-1级第三发光单元中的第十三晶体管的第二极电连接,第i级第三发光单元中的第十四晶体管的第一极与第i-1级第三发光单元中的第十四晶体管的第二极电连

接;其中, $1 < i \leq N$ 。

[0147] 例如,图9中,第2级的第三发光单元960-2中第十三晶体管的第一极与第1级的第三发光单元960-1中的第十三晶体管的第二极电连接,而第2级的第三发光单元960-2中的第十四晶体管的第一极与第1级第三发光单元960-1中的第十四晶体管的第二极电连接。

[0148] 需要说明的是,尽管图8和图9所示实施例中,第一发光单元810、910、第二发光单元820、920、补偿单元830、930、重置单元840、940和数据信号输入单元850、950具有与图3所示实施例的各单元相同的结构和连接关系,但这仅是示意性的。本领域技术人员在获知本申请技术方案的基础上,可以容易地想到,将第一发光单元810、910、第二发光单元820、920、补偿单元830、930、重置单元840、940和数据信号输入单元850、950设计成与图6所示实施例的个单元相同的结构和连接关系。

[0149] 并且,本实施例提供的驱动电路中,由于每个第三发光单元包含4个晶体管和1个电容,当并联的第三发光单元数量越多,平均每个发光单元的晶体管的数量会越少,因此更进一步减少了晶体管的数量,从而减少了电路布线空间,有利于兼顾OLED显示器的高PPI和小型化。

[0150] 下面,将结合图10所示的信号时序图来描述图8所示实施例的有机电致发光二极管显示器的驱动电路,以使本实施例的有机电致发光二极管显示器的驱动电路的技术效果更加明确。

[0151] 具体而言,在第一重置期间P1”,向第二控制端CT2、第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7、第八控制端CT8、第九控制端CT9和第十一控制端CT11提供第一电平,向第一控制端CT1、第三控制端CT3和第十控制端CT10提供第二电平。向第一输入端提供第一重置信号,并向第二输入端提供第二重置信号,从而使得第一发光二极管E1、第二发光二极管E2和第三发光二极管E3的阳极获得第二重置信号,并使第二晶体管T2、第五晶体管T5和第十五晶体管T15的栅极获得第一重置信号。例如,第一电平可以是低电平,第二电平可以是高电平。由于第一发光二极管E1的阳极/第二发光二极管E2的阳极和第三发光二极管E3的阳极接收到的信号为低电平信号,可使得第一发光二极管E1、第二发光二极管E2的阳极和第三发光二极管E3的阳极电位稳定,并避免第一发光二极管E1、第二发光二极管E2和第三发光二极管E3在该第一重置期间P1”误点亮,保证了良好的暗态效果。

[0152] 接着,在第一阈值提取期间P2”,向第六控制端CT6、第七控制端CT7、第八控制端CT8、第九控制端CT9和第十一控制端CT11提供第一电平,并向第一控制端CT1、第二控制端CT2、第三控制端CT3、第四控制端CT4、第五控制端CT5、第十控制端CT10和第十二控制端CT12提供第二电平,并向第二输入端IN2提供第三数据信号DA3,以使第二晶体管T2、第五晶体管T5和第十五晶体管T15的栅极在充电到 $V_{DA3} - |V_{thj}|$ 时截止,其中,当j分别为1、2和3时, V_{thj} 分别为第五晶体管T5、第二晶体管T2和第十五晶体管T15的阈值电压。如公式(1)~公式(3)的推导可知,采用本实施例的电路结构,提供给第三发光二极管E3的发光电流与第十五晶体管T15的阈值电压 V_{th3} 无关。因而,采用本实施例的驱动电路,可实现对第十五晶体管T15的阈值电压 V_{th3} 的补偿,避免由于工艺精度造成的第十五晶体管T15的阈值漂移引起的显示不均的问题。

[0153] 接着,在第二重置期间P3”,向第二控制端CT2、第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7、第八控制端CT8、第九控制端CT9和第十二控制端CT12提供第

一电平,向第一控制端CT1、第三控制端CT3、第十控制端CT10和第十一控制端CT11提供第二电平,向第一输入端IN1输入第一重置信号,并向第二输入端IN2输入第二重置信号。从而使得第一发光二极管E1、第二发光二极管E2和第三发光二极管E3的阳极获得第二重置信号,使第二晶体管T2和第五晶体管T5栅极获得第一重置信号,并使第十五晶体管T15的栅极保持在 $V_{DA1}-|V_{th3}|$ 。由于一发光二极管E1的阳极、第二发光二极管E2的阳极和第三发光二极管E3的阳极接收到的信号为低电平信号(第二重置信号),可使得第一发光二极管E1、第二发光二极管E2和第三发光二极管E3的阳极电位稳定,并避免第一发光二极管E1、第二发光二极管E2和第三发光二极管E3在该第二重置期间P3”误点亮,保证了良好的暗态效果。

[0154] 接着,在第二阈值提取期间P4”,向第六控制端CT6、第七控制端CT7、第八控制端CT8和第九控制端CT9提供第一电平,向第一控制端CT1、第二控制端CT2、第三控制端CT3、第四控制端CT4、第五控制端CT5、第十控制端CT10、第十一控制端CT11和第十二控制端CT12提供第二电平,并向第二输入端IN2输入第一电压信号DA1,以使第二晶体管T2和第五晶体管T5的栅极在充电到 $V_{DA1}-|V_{thj}|$ 时截止。其中,当j分别为1和2时, V_{thj} 分别为第五晶体管T5和第二晶体管T2的阈值电压。如公式(1)~公式(3)的推导可知,采用本实施例的电路结构,提供给第二发光二极管E2的发光电流与第五晶体管T5的阈值电压 V_{th1} 无关。因而,采用本实施例的驱动电路,可实现对第五晶体管T5的阈值电压 V_{th1} 的补偿,避免由于工艺精度造成的第五晶体管T5的阈值漂移引起的显示不均的问题。

[0155] 接着,在第三重置期间P5”,向第二控制端CT2、第四控制端CT4、第五控制端CT5、第六控制端CT6、第八控制端CT8和第十二控制端CT12提供第一电平,向第一控制端CT1、第三控制端CT3、第七控制端CT7、第九控制端CT9、第十控制端CT10和第十一控制端CT11提供第二电平,并分别向第一输入端IN1、第二输入端IN2提供第一重置信号和第二重置信号,以使第一发光二极管E1、第二发光二极管E2和第三发光二极管E3的阳极获得第二重置信号,使第二晶体管T2的栅极获得第一重置信号,并使第五晶体管T5和第十五晶体管T15分别保持在 $V_{DA1}-|V_{th1}|$ 和 $V_{DA3}-|V_{th3}|$ 。由于一发光二极管E1的阳极、第二发光二极管E2的阳极和第三发光二极管E3的阳极接收到的信号为低电平信号(第二重置信号),可使得第一发光二极管E1、第二发光二极管E2和第三发光二极管E3的阳极电位稳定,并避免第一发光二极管E1、第二发光二极管E2和第三发光二极管E3在该第三重置期间P3”误点亮,保证了良好的暗态效果。

[0156] 接着,在第三阈值提取期间P6”,向第六控制端CT6和第八控制端CT8提供第一电平,向第一控制端CT1、第二控制端CT2、第三控制端CT3、第四控制端CT4、第五控制端CT5、第七控制端CT7、第九控制端CT9、第十控制端CT10、第十一控制端CT11和第十二控制端CT12提供第二电平,并向第二输入端IN2输入第二电压信号DA2,以使第二晶体管T2的栅极在充电到 $V_{DA2}-|V_{th2}|$ 时截止。如公式(4)~公式(6)的推导可知,采用本实施例的电路结构,提供给第二发光二极管E2的发光电流与第二晶体管T2的阈值电压 V_{th2} 无关。因而,采用本实施例的驱动电路,可实现对第二晶体管T2的阈值电压 V_{th2} 的补偿,避免由于工艺精度造成的第二晶体管T2的阈值漂移引起的显示不均的问题。

[0157] 接着,在发光期间P7”,向第一控制端CT1、第二控制端CT2、第三控制端CT3和第十控制端CT10提供第一电平,并向第四控制端CT4、第五控制端CT5、第六控制端CT6、第七控制端CT7、第八控制端CT8、第九控制端CT9、第十一控制端CT11和第十二控制端CT12提供第二

电平,以使第一发光二极管E1、第二发光二极管E2和第三发光二极管E3同时点亮。

[0158] 此外,本实施例的驱动电路,与图3、图6所示实施例相似,采用十五个晶体管(T1~T15)和三个电容(C1~C3)来驱动三个发光二极管(E1~E3)在发光期间同时发光,使得用于驱动单个发光二极管发光所需的器件比现有技术的驱动电路更少,从而可以兼顾有机电致发光二极管显示器的高PPI和尺寸规格的小型化。

[0159] 以上描述仅为本申请的较佳实施例以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的发明范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离所述发明构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

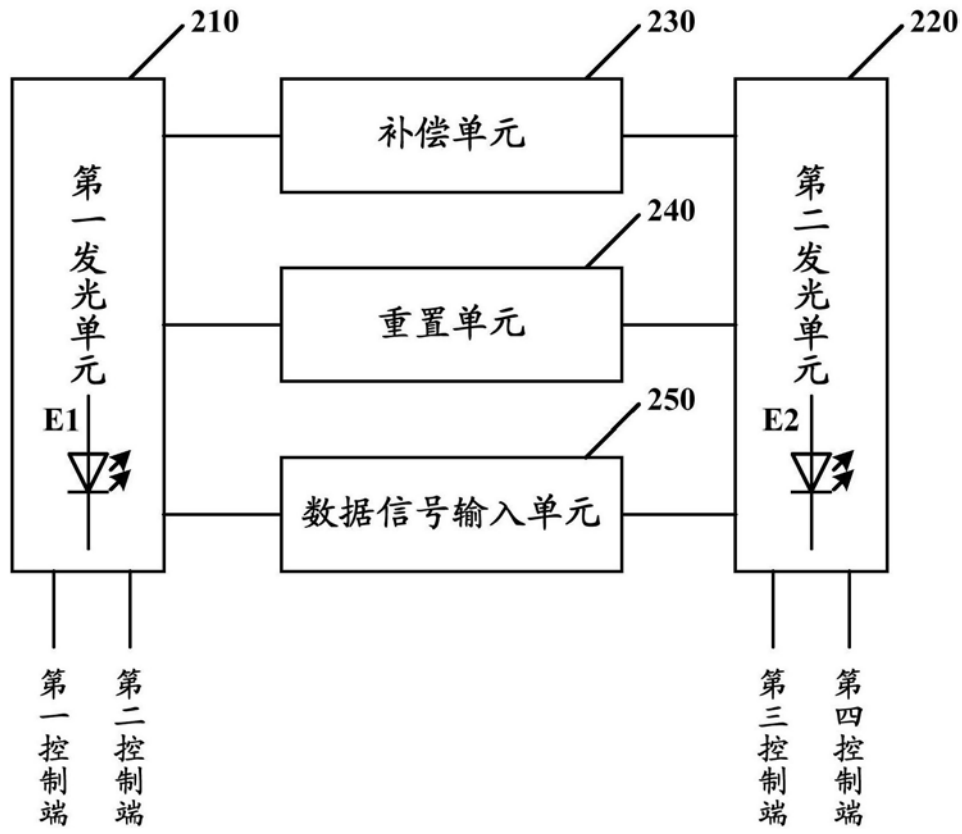


图2

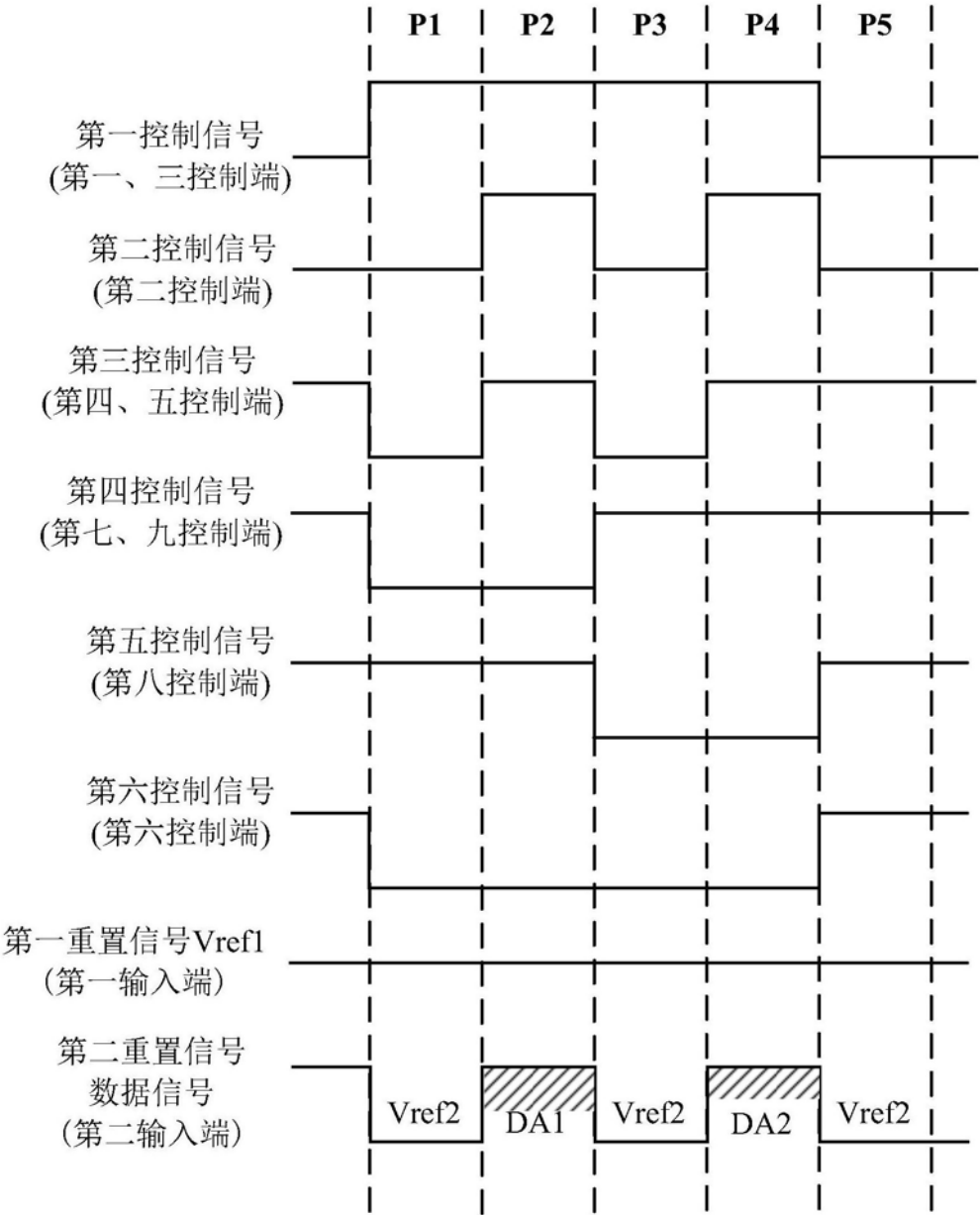


图4

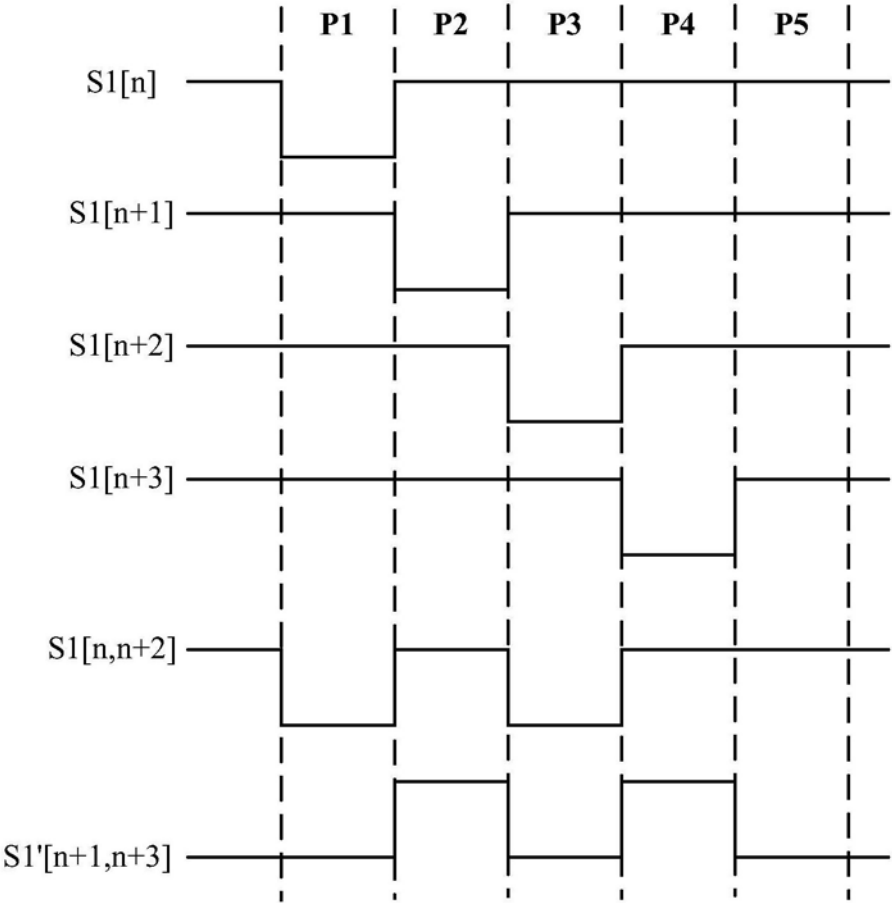


图5

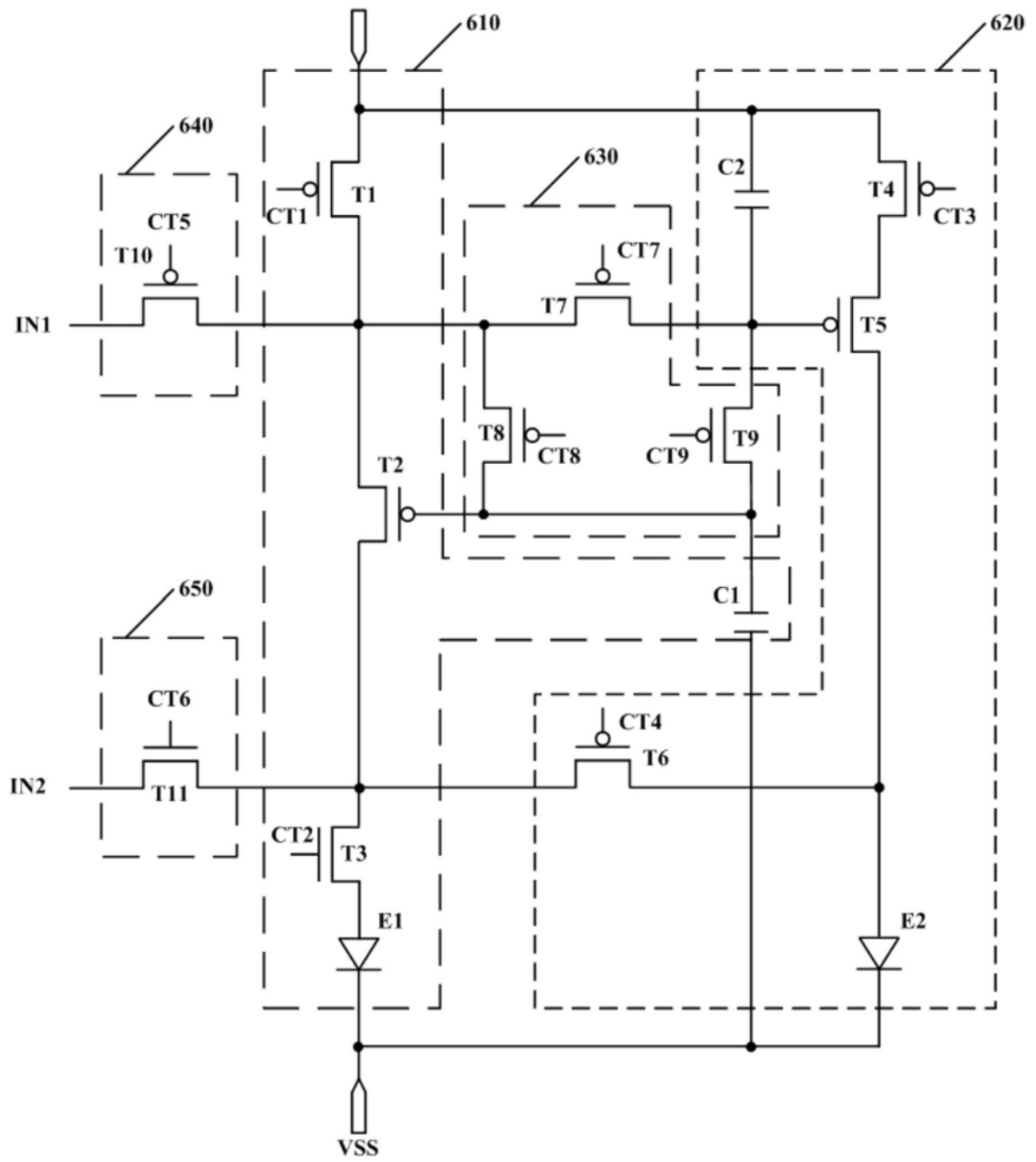


图6

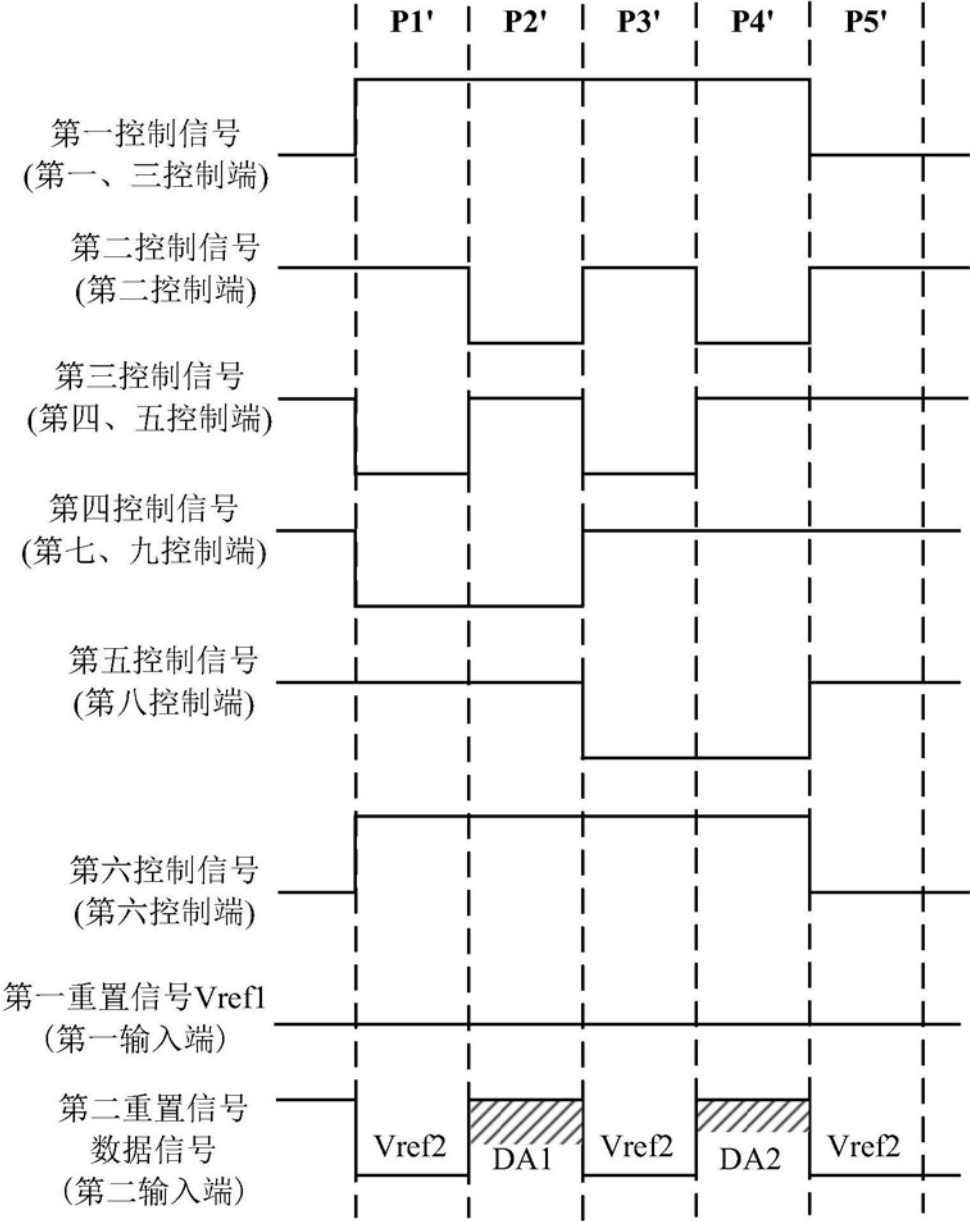


图7

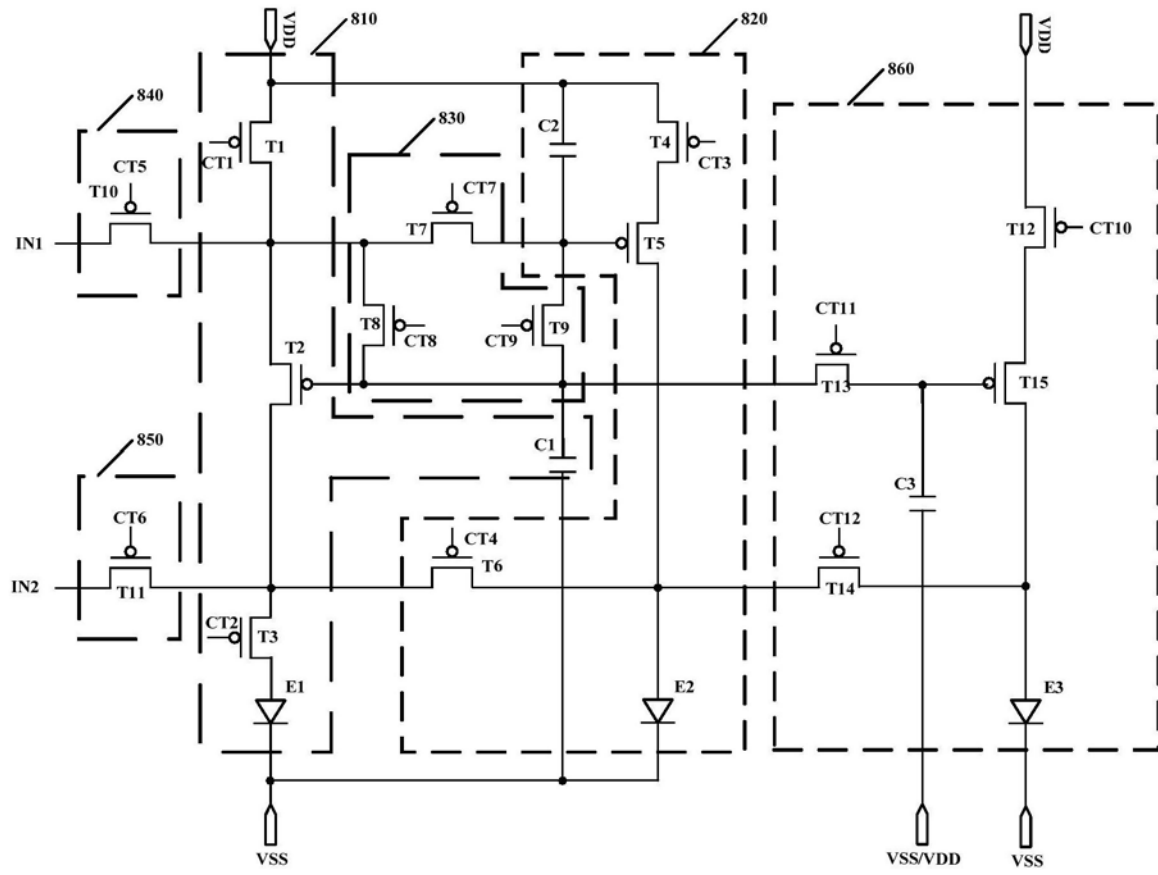


图8

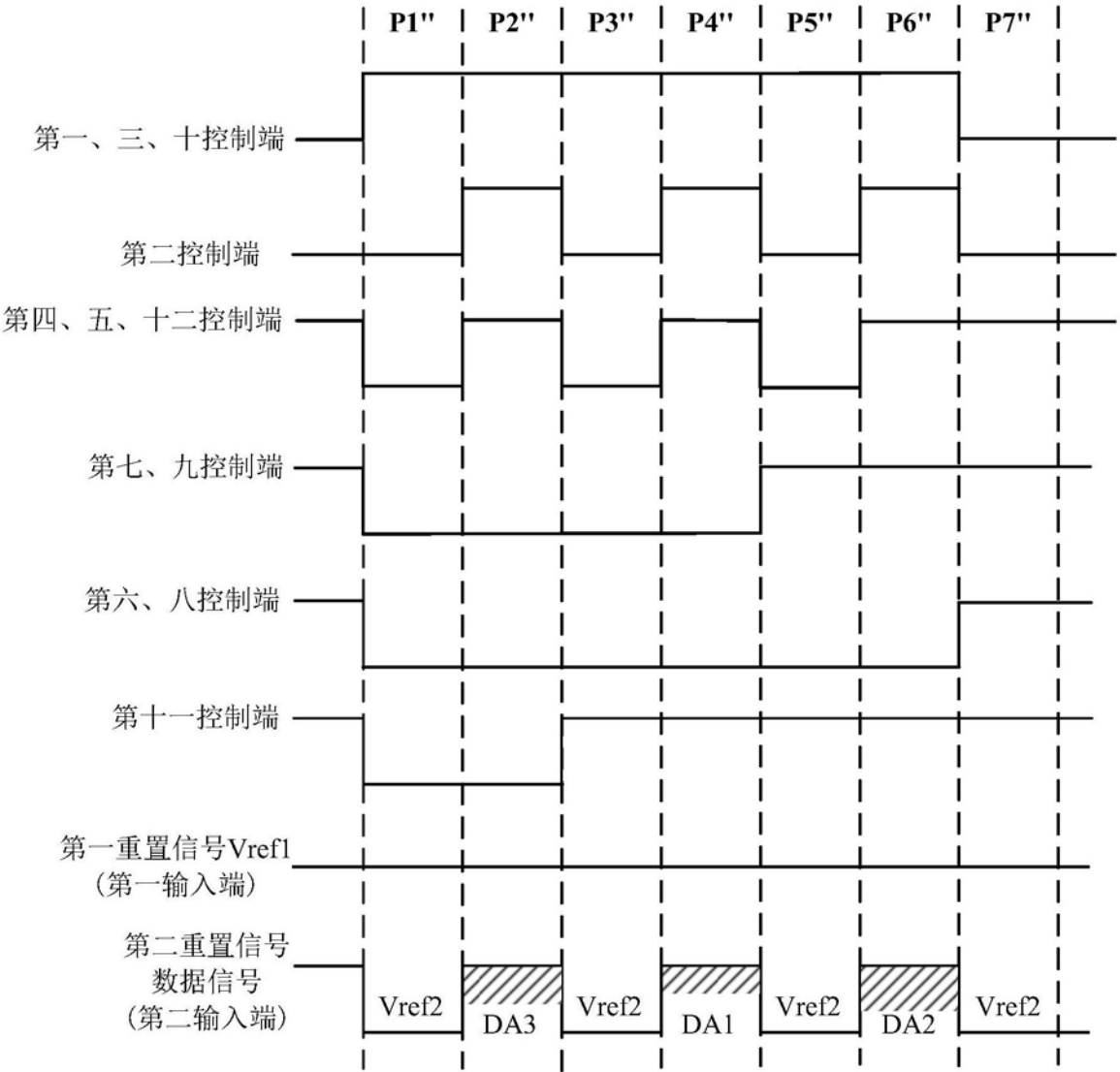


图10

专利名称(译)	有机电致发光二极管显示器的驱动电路		
公开(公告)号	CN105609052B	公开(公告)日	2018-10-19
申请号	CN201610185846.6	申请日	2016-03-29
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司 天马微电子股份有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司 天马微电子股份有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司 天马微电子股份有限公司		
[标]发明人	孙伯彰 钱栋 邹文晖 吴桐 李玥		
发明人	孙伯彰 钱栋 邹文晖 吴桐 李玥		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233		
代理人(译)	于淼		
其他公开文献	CN105609052A		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了有机电致发光二极管显示器的驱动电路，包括第一发光单元、第二发光单元、补偿单元、重置单元和数据信号输入单元；其中：第一发光单元包括第一控制端、第二控制端和第一发光二极管，第二发光单元包括第三控制端、第四控制端和第二发光二极管；补偿单元、重置单元和数据信号输入单元用于在编码阶段控制第一发光单元和第二发光单元以使第一发光二极管和第二发光二极管在发光阶段同时发光。本申请实施例提供的有机电致发光二极管显示器的驱动电路，可以同时驱动多个发光二极管点亮，且单个发光二极管所需的器件较少，从而可以兼顾有机电致发光二极管显示器的高PPI和尺寸规格的小型化。

