



(12)发明专利

(10)授权公告号 CN 104680980 B

(45)授权公告日 2017.02.15

(21)申请号 201510133658.4

(22)申请日 2015.03.25

(65)同一申请的已公布的文献号

申请公布号 CN 104680980 A

(43)申请公布日 2015.06.03

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 马占洁

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 柴亮 张天舒

(51)Int.Cl.

G09G 3/3258(2016.01)

(56)对比文件

CN 104157240 A, 2014.11.19, 全文.

CN 102930824 A, 2013.02.13, 全文.

CN 103077680 A, 2013.05.01, 全文.

审查员 张辉

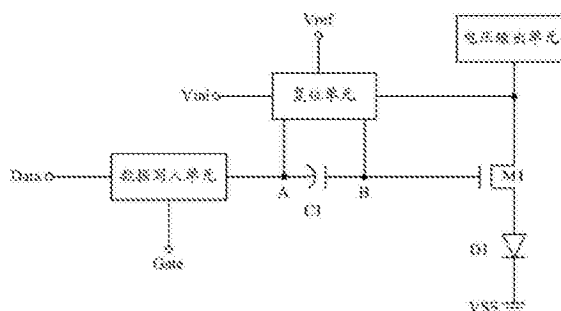
权利要求书2页 说明书6页 附图2页

(54)发明名称

像素驱动电路及其驱动方法、显示装置

(57)摘要

本发明提供一种像素电路及其驱动方法、显示装置,属于显示技术领域。本发明的像素电路,其包括:驱动晶体管、存储电容、有机电致发光器件、复位单元、数据写入单元,以及电压输出单元;所述复位单元连接复位控制信号线、初始化信号线、数据写入单元、存储电容的两端、电压输出单元,以及驱动晶体管的第一极和控制极;所述驱动晶体管的第一极还连接电压输出单元,所述驱动晶体管的第二极连接有机电致发光器件的第一端,所述有机电致发光器件的第二端连接低电源电压;所述数据写入单元连接栅极线和数据线。本发明的像素电路应用于显示装置中可以实现高分辨率的设计。



1. 一种像素电路,其包括:驱动晶体管、存储电容、有机电致发光器件,其特征在于,所述像素电路还包括:复位单元、数据写入单元,以及电压输出单元;所述复位单元连接复位控制信号线、初始化信号线、数据写入单元、存储电容的两端、电压输出单元,以及驱动晶体管的第一极和控制极;所述驱动晶体管的第一极还连接电压输出单元,所述驱动晶体管的第二极连接有机电致发光器件的第一端,所述有机电致发光器件的第二端连接低电源电压;所述数据写入单元连接栅极线和数据线;其中,

所述复位单元,用于在所述复位控制信号线所输入的复位控制信号的控制下,并通过初始化信号线将存储电容的第一端复位至初始化电压,将所述存储电容的第二端复位至所述电压输出单元输出的第一电压;

所述数据写入单元,用于在栅极线所输入的栅极扫描信号的控制下,将数据线上所输入的数据电压和驱动晶体管的等效阈值电压写入存储电容第一端;

所述驱动晶体管,用于在所述电压输出单元输出第二电压,驱动有机电致发光器件发光;

所述复位单元包括第一晶体管、第二晶体管;

所述第一晶体管的第一极连接初始化信号线,第二极连接存储电容的第一端和数据写入单元,控制极连接复位控制信号线;

所述第二晶体管的第一极连接所述电压输出单元,第二极连接存储电容的第二端和驱动晶体管的控制极,控制极连接复位控制信号线;

所述数据写入单元包括第三晶体管和第四晶体管;

所述第三晶体管的第一极连接第四晶体的控制极,第二极连接存储电容的第一端和复位单元,控制极连接栅极线;

所述第四晶体管的第一极连接数据线,第二极连接存储电容的第一端和复位单元,所述第四晶体的阈值电压为所述驱动晶体管的等效阈值电压。

2. 根据权利要求1所述的像素电路,其特征在于,所述电压输出单元输出的电压信号为脉冲信号。

3. 根据权利要求2所述的像素电路,其特征在于,所述第一电压为低电平信号,第二电压为高电平信号。

4. 一种像素电路的驱动方法,其特征在于,所述像素电路为权利要求1-3任一项所述的像素电路,所述驱动方法包括:

复位阶段:为复位控制信号线输入的复位控制信号为选通信号,复位单元选通,将所述存储电容的第一端复位至初始化电压,将所述存储电容的第二端复位至所述电压输出单元输出的第一电压;

数据写入阶段:为栅极线输入的栅极扫描信号为选通信号,将数据电压和驱动晶体管的等效阈值电压写入存储电容第一端;

发光阶段:所述电压输出单元输出第二电压,所述驱动晶体管驱动有机电致发光器件发光。

5. 根据权利要求4所述的像素电路的驱动方法,其特征在于,所述复位单元包括:第一晶体管和第二晶体管;在所述复位阶段,所述复位控制信号线将第一晶体管和第二晶体管选通,所述第一晶体管将所述初始化电压写入所述存储电容的第一端,所述第二晶体管将

所述电压输出单元输出的第一电压写入所述存储电容的第二端。

6. 根据权利要求5所述的像素电路的驱动方法, 其特征在于, 所述数据写入单元包括第三晶体管和第四晶体管; 在所述数据写入阶段, 在所述栅极线输入的栅极扫描信号为选通信号, 控制第三晶体管将第四晶体管的控制极和第二极连接, 将第四晶体管第一极连接的数据线的数据电压以及第四晶体管的阈值电压写入存储电容第一端, 所述第四晶体管的阈值电压为驱动晶体管的等效阈值电压。

7. 根据权利要求6所述的像素电路的驱动方法, 其特征在于, 在所述发光阶段, 所述电压输出单元输出第二电压, 所述驱动晶体管在所述第一电压、所述第二电压以及所述初始化电压、所述数据电压的控制下驱动有机电致发光器件发光。

8. 根据权利要求7所述的像素电路的驱动方法, 其特征在于, 所述第一电压为低电平信号, 第二电压为高电平信号。

9. 一种显示装置, 其特征在于, 所述显示装置包括权利要求1-3任一项所述的像素电路。

像素驱动电路及其驱动方法、显示装置

技术领域

[0001] 本发明属于显示技术领域,具体涉及一种像素驱动电路及其驱动方法、显示装置。

背景技术

[0002] 有机发光显示二极管(OLED)作为一种电流型发光器件已越来越多地被应用于高性能显示中。传统的无源矩阵有机发光显示(Passive Matrix OLED)随着显示尺寸的增大,需要更短的单个像素的驱动时间,因而需要增大瞬态电流,增加功耗。同时大电流的应用会造成ITO线上压降过大,并使OLED工作电压过高,进而降低其效率。而有源矩阵有机发光显示(Active Matrix OLED)通过开关管逐行扫描输入OLED电流,可以很好地解决这些问题。

[0003] 在AMOLED背板设计中,主要需要解决的问题是像素和像素之间的亮度非均匀性。

[0004] 现有技术中提供了一种AMOLED电压式像素单元驱动电路。这种电压式驱动方法与传统AMLCD驱动方法类似,由驱动单元提供一个表示灰阶的电压信号,该电压信号会在像素电路内部被转化为驱动管的电流信号,从而驱动OLED实现亮度灰阶,这种方法具有驱动速度快,实现简单的优点,适合驱动大尺寸面板,被业界广泛采用,但是需要设计额外的TFT和电容器件来补偿TFT非均匀性、IR Drop和OLED非均匀性。

[0005] 如图1所示为最传统的采用2个TFT,1个电容组成的电压驱动型像素单元电路结构(2T1C)。其中开关管TK将数据线上的电压传输到驱动管TQ的栅极,驱动管将这个数据电压转化为相应的电流供给OLED器件,在正常工作时,驱动管TQ应处于饱和区,在一行的扫描时间内提供恒定电流。其电流可表示为:

$$[0006] \quad I_{OLED} = \frac{1}{2} \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{data} - V_{oled} - V_{thn})^2$$

[0007] 其中 μ_n 为载流子迁移率, C_{ox} 为栅氧化层电容, W/L 为晶体管宽长比, V_{data} 为数据电压, V_{oled} 为OLED工作电压,为所有像素单元共享, V_{thn} 为晶体管的阈值电压,对于增强型TFT, V_{thn} 为正值,对于耗尽型TFT, V_{thn} 为负值。

[0008] 尽管现有技术中的像素单元驱动电路被广泛使用,但是其仍然必不可免的存在以下问题:如果不同像素单元之间的 V_{thn} 不同,则电流存在差异。如果像素的 V_{thn} 随时间发生漂移,则可能造成先后电流不同,导致残影。且由于OLED器件非均匀性引起OLED工作电压不同,也会导致电流差异。

发明内容

[0009] 本发明所要解决的技术问题包括,针对现有的像素电路存在显示非均匀性的问题,提供一种有效果避免驱动晶体管的阈值电压对显示造成不良,以及可以有效提高分辨率提高的像素驱动电路及其驱动方法、显示装置。

[0010] 解决本发明技术问题所采用的技术方案是一种像素电路,其包括:驱动晶体管、存储电容、有机电致发光器件、复位单元、数据写入单元,以及电压输出单元;所述复位单元连接复位控制信号线、初始化信号线、数据写入单元、存储电容的两端、电压输出单元,以及驱

动晶体管的第一极和控制极；所述驱动晶体管的第一极还连接电压输出单元，所述驱动晶体管的第二极连接有机电致发光器件的第一端，所述有机电致发光器件的第二端连接低电源电压；所述数据写入单元连接栅极线和数据线；其中，

[0011] 所述复位单元，用于在所述复位控制信号线所输入的复位控制信号的控制下，并通过初始化信号线将存储电容的第一端复位至初始化电压，将所述存储电容的第二端复位至所述电压输出单元输出的第一电压；

[0012] 所述数据写入单元，用于在栅极线所输入的栅极扫描信号的控制下，将数据线上所输入的数据电压和驱动晶体管的等效阈值电压写入存储电容第一端；

[0013] 所述驱动晶体管，用于在所述电压输出单元输出第二电压，驱动有机电致发光器件发光。

[0014] 优选的是，所述复位单元包括第一晶体管、第二晶体管；

[0015] 所述第一晶体管的第一极连接初始化信号线，第二极连接存储电容的第一端和数据写入单元，控制极连接复位控制信号线；

[0016] 所述第二晶体管的第一极连接所述电压输出单元，第二极连接存储电容的第二端和驱动晶体管的控制极，控制极连接复位控制信号线。

[0017] 优选的是，所述数据写入单元包括第三晶体管和第四晶体管；

[0018] 所述第三晶体管的第一极连接第四晶体管的控制极，第二极连接存储电容的第一端和复位单元，控制极连接栅极线；

[0019] 所述第四晶体管的第一极连接数据线，第二极连接存储电容的第一端和复位单元，所述第四晶体管的阈值电压为所述驱动晶体管的等效阈值电压。

[0020] 优选的是，所述电压输出单元输出的电压信号为脉冲信号。

[0021] 进一步优选的是，所述第一电压为低电平信号，第二电压为高电平信号。

[0022] 解决本发明技术问题所采用的技术方案是一种像素电路的驱动方法，其中所述像素电路为上述中任意一种所述的像素电路，所述驱动方法包括：

[0023] 复位阶段：为复位控制信号线输入的复位控制信号为选通信号，复位单元选通，将所述存储电容的第一端复位至初始化电压，将所述存储电容的第二端复位至所述电压输出单元输出的第一电压；

[0024] 数据写入阶段：为栅极线输入的栅极扫描信号为选通信号，将数据电压和驱动晶体管的等效阈值电压写入存储电容第一端；

[0025] 发光阶段：所述电压输出单元输出第二电压，所述驱动晶体管驱动有机电致发光器件发光。

[0026] 优选的是，所述复位单元包括：第一晶体管和第二晶体管；在所述复位阶段，所述复位控制信号线将第一晶体管和第二晶体管选通，所述第一晶体管将所述初始化电压写入所述存储电容的第一端，所述第二晶体管将所述电压输出单元输出的第一电压写入所述存储电容的第二端。

[0027] 优选的是，所述数据写入单元包括第三晶体管和第四晶体管；在所述数据写入阶段，在所述栅极线输入的栅极扫描信号为选通信号，控制第三晶体管将第四晶体管的控制极和第二极连接，将第四晶体管第一极连接的数据线的数据电压以及第四晶体管的阈值电压写入存储电容第一端，所述第四晶体管的阈值电压为驱动晶体管的等效阈值电压。

[0028] 优选的是,在所述发光阶段,所述电压输出单元输出第二电压,所述驱动晶体管在所述第一电压、所述第二电压以及所述初始化电压、所述数据电压的控制下驱动有机电致发光器件发光。

[0029] 优选的是,所述第一电压为低电平信号,第二电压为高电平信号。

[0030] 解决本发明技术问题所采用的技术方案是一种显示装置,其包括上述的显示面板。

[0031] 本发明具有如下有益效果:

[0032] 本发明所提供的像素电路中省略了发光控制线,因此不需要控制发光的时序,减少了像素的信号线条数,从而有利于提高显示面板的分辨率。

[0033] 本发明的所提供的像素电路的驱动方法,用于驱动上述像素电路,其时序简单,且在驱动过程中不受驱动晶体管的阈值电压的影响,因此避免了现有技术中出现的显示非均匀性的问题。

[0034] 本发明所提供的显示装置,其包括上述像素电路,故其分辨率提高,显示效果更好。

附图说明

[0035] 图1为现有的像素电路的结构图;

[0036] 图2为本发明的实施例1的像素电路的结构图;

[0037] 图3为本发明的实施例1的像素电路一种优选的示意图。

[0038] 图4为图3所示的像素电路的工作时序图;

[0039] 图5为图3所示的像素电路在低灰阶状态时的补偿效果的仿真图。

具体实施方式

[0040] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0041] 本发明实施例中的所采用的晶体管可以为薄膜晶体管或场效应管或其他特性的相同器件,由于采用的晶体管的源极和漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管的源极和漏极,将其中一极称为第一极,另一极称为第二极,栅极称为控制极。此外按照晶体管的特性区分可以将晶体管分为N型和P型,以下实施例中是以P型晶体管进行说明的,当采用P型晶体管时,第一极为N型晶体管的源极,第二极为N型晶体管的漏极。可以想到的是采用N型晶体管实现是本领域技术人员可以在没有付出创造性劳动前提下轻易想到的,因此也是在本发明实施例的保护范围内的。

[0042] 实施例1:

[0043] 如图2所示,本实施例提供一种像素电路,其包括:驱动晶体管T1、存储电容C1、有机电致发光器件D1、复位单元、数据写入单元,以及电压输出单元VDD;其中,所述复位单元连接复位控制信号线、初始化信号线、数据写入单元、存储电容C1的两端、电压输出单元VDD,以及驱动晶体管T1的第一极和控制极;所述驱动晶体管T1的第一极还连接电压输出单元VDD,所述驱动晶体管T1的第二极连接有机电致发光器件D1的第一端,所述有机电致发光器件D1的第二端连接低电源电压VSS;所述数据写入单元连接栅极线Gate和数据线Data。所

述复位单元,用于在所述复位控制信号线所输入的复位控制信号的控制导通,并通过初始化信号线将存储电容C1的第一端复位至初始化电压Vini,将所述存储电容C1的第二端复位至所述电压输出单元VDD输出的第一电压V1;所述数据线写入单元,用于在栅极线Gate所输入的栅极扫描信号的控制下导通,将数据线Data上所输入的数据电压Vdata和驱动晶体管的等效阈值补偿电压写入存储电容C1的第一端;所述驱动晶体管T1,用于在所述电压输出单元VDD输出第二电压V2,驱动有机电致发光器件D1发光。其中,优选地电压输出单元为一的电压信号为脉冲信号。

[0044] 具体的,当所述复位控制信号线所输入的复位控制信号为导通信号时,复位单元将导通;因此,初始化信号线通过复位单元将存储电容C1的第一端电位复位至初始化电压Vini,而在此同时电压输出单元VDD输出的电压为第一电压V1,并通过复位单元写入将存储电容C1的第二端的电位复位至第一电压V1。由此可知,此时存储电容C1的第一端电位为初始化电压Vini,第二端的电位为第一电压V1。

[0045] 当栅极扫描信号将栅极线Gate选通后,与该栅极线Gate连接的数据写入单元与此同时将被导通,因此数据电压Vdata将通过数据写入单元为所述存储电容C1充电;同时,驱动晶体管的等效阈值补偿电压也将通过数据线Data也将写入存储电容的第一端,而存储电容C1根据本身的自举特性将其两端的压差保持一定。

[0046] 当所述电压输出单元VDD输出第二电压V2时,此时驱动晶体管导通,因此驱动晶体管T1驱动有机电致发光器件D1发光。

[0047] 需要说明的是,上述的第一电压V1为低电平信号,第二电压V2则为高电平信号。

[0048] 结合图3所示,优选地,本实施例中的位单元包括第一晶体管M1、第二晶体管M2;所述第一晶体管M1的第一极连接初始化信号线,第二极连接存储电容C1的第一端和数据写入单元,控制极连接复位控制信号线;所述第二晶体管M2的第一极连接所述电压输出单元,第二极连接存储电容C1的第二端和驱动晶体管T1的控制极,控制极连接复位控制信号线。

[0049] 具体的,当复位控制信号线输入导通信号时,即低电平信号,此时第一晶体管M1和第二晶体管M2处于导通状态,此时初始化信号线上所输入的初始化电压Vini则通过第一晶体管M1写入存储电容C1的第一端,电压输出单元VDD输出的第一电压V1则通过第二晶体管M2写入存储电容C1的第二端;由此可知,存储电容C1的第一端的电压为初始化电压Vini,第二端的电压为第一电压V1。

[0050] 优选地,所述数据写入单元包括第三晶体管M3和第四晶体管M4;所述第三晶体管M3的第一极连接第四晶体管M4的控制极,第二极连接存储电容C1的第一端和复位单元,控制极连接栅极线Gate;所述第四晶体管M4的第一极连接数据线Data,第二极连接存储电容C1的第一端和复位单元。

[0051] 具体的,当与栅极线Gate被输入栅极扫描信号时,此时第三晶体管M3将被选通,故第三晶体管M3的第一极的电压等于第二级电压,由于第三晶体管M3的第一极连接第四晶体管M4的控制极,第二极连接第四晶体管M4的第二极,因此第四晶体管M4的控制极电压等于第二极电压,由于可知,此时第四晶体管M4相当于一个二极管,而二极管具有单向导通特性,由于存储电容C1的第一端是与第四晶体管M4的第二极连接的,因此存储电容C1的第一端此时的电位为数据电压Vdata与第四晶体管M4的阈值电压Vth4之和,即Vdata+Vth4。存储电容C1具有自举特性,此时存储电容C1的第二端的电压为数据电压Vdata加上第四晶体管

M4的阈值电压 V_{th4} 减去初始化电压 V_{ini} 再加上第一电压 V_1 ,即 $V_{data}+V_{th4}-V_{ini}+V_1$ 。

[0052] 之后,在驱动有机电致发光器件D1进行发光时,由于存储电容C1的第二端的电位为 $V_{data}+V_{th4}-V_{ini}+V_1$,而驱动晶体管T1的第一极的电压为此时电压输出单元VDD输出的第二电压 V_2 ,以保证驱动晶体管T1开启,即 $V_{gs}<0$,使得 $V_{data}+V_{th4}-V_{ini}+V_1-V_2<0$,并工作于饱和区,此时驱动晶体管T1的电流为: $I_{ds}=1/2*K*(V_{gs}-V_{th})^2=1/2*K*(V_{data}+V_{th4}-V_{ini}+V_1-V_2-V_{th})^2$,其中,由于制备工艺的原因,第四晶体管M4与驱动晶体管T1的性质基本相同,因此可以认为 V_{th4} 等同于 V_{th} ,也就是说第四晶体管M4的阈值电压为驱动晶体管T1的等效阈值电压,由此可知驱动晶体管T1的阈值电压 V_{th} 不会影响其电流,也就是说不会影响有机电致发光器件D1发光的均匀性。

[0053] 而且,本实施例中所提供的像素电路中省略了发光控制线,因此不需要控制发光的时序,减少了像素的信号线条数,从而有利于提高显示装置的分辨率。

[0054] 如图5所示,该图是一个 V_{th} 补偿效果图,因为有机电致发光器件在低灰阶时对电流敏感度更大,因此评价像素电路补偿效果好坏,通过低灰阶时电流随 V_{th} 变化大小比率来进行判断补偿好坏。如果没有补偿的,电流随 V_{th} 变化差异性会到100%左右,因此该像素电路补偿效果较好。

[0055] 相应的,本实施例还提供了一种显示装置,其包括上述的显示面板,故其具有较高的分辨率,显示效果更好。

[0056] 实施例2:

[0057] 本实施例提供一种像素电路的驱动方法,该驱动方法可用于实施例1中的驱动实施例1中所述的像素电路。

[0058] 本实施例所提供的像素电路的驱动方法,具体包括如下步骤:

[0059] 复位阶段:为复位控制信号线输入的复位控制信号为选通信号,复位单元选通,将所述存储电容C1的第一端复位至初始化电压 V_{ini} 写入,将所述存储电容C1的第二端复位至所述电压输出单元VDD输出的第一电压 V_1 ;

[0060] 数据线Data写入阶段:为栅极线Gate输入的栅极扫描信号为选通信号,将数据电压 V_{data} 和驱动晶体管T1的等效阈值补偿电压写入存储电容C1的第一端;

[0061] 发光阶段:所述电压输出单元VDD输出第二电压 V_2 ,所述驱动晶体管T1导通,以驱动有机电致发光器件D1发光。

[0062] 下面结合如图3所示的像素电路,以及图4所示的图3的像素电路的工作时序图,对本实施例的像素电路的驱动方法具体说明。

[0063] 如图3所示的像素电路,其复位模块包括第一晶体管M1和第二晶体管M2,数据写入模块包括第三晶体管M3和第四晶体管M4,由于第四晶体管M4的性能和驱动晶体管T1的性能大致相同,因此第四晶体管M4的阈值电压则为驱动晶体管T1的等效阈值电压。

[0064] 复位阶段:为复位控制信号线输入的复位控制信号为低电平信号,第一晶体管M1和第二晶体管M2开启,此时由于第一晶体管M1的第一极的电压为初始化电压 V_{ini} ,因此存储电容C1的第一端的电位将被复位至初始化电压 V_{ini} ;而与此同时,电压输出单元VDD输出第一电压 V_1 (低电平信号),并传输给第二晶体管M2的第一极,因此存储电容C1的第二端的电位为第一电压 V_1 。同时由于电压输出单元VDD所输出的第一电压 V_1 还传输给驱动晶体管T1的第一极,由此可知驱动晶体管T1的第一极的电压和其控制极的电压相同,因此驱动晶

晶体管T1在该阶段处于关断状态,故将不会有电流流入有机电致发光器件D1,也就是所有机电致发光器件D1不发光。

[0065] 数据写入单元:为复位控制信号线输入的复位控制信号为高电平信号,第一晶体管M1和第二晶体管M2关断;栅极线Gate通过所输入的栅极扫描信号,即低电平信号被选通,第三晶体管M3开启,使得第四晶体管M4的第二极和控制极相连。可以理解的是,此时第四晶体管M4相当于一个二极管,此时存储电容C1的第一端的被充电至数据电压Vdata与第四晶体管M4的阈值电压Vth4之和,即 $V_{data}+V_{th4}$,由于二极管具有单向导通的特性,因此要确保 $V_{data}+V_{th4}>V_{ini}$ 。根据存储电容C1的自举原理,其两端的电压差应保持一致,故此时存储电容C1的第二端电位为存储电容C1的第二端的电压为数据电压Vdata加上第四晶体管M4的阈值电压Vth4减去初始化电压Vini再加上第一电压V1,即 $V_{data}+V_{th4}-V_{ini}+V_1$ 。而与此同时,由于电压输出单元VDD输出的电压仍为第一电压V1,因此驱动晶体管T1的第一极的电压仍为第一电压V1,此时驱动晶体管T1保持关断的状态。

[0066] 发光阶段:电压输出单元VDD输出的电压由第一电压V1变为第二电压V2(高电平信号)。由于存储电容C1的第二端的电位为 $V_{data}+V_{th4}-V_{ini}+V_1$,而驱动晶体管T1的第一极的电压为此时电压输出单元VDD输出的第二电压V2,以保证驱动晶体管T1开启,即 $V_{gs}<0$,使得 $V_{data}+V_{th4}-V_{ini}+V_1-V_2<0$,并工作于饱和区,此时驱动晶体管T1的电流为: $I_{ds}=1/2*K*(V_{gs}-V_{th})^2=1/2*K*(V_{data}+V_{th4}-V_{ini}+V_1-V_2-V_{th})^2$,其中,由于制备工艺的原因,第四晶体管M4与驱动晶体管T1的性质基本相同,因此可以认为Vth4等同于Vth,由此可知驱动晶体管T1的阈值电压Vth不会影响其电流,也就是说不会影响有机电致发光器件D1发光的均匀性。

[0067] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

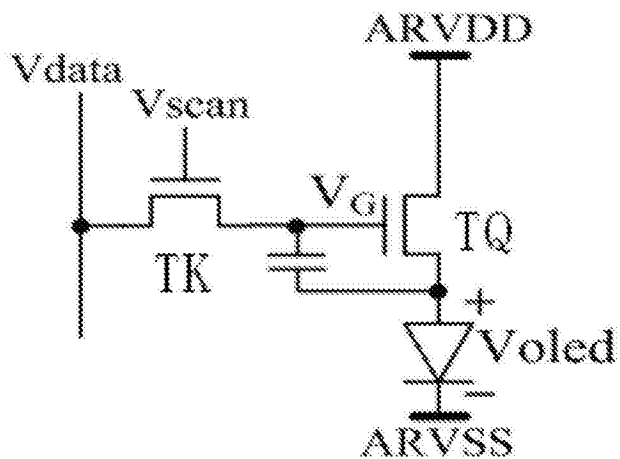


图1

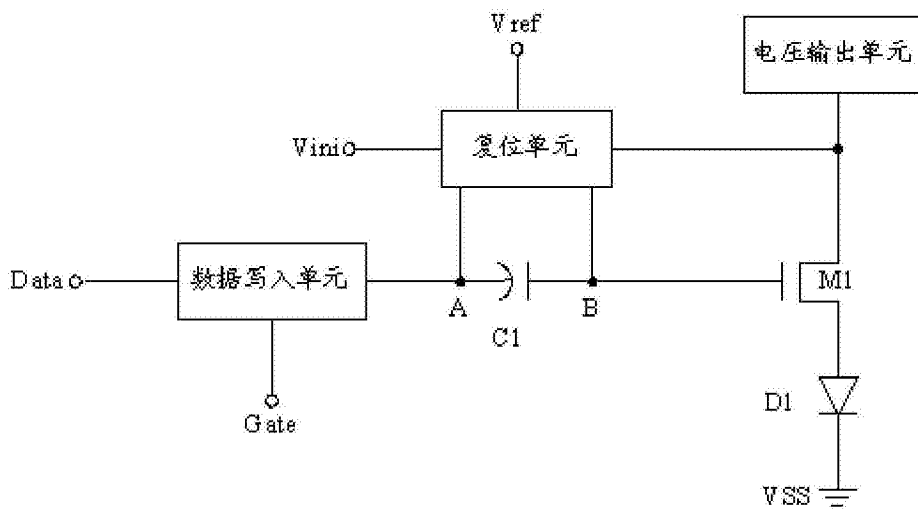


图2

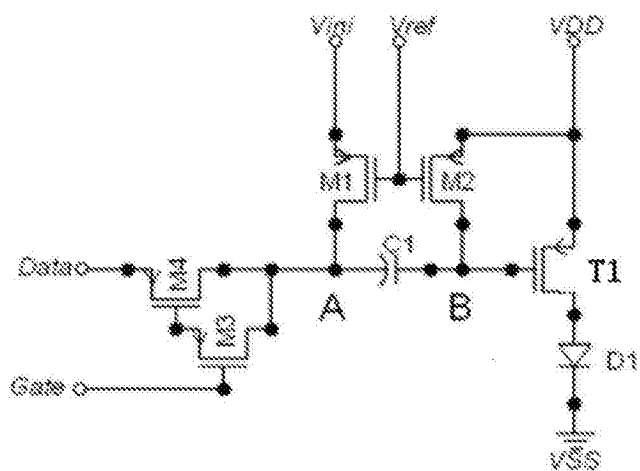


图3

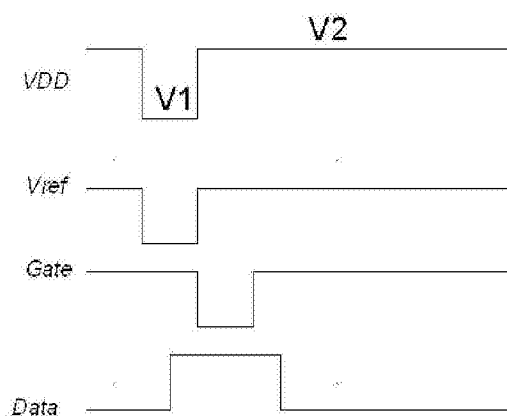


图4

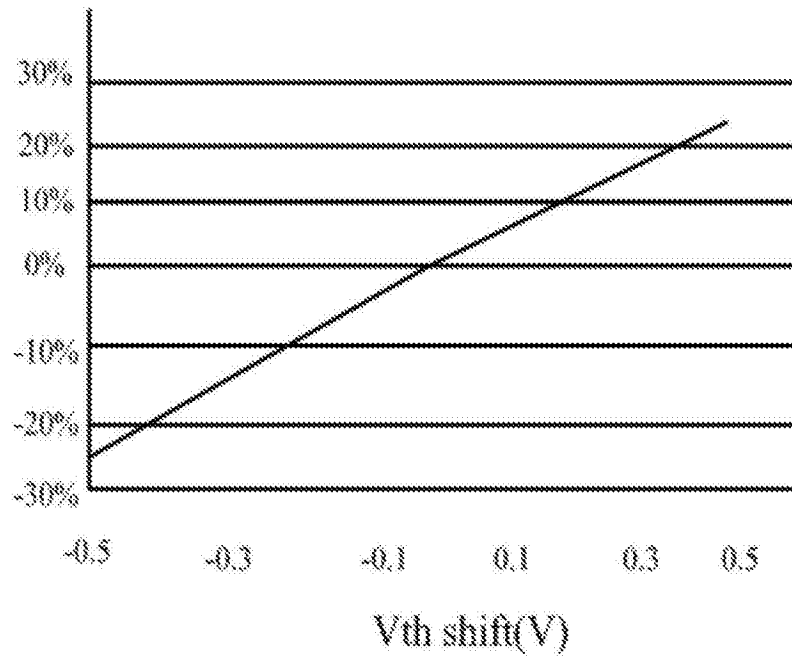


图5

专利名称(译)	像素驱动电路及其驱动方法、显示装置		
公开(公告)号	CN104680980B	公开(公告)日	2017-02-15
申请号	CN201510133658.4	申请日	2015-03-25
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	马占洁		
发明人	马占洁		
IPC分类号	G09G3/3258 G09G3/3291		
CPC分类号	G09G3/3258 G02F1/136213 G09G3/3233 G09G3/3291 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2300/0876 G09G2320/0266 G09G2320/045 G09G2340/0407		
代理人(译)	柴亮 张天舒		
审查员(译)	张辉		
其他公开文献	CN104680980A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种像素电路及其驱动方法、显示装置，属于显示技术领域。本发明的像素电路，其包括：驱动晶体管、存储电容、有机电致发光器件、复位单元、数据写入单元，以及电压输出单元；所述复位单元连接复位控制信号线、初始化信号线、数据写入单元、存储电容的两端、电压输出单元，以及驱动晶体管的第一极和控制极；所述驱动晶体管的第一极还连接电压输出单元，所述驱动晶体管的第二极连接有机电致发光器件的第一端，所述有机电致发光器件的第二端连接低电源电压；所述数据写入单元连接栅极线和数据线。本发明的像素电路应用于显示装置中可以实现高分辨率的设计。

