



(12) 实用新型专利

(10) 授权公告号 CN 205081121 U

(45) 授权公告日 2016. 03. 09

(21) 申请号 201520886146. 0

(ESM) 同样的发明创造已同日申请发明专利

(22) 申请日 2015. 11. 09

(30) 优先权数据

14/543, 088 2014. 11. 17 US

(73) 专利权人 苹果公司

地址 美国加利福尼亚

(72) 发明人 林敬伟 崔宰元 金民主 张世昌

蔡宗廷 V·古普塔 朴英培

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 欧阳帆

(51) Int. Cl.

H01L 27/32(2006. 01)

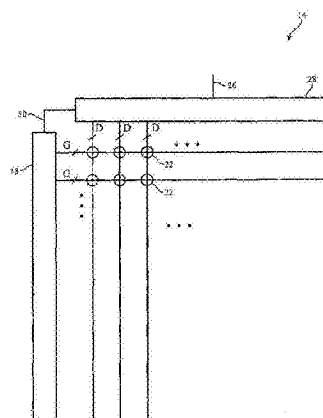
权利要求书3页 说明书11页 附图10页

(54) 实用新型名称

显示器

(57) 摘要

本公开涉及显示器。显示器包括：像素阵列，每个像素具有带有阳极和阴极的有机发光二极管且具有带有包括至少一个驱动晶体管和至少一个切换晶体管的薄膜晶体管电路；水平控制线，耦接到晶体管栅极且将控制信号供应给阵列中的像素行；与阵列中像素列关联的数据线；和与阵列中像素列关联的初始化电压线，切换晶体管将电压初始化线之一耦接到阳极，薄膜晶体管电路包括形成半导体沟道的半导体层、与其相邻的栅极绝缘体层、与其相邻且形成栅极的栅极层、形成源极-漏极端子的源极-漏极层、源极-漏极层上的电介质层、形成阳极的金属阳极层、置于电介质层与金属阳极层间的有机钝化层和不由金属阳极层部分形成且形成电压初始化线的附加金属层。



1. 一种显示器,其特征在于,包括:

像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;

水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;

数据线,与所述阵列中的像素列关联;以及

初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层。

2. 根据权利要求1所述的显示器,其特征在于,所述附加金属层置于所述电介质层与所述有机钝化层之间。

3. 根据权利要求2所述的显示器,其特征在于,还包括通孔,所述通孔穿过所述电介质层并且将所述附加金属层电连接到所述源极-漏极层。

4. 根据权利要求3所述的显示器,其特征在于,所述电介质层包括硅氮化物层。

5. 根据权利要求2所述的显示器,其特征在于,每个像素的所述薄膜晶体管电路包括电容器并且其中所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

6. 根据权利要求5所述的显示器,其特征在于,所述源极-漏极层具有形成用于每个像素中的所述电容器的附加电极的部分,并且其中所述电介质层置于所述附加金属层的所述被图案化以形成用于所述电容器的电极的部分与所述源极-漏极层的所述形成附加电极的部分之间。

7. 根据权利要求1所述的显示器,其特征在于,所述附加金属层具有在所述晶体管之下形成屏蔽层的部分。

8. 根据权利要求7所述的显示器,其特征在于,还包括在所述半导体层与所述附加金属层之间的缓冲层,其中每个像素的所述薄膜晶体管电路包括电容器并且其中所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

9. 根据权利要求8所述的显示器,其特征在于,所述栅极层具有形成用于每个像素中的所述电容器的附加电极的部分。

10. 根据权利要求8所述的显示器,其特征在于,所述半导体层具有形成用于每个像素中的所述电容器的附加电极的部分。

11. 根据权利要求1所述的显示器,其特征在于,所述附加金属层置于所述栅极层与所述源极-漏极层之间。

12. 根据权利要求10所述的显示器,其特征在于,还包括置于所述源极-漏极层与所述栅极层之间的第一层间电介质层和第二层间电介质层,其中所述附加金属层置于所述第一

层间电介质层和所述第二层间电介质层之间,其中每个像素的所述薄膜晶体管电路包括电容器,并且其中所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

13. 根据权利要求 12 所述的显示器,其特征在于,所述栅极层具有形成用于每个像素中的所述电容器的附加电极的部分。

14. 根据权利要求 12 所述的显示器,其特征在于,所述源极-漏极层具有形成用于每个像素中的所述电容器的附加电极的部分。

15. 根据权利要求 1 所述的显示器,其特征在于,还包括:

在所述晶体管之下的金属屏蔽层;

第一电介质缓冲层,其中所述第一电介质缓冲层置于所述金属屏蔽层与所述半导体层之间;以及

第二电介质缓冲层,其中所述第二电介质缓冲层置于所述附加金属层与所述金属屏蔽层之间。

16. 根据权利要求 1 所述的显示器,其特征在于,还包括:

在所述晶体管之下的金属屏蔽层;

第一电介质缓冲层,其中所述第一电介质缓冲层置于所述金属屏蔽层与所述半导体层之间;以及

第二电介质缓冲层,其中所述金属屏蔽层置于所述第一电介质缓冲层和所述第二电介质缓冲层之间,并且其中所述附加金属层置于所述第一电介质缓冲层与所述栅极绝缘体层之间。

17. 根据权利要求 1 所述的显示器,其特征在于,还包括:

在所述源极-漏极层与所述栅极层之间的层间电介质层,其中所述附加金属层置于所述层间电介质层与所述栅极绝缘体层之间并且由所述栅极层的一部分形成。

18. 根据权利要求 1 所述的显示器,其特征在于,所述附加金属层由所述源极-漏极层的一部分形成。

19. 一种显示器,其特征在于,包括:

像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;

水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;

数据线,与所述阵列中的像素列关联;以及

初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层,并且其中所述附加金属层具有在所述晶体管之下形成屏蔽层的

部分,所述屏蔽层与所述初始化电压线分离。

20. 一种显示器,其特征在于,包括:

像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;

水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;

数据线,与所述阵列中的像素列关联;以及

初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层,其中所述附加金属层置于所述栅极层与所述源极-漏极层之间,并且其中所述附加金属层置于第一无机电介质层和第二无机电介质层之间。

显示器

技术领域

[0001] 本实用新型一般涉及显示器,并且,更特别地涉及有机发光二极管显示器。

背景技术

[0002] 电子设备经常包括显示器。有机发光二极管显示器可以表现出期望的属性,诸如广视场、紧凑的尺寸以及低功率消耗。

[0003] 有机发光二极管显示器具有像素阵列。每个像素可以包含有机发光二极管和控制流过有机发光二极管的电流的薄膜晶体管电路。存储电容器可以被用来存储连续的图像帧之间的数据。

[0004] 形成有机发光二极管显示器可能是挑战性的。如果不小心处理,形成用于控制像素的薄膜晶体管电路的结构可能耗费比期望更多的面积,由此限制每个像素的发光面积的量(即,限制像素的开口率(aperture ratio))。还可能难以在像素内不耗费比期望更多的面积的情况下形成存储电容器。

[0005] 因此会期望的是,能够形成具有提高的开口率和存储电容器结构的有机发光二极管显示器。

实用新型内容

[0006] 有机发光二极管显示器可以具有像素的阵列。每个像素可以具有有机发光二极管,该有机发光二极管具有阳极和阴极。阳极可以由图案化的金属层形成。

[0007] 像素中的薄膜晶体管电路可以包括晶体管,诸如驱动晶体管和切换晶体管。数据线可以将数据信号供应给像素并且水平控制线可以将控制信号供应给晶体管的栅极。电压初始化线可以被用来将电压分配给像素列以在阈值电压补偿操作期间使用。

[0008] 切换晶体管可以被耦接在电压初始化线与每个阳极之间。可以使用与形成阳极的金属层不同的金属层来形成薄膜晶体管电路中的电容器结构和电压初始化线。

[0009] 根据一个实施例,提供了一种显示器,包括:像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;数据线,与所述阵列中的像素列关联;以及初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层。

[0010] 根据一个实施例,其中所述附加金属层置于所述电介质层与所述有机钝化层之间。

[0011] 根据一个实施例,所述显示器还包括通孔,所述通孔穿过所述电介质层并且将所述附加金属层电连接到所述源极-漏极层。

[0012] 根据一个实施例,其中所述电介质层包括硅氮化物层。

[0013] 根据一个实施例,其中每个像素的所述薄膜晶体管电路包括电容器并且其中所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

[0014] 根据一个实施例,其中所述源极-漏极层具有形成用于每个像素中的所述电容器的附加电极的部分,并且其中所述电介质层置于所述附加金属层的所述被图案化以形成用于所述电容器的电极的部分与所述源极-漏极层的所述形成附加电极的部分之间。

[0015] 根据一个实施例,其中所述附加金属层具有在所述晶体管之下形成屏蔽层的部分。

[0016] 根据一个实施例,所述显示器还包括在所述半导体层与所述附加金属层之间的缓冲层,其中每个像素的所述薄膜晶体管电路包括电容器并且其中所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

[0017] 根据一个实施例,其中所述栅极层具有形成用于每个像素中的所述电容器的附加电极的部分。

[0018] 根据一个实施例,其中所述半导体层具有形成用于每个像素中的所述电容器的附加电极的部分。

[0019] 根据一个实施例,其中所述附加金属层置于所述栅极层与所述源极-漏极层之间。

[0020] 根据一个实施例,所述显示器还包括置于所述源极-漏极层与所述栅极层之间的第一层间电介质层和第二层间电介质层,其中所述附加金属层置于所述第一层间电介质层和所述第二层间电介质层之间,其中每个像素的所述薄膜晶体管电路包括电容器,并且其中所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

[0021] 根据一个实施例,其中所述栅极层具有形成用于每个像素中的所述电容器的附加电极的部分。

[0022] 根据一个实施例,其中所述源极-漏极层具有形成用于每个像素中的所述电容器的附加电极的部分。

[0023] 根据一个实施例,所述显示器还包括:在所述晶体管之下的金属屏蔽层;第一电介质缓冲层,其中所述第一电介质缓冲层置于所述金属屏蔽层与所述半导体层之间;以及第二电介质缓冲层,其中所述第二电介质缓冲层置于所述附加金属层与所述金属屏蔽层之间。

[0024] 根据一个实施例,所述显示器还包括:在所述晶体管之下的金属屏蔽层;第一电介质缓冲层,其中所述第一电介质缓冲层置于所述金属屏蔽层与所述半导体层之间;以及第二电介质缓冲层,其中所述金属屏蔽层置于所述第一电介质缓冲层和所述第二电介质缓冲层之间,并且其中所述附加金属层置于所述第一电介质缓冲层与所述栅极绝缘体层之间。

[0025] 根据一个实施例,所述显示器还包括:在所述源极-漏极层与所述栅极层之间的

层间电介质层,其中所述附加金属层置于所述层间电介质层与所述栅极绝缘体层之间并且由所述栅极层的一部分形成。

[0026] 根据一个实施例,其中所述附加金属层由所述源极-漏极层的一部分形成。

[0027] 根据一个实施例,提供了一种显示器,包括:像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;数据线,与所述阵列中的像素列关联;以及初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层,并且其中所述附加金属层具有在所述晶体管之下形成屏蔽层的部分,所述屏蔽层与所述初始化电压线分离。

[0028] 根据一个实施例,提供了一种显示器,包括:像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;数据线,与所述阵列中的像素列关联;以及初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层,其中所述附加金属层置于所述栅极层与所述源极-漏极层之间,并且其中所述附加金属层置于第一无机电介质层和第二无机电介质层之间。

附图说明

[0029] 图1是根据一个实施例的具有显示器的示例性电子设备的图。

[0030] 图2是根据一个实施例的示例性显示器的图。

[0031] 图3是根据一个实施例的示例性有机发光二极管像素电路的图。

[0032] 图4是根据一个实施例的有机发光二极管和关联的薄膜结构的截面的侧视图,其中金属层置于第一和第二缓冲层之间。

[0033] 图5是根据一个实施例的有机发光二极管和关联的薄膜结构的截面的侧视图,其中诸如初始化电压路径之类的信号路径已经由金属屏蔽层的一部分形成。

[0034] 图 6 是根据一个实施例的有机发光二极管和关联的薄膜结构的截面的侧视图,其中诸如电压初始化路径之类的信号路径已经由置于栅极绝缘体层与缓冲层之间的金属层形成。

[0035] 图 7 是根据一个实施例的有机发光二极管和关联的薄膜结构的截面的侧视图,其中诸如电压初始化路径之类的信号路径已经由栅极金属层的一部分形成。

[0036] 图 8 是根据一个实施例的有机发光二极管和关联的薄膜结构的截面的侧视图,其中位于第一和第二层间电介质层之间的金属层被用于形成初始化电压路径。

[0037] 图 9 是根据一个实施例的有机发光二极管和关联的薄膜结构的截面的侧视图,其中由源极-漏极金属层的一部分形成的金属层被用于形成初始化电压路径。

[0038] 图 10 是根据一个实施例的有机发光二极管和关联的薄膜结构的截面的侧视图,其中位于源极-漏极金属层上方且在阳极层下方的金属层被用于形成初始化电压路径。

具体实施方式

[0039] 本申请要求 2014 年 11 月 17 日提交的美国专利申请 No. 14/543,088 的优先权,其整体通过参考被并入于此。

[0040] 图 1 中示出了可以设置有有机发光二极管显示器的类型的示例性电子设备。如图 1 所示,电子设备 10 可以具有控制电路 16。控制电路 16 可以包括用于支持设备 10 的操作的存储和处理电路。存储和处理电路可以包括存储器,诸如硬盘驱动存储器、非易失性存储器(例如,闪存存储器或者被配置为形成固态驱动的其它可电编程的只读存储器)、易失性存储器(例如,静态的或者动态的随机存取存储器)等。控制电路 16 中的处理电路可以被用来控制设备 10 的操作。处理电路可以基于一个或多个微处理器、微控制器、数字信号处理器、基带处理器、功率管理单元、音频芯片、专用集成电路等。

[0041] 设备 10 中的输入-输出电路(诸如输入-输出设备 12)可以被用来允许将数据供应给设备 10 并且允许将数据从设备 10 提供给外部设备。输入-输出设备 12 可以包括按钮、操纵杆、滚轮、触摸板、按键片、键盘、麦克风、扬声器、音频发生器、振动器、照相机、传感器、发光二极管和其它状态指示器、数据端口等。用户可以通过经由输入-输出设备 12 供应命令而控制设备 10 的操作并且可以使用输入-输出设备 12 的输出资源从设备 10 接收状态信息和其它输出。

[0042] 输入-输出设备 12 可以包括一个或多个显示器,诸如显示器 14。显示器 14 可以是包括用于收集来自用户的触摸输入的触摸传感器的触摸屏显示器,或者显示器 14 可以对触摸不敏感。用于显示器 14 的触摸传感器可以基于电容性的触摸传感器电极的阵列、声学的触摸传感器结构、电阻性的触摸组件、基于力的触摸传感器结构、基于光的触摸传感器或者其它合适的触摸传感器布置。

[0043] 控制电路 16 可以被用来在设备 10 上运行软件,诸如操作系统代码和应用程序。在设备 10 的操作期间,在控制电路 16 上运行的软件可以在显示器 14 上显示图像。

[0044] 显示器 14 可以是有机发光二极管显示器。图 2 是示例性有机发光二极管显示器的图。如图 2 所示,显示器 14 可以具有用于为用户显示图像的像素 22 的阵列。像素 22 的阵列可以被布置为形成行和列。在像素 22 的阵列中可以存在任何合适数量的行和列(例如,十或更多、一百或更多、或者一千或更多)。每个像素 22 都可以包含不同颜色的子像素。

作为一个例子,每个像素 22 可以具有发射红光的红色子像素、发射绿光的绿色子像素以及发射蓝光的蓝色子像素。如果需要,可以使用包括其它颜色的子像素的用于显示器 14 的配置。

[0045] 显示驱动器电路可以被用来控制像素 22 的操作。显示驱动器电路可以由集成电路、薄膜晶体管电路或者其它合适的电路形成。图 2 的显示驱动器电路 28 可以包含用于经由路径 26 而与系统控制电路(诸如图 1 的控制电路 16)通信的通信电路。路径 26 可以由柔性印制电路上的迹线或其它线缆形成。在操作期间,控制电路(例如,图 1 的控制电路 16)可以将关于要在显示器 14 上显示的图像的信息供应给电路 28。

[0046] 为了在显示像素 22 上显示图像,显示驱动器电路 28 可以将图像数据供应给数据线 D,而同时经由路径 50 将时钟信号和其它控制信号发给诸如栅极驱动器电路 18 之类的支持显示驱动器电路。如果需要,电路 28 还可以将时钟信号和其它控制信号供应给在显示器 14 的相对边缘上的栅极驱动器电路。

[0047] 栅极驱动器电路 18(有时被称为水平控制线控制电路)可以被实现为集成电路的一部分和/或可以使用薄膜晶体管电路来实现。显示器 14 中的水平控制线 G 可以是栅极线信号(扫描线信号)、发射启用控制信号以及用于控制每一行的像素的其它水平控制信号。对于每行像素 22 可以存在任何合适数量的水平控制信号(例如,一个或更多个、两个或更多个、三个或更多个、四个或更多个等)。

[0048] 像素 22 的每一列优选地包括足够数量的数据线,以便供应用于该列的所有子像素的图像数据(例如,用于携带给红色子像素的红色数据信号的红色数据线、用于携带给绿色子像素的绿色数据信号的绿色数据线以及用于携带给蓝色子像素的蓝色数据信号的蓝色数据线)。

[0049] 用于每个子像素的电路可以包括有机发光二极管、控制流过二极管的电流的驱动晶体管以及支持晶体管(例如,切换晶体管和发射启用控制晶体管)。在为驱动晶体管执行数据加载操作和阈值电压补偿操作中可以使用支持晶体管。每个子像素可以具有一个或更多个电容器。存储电容器可以被用来存储数据的连续帧之间的数据信号。

[0050] 图 3 中示出了用于有机发光二极管子像素(像素)的示例性的电路的示意图。如图 3 所示,每个子像素 22SUB 可以包括有机发光二极管,诸如有机发光二极管 38。发光二极管 38 可以发射有色光。例如,在其中子像素 22SUB 是红色子像素的情形中,有机发光二极管 38 可以发射红光。蓝色子像素可以具有发射蓝光的蓝色二极管 38 并且绿色子像素可以具有发射绿光的绿色二极管 38。还可以使用其中子像素 22SUB 具有不同颜色(黄色、白色、浅蓝色、深蓝色等)的像素 22 的布置。

[0051] 在每个子像素 22SUB 中,驱动晶体管 TD 的状态控制流过二极管 38 的驱动电流 I_D 的量、且因此从子像素 22SUB 所发射的光 40 的量。每个二极管 38 具有阳极 A 和阴极 CD。驱动电流 I_D 在阳极 A 和阴极 CD 之间流动。二极管 38 的阴极 CD 耦接到接地端子 36,因此二极管 38 的阴极端子 CD 有时可以被称为二极管 38 的接地端子。可以在多个二极管之间共享阴极 CD(即,多个二极管的阴极 CD 可以被束缚到共享电压)。每个阳极 A 由各自的驱动晶体管 TD 分别地驱动。

[0052] 为了确保在数据的连续帧之间晶体管 38 保持在期望状态,子像素 22SUB 可以包括存储电容器,诸如存储电容器 Cst1。存储电容器 Cst1 上的电压在节点 ND2 处被施加到晶体

管 TD 的栅极以便控制晶体管 TD (即, 以便控制驱动电流 I_D 的幅度)。

[0053] 可以使用一个或更多个切换晶体管将数据加载到存储电容器 Cst1 中。一个或更多个发射启用晶体管可以被用于控制通过驱动晶体管 TD 的电流流动。在图 3 的例子中, 扫描信号 SCAN1 和 SCAN2 被施加到切换晶体管 TS1 和 TS2 的栅极。在阈值电压补偿操作和数据加载操作期间 SCAN1 和 SCAN2 信号被用于控制晶体管 TS1 和 TS2。发射控制信号 EM 被用来控制发射启用晶体管 TE (例如, 用于在阈值电压补偿和数据加载操作期间禁用晶体管 TD)。

[0054] 显示驱动器电路 28 可以使用每个列中的垂直初始化电压线将初始化电压供应给像素列。如图 3 所示, 初始化电压线 Vini 可以被用来在阈值电压补偿操作期间经由晶体管 TS2 将初始化电压 (即, 直流偏置电压 Vini) 供应给端子 ND3。显示驱动器电路 38 可以使用数据线 D 来在阈值电压补偿操作期间将参考电压 Vref 供应给子像素 22SUB。子像素 22SUB 可以接收正电源电压 (诸如 V_{DD}) 和地电源电压 (诸如 V_{SS})。稳定电容器 Cst2 可以被用来在阈值电压补偿操作期间帮助稳定节点 ND3。

[0055] 使用图 3 中示出的类型的像素电路, 每个子像素 (像素) 22SUB 可以被补偿像素之间的变化, 诸如驱动晶体管 TD 中的晶体管阈值电压变化。补偿操作可以在包括初始化阶段和阈值电压产生阶段的补偿时段期间被执行。继补偿之后 (即, 在已经完成补偿时段的补偿操作之后), 可以将数据加载到像素中。可以在编程时段期间发生数据加载处理, 其有时被称为数据编程。在彩色显示器中, 编程可以包含多路分解数据并且将多路分解后的数据加载到红色、绿色以及蓝色子像素 22SUB 中 (作为一个例子)。继补偿和编程之后 (即, 在补偿和编程时段告终之后), 该行像素可以被用来发光。其间像素正在用于发射光的时间段 (即, 在其间发光二极管 38 发射光 40 的时间段) 有时被称为发射时段。

[0056] 在初始化阶段期间, 电路 18 可以断言 (assert) SCAN1 和 SCAN2 (即, SCAN1 和 SCAN2 可以被设为高)。这使晶体管 TS1 和 TS2 导通, 使得来自线 D 的参考电压信号 Vref 和来自初始化电压线的初始化电压信号 Vini 分别被施加到节点 ND2 和 ND3。在补偿时段的阈值电压产生阶段期间, 信号 EM 被断言使得晶体管 TE 被导通并且电流 I_D 流过驱动晶体管 TD 以便在节点 ND3 处给电容充电。随着节点 ND3 处的电压增大, 通过驱动晶体管 TD 的电流将减少, 因为驱动晶体管 TD 的栅极-源极电压 V_{gs} 将接近驱动晶体管 TD 的阈值电压 V_t 。节点 ND3 处的电压因此将变为 $V_{ref}-V_t$ 。在补偿之后 (即, 在初始化和阈值电压产生之后), 数据被编程到经补偿的显示像素中。在编程期间, 通过去断言信号 EM 使发射晶体管 TE 截止并且使用数据线 D 将期望的数据电压 D 施加到节点 ND2。编程之后的节点 ND2 处的电压是显示数据电压 Vdata。节点 ND3 处的电压由于与节点 ND2 耦合而升高。特别地, 节点 ND3 处的电压成为 $V_{ref}-V_t+(V_{data}-V_{ref})*K$, 其中 K 等于 $C_{st1}/(C_{st1}+C_{st2}+C_{oled})$, 其中 C_{oled} 是与二极管 38 关联的电容。

[0057] 在已经完成补偿和编程操作之后, 显示器 14 的显示驱动器电路将经补偿和编程的像素置于发射模式 (即, 发射时段开始)。在发射期间, 对于每个经补偿和编程的子像素断言信号 EM, 以便使晶体管 TE 导通。节点 ND3 处的电压变为 V_{oled} , 与二极管 38 关联的电压。节点 ND2 处的电压变为 $V_{data}+(V_{oled}-(V_{ref}-V_t)-(V_{data}-V_{ref}))*K$ 。对于驱动晶体管 TD 的 $V_{gs}-V_t$ 的值等于节点 ND2 的电压 V_a 与节点 ND3 的电压 V_b 之间的差。 V_a-V_b 的值为 $(V_{data}-V_{ref})*(1-K)$, 其与 V_t 无关。因此, 已经针对阈值电压变化而补偿了显示器 14 中的

像素阵列中的每个子像素 22SUB,使得每个子像素 22SUB 发射的光 40 的量仅与用于那些子像素中的每一个的数据信号 D 的幅度成比例。

[0058] 图 3 的示例性的像素电路使用四个晶体管和两个电容器并且因此可以有时被称为 4T2C 设计。如果需要,可以在显示器 14 中使用其它像素电路(例如,6T1C 设计等)。图 3 的配置仅仅是示例性的。

[0059] 有机发光二极管像素(诸如图 3 的子像素 22SUB)可以使用图 4 中示出的类型的薄膜晶体管结构。如图 4 所示,像素电路 72 可以包括像素结构,诸如发光二极管阴极层 42(例如,形成图 3 的阴极端子 CD 的透明的导电层,诸如氧化铟锡层)以及发光二极管阳极层 44(例如,形成图 3 的阳极端子 A 的图案化的金属层)。有机发光二极管发射材料 47 可以置于阴极 42 与阳极 44 之间,由此形成发光二极管 38。

[0060] 电介质层 46 可以具有用来限定用于每个子像素的发光二极管的布局的开口(例如,发射材料 47 相对于阳极 44 的对准),并且有时可以被称为像素限定层。平坦化层 50(例如,有机聚合物层)可以被形成在薄膜晶体管结构 52 之上。薄膜晶体管结构 52 可以被形成在衬底 24 上。衬底 24 可以是刚性的或柔性的并且可以由玻璃、陶瓷、晶体材料(诸如蓝宝石)、聚合物(例如,聚酰亚胺的柔性层或其它聚合物材料的柔性片材)等形成。

[0061] 薄膜晶体管结构 52 可以包括硅晶体管(诸如硅晶体管)或由其它半导体(例如,半导电的氧化物,诸如氧化铟镓锌)形成的薄膜晶体管。在图 4 的示例性的配置中,电路 72 包括切换晶体管 200 和驱动晶体管 TD,其具有由多晶硅半导体层 62 形成的半导电的沟道区 64。

[0062] 由半导体层 62 形成的沟道区可以被栅极绝缘体层 64(例如,硅氧化物层或其它无机层)覆盖。晶体管栅极 66 可以由诸如图案化的金属层(例如,钼,作为一个例子)之类的栅极层形成。栅极 66 可以被层间电介质层(例如,硅氧化物层 68、硅氮化物层 70、和/或其它氧化物和氮化物层或者其它有机层或无机层)覆盖。源极-漏极层 74 可以是被图案化以形成用于电路 72 中的晶体管(诸如晶体管 200 和 TD)的晶体管源极-漏极端子的金属层。每个晶体管可以具有与该晶体管的沟道 62 的相对侧连接的一对源极-漏极端子。

[0063] 电路 72 还可以包括电容器结构,诸如图 3 的电容器 Cst1 和 Cst2。电容器结构可以具有由电路 72 中的导电层形成的电极。电极可以被居间的电介质层(例如,图 4 的电介质层中的一个或多个)分离。

[0064] 无机钝化层(诸如钝化层 106)可以被置于聚合物(有机)钝化层 50 与源极-漏极层 74(和电介质层 70)之间。层 106 可以由硅氮化物或者其它电介质形成。

[0065] 缓冲层 122 可以被形成在衬底 24 上。缓冲层 122 可以由一层或更多层无机电介质材料或者其它电介质形成。作为一个例子,缓冲层 122 可以包括在衬底 24 上的下部缓冲层 122-1 和在层 122-1 上的上部缓冲层 122-2。层 122-1 和 122-2 可以由硅氧化物、硅氮化物、氧氮化物或者其它电介质材料形成。层 122 可以有助于阻挡来自衬底 24 的杂质(例如,玻璃杂质)并且由此防止这些杂质使薄膜晶体管电路 52 的薄膜晶体管的性能劣化。

[0066] 可以在薄膜晶体管(例如,图 4 的例子中的晶体管 200 和 TD)之下形成背侧金属层 118,以用作为晶体管屏蔽缓冲层 122 中的电荷的屏蔽层。缓冲层 120 可以被形成在屏蔽层 118 之上并且可以由电介质(例如,有机或无机层)形成。

[0067] 为了帮助提高显示器 14 的像素的开口率,阳极层 44 可以被专门地或几乎专门地

用于形成阳极 A。利用此类方法,用于显示器 14 的附加信号路径(诸如显示器 14 中的 Vini 线)可以使用其它金属层的部分形成并且不必由阳极层的金属形成。

[0068] 在图 4 的例子中,例如,电路 72 已经设置有附加金属层 202。金属层 202 被置于下部缓冲层 122-1 和上部缓冲层 122-2 之间并且是与用于形成显示器 14 中的阳极的材料层不同的材料层。因为层 202 不被形成在与阳极层 44 相同的材料层中,所以阳极层 44 中有额外的空间可用于形成有机发光二极管 38。这允许开口(诸如像素限定层 46 中的开口 204)的尺寸和由阳极层 44 形成的阳极 A 的横向尺寸被增大,而没有在阳极 A 与初始化电压线之间创建不期望的短路路径或其它信号路径的风险。开口 204 的增大的尺寸以及关联的二极管 38 中的阳极和发射层材料 47 的增大的尺寸增大了像素开口率(例如,显示器 14 中的子像素 22SUB(诸如蓝色子像素和可能地其它子像素)可以具有提高的阳极尺寸和发射层尺寸,并且因此在给定像素区域中可以比否则可能的情形发射更多的光)。

[0069] 如果需要,可以使用图 4 的导电层形成用于像素 22 的电容器(参见,例如图 3 的 Cst1 和 Cst2)。作为一个例子,可以使用诸如层 202 之类的金属层的部分形成电容器电极。还可以使用半导体层 62 和 / 或栅极层 66 形成电容器电极。在一些电容器设计中,电容器具有由电介质层分隔的上电极和下电极。在其它电容器设计中,电容器具有由第一和第二分别居间的电介质层分隔的第一、第二和第三堆叠的电极。电容器中的电介质层可以包括一个或更多个子层。在图 4 中示出的类型的布置中,用于电容器的电介质层可以由诸如层 122-2、120 和 64 之类的层形成。例如,电容器可以具有由被电介质 122-2 和 120 分隔的层 202 和 62 形成的电极。作为另一个例子,电容器可以具有由被电介质 122-2、120 和 64 分隔的层 202 和 66 形成的电极。如果需要,其它电容器布置可以被使用。这些电极和电介质层配置仅仅是示例性的。

[0070] 在图 5 的示例性的配置中,金属屏蔽层 118 的部分 118' 已经被图案化以形成分离的导电结构。由层 118 的部分 118' 形成的分离的导电结构可以例如被用来形成初始化电压线 Vini。

[0071] 如图 5 所示,可以使用通孔 210 将层 118' 短路到源极 - 漏极层 74。单个通孔 210 可以穿过居间的电介质层以便将层 74 直接连接到层 118', 或者如图 5 所示,栅极金属层 66 的部分 66' 可以被用于将层 74 和 118' 耦接在一起(例如,使得可使用两个较短通孔 210 来代替一个较高的通孔)。

[0072] 图 5 的结构可以被用于形成电容器,诸如电容器 Cst1 和 Cst2。例如,可以使用层 118' 的部分形成电容器电极。还可以使用半导体层 62 和 / 或栅极层 66 形成电容器电极。用于电容器的电介质层可以由诸如层 120 和 64 之类的层形成。例如,电容器可以具有由被电介质 120 分隔的层 118' 和 62 形成的电极,和 / 或电容器可以具有由被电介质 120 和 64 分隔的层 118' 和 66 形成的电极(作为例子)。

[0073] 在图 6 的示例性的配置中,金属层 212 已经被用于形成用于显示器 14 的导电结构。例如,可以使用层 212 来形成诸如电压初始化线 Vini 之类的信号路径。如图 6 所示,金属层 212 可以置于缓冲层 122-2 与栅极绝缘体层 64 之间。通孔(诸如通孔 214)可以被用来将层 212 电耦接到其它层(诸如金属源极 - 漏极层 74)(例如,通孔 214 可以在层 212 和源极 - 漏极层 74 之间直接连接)。金属层 212 可以位于电路 72 的与半导体层 62 相同的层中。可以在完成层 62 的图案化和掺杂之后使金属层 212 图案化。

[0074] 图 6 的结构可以被用于形成电容器, 诸如电容器 Cst1 和 Cst2。例如, 可以使用层 212 的部分形成电容器电极。还可以使用金属层 (诸如栅极层 66) 形成电容器电极。电容器例如可以具有由被电介质 64 分隔的层 212 和 66 形成的电极 (作为一个例子)。

[0075] 在图 7 的示例性的配置中, 用于显示器 14 的导电结构 (诸如电压初始化线 Vini) 已经由栅极层 66 的一部分 (诸如部分 66') 形成。如图 7 所示, 金属栅极层 66' 可以置于电介质层 64 和电介质层 68 之间。通孔 216 可以穿过电介质层 68 和 70 并且可以将栅极层 66' 连接到源极 - 漏极层 74。

[0076] 图 7 的结构可以被用于形成电容器, 诸如电容器 Cst1 和 Cst2。例如, 栅极金属层的部分可以用于形成电容器电极, 有源的半导体层 62 可以形成电容器电极, 并且电介质层 64 可以置于这些电极之间 (作为一个例子)。

[0077] 在图 8 的示例性的配置中, 用于显示器 14 的导电结构 (诸如电压初始化线 Vini) 已经由金属层 218 形成。金属层 218 可以置于电介质层 68 和 70 之间并且可以通过穿过层 70 的通孔 220 而电连接到源极 - 漏极层 74。

[0078] 层 218 可以被用于形成用于电路 72 的电容器, 诸如电容器 Cst1 和 Cst2。例如, 层 218 可以形成电容器电极并且来自栅极金属层 66 的金属可以形成电容器电极。由层 218 和 66 形成的电极可以被居间的电介质层 68 分隔。还可以使用层 218 的部分和源极 - 漏极层 74 的部分作为被居间的电介质层 70 分隔的电极, 来形成电容器。

[0079] 在图 9 的示例性的配置中, 用于显示器 14 的导电结构 (诸如电压初始化线 Vini) 已经由源极 - 漏极金属层 74 的部分 74' 形成。

[0080] 如果需要, 源极 - 漏极层 74 的部分 (诸如部分 74') 可以被用于形成用于电路 72 的电容器, 诸如电容器 Cst1 和 Cst2。例如, 层 74' 可以形成电容器电极并且来自栅极金属层 66 的金属可以形成电容器电极。由层 74' 和层 66 形成的电极可以被居间的层间电介质层 68 和 70 分隔。

[0081] 在图 10 的示例性的配置中, 用于显示器 14 的导电结构 (诸如电压初始化线 Vini) 已经由金属层 222 形成。金属层 222 可以置于电介质层 50 和 106 之间。通孔 (诸如通孔 224) 可以穿过层 106 以便将层 222 电耦接到源极 - 漏极层 74。如果需要, 层 222 的部分可以被用于形成用于电路 72 的电容器, 诸如电容器 Cst1 和 Cst2。例如, 层 222 可以形成电容器电极并且来自源极 - 漏极层 74 的金属可以形成电容器电极。由层 74 和 222 形成的电极可以被居间的电介质层 106 分隔。

[0082] 根据一个实施例, 提供一种显示器, 包括: 像素的阵列, 其中每个像素具有有机发光二极管, 所述有机发光二极管具有阳极和阴极, 并且每个像素具有薄膜晶体管电路, 所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管; 水平控制线, 耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行; 数据线, 与所述阵列中的像素列关联; 以及初始化电压线, 与所述阵列中的像素列关联, 其中在每个像素中, 所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极, 其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极 - 漏极端子的源极 - 漏极层、在所述源极 - 漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电

介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层。

[0083] 根据另一个实施例,所述附加金属层置于电介质层与有机钝化层之间。

[0084] 根据另一个实施例,所述显示器包括通孔,所述通孔穿过所述电介质层并且将所述附加金属层电连接到所述源极-漏极层。

[0085] 根据另一个实施例,所述电介质层包括硅氮化物层。

[0086] 根据另一个实施例,每个像素的所述薄膜晶体管电路包括电容器并且所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

[0087] 根据另一个实施例,所述源极-漏极层具有形成用于每个像素中的所述电容器的附加电极的部分,并且所述电介质层置于所述附加金属层的被图案化以形成用于所述电容器的所述电极的所述部分与所述源极-漏极层的形成所述附加电极的所述部分之间。

[0088] 根据另一个实施例,所述显示器包括置于源极-漏极层与栅极层之间的层间电介质。

[0089] 根据另一个实施例,所述附加金属层具有在所述晶体管之下形成屏蔽层的部分。

[0090] 根据另一个实施例,所述显示器包括置于半导体层与附加金属层之间的缓冲层。

[0091] 根据另一个实施例,每个像素的所述薄膜晶体管电路包括电容器并且所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

[0092] 根据另一个实施例,所述栅极层具有形成用于每个像素中的电容器的附加电极的部分。

[0093] 根据另一个实施例,所述半导体层具有形成用于每个像素中的电容器的附加电极的部分。

[0094] 根据另一个实施例,所述附加金属层置于栅极层与源极-漏极层之间。

[0095] 根据另一个实施例,所述显示器包括置于源极-漏极层与栅极层之间的第一和第二层间电介质层,附加金属层置于第一和第二层间电介质层之间。

[0096] 根据另一个实施例,每个像素的所述薄膜晶体管电路包括电容器并且所述附加金属层具有被图案化以形成用于所述电容器的电极的部分。

[0097] 根据另一个实施例,所述栅极层具有形成用于每个像素中的电容器的附加电极的部分。

[0098] 根据另一个实施例,所述源极-漏极层具有形成用于每个像素中的电容器的附加电极的部分。

[0099] 根据另一个实施例,所述显示器包括在所述晶体管之下的金属屏蔽层、第一电介质缓冲层以及第二电介质缓冲层,第一电介质缓冲层置于金属屏蔽层与半导体层之间,第二电介质缓冲层置于附加金属层与金属屏蔽层之间。

[0100] 根据另一个实施例,所述显示器包括在所述晶体管之下的金属屏蔽层、第一电介质缓冲层以及第二电介质缓冲层,第一电介质缓冲层置于金属屏蔽层与半导体层之间,金属屏蔽层置于第一和第二电介质缓冲层之间,并且所述附加金属层置于第一电介质缓冲层与栅极绝缘体层之间。

[0101] 根据另一个实施例,所述显示器包括在源极-漏极层与栅极层之间的层间电介质层,附加金属层置于层间电介质层与栅极绝缘体层之间并且由栅极层的一部分形成。

[0102] 根据另一个实施例,附加金属层由源极-漏极层的一部分形成。

[0103] 根据一个实施例,提供一种显示器,包括:像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;数据线,与所述阵列中的像素列关联;以及初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层,并且其中所述附加金属层具有在所述晶体管之下形成屏蔽层的部分,所述屏蔽层与所述初始化电压线分离。

[0104] 根据一个实施例,提供一种显示器,包括:像素的阵列,其中每个像素具有有机发光二极管,所述有机发光二极管具有阳极和阴极,并且每个像素具有薄膜晶体管电路,所述薄膜晶体管电路具有包括至少一个驱动晶体管和至少一个切换晶体管的晶体管;水平控制线,耦接到所述晶体管中的栅极并且将控制信号供应给所述阵列中的像素行;数据线,与所述阵列中的像素列关联;以及初始化电压线,与所述阵列中的像素列关联,其中在每个像素中,所述切换晶体管将所述电压初始化线中的一个耦接到该像素中的所述有机发光二极管的阳极,其中所述薄膜晶体管电路包括形成用于所述晶体管的半导体沟道的半导体层、与所述半导体层相邻的栅极绝缘体层、与所述栅极绝缘体层相邻并且被图案化以形成所述栅极的栅极层、被图案化以形成用于所述晶体管的源极-漏极端子的源极-漏极层、在所述源极-漏极层上的电介质层、被图案化以形成所述像素中的阳极的金属阳极层、置于所述电介质层与所述金属阳极层之间的有机钝化层、以及不由所述金属阳极层的一部分形成并且被图案化以形成所述电压初始化线的附加金属层,其中所述附加金属层置于所述栅极层与所述源极-漏极层之间,并且其中所述附加金属层置于第一无机电介质层和第二无机电介质层之间。

[0105] 上述内容仅仅是示例性的,本领域技术人员可以在不脱离所述实施例的精神和范围的情况下进行各种修改。上述实施例可以被分别地或者以任何组合方式实现。

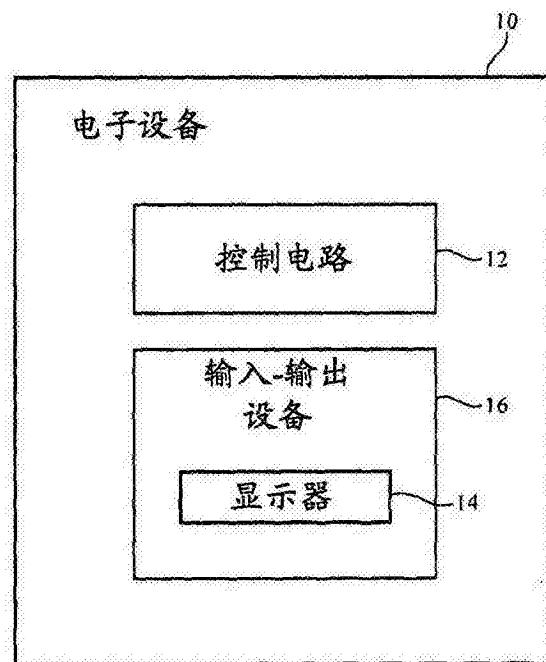


图 1

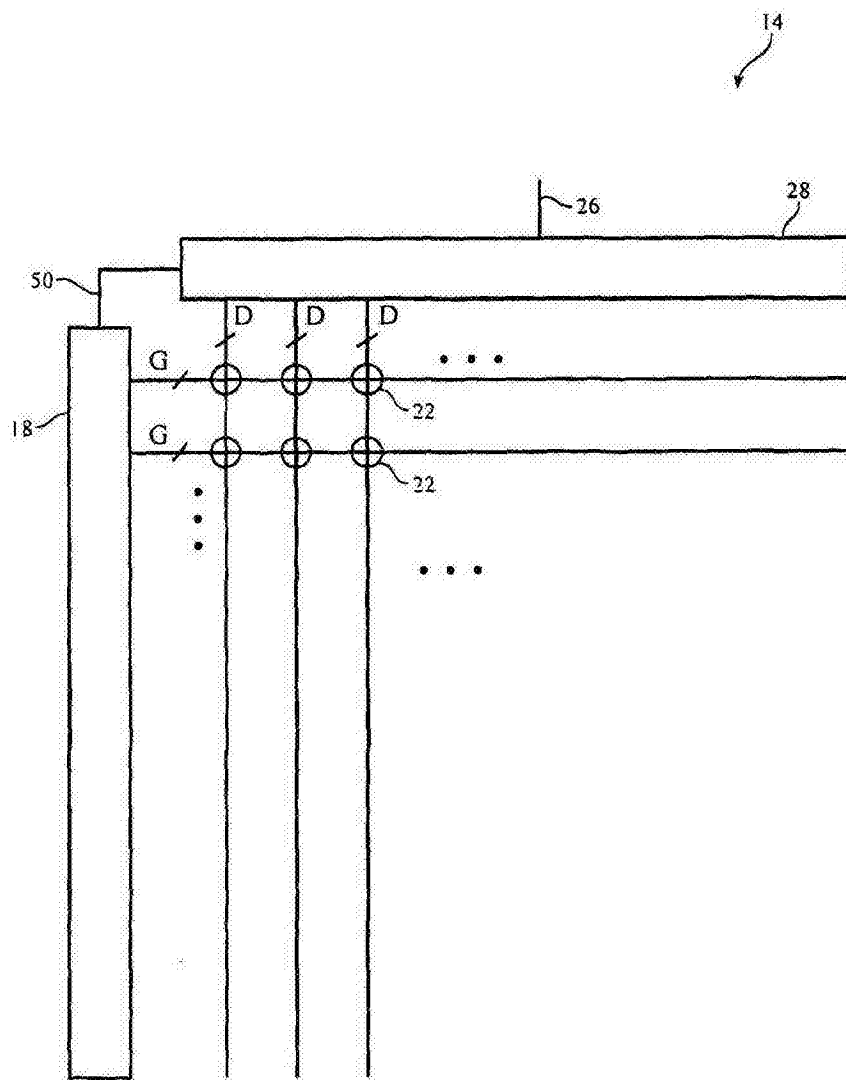


图 2

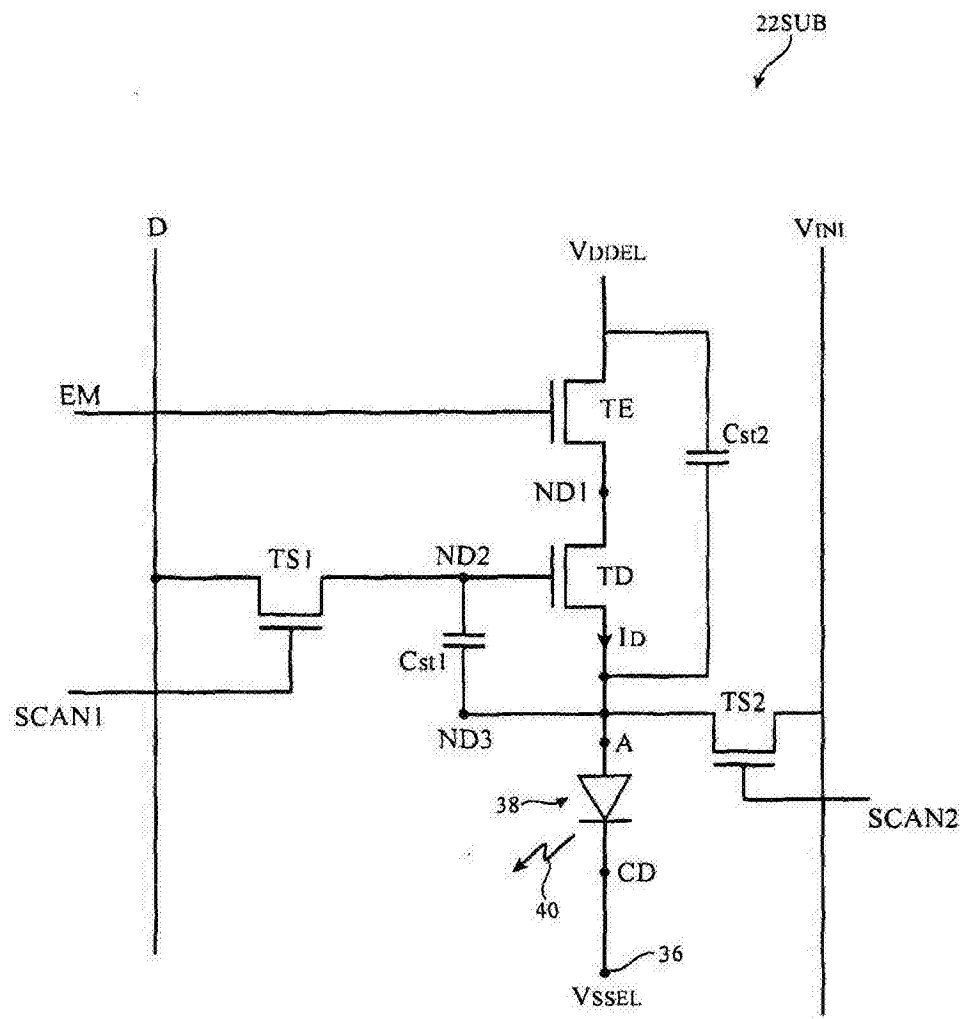


图 3

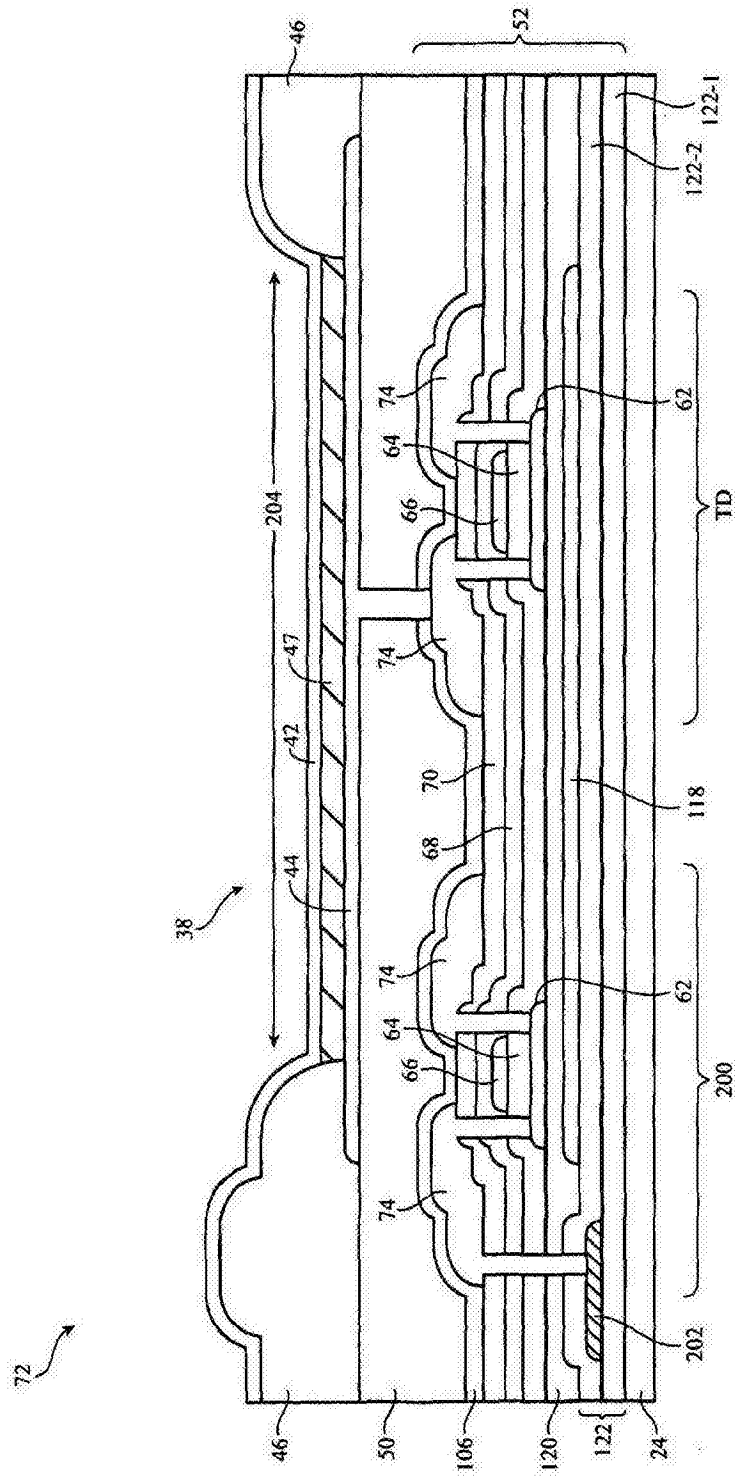


图 4

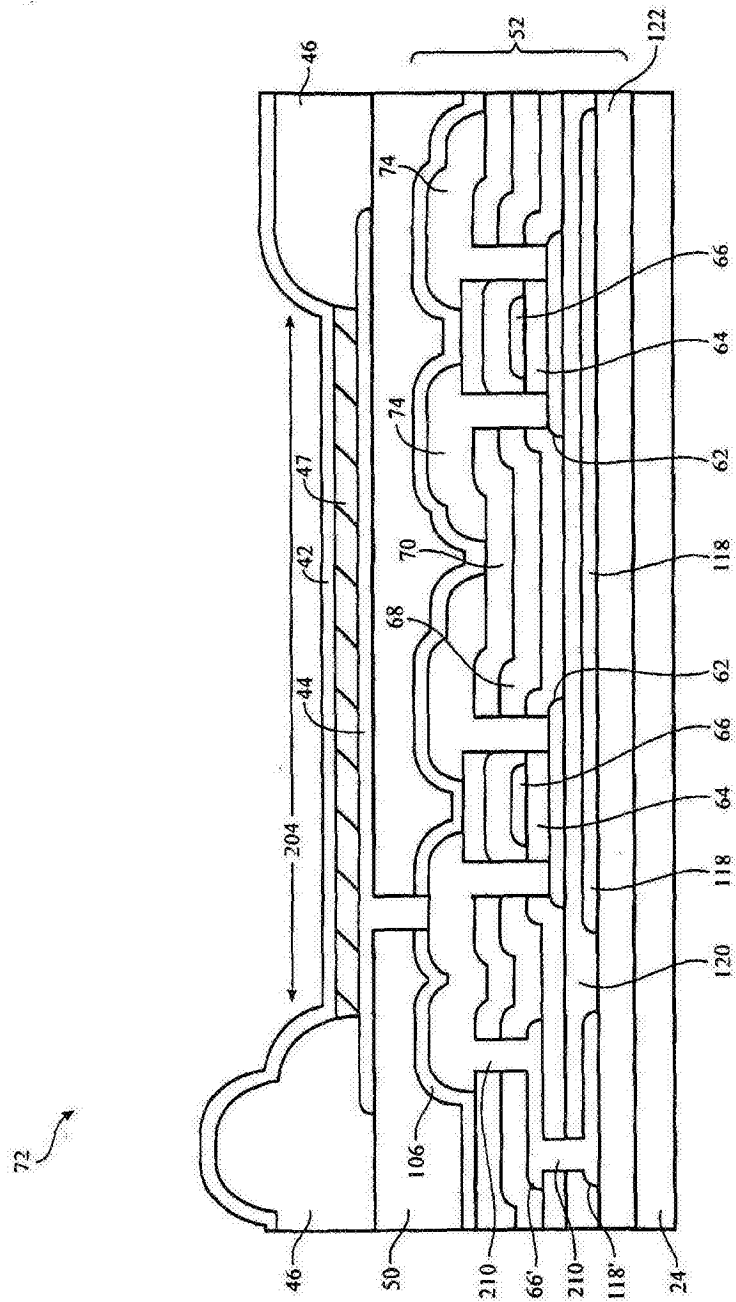


图 5

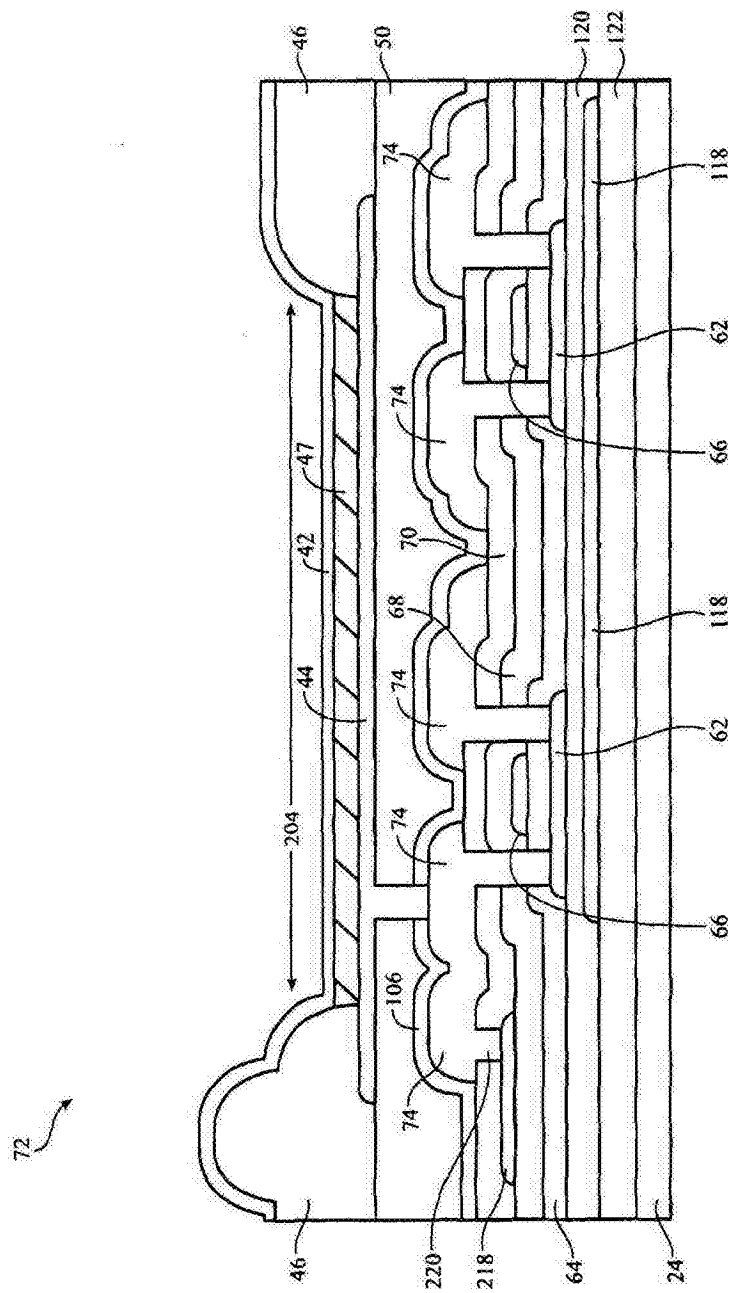


图 8

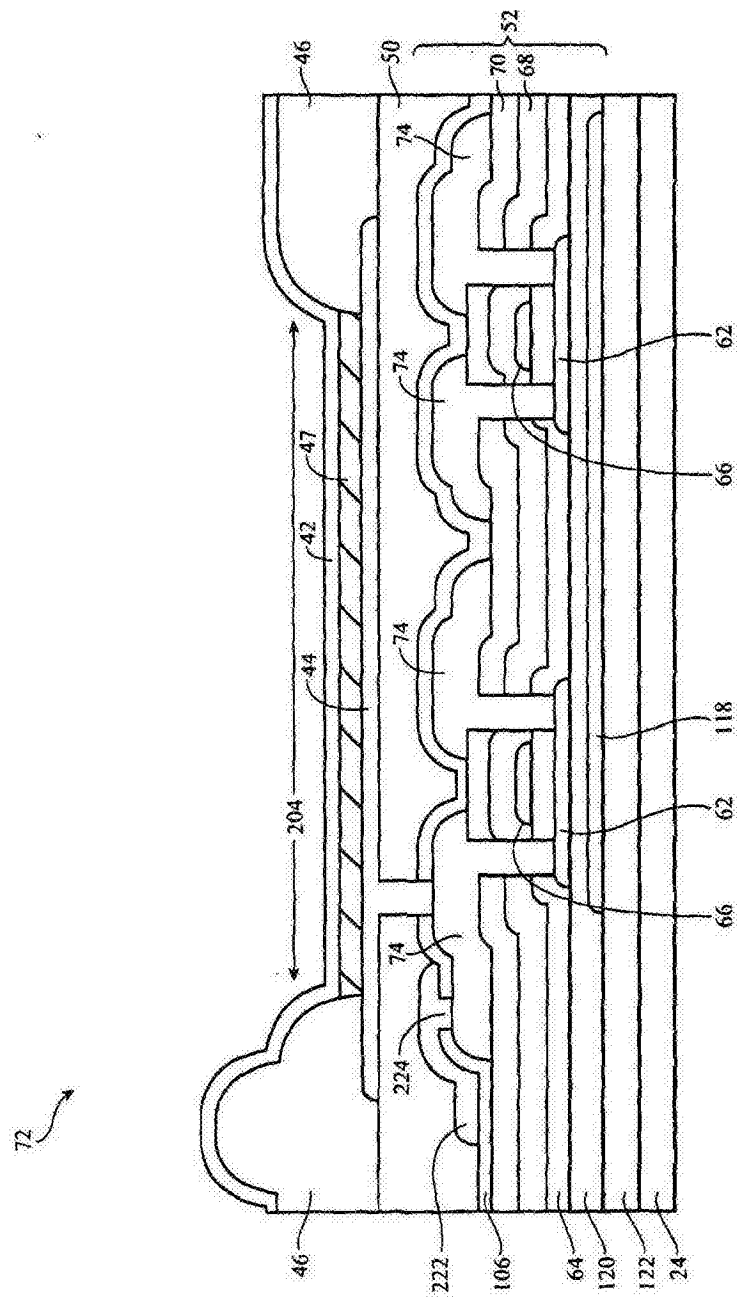


图 10

专利名称(译)	显示器		
公开(公告)号	CN205081121U	公开(公告)日	2016-03-09
申请号	CN201520886146.0	申请日	2015-11-09
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	林敬伟 崔宰元 金民圭 张世昌 蔡宗廷 V古普塔 朴英培		
发明人	林敬伟 崔宰元 金民圭 张世昌 蔡宗廷 V·古普塔 朴英培		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3265 H01L27/3248 H01L27/3258 H01L27/3262 H01L27/3272 H01L27/3276		
代理人(译)	欧阳帆		
优先权	14/543088 2014-11-17 US		
外部链接	Espacenet SIPO		

摘要(译)

本公开涉及显示器。显示器包括：像素阵列，每个像素具有带有阳极和阴极的有机发光二极管且具有带有包括至少一个驱动晶体管和至少一个切换晶体管的薄膜晶体管电路；水平控制线，耦接到晶体管栅极且将控制信号供应给阵列中的像素行；与阵列中像素列关联的数据线；和与阵列中像素列关联的初始化电压线，切换晶体管将电压初始化线之一耦接到阳极，薄膜晶体管电路包括形成半导体沟道的半导体层、与其相邻的栅极绝缘体层、与其相邻且形成栅极的栅极层、形成源极-漏极端子的源极-漏极层、源极-漏极层上的电介质层、形成阳极的金属阳极层、置于电介质层与金属阳极层间的有机钝化层和不由金属阳极层部分形成且形成电压初始化线的附加金属层。

