



(12)发明专利申请

(10)申请公布号 CN 108122540 A

(43)申请公布日 2018.06.05

(21)申请号 201710702655.7

(22)申请日 2017.08.16

(30)优先权数据

10-2016-0162344 2016.11.30 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 郑義显 金圣勳

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 蔡胜有

(51)Int.Cl.

G09G 3/3258(2016.01)

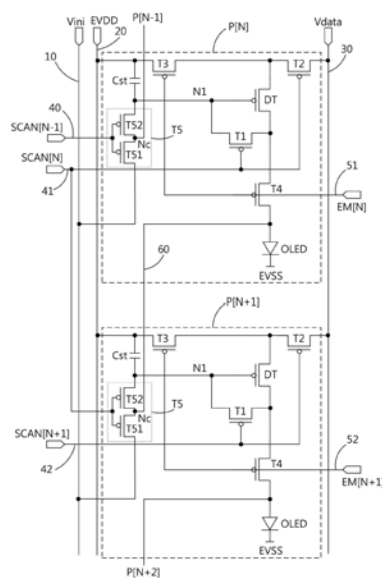
权利要求书2页 说明书6页 附图9页

(54)发明名称

有机发光二极管显示装置

(57)摘要

公开了一种有机发光二极管显示装置。所述显示装置包括多个像素电路,每个像素电路包括:发光元件;驱动晶体管;第一晶体管,响应于第N扫描线的扫描信号将驱动晶体管的第一电极和栅极电极连接,N是自然数;第二晶体管,响应于第N扫描线的扫描信号将数据线的数据电压提供至驱动晶体管的第二电极;第三晶体管,响应于第N发光控制线的发光控制信号将电源线的的第一电源电压提供至驱动晶体管的第二电极;第四晶体管,响应于第N发光控制线的发光控制信号将驱动晶体管连接至发光元件;第五晶体管,响应于第(N-1)扫描线的扫描信号将第一节点初始化为初始化电压;和存储电容器,连接在电源线与第一节点之间并且存储驱动晶体管的驱动电压。



1. 一种有机发光二极管 (OLED) 显示装置, 包括多个像素电路, 所述多个像素电路的每一个包括:

发光元件;

驱动晶体管, 所述驱动晶体管用于根据驱动电压驱动所述发光元件;

第一晶体管, 所述第一晶体管用于响应于第N扫描线的扫描信号将所述驱动晶体管的第一电极和栅极电极连接, N是自然数;

第二晶体管, 所述第二晶体管用于响应于第N扫描线的扫描信号将数据线的的数据电压提供至所述驱动晶体管的第二电极;

第三晶体管, 所述第三晶体管用于响应于第N发光控制线的发光控制信号将电源线的的第一电源电压提供至所述驱动晶体管的第二电极;

第四晶体管, 所述第四晶体管用于响应于第N发光控制线的发光控制信号将所述驱动晶体管连接至所述发光元件;

第五晶体管, 所述第五晶体管用于响应于第(N-1) 扫描线的扫描信号将第一节点初始化为初始化电压供给线的初始化电压, 所述第一节点连接至所述驱动晶体管的栅极电极和存储电容器; 和

所述存储电容器, 所述存储电容器连接在所述电源线与所述第一节点之间并且用于存储所述驱动晶体管的驱动电压,

其中所述多个像素电路之中的、连接至第N扫描线和第(N-1) 扫描线的第N像素电路的发光元件通过连接电极连接至与第N扫描线和相邻的第(N+1) 扫描线连接的第(N+1) 像素电路的第五晶体管。

2. 根据权利要求1所述的有机发光二极管显示装置, 其中第(N+1) 像素电路的第五晶体管响应于第N扫描线的扫描信号将第(N+1) 像素电路的第一节点初始化为所述初始化电压并且将第N像素电路的发光元件初始化。

3. 根据权利要求1所述的有机发光二极管显示装置, 其中所述连接电极与属于第N像素电路的发光元件的阳极连接, 并且连接至位于第(N+1) 像素电路的第五晶体管与第一节点之间的连接节点。

4. 根据权利要求1所述的有机发光二极管显示装置, 其中所述第一晶体管和所述第五晶体管的至少之一包括共享栅极并且串联连接的一对晶体管; 并且

其中在所述第五晶体管包括一对晶体管时, 所述连接电极与属于第N像素电路的发光元件的阳极连接, 并且连接至位于属于第(N+1) 像素电路的一对第五晶体管之间的中间节点, 或者连接至位于属于第(N+1) 像素电路的第五晶体管与第一节点之间的连接节点。

5. 根据权利要求1所述的有机发光二极管显示装置, 其中在第N像素电路中,

在初始化时段期间, 所述第五晶体管将所述第一节点初始化为所述初始化电压,

在所述初始化时段之后的采样时段期间, 所述第二晶体管将所述数据电压提供至所述驱动晶体管, 所述第一晶体管将所述驱动晶体管连接为二极管结构, 并且所述存储电容器存储所述驱动电压, 在所述驱动电压中阈值电压得到了补偿并且应用了所述数据电压;

在所述采样时段之后的发光时段期间, 所述第三晶体管将所述第一电源电压提供至所述驱动晶体管的第二电极, 并且所述第四晶体管将所述驱动晶体管和所述发光元件连接; 并且

在所述采样时段期间,所述发光元件被属于第(N+1)像素电路的第五晶体管初始化为所述初始化电压。

有机发光二极管显示装置

[0001] 本申请要求2016年11月30日提交的韩国专利申请No.10-2016-0162344的权益,在此援引该专利申请作为参考,如同在这里完全阐述一样。

技术领域

[0002] 本发明涉及一种用于简化内部补偿像素电路的结构有机发光二极管显示装置。

背景技术

[0003] 近来,使用液晶的液晶显示器(LCD)、使用有机发光二极管(OLED)的OLED显示装置、使用电泳粒子的电泳显示器(EPD)等代表性地用作通过使用数字数据显示图像的平板显示装置。

[0004] 其中,OLED显示装置是自发光装置,其按照有机发光层经由电子与空穴之间的重组而发光的方式来配置,就高亮度、低驱动电压和超薄膜而言,OLED显示装置有望成为下一代显示装置。

[0005] OLED显示装置中包括的多个像素的每一个包括OLED元件和用于独立驱动OLED元件的像素电路。像素电路通过与数据信号对应的驱动电压 V_{gs} 由驱动晶体管调整用于驱动OLED元件的电流 I_{ds} ,以调整OLED元件的亮度。

[0006] 对于OLED显示装置来说,驱动晶体管的诸如阈值电压值(下文中称为 V_{th})之类的特性对于每个相应的像素来说是不规则的,因而针对相同驱动电压 V_{gs} 的电流 I_{ds} 发生变化,由此导致亮度偏差。

[0007] 为克服这个问题,已提出了OLED显示装置的内部补偿技术,内部补偿技术用于补偿每个像素电路中的驱动晶体管的 V_{th} 并且使用 V_{th} 被补偿了的数据信号驱动该驱动晶体管。

[0008] 然而,具有内部补偿功能的像素电路包括多个晶体管,因而像素电路不利地具有复杂的结构。例如,已知的是四倍高清晰度(QHD)或更高清晰度的高分辨率模型使用包括七个晶体管和一个电容器的7T1C结构的内部补偿像素电路。

[0009] 因此,由于多个晶体管结构,常规的内部补偿像素电路在减小被像素电路占据的区域方面具有限制。因此,难以随着分辨率的增加提高每英寸像素数(ppi),因而难以应用高分辨率显示装置。

发明内容

[0010] 因此,本发明旨在提供一种基本上避免了由于相关技术的限制和缺点而导致的一个或多个问题的有机发光二极管显示装置。

[0011] 本发明的一个目的是提供一种用于简化内部补偿像素电路的结构有机发光二极管显示装置。

[0012] 在下面的描述中将部分列出本发明的其它优点、目的和特征,这些优点、目的和特征的一部分根据下面的解释对于所属领域普通技术人员将变得显而易见或者可通过本发

明的实施领会到。通过说明书、权利要求书以及附图中具体指出的结构可实现和获得本发明的这些目的和其他优点。

[0013] 为了实现这些目的和其他优点并根据本发明的意图,如在此具体化和概括描述的,一种有机发光二极管(OLED)显示装置按如下方式配置:第N像素电路共享用于将属于第(N+1)像素电路的存储电容器和驱动晶体管的栅极电极初始化的晶体管,以将OLED元件初始化。因此,可从每个像素电路省略将OLED元件初始化的晶体管,由此简化了电路结构并减小了电路区域。

[0014] 在本发明的一个方面中,一种有机发光二极管(OLED)显示装置包括多个像素电路,所述多个像素电路的每一个包括:发光元件;驱动晶体管,所述驱动晶体管用于根据驱动电压驱动所述发光元件;第一晶体管,所述第一晶体管用于响应于第N扫描线的扫描信号将所述驱动晶体管的第一电极和栅极电极连接,N是自然数;第二晶体管,所述第二晶体管用于响应于第N扫描线的扫描信号将数据线的的数据电压提供至所述驱动晶体管的第二电极;第三晶体管,所述第三晶体管用于响应于第N发光控制线的发光控制信号将电源线的的第一电源电压提供至所述驱动晶体管的第二电极;第四晶体管,所述第四晶体管用于响应于第N发光控制线的发光控制信号将所述驱动晶体管连接至所述发光元件;第五晶体管,所述第五晶体管用于响应于第(N-1)扫描线的扫描信号将第一节点初始化为初始化电压供给线的初始化电压,所述第一节点连接至所述驱动晶体管的栅极电极和存储电容器;和所述存储电容器,所述存储电容器连接在所述电源线与所述第一节点之间并且用于存储所述驱动晶体管的驱动电压。

[0015] 所述多个像素电路之中的、连接至第N扫描线和第(N-1)扫描线的第N像素电路的发光元件可通过连接电极连接至与第N扫描线和相邻的第(N+1)扫描线连接的第(N+1)像素电路的第五晶体管。

[0016] 应当理解,本发明前面的大体性描述和下面的详细描述都是例示性的和解释性的,意在对本发明提供进一步的解释。

附图说明

[0017] 给本发明提供进一步理解并且并入本申请组成本申请一部分的附图图解了本发明的实施方式,并与说明书一起用于解释本发明的原理。在附图中:

[0018] 图1是图解根据本发明一实施方式的有机发光二极管(OLED)显示装置的像素电路结构的等效电路图;

[0019] 图2是根据本发明一实施方式的像素电路的驱动波形图;

[0020] 图3A到3C是按顺序图解根据本发明一实施方式的像素电路的驱动过程的示图;

[0021] 图4是图解与图1中所示的本发明的实施方式相比,根据相关技术的像素电路的示图;

[0022] 图5是显示根据本发明一实施方式的OLED显示装置的像素电路结构的等效电路图;

[0023] 图6是显示根据本发明一实施方式的OLED显示装置的像素电路结构的等效电路图;以及

[0024] 图7显示根据本发明一实施方式的OLED显示装置的像素电路结构的等效电路图。

具体实施方式

[0025] 图1是图解根据本发明一实施方式的有机发光二极管(OLED)显示装置的像素电路结构的等效电路图。

[0026] 参照图1,OLED显示装置可包括按顺序被扫描并共享一些晶体管T5的第N像素电路P[N]和第(N+1)像素电路P[N+1]。

[0027] 像素电路P[N]和P[N+1]可连接至用于提供初始化电压Vini的初始化电压供给线10、用于提供高电压电源电压EVDD的第一电源线20、以及用于提供数据电压Vdata的数据线30。第N像素电路P[N]可连接至第(N-1)扫描线40、第N扫描线41和第N发光控制线51,第(N+1)像素电路P[N+1]可连接至第N扫描线41、第(N+1)扫描线42和第(N+1)发光控制线52。

[0028] 像素电路P[N]和P[N+1]的每一个可包括第一到第五晶体管T1到T5、驱动晶体管DT以及存储电容器Cst并且可独立驱动OLED元件。像素电路P[N]和P[N+1]的所有晶体管T1到T5和DT可由P沟道或N沟道型薄膜晶体管TFT实现。根据以下实施方式,将描述所有晶体管DT和T1到T5仅由P沟道型TFT实现的示例,但也可应用N沟道型TFT。

[0029] 除了只有用于控制各个晶体管的控制线即扫描线和发光控制线按顺序变化之外,第N像素电路P[N]和第(N+1)像素电路P[N+1]可具有相同的电路结构。下文中,将参考第N像素电路P[N]描述像素电路的详细结构和驱动过程。

[0030] 第N像素电路P[N]的OLED元件可包括连接至驱动TFT DT的阳极、连接至低电压电源电压EVSS的阴极、以及位于阳极与阴极之间的发光层,并且OLED元件可产生与从驱动TFT DT提供的电流量成比例的量的光。

[0031] 第N像素电路P[N]的存储电容器Cst的第一电极可连接至第一电源线20并且第二电极可连接至与驱动晶体管DT的栅极电极连接的第一节点N1,从而被充入驱动晶体管DT的驱动电压Vgs。

[0032] 第N像素电路P[N]的驱动晶体管DT可通过存储在存储电容器Cst中的驱动电压Vgs控制用于驱动OLED元件的电流。

[0033] 第N像素电路P[N]的第一晶体管T1可被第N扫描线41的扫描信号SCAN[N]控制,驱动晶体管DT的栅极电极和漏极电极在第N像素电路P[N]的采样时段期间可进行连接,以将驱动晶体管DT连接为二极管结构。

[0034] 第N像素电路P[N]的第二晶体管T2可被第N扫描线41的扫描信号SCAN[N]控制并且在第N像素电路P[N]的采样时段期间可将数据线30的数据电压Vdata提供至驱动晶体管DT的源极电极。

[0035] 第N像素电路P[N]的第三晶体管T3可被第N发光控制线51的发光控制信号EM[N]控制并且在第N像素电路P[N]的发光时段期间可将第一电源线20的高电压电源电压EVDD提供至驱动晶体管DT的源极电极。

[0036] 第N像素电路P[N]的第四晶体管T4可被第N发光控制线51的发光控制信号EM[N]控制并且在第N像素电路P[N]的发光时段期间可将从驱动晶体管DT提供的驱动电流提供至OLED元件。

[0037] 第N像素电路P[N]的第五晶体管T5可被第(N-1)扫描线40的扫描信号SCAN[N-1]控制并且在第N像素电路P[N]的初始化时段期间可将连接至存储电容器Cst和驱动晶体管DT

的栅极电极的第一节点N1初始化为初始化电压Vini。

[0038] 第五晶体管T5可配置为双栅晶体管,其中共享栅极并串联连接的第五晶体管对(pair) T51和T52根据连接的双栅极的控制而形成直流通路,如图1中所示。第五晶体管T5的双栅结构可抑制不稳定的电流并且可稳定地将第一节点N1初始化。

[0039] 特别是,第N像素电路P[N]的OLED元件可通过连接电极60连接至第(N+1)像素电路P[N+1]的第五晶体管T5并且可通过第(N+1)像素电路P[N+1]的第五晶体管T5初始化。因此,在与第(N+1)像素电路P[N+1]的初始化时段交叠的第N像素电路P[N]的采样时段期间,第N像素电路P[N]的OLED元件的阳极可经由连接电极60和第(N+1)像素电路P[N+1]的第五晶体管T5被初始化电压Vini初始化。

[0040] 例如,在属于第(N+1)像素电路P[N+1]的双栅极的第五晶体管对T51和T52中,T51与T52之间的连接节点Nc可通过连接电极60连接至第N像素电路P[N]的OLED元件的阳极。

[0041] 基于相同的原理,属于第N像素电路P[N]的第五晶体管T5的双栅结构可通过连接节点Nc和连接电极60连接至第(N-1)像素电路P[N-1]的OLED元件的阳极,以通过初始化电压Vini将第N像素电路P[N]的第一节点N1初始化并且通过初始化电压Vini也将第(N-1)像素电路P[N-1]的OLED元件的阳极初始化。

[0042] 如此,根据本发明一实施方式,第N像素电路P[N]可共享属于第(N+1)像素电路P[N+1]的、用于将存储电容器Cst和驱动晶体管DT的栅极电极初始化的晶体管T5,以将OLED元件初始化。因此,每个像素电路不需要额外的晶体管来将OLED元件初始化,由此简化了电路结构并减小了电路区域。

[0043] 图2是根据本发明一实施方式的像素电路的驱动波形图。图3A到3C是按顺序图解根据本发明一实施方式的像素电路的驱动过程的示意图。

[0044] 参照图2,第(N-1)扫描线40的扫描信号SCAN[N-1]、第N扫描线41的扫描信号SCAN[N]以及第(N+1)扫描线42的扫描信号SCAN[N+1]可在按顺序移位的相应扫描线的各个扫描时段期间提供栅极导通电压Von的扫描脉冲并且在其余时段期间提供栅极截止电压Voff。第N发光控制线51的发光控制信号EM[N]可在与第(N-1)扫描线40、第N扫描线41和第(N+1)扫描线42的扫描时段交叠的非发光时段期间提供栅极截止电压Voff并且在其余发光时段期间提供栅极导通电压Von。

[0045] 为了控制图1中所示的P沟道型晶体管T1到T5,在图2中,可以以低电平提供栅极导通电压Von,并且可以以高电平提供栅极截止电压Voff。当图1中所示的晶体管T1到T5配置为N沟道型晶体管时,与图2相反,可以以高电平提供栅极导通电压Von,并且可以以低电平提供栅极截止电压Voff。

[0046] 参照图2和3A,在第N像素电路P[N]的初始化时段期间,第五晶体管T5可响应于第(N-1)扫描线40的扫描信号SCAN[N-1]导通,以将第N像素电路P[N]的第一节点N1初始化为初始化电压Vini并且还将第(N-1)像素电路P[N-1]的OLED元件的阳极初始化为初始化电压Vini。在初始化时段期间,第N像素电路P[N]的第一到第四晶体管T1到T4以及驱动晶体管DT可截止。

[0047] 参照图2和3B,在第N像素电路P[N]的采样时段期间,第一晶体管T1和第二晶体管T2可响应于第N扫描线41的扫描信号SCAN[N]导通。在采样时段期间,第二晶体管T2可将数据线30的数据电压Vdata提供至驱动晶体管DT的源极电极并且第一晶体管T1可将驱动晶体

管DT的栅极电极和漏极电极连接,使得驱动晶体管DT作为二极管结构进行操作。因为通过驱动晶体管DT的二极管操作来补偿 V_{th} ,所以通过补偿 V_{th} 所获得的数据电压“ $V_{data}-V_{th}$ ”可被提供至驱动晶体管DT的栅极电极。因此,存储电容器 C_{st} 可被驱动电压“ $V_{gs}=EVDD-V_{data}+V_{th}$ ”(其应用了通过补偿 V_{th} 所获得的数据电压“ $V_{data}-V_{th}$ ”)充电,并且可在接下来的发光时段期间将驱动电压“ $V_{gs}=EVDD-V_{data}+V_{th}$ ”提供至驱动晶体管DT。在采样时段期间,第三到第五晶体管T3到T5可截止。

[0048] 特别是,在第N像素电路P[N]的采样时段期间,第(N+1)像素电路P[N+1]的第五晶体管T5可响应于第N扫描线41的扫描信号SCAN[N]导通,并且在第(N+1)像素电路P[N+1]的第一节点N1被初始化电压 V_{ini} 初始化的同时,第N像素电路P[N]的OLED元件的阳极也可经由连接电极60被初始化电压 V_{ini} 初始化。

[0049] 参照图2和3C,在第N像素电路P[N]的发光时段期间,第三晶体管T3和第四晶体管T4可响应于第N发光控制线51的发光控制信号EM[N]导通。在发光时段期间,第三晶体管T3可将第一电源线20的高电压电源电压EVDD提供至驱动晶体管DT的源极电极并且第四晶体管T4可将从驱动晶体管DT提供的驱动电流提供至OLED元件,使得OLED元件发光。在这种情形中,驱动晶体管DT可使用存储在存储电容器 C_{st} 中的驱动电压 $V_{gs}=EVDD-V_{data}+V_{th}$ 给OLED元件提供驱动电流 I_{oled} 。通过根据下面的等式1抵消驱动晶体管DT的分量 V_{th} ,可根据“ $EVDD-V_{data}$ ”确定OLED元件的驱动电流 I_{oled} 。在下面的等式1中,k是包括驱动晶体管DT的迁移率和沟道宽度W/长度L的分量在内的比例系数。

[0050] [等式1]

$$[0051] \quad I_{oled}=k(V_{gs}-V_{th})^2=k\{(EVDD-V_{data}+V_{th})-V_{th}\}^2=k(EVDD-V_{data})^2$$

[0052] 如此,根据本发明一实施方式,因为第N像素电路P[N]和第(N+1)像素电路P[N+1]可共享第五晶体管T5,所以不需要额外的晶体管来将OLED元件初始化,因而每个像素电路可被简化为包括六个晶体管和一个电容器的6T1C结构。

[0053] 图4是图解与图1中所示的本发明的实施方式相比,根据相关技术的像素电路的示意图。

[0054] 从图4能够看出,根据相关技术的第N像素电路P[N]和第(N+1)像素电路P[N+1]的每一个包括用于将OLED元件的阳极初始化的第六晶体管T6,因而具有包括七个晶体管和一个电容器的7T1C结构。

[0055] 第N像素电路P[N]的第六晶体管T6可在第N像素电路P[N]的采样时段期间响应于控制第一晶体管T1和第二晶体管T2的第N扫描线41的扫描信号SCAN[N]导通,以将第N像素电路P[N]的OLED元件的阳极初始化为初始化电压 V_{ini} 。

[0056] 第(N+1)像素电路P[N+1]的第六晶体管T6可在第(N+1)像素电路P[N+1]的采样时段期间响应于第(N+1)扫描线42的扫描信号SCAN[N+1]导通,以将第(N+1)像素电路P[N+1]的OLED元件的阳极初始化为初始化电压 V_{ini} 。

[0057] 如此,与每个像素电路包括将OLED元件初始化的第六晶体管T6的相关技术相比,根据图1中所示的本发明的实施方式,因为可省略第六晶体管T6,所以可简化像素电路结构并且可减小像素电路的区域,因而本发明的实施方式可有利地应用于高分辨率显示装置。

[0058] 图5到7是显示根据本发明各个实施方式的OLED显示装置的像素电路结构的等效电路图。

[0059] 参照图5,与第N像素电路P[N]的OLED元件的阳极连接的连接电极60可连接至第(N+1)像素电路P[N+1]的双栅第五晶体管T5与第一节点N1之间的连接节点Nc。

[0060] 参照图6,第五晶体管T5可使用单栅晶体管结构,在这种情形中,与第N像素电路P[N]的OLED元件的阳极连接的连接电极60可连接至第(N+1)像素电路P[N+1]的第五晶体管T5与第一节点N1之间的连接节点Nc。

[0061] 参照图7,第一晶体管T1也可配置为第一晶体管对T11和T12的双栅结构,由此提高第一晶体管T1的元件可靠性。

[0062] 如上所述,根据本发明的实施方式,OLED显示装置的像素电路可与相邻的像素电路共享一些晶体管T5,由此将原有的7T1C结构简化为6T1C结构。因此,由于简化的电路结构,根据本发明实施方式的内部补偿像素电路可减小像素电路的区域,以提高每英寸像素数(ppi),因而本发明的实施方式可应用于高分辨率显示装置。

[0063] 根据本发明的各个实施方式,OLED显示装置的像素电路可与相邻的像素电路共享一些晶体管,由此将原有的7T1C结构简化为6T1C结构。因此,由于简化的电路结构,根据本发明各个实施方式的内部补偿像素电路可减小像素电路的区域,以提高每英寸像素数(ppi),因而本发明的各个实施方式可应用于高分辨率显示装置。

[0064] 在不背离本发明的精神或范围的情况下,可在本发明中进行各种修改和变化,这对于所属领域技术人员来说将是显而易见的。因而,本发明旨在涵盖落入所附权利要求书范围及其等同范围内的对本发明的修改和变化。

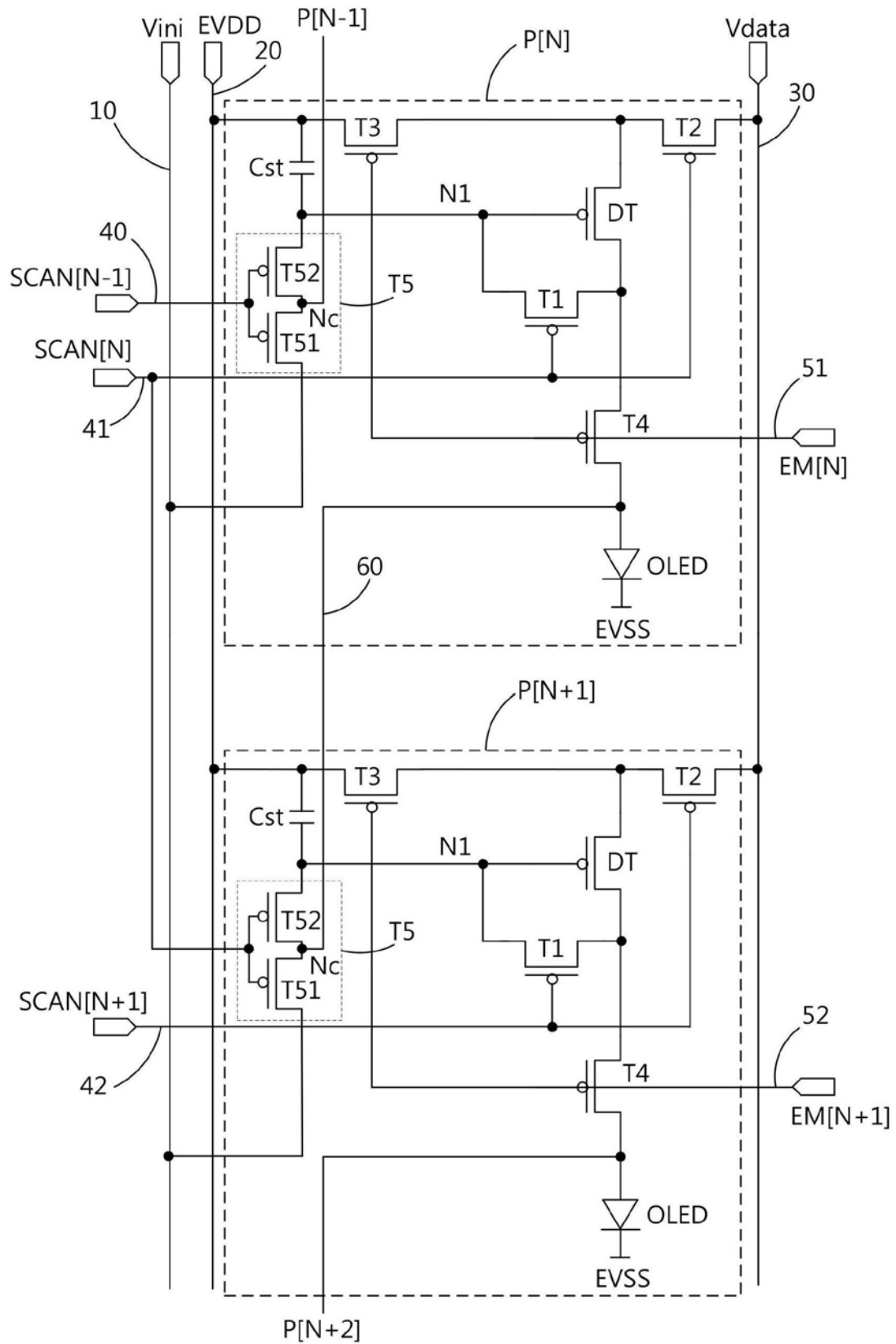


图1

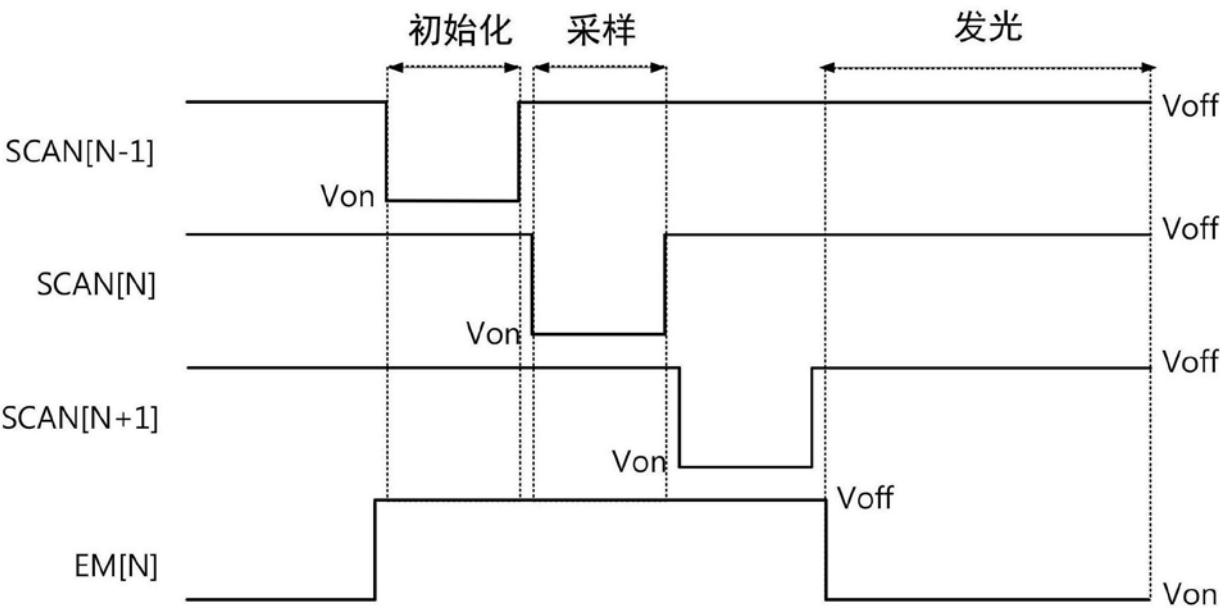


图2

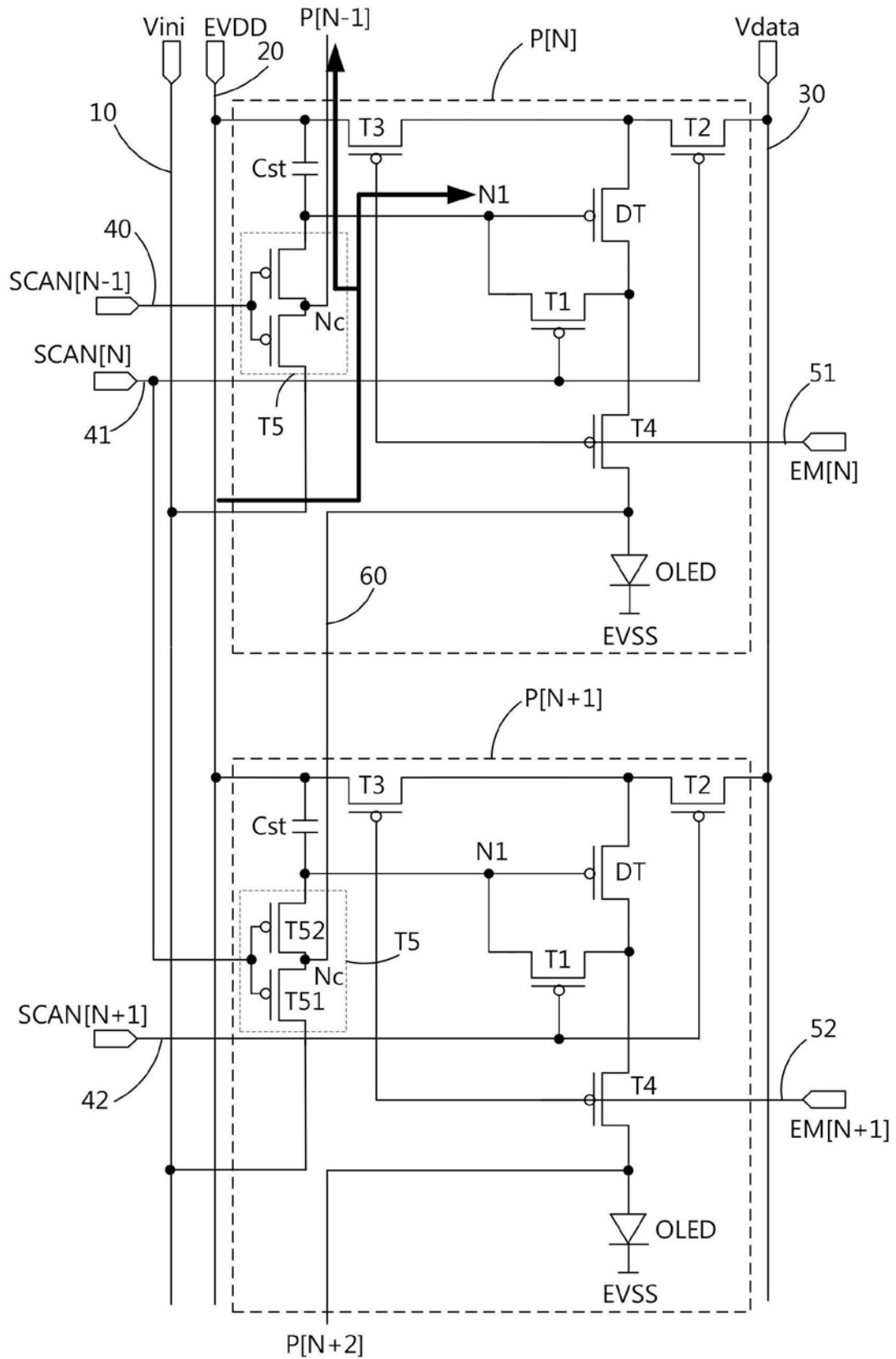


图3A

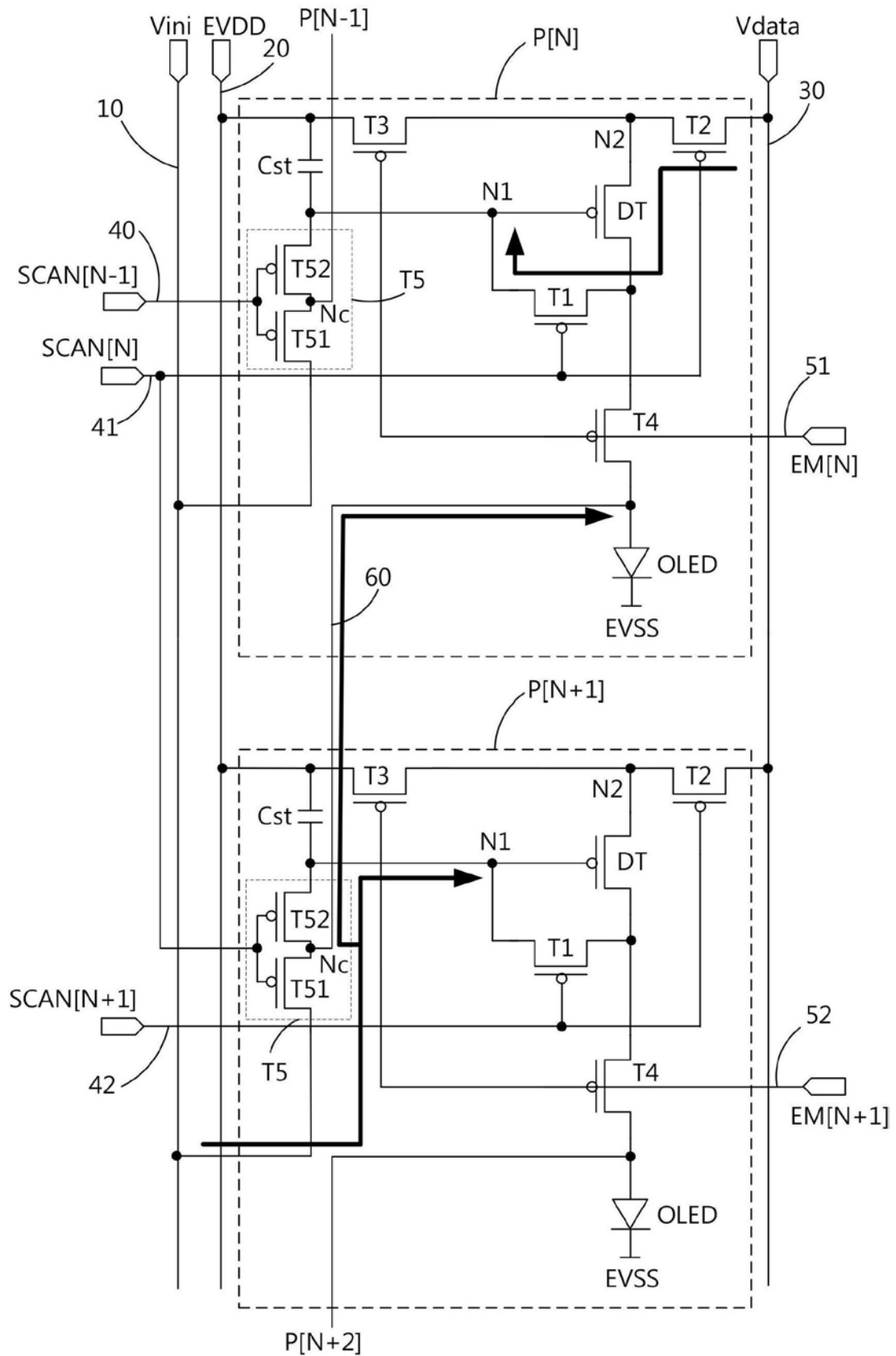


图3B

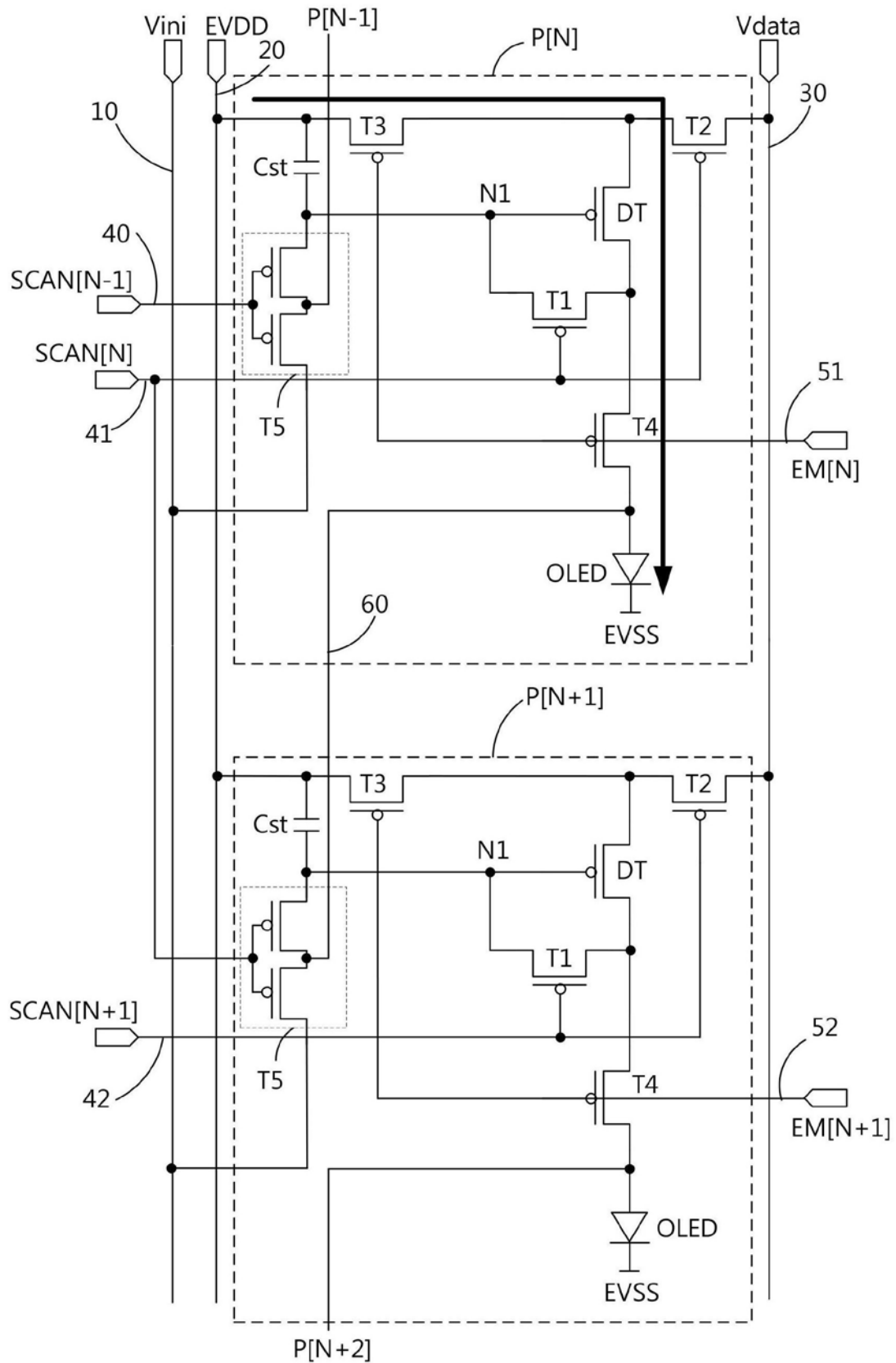


图3C

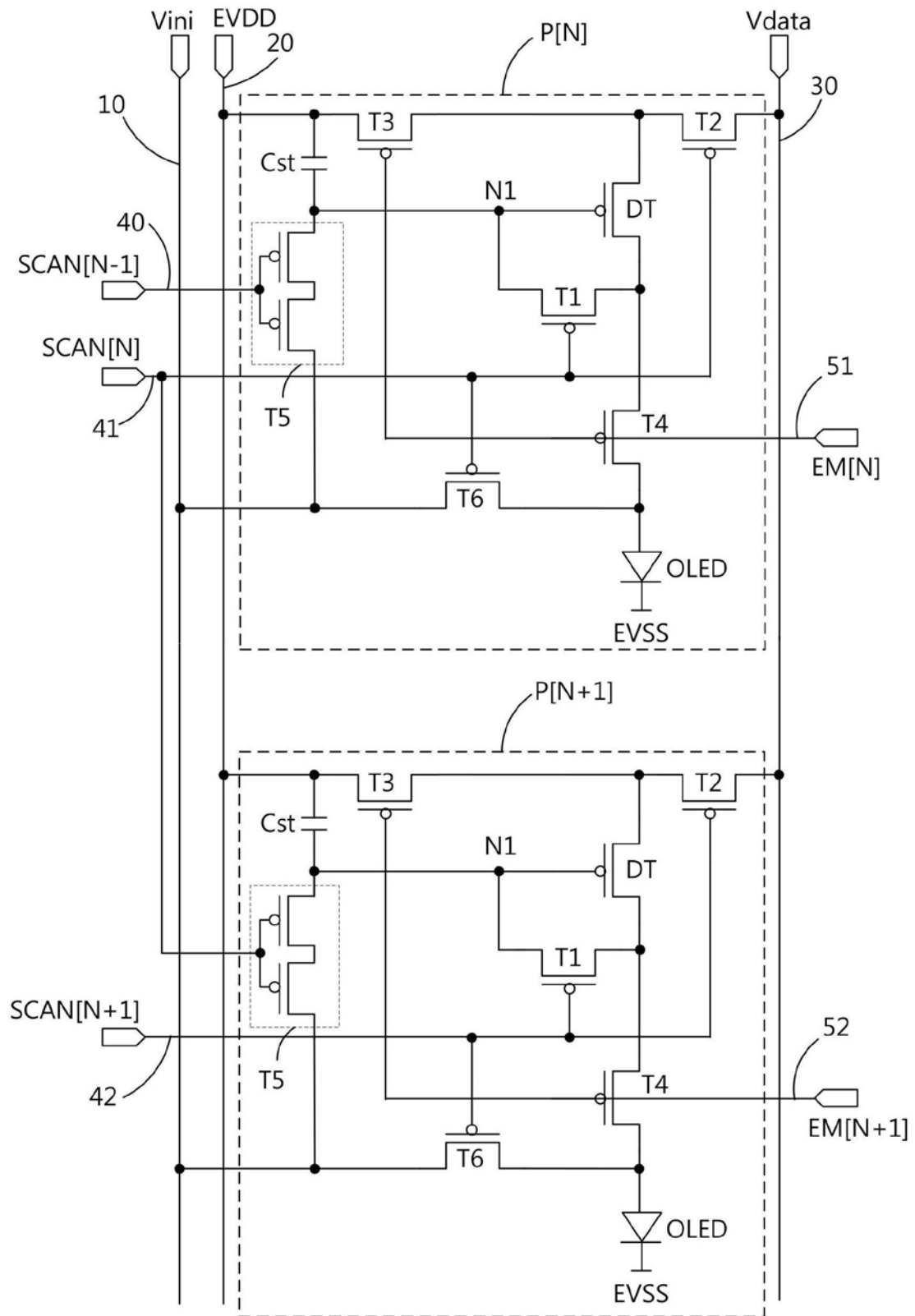


图4

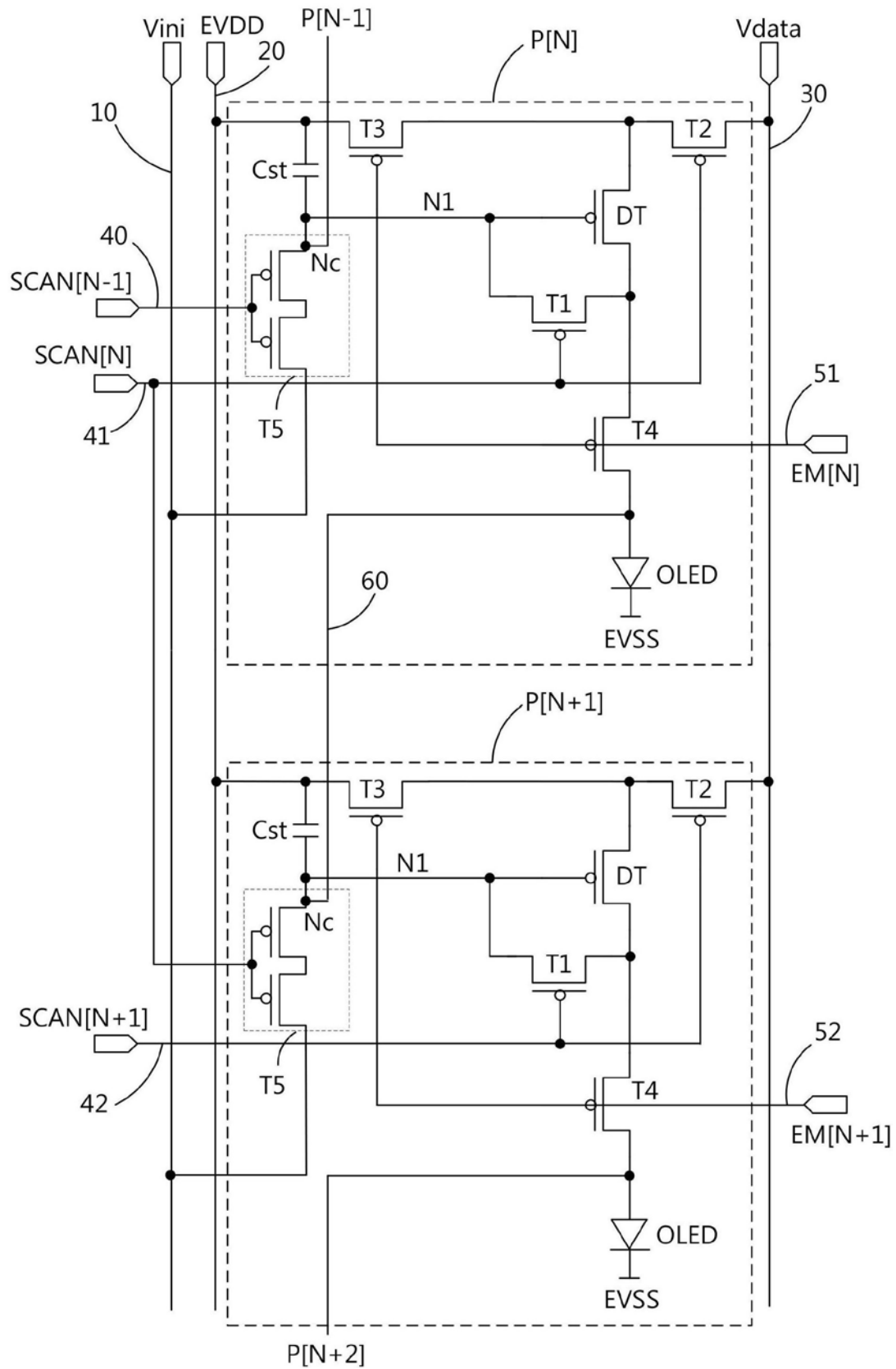


图5

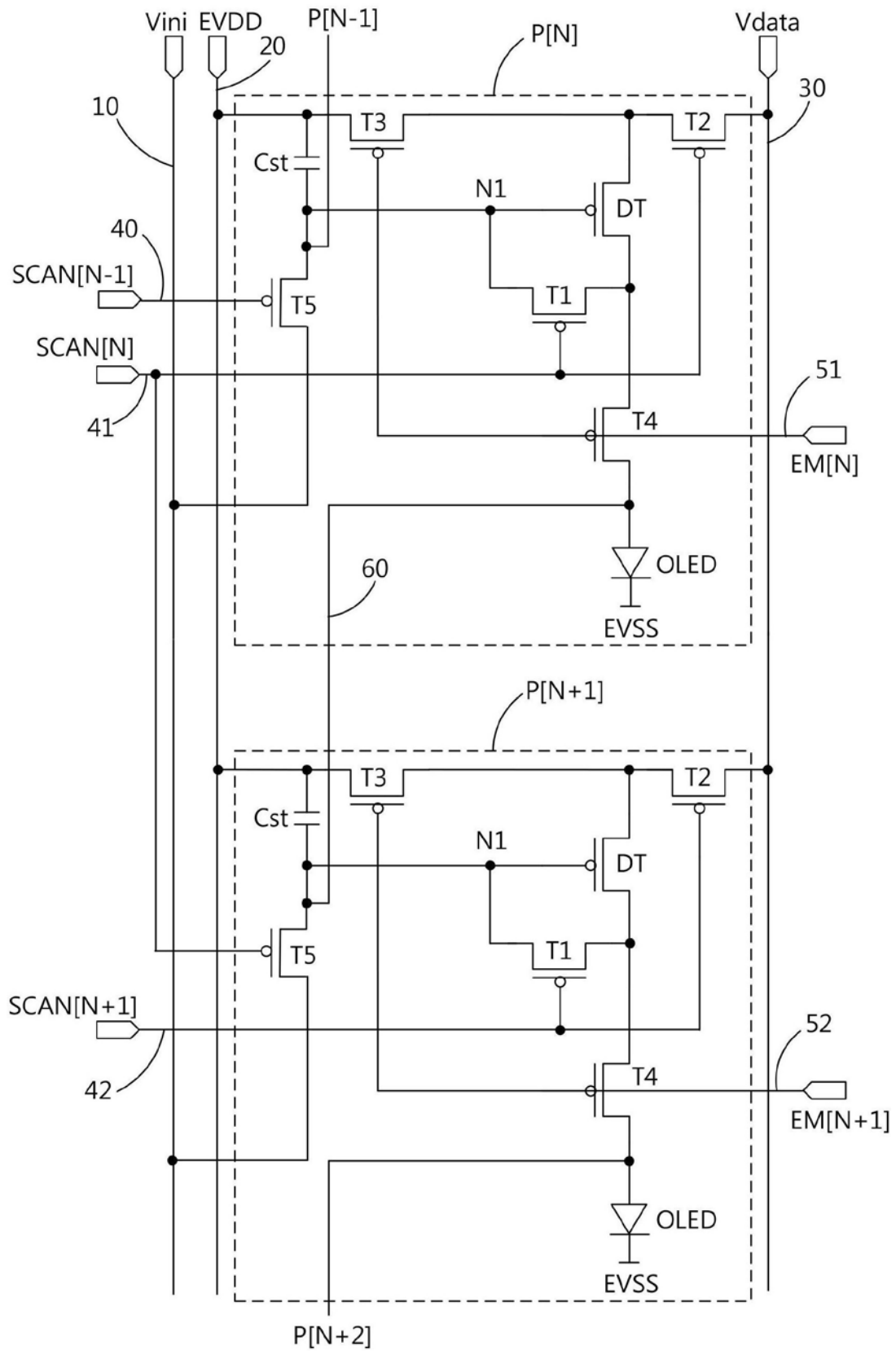


图6

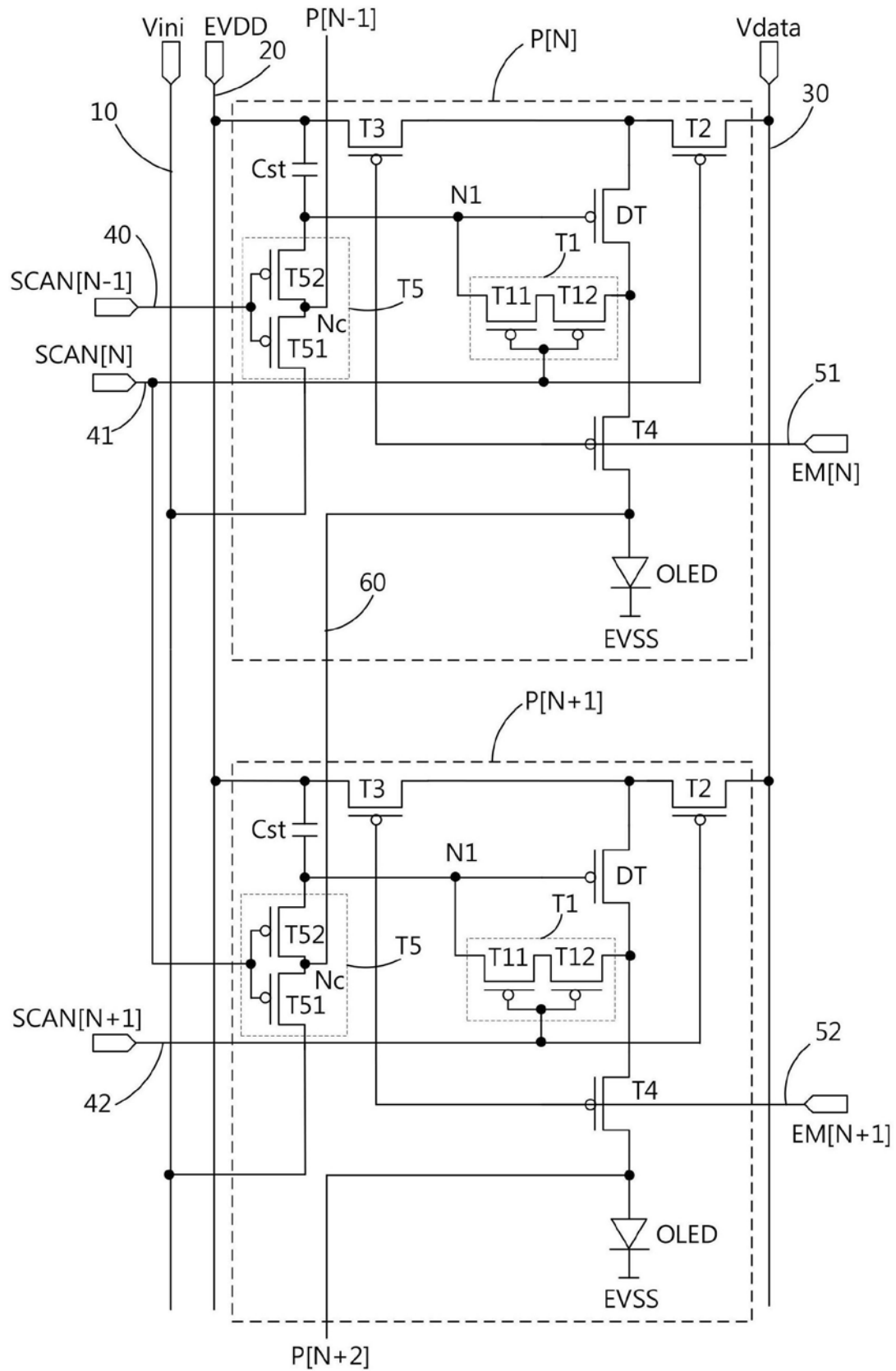


图7

