



(12)发明专利

(10)授权公告号 CN 107591124 B

(45)授权公告日 2019.10.01

(21)申请号 201710912349.6

(22)申请日 2017.09.29

(65)同一申请的已公布的文献号

申请公布号 CN 107591124 A

(43)申请公布日 2018.01.16

(73)专利权人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路889号

(72)发明人 曾章和 冷传利 李元

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3208(2016.01)

(56)对比文件

CN 103971630 A, 2014.08.06,

CN 104050914 A, 2014.09.17,

CN 104658482 A, 2015.05.27,

US 2017206838 A1, 2017.07.20,

US 2017018226 A1, 2017.01.19,

CN 105405397 A, 2016.03.16,

CN 106910467 A, 2017.06.30,

CN 104700780 A, 2015.06.10,

审查员 高倩倩

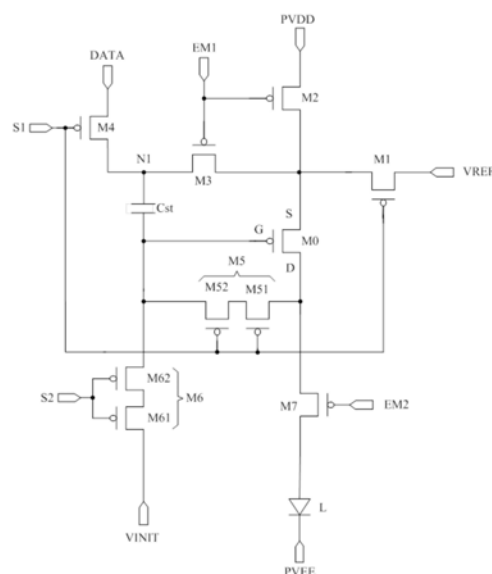
权利要求书4页 说明书11页 附图12页

(54)发明名称

像素补偿电路、有机发光显示面板及有机发光显示装置

(57)摘要

本发明公开了一种像素补偿电路、有机发光显示面板及有机发光显示装置,包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管、驱动晶体管、存储电容以及发光器件;通过第一开关晶体管、第四开关晶体管以及第五开关晶体管的作用分别向第一节点写入数据信号端的信号以及向驱动晶体管的栅极写入阈值电压,实现补偿驱动晶体管的阈值电压的功能。通过第二开关晶体管与第三开关晶体管的作用在发光阶段实时将第一电源端的信号耦合到驱动晶体管的栅极,避免第一电源端的IR Drop对驱动晶体管产生的驱动电流的不利影响,改善显示面板的亮度不均匀现象,提高画面显示效果。



1. 一种像素补偿电路,其特征在于,包括:

第一开关晶体管,用于在第一扫描信号端的控制下将参考电压信号端的信号提供给驱动晶体管的第一极;

第二开关晶体管,用于在第一发光控制信号端的控制下将第一电源端的信号提供给所述驱动晶体管的第一极;

第三开关晶体管,用于在所述第一发光控制信号端的控制下将所述驱动晶体管的第一极与第一节点导通;

第四开关晶体管,用于在所述第一扫描信号端的控制下将数据信号端的信号提供给所述第一节点;

第五开关晶体管,用于在所述第一扫描信号端的控制下将所述驱动晶体管的栅极与所述驱动晶体管的第二极导通;

第六开关晶体管,用于在第二扫描信号端的控制下将初始化信号端的信号提供给所述驱动晶体管的栅极;

第七开关晶体管,用于在第二发光控制信号端的控制下将所述驱动晶体管的驱动电流提供给发光器件,以驱动发光器件发光;

发光器件,其第二端与第二电源端相连;

存储电容,用于在所述驱动晶体管的栅极浮接时,将所述第一节点的电压耦合到所述驱动晶体管的栅极;

所述驱动晶体管,用于在其栅极与第一极之间的电压差的控制下生成所述驱动电流。

2. 如权利要求1所述的像素补偿电路,其特征在于,所述像素补偿电路还包括:第八开关晶体管,用于在复位控制信号端的控制下将所述初始化信号端的信号提供给所述发光器件的第一端。

3. 如权利要求2所述的像素补偿电路,其特征在于,所述第八开关晶体管的栅极与所述复位控制信号端相连,所述第八开关晶体管的第一极与所述初始化信号端相连,所述第八开关晶体管的第二极与所述发光器件的第一端相连。

4. 如权利要求2所述的像素补偿电路,其特征在于,所述复位控制信号端与所述第一扫描信号端为同一信号端;或者,

所述复位控制信号端与所述第二扫描信号端为同一信号端;或者,

所述复位控制信号端与所述第一发光控制信号端为同一信号端;或者,

所述复位控制信号端与所述第二发光控制信号端为同一信号端。

5. 如权利要求1所述的像素补偿电路,其特征在于,所述第一开关晶体管的栅极与所述第一扫描信号端相连,所述第一开关晶体管的第一极与所述参考电压信号端相连,所述第一开关晶体管的第二极与所述驱动晶体管的第一极相连。

6. 如权利要求1所述的像素补偿电路,其特征在于,所述第二开关晶体管的栅极与所述第一发光控制信号端相连,所述第二开关晶体管的第一极与所述第一电源端相连,所述第二开关晶体管的第二极与所述驱动晶体管的第一极相连。

7. 如权利要求1所述的像素补偿电路,其特征在于,所述第三开关晶体管的栅极与所述第一发光控制信号端相连,所述第三开关晶体管的第一极与所述驱动晶体管的第一极相连,所述第三开关晶体管的第二极与所述第一节点相连。

8. 如权利要求1所述的像素补偿电路,其特征在于,所述第四开关晶体管的栅极与所述第一扫描信号端相连,所述第四开关晶体管的第一极与所述数据信号端相连,所述第四开关晶体管的第二极与所述第一节点相连。

9. 如权利要求1所述的像素补偿电路,其特征在于,所述第五开关晶体管的栅极与所述第一扫描信号端相连,所述第五开关晶体管的第一极与所述驱动晶体管的第二极相连,所述第五开关晶体管的第二极与所述驱动晶体管的栅极相连。

10. 如权利要求1所述的像素补偿电路,其特征在于,所述第六开关晶体管的栅极与所述第二扫描信号端相连,所述第六开关晶体管的第一极与所述初始化信号端相连,所述第六开关晶体管的第二极与所述驱动晶体管的栅极相连。

11. 如权利要求1所述的像素补偿电路,其特征在于,所述第七开关晶体管的栅极与所述第二发光控制信号端相连,所述第七开关晶体管的第一极与所述驱动晶体管的第二极相连,所述第七开关晶体管的第二极与所述发光器件的第一端相连。

12. 如权利要求1所述的像素补偿电路,其特征在于,所述存储电容的第一端与所述第一节点相连,所述存储电容的第二端与所述驱动晶体管的栅极相连。

13. 如权利要求1-12任一项所述的像素补偿电路,其特征在于,所述第五开关晶体管为双栅结构。

14. 如权利要求13所述的像素补偿电路,其特征在于,所述第五开关晶体管的有源层的沟道区的宽度为 $2.5\sim 3.5\mu\text{m}$,所述第五开关晶体管的有源层的沟道区的长度为 $6\sim 8\mu\text{m}$ 。

15. 如权利要求1-12任一项所述的像素补偿电路,其特征在于,所述第六开关晶体管为双栅结构。

16. 如权利要求15所述的像素补偿电路,其特征在于,所述第六开关晶体管的有源层的沟道区的宽度为 $2.5\sim 3.5\mu\text{m}$,所述第六开关晶体管的有源层的沟道区的长度为 $6\sim 8\mu\text{m}$ 。

17. 如权利要求1-12任一项所述的像素补偿电路,其特征在于,所述参考电压信号端的信号的电压与所述初始化信号端的信号的电压之间的电压差大于所述驱动晶体管的阈值电压。

18. 一种像素补偿电路,其特征在于,包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管、驱动晶体管、存储电容以及发光器件;

所述第一开关晶体管的栅极与第一扫描信号端相连,所述第一开关晶体管的第一极与参考电压信号端相连,所述第一开关晶体管的第二极与所述驱动晶体管的第一极相连;

所述第二开关晶体管的栅极与第一发光控制信号端相连,所述第二开关晶体管的第一极与第一电源端相连,所述第二开关晶体管的第二极与所述驱动晶体管的第一极相连;

所述第三开关晶体管的栅极与所述第一发光控制信号端相连,所述第三开关晶体管的第一极与所述驱动晶体管的第一极相连,所述第三开关晶体管的第二极与第一节点相连;

所述第四开关晶体管的栅极与所述第一扫描信号端相连,所述第四开关晶体管的第一极与数据信号端相连,所述第四开关晶体管的第二极与所述第一节点相连;

所述第五开关晶体管的栅极与所述第一扫描信号端相连,所述第五开关晶体管的第一极与所述驱动晶体管的第二极相连,所述第五开关晶体管的第二极与所述驱动晶体管的栅极相连;

所述第六开关晶体管的栅极与第二扫描信号端相连,所述第六开关晶体管的第一极与初始化信号端相连,所述第六开关晶体管的第二极与所述驱动晶体管的栅极相连;

所述第七开关晶体管的栅极与第二发光控制信号端相连,所述第七开关晶体管的第一极与所述驱动晶体管的第二极相连,所述第七开关晶体管的第二极与所述发光器件的第一端相连;

所述发光器件的第二端与第二电源端相连;

所述存储电容的第一端与所述第一节点相连,所述存储电容的第二端与所述驱动晶体管的栅极相连。

19.如权利要求18所述的像素补偿电路,其特征在于,所述像素补偿电路还包括:第八开关晶体管;

所述第八开关晶体管的栅极与复位控制信号端相连,所述第八开关晶体管的第一极与所述初始化信号端相连,所述第八开关晶体管的第二极与所述发光器件的第一端相连。

20.如权利要求19所述的像素补偿电路,其特征在于,所述复位控制信号端与所述第一扫描信号端为同一信号端;或者,

所述复位控制信号端与所述第二扫描信号端为同一信号端;或者,

所述复位控制信号端与所述第一发光控制信号端为同一信号端;或者,

所述复位控制信号端与所述第二发光控制信号端为同一信号端。

21.如权利要求18-20任一项所述的像素补偿电路,其特征在于,所述参考电压信号端的信号的电压与所述初始化信号端的信号的电压之间的电压差大于所述驱动晶体管的阈值电压。

22.一种有机发光显示面板,其特征在于,包括如权利要求1-21任一项所述的像素补偿电路。

23.如权利要求22所述的有机发光显示面板,其特征在于,所述有机发光显示面板还包括:多个像素单元、多条栅线、多条数据线、多条第一发光控制信号线、多条第二发光控制信号线、第一电源线、初始化信号线以及参考电压信号线;其中,各所述栅线、各所述数据线、各所述第一发光控制信号线、各所述第二发光控制信号线、所述第一电源线、所述初始化信号线以及所述参考电压信号线相互绝缘设置;

所述像素单元包括所述像素补偿电路;其中,所述像素补偿电路的第一扫描信号端与向其施加当前对应信号的栅线电连接,第二扫描信号端与向其施加当前对应信号的栅线电连接,第一发光控制信号端与向其施加当前对应信号的第一发光控制信号线电连接,第二发光控制信号端与向其施加当前对应信号的第二发光控制信号线电连接,数据信号端与向其施加当前对应数据信号的数据线电连接,参考电压信号端与所述参考电压信号线电连接,初始化信号端与所述初始化信号线电连接,第一电源端与所述第一电源线电连接。

24.如权利要求23所述的有机发光显示面板,其特征在于,各所述数据线与所述第一电源线以及所述像素补偿电路中的开关晶体管的第一极和第二极同材质且同层设置;

各所述栅线、所述参考电压信号线、所述初始化信号线分别与所述像素补偿电路中的开关晶体管的栅极同材质且同层设置。

25.一种有机发光显示装置,其特征在于,包括如权利要求22-24任一项所述的有机发光显示面板。

26. 如权利要求25所述的有机发光显示装置,其特征在于,所述有机发光显示装置包括:双面显示装置,柔性显示装置、全面屏显示装置中之一或组合。

像素补偿电路、有机发光显示面板及有机发光显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素补偿电路、有机发光显示面板及有机发光显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制其发光。一般在OLED显示器中,通过数据线将数据信号输入像素电路中的驱动晶体管的栅极,通过电源信号线将电源电压VDD输入驱动晶体管的源极,使驱动晶体管在栅源电压的作用下产生驱动电流以驱动连接的OLED发光。由于工艺制程和器件老化等原因,会使像素电路中的驱动晶体管的阈值电压 V_{th} 产生漂移,这样就导致了流过每个OLED的电流受 V_{th} 漂移的影响而发生变化导致显示亮度不均,从而影响整个图像的显示效果。并且由于流过每个OLED的电流与驱动晶体管的源极连接的电源电压VDD相关,在理想状态下,像素电路中的驱动晶体管接收到的电源电压VDD需要是恒定的。然而,由于OLED显示器在彩色显示时,不同颜色像素单元发光不同,使得流入不同颜色像素单元中的OLED的电流也不同,从而使得电源信号线中的电流也会发生波动,导致电源信号线上的IR Drop(压降)也会存在波动现象,进而导致输入像素电路中的高电压信号VDD的电压会发生变化,造成不同区域的电流差异,进而造成不同区域的OLED出现亮度不均匀现象。

发明内容

[0003] 本发明实施例提供一种像素补偿电路、有机发光显示面板及有机发光显示装置,用以解决现有技术中由于驱动晶体管的 V_{th} 漂移以及IR Drop的存在,造成的显示亮度不均匀的问题。

[0004] 因此,本发明实施例提供了一种像素补偿电路,包括:

[0005] 第一开关晶体管,用于在第一扫描信号端的控制下将参考电压信号端的信号提供给驱动晶体管的第一极;

[0006] 第二开关晶体管,用于在第一发光控制信号端的控制下将第一电源端的信号提供给所述驱动晶体管的第一极;

[0007] 第三开关晶体管,用于在所述第一发光控制信号端的控制下将所述驱动晶体管的第一极与第一节点导通;

[0008] 第四开关晶体管,用于在所述第一扫描信号端的控制下将数据信号端的信号提供给所述第一节点;

[0009] 第五开关晶体管,用于在所述第一扫描信号端的控制下将所述驱动晶体管的栅极与所述驱动晶体管的第二极导通;

[0010] 第六开关晶体管,用于在第二扫描信号端的控制下将初始化信号端的信号提供给

所述驱动晶体管的栅极；

[0011] 第七开关晶体管,用于在第二发光控制信号端的控制下将所述驱动晶体管的驱动电流提供给所述发光器件,以驱动所述发光器件发光；

[0012] 发光器件,其第二端与第二电源端相连；

[0013] 存储电容,用于在所述驱动晶体管的栅极浮接时,将所述第一节点的电压耦合到所述驱动晶体管的栅极；

[0014] 所述驱动晶体管,用于在其栅极与第一极之间的电压差的控制下生成所述驱动电流。

[0015] 相应地,本发明实施例还提供了一种像素补偿电路,包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管、驱动晶体管、存储电容以及发光器件；

[0016] 所述第一开关晶体管的栅极与第一扫描信号端相连,所述第一开关晶体管的第一极与参考电压信号端相连,所述第一开关晶体管的第二极与所述驱动晶体管的第一极相连；

[0017] 所述第二开关晶体管的栅极与第一发光控制信号端相连,所述第二开关晶体管的第一极与第一电源端相连,所述第二开关晶体管的第二极与所述驱动晶体管的第一极相连；

[0018] 所述第三开关晶体管的栅极与所述第一发光控制信号端相连,所述第三开关晶体管的第一极与所述驱动晶体管的第一极相连,所述第三开关晶体管的第二极与第一节点相连；

[0019] 所述第四开关晶体管的栅极与所述第一扫描信号端相连,所述第四开关晶体管的第一极与数据信号端相连,所述第四开关晶体管的第二极与所述第一节点相连；

[0020] 所述第五开关晶体管的栅极与所述第一扫描信号端相连,所述第五开关晶体管的第一极与所述驱动晶体管的第二极相连,所述第五开关晶体管的第二极与所述驱动晶体管的栅极相连；

[0021] 所述第六开关晶体管的栅极与第二扫描信号端相连,所述第六开关晶体管的第一极与初始化信号端相连,所述第六开关晶体管的第二极与所述驱动晶体管的栅极相连；

[0022] 所述第七开关晶体管的栅极与第二发光控制信号端相连,所述第七开关晶体管的第一极与所述驱动晶体管的第二极相连,所述第七开关晶体管的第二极与所述发光器件的第一端相连；

[0023] 所述发光器件的第二端与第二电源端相连；

[0024] 所述存储电容的第一端与所述第一节点相连,所述存储电容的第二端与所述驱动晶体管的栅极相连。

[0025] 相应地,本发明实施例还提供了一种有机发光显示面板,包括本发明实施例提供的上述像素补偿电路。

[0026] 相应地,本发明实施例还提供了一种有机发光显示装置,包括本发明实施例提供的上述有机发光显示面板。

[0027] 本发明有益效果如下：

[0028] 本发明实施例提供的像素补偿电路、有机发光显示面板及有机发光显示装置,包

括：第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管、驱动晶体管、存储电容以及发光器件；其中，通过第一开关晶体管、第四开关晶体管以及第五开关晶体管的作用可以分别向第一节点写入数据信号端的信号以及向驱动晶体管的栅极写入阈值电压，以实现补偿驱动晶体管的阈值电压的功能。通过第二开关晶体管与第三开关晶体管的作用可以在发光阶段实时将第一电源端的信号耦合到驱动晶体管的栅极，以避免第一电源端的IR Drop对驱动晶体管产生的驱动电流的不利影响，从而可以改善显示面板的亮度不均匀的现象，进而提高画面显示效果。

附图说明

- [0029] 图1为本发明实施例提供的像素补偿电路的结构示意图之一；
- [0030] 图2A为本发明实施例提供的像素补偿电路的结构示意图之二；
- [0031] 图2B为本发明实施例提供的像素补偿电路的结构示意图之三；
- [0032] 图3为本发明实施例提供的像素补偿电路的结构示意图之四；
- [0033] 图4为本发明实施例提供的像素补偿电路的结构示意图之五；
- [0034] 图5为本发明实施例提供的像素补偿电路的结构示意图之六；
- [0035] 图6为本发明实施例提供的像素补偿电路的结构示意图之七；
- [0036] 图7为本发明实施例一中的电路时序图；
- [0037] 图8A为本发明实施例二中的电路时序图之一；
- [0038] 图8B为本发明实施例三中的电路时序图之二；
- [0039] 图8C为本发明实施例四中的电路时序图之三；
- [0040] 图8D为本发明实施例五中的电路时序图之四；
- [0041] 图9为本发明实施例提供的有机发光显示装置的结构示意图。

具体实施方式

[0042] 为了使本发明的目的，技术方案和优点更加清楚，下面结合附图，对本发明实施例提供的像素补偿电路、有机发光显示面板及有机发光显示装置的具体实施方式进行详细说明。应当理解，下面所描述的优选实施例仅用于说明和解释本发明，并不用于限定本发明。并且在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。

[0043] 本发明实施例提供一种像素补偿电路，如图1所示，包括：第一开关晶体管M1、第二开关晶体管M2、第三开关晶体管M3、第四开关晶体管M4、第五开关晶体管M5、第六开关晶体管M6、第七开关晶体管M7、发光器件L、存储电容Cst以及驱动晶体管M0。其中，第一开关晶体管M1，用于在第一扫描信号端S1的控制下将参考电压信号端VREF的信号提供给驱动晶体管M0的第一极S。第二开关晶体管M2，用于在第一发光控制信号端EM1的控制下将第一电源端PVDD的信号提供给所述驱动晶体管M0的第一极S。第三开关晶体管M3，用于在所述第一发光控制信号端EM的控制下将所述驱动晶体管M0的第一极S与第一节点N1导通。第四开关晶体管M4，用于在所述第一扫描信号端S1的控制下将数据信号端DATA的信号提供给所述第一节点N1。第五开关晶体管M5，用于在所述第一扫描信号端S1的控制下将所述驱动晶体管M0的栅极G与所述驱动晶体管M0的第二极D导通。第六开关晶体管M6，用于在第二扫描信号端S2的控制下将初始化信号端VINIT的信号提供给所述驱动晶体管M0的栅极G。第七开关晶体管

M7,用于在第二发光控制信号端EM2的控制下将所述驱动晶体管M0的驱动电流提供给所述发光器件L,以驱动所述发光器件L发光。发光器件L的第二端与第二电源端PVEE相连。存储电容Cst,用于在所述驱动晶体管M0的栅极G浮接时,将所述第一节点N1的电压耦合到所述驱动晶体管M0的栅极G。所述驱动晶体管M0,用于在其栅极G与第一极S之间的电压差的控制下生成所述驱动电流。

[0044] 本发明实施例提供的像素补偿电路,包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管、驱动晶体管、存储电容以及发光器件;其中,通过第一开关晶体管、第四开关晶体管以及第五开关晶体管的作用可以分别向第一节点写入数据信号端的信号以及向驱动晶体管的栅极写入阈值电压,以实现补偿驱动晶体管的阈值电压的功能。通过第二开关晶体管与第三开关晶体管的作用可以在发光阶段实时将第一电源端的信号耦合到驱动晶体管的栅极,以避免第一电源端的IR Drop对驱动晶体管产生的驱动电流的不利影响,从而可以改善显示面板的亮度不均匀的现象,进而提高画面显示效果。

[0045] 在具体实施时,在本发明实施例提供的上述像素补偿电路中,如图1所示,驱动晶体管M0可以为P型晶体管;其中,驱动晶体管M0的第一极S为其源极,驱动晶体管M0的第二极D为其漏极,并且该驱动晶体管M0处于饱和状态时,电流由驱动晶体管M0的源极流向其漏极。

[0046] 在具体实施时,在本发明实施例提供的上述像素补偿电路中,发光器件的第一端为其正极,第二端为其负极。并且,发光器件一般为电致发光二极管,例如有机发光二极管,其在驱动晶体管处于饱和状态时的驱动电流的作用下实现发光。另外,一般发光器件具有发光阈值电压,在发光器件两端的电压大于或等于发光阈值电压时进行发光。

[0047] 在具体实施时,在本发明实施例提供的上述像素补偿电路中,第一电源端的电压 V_{dd} 一般为正值,第二电源端的电压 V_{ee} 一般接地或为负值。并且,参考电压信号端的信号的电压 V_{ref} 与所述初始化信号端的信号的电压 V_{init} 之间的关系为:参考电压信号端的信号的电压 V_{ref} 与所述初始化信号端的信号的电压 V_{init} 之间的电压差大于所述驱动晶体管的阈值电压 V_{th} ,即 $V_{ref}-V_{init}>|V_{th}|$ 。在实际应用中,上述各电压的具体数值需要根据实际应用环境来设计确定,在此不作限定。

[0048] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述第一开关晶体管M1的栅极与所述第一扫描信号端S1相连,所述第一开关晶体管M1的第一极与所述参考电压信号端VREF相连,所述第一开关晶体管M1的第二极与所述驱动晶体管M0的第一极S相连。其中,第一开关晶体管M1可以为P型晶体管;或者,第一开关晶体管也可以为N型晶体管,在此不作限定。

[0049] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述第二开关晶体管M2的栅极与所述第一发光控制信号端EM1相连,所述第二开关晶体管M2的第一极与所述第一电源端PVDD相连,所述第二开关晶体管M2的第二极与所述驱动晶体管M0的第一极S相连。其中,第二开关晶体管M2可以为P型晶体管;或者,第二开关晶体管也可以为N型晶体管,在此不作限定。

[0050] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述第三开关晶体管M3的栅极与所述第一发光控制信号端EM1相连,所述第三开关晶体管M3的第一极

与所述驱动晶体管M0的第一极S相连,所述第三开关晶体管M3的第二极与所述第一节点N1相连。其中,第三开关晶体管M3可以为P型晶体管;或者,第三开关晶体管也可以为N型晶体管,在此不作限定。

[0051] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述第四开关晶体管M4的栅极与所述第一扫描信号端S1相连,所述第四开关晶体管M4的第一极与所述数据信号端DATA相连,所述第四开关晶体管M4的第二极与所述第一节点N1相连。其中,第四开关晶体管M4可以为P型晶体管;或者,第四开关晶体管也可以为N型晶体管,在此不作限定。

[0052] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述第五开关晶体管M5的栅极与所述第一扫描信号端S1相连,所述第五开关晶体管M5的第一极与所述驱动晶体管M0的第二极D相连,所述第五开关晶体管M5的第二极与所述驱动晶体管M0的栅极G相连。其中,第五开关晶体管M5可以为P型晶体管;或者,第五开关晶体管也可以为N型晶体管,在此不作限定。

[0053] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,第五开关晶体管M5可以为双栅结构,该双栅极结构可以包括串联的第一子晶体管M51和第二子晶体管M52;其中,第一子晶体管M51的栅极和第二子晶体管M52的栅极均与第一扫描信号端S1相连,第一子晶体管M51的第一极与驱动晶体管M0的第二极D相连,第一子晶体管M51的第二极与第二子晶体管M52的第一极相连,第二子晶体管M52的第二极与驱动晶体管M0的栅极G相连。这样可以减少第五开关晶体管M5截止时的漏电流,从而在发光器件L发光时,有利于减少第五开关晶体管M5的漏电流对驱动晶体管M0的干扰,避免影响驱动晶体管M0驱动发光器件发光的驱动电流。并且,在具体实施时,第五开关晶体管M5的有源层的沟道区的宽度为 $2.5\sim 3.5\mu\text{m}$,第五开关晶体管的有源层的沟道区的长度为 $6\sim 8\mu\text{m}$ 。具体地,第五开关晶体管M5的有源层的沟道区的宽度可以为 $2.5\mu\text{m}$,长度可以为 $6\mu\text{m}$ 或 $8\mu\text{m}$;或者,宽度也可以为 $3.5\mu\text{m}$,长度也可以为 $6\mu\text{m}$ 或 $8\mu\text{m}$ 。在实际应用中,第五开关晶体管有源层的沟道区的宽度与长度需要根据实际应用环境来设计确定,在此不作限定。当然,第五开关晶体管也可以为单栅结构,在此不作限定。

[0054] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述第六开关晶体管M6的栅极与所述第二扫描信号端S2相连,所述第六开关晶体管M6的第一极与所述初始化信号端VINIT相连,所述第六开关晶体管M6的第二极与所述驱动晶体管M0的栅极G相连。其中,第六开关晶体管M6可以为P型晶体管;或者,第六开关晶体管也可以为N型晶体管,在此不作限定。

[0055] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,第六开关晶体管M6可以为双栅结构,该双栅极结构可以包括串联的第三子晶体管M61和第四子晶体管M62;其中,第三子晶体管M61的栅极和第四子晶体管M62的栅极均与第二扫描信号端S2相连,第三子晶体管M61的第一极与初始化信号端VINIT相连,第三子晶体管M61的第二极与第四子晶体管M62的第一极相连,第四子晶体管M62的第二极与驱动晶体管M0的栅极G相连。这样可以减少第六开关晶体管M6截止时的漏电流,从而在发光器件L发光时,有利于减少第六开关晶体管M6的漏电流对驱动晶体管M0的干扰,避免影响驱动晶体管M0驱动发光器件发光的驱动电流。并且,在具体实施时,第六开关晶体管M6的有源层的沟道区的宽度为 $2.5\sim 3.5$

μm ,第六开关晶体管M6的有源层的沟道区的长度为 $6\sim 8\mu\text{m}$ 。具体地,第六开关晶体管M6的有源层的沟道区的宽度可以为 $2.5\mu\text{m}$,长度可以为 $6\mu\text{m}$ 或 $8\mu\text{m}$;或者,宽度也可以为 $3.5\mu\text{m}$,长度也可以为 $6\mu\text{m}$ 或 $8\mu\text{m}$ 。在实际应用中,第六开关晶体管有源层的沟道区的宽度与长度需要根据实际应用环境来设计确定,在此不作限定。当然,第六开关晶体管也可以为单栅结构,在此不作限定。

[0056] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述第七开关晶体管M7的栅极与所述第二发光控制信号端EM2相连,所述第七开关晶体管M7的第一极与所述驱动晶体管M0的第二极D相连,所述第七开关晶体管M7的第二极与所述发光器件L的第一端相连。其中,第七开关晶体管M7可以为P型晶体管;或者,第七开关晶体管也可以为N型晶体管,在此不作限定。

[0057] 在具体实施时,在本发明实施例提供的像素补偿电路中,从降低漏电流的角度考虑,除第五开关晶体管与第六开关晶体管之外,上述其余晶体管也可以设置为双栅结构,在此不作限定。并且晶体管为双栅结构时,晶体管的有源层的沟道区的宽度为 $2.5\sim 3.5\mu\text{m}$,晶体管的有源层的沟道区的长度为 $6\sim 8\mu\text{m}$ 。具体地,晶体管的有源层的沟道区的宽度可以为 $2.5\mu\text{m}$,长度可以为 $6\mu\text{m}$ 或 $8\mu\text{m}$;或者,宽度也可以为 $3.5\mu\text{m}$,长度也可以为 $6\mu\text{m}$ 或 $8\mu\text{m}$ 。在实际应用中,双栅结构的晶体管的有源层的沟道区的宽度与长度需要根据实际应用环境来设计确定,在此不作限定。当然,除第五开关晶体管与第六开关晶体管之外,上述其余晶体管也可以设置为单栅结构,在此不作限定。在晶体管为单栅结构时,晶体管的有源层的沟道区的宽度为 $2.5\sim 3.5\mu\text{m}$,晶体管的有源层的沟道区的长度为 $3\sim 4\mu\text{m}$ 。在实际应用中,单栅结构的晶体管的有源层的沟道区的宽度与长度需要根据实际应用环境来设计确定,在此不作限定。

[0058] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所有的晶体管均可以为P型晶体管。

[0059] 在具体实施时,在本发明实施例提供的像素补偿电路中,如图1所示,所述存储电容Cst的第一端与所述第一节点N1相连,所述存储电容Cst的第二端与所述驱动晶体管M0的栅极G相连。其中,存储电容Cst可以在第一节点N1的信号与驱动晶体管M0的栅极G的信号的作用下进行充电或放电,以及在驱动晶体管M0的栅极G处于浮接状态时,由于存储电容Cst的耦合作用可以将第一节点N1的信号耦合至驱动晶体管M0的栅极G。

[0060] 下面以图1所示的像素补偿电路的结构为例,结合电路时序图对本发明实施例提供的像素补偿电路的工作过程作以描述。其中以1表示高电位信号,0表示低电位信号。需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是具体的电压值。

[0061] 实施例一、

[0062] 图1所示的像素补偿电路对应的电路时序图,如图7所示。具体地,主要选取图7所示的电路时序图中的初始化阶段T1、阈值补偿阶段T2以及发光阶段T3。

[0063] 在初始化阶段T1, $S1=1$, $S2=0$, $EM1=0$, $EM2=1$ 。

[0064] 由于 $S2=0$,因此第六开关晶体管M6导通并将初始化信号端VINIT的信号提供给驱动晶体管M0的栅极G,对驱动晶体管M0的栅极G进行初始化。由于 $EM1=0$,因此第二开关晶体管M2与第三开关晶体管M3均导通;其中,导通的第二开关晶体管M2将第一电源端PVDD的信号提供给驱动晶体管M0的第一极S,可以为驱动晶体管M0的第一极S进行初始化,以使驱动

晶体管的第一极的电压可以在阈值补偿阶段T2中通过统一的电压进行跳变,从而可以改善残影现象。并且导通的第二开关晶体管M2与第三开关晶体管M3可以将第一电源端PVDD的信号提供给第一节点N1,以对第一节点N1进行初始化,使第一节点N1的电压为 V_{dd} 。由于 $S1=1$,因此第一开关晶体管M1、第四开关晶体管M4以及第五开关晶体管M5均截止。由于 $EM2=1$,因此第七开关晶体管M7截止。

[0065] 在阈值补偿阶段T2, $S1=0$, $S2=1$, $EM1=1$, $EM2=1$ 。

[0066] 由于 $S1=0$,因此第一开关晶体管M1、第四开关晶体管M4以及第五开关晶体管M5均导通。导通的第四开关晶体管M4将数据信号端DATA的信号提供给第一节点N1,使第一节点N1的电压为数据信号端DATA的信号电压 V_{data} 。导通的第五开关晶体管M5将驱动晶体管M0的栅极G与第二极D导通,以使驱动晶体管M0处于二极管连接状态。导通的第一开关晶体管M1将参考电压信号端VREF的信号提供给驱动晶体管M0的第一极S,并通过处于二极管连接状态的驱动晶体管M0对驱动晶体管M0的栅极G进行充电,直至驱动晶体管M0的栅极G的电压变为: $V_{ref}-|V_{th}|$,以使驱动晶体管M0的栅极G进行阈值电压 V_{th} 的抓取工作。由于 $S2=1$,因此第六开关晶体管M6截止。由于 $EM1=1$,因此第二开关晶体管M2与第三开关晶体管M3均截止。由于 $EM2=1$,因此第七开关晶体管M7截止。

[0067] 在发光阶段T3, $S1=1$, $S2=1$, $EM1=0$, $EM2=0$ 。

[0068] 由于 $EM1=0$,因此第二开关晶体管M2与第三开关晶体管M3均导通。其中,导通的第二开关晶体管M2将第一电源端PVDD的信号提供给驱动晶体管M0的第一极S,使第一极S的电压为 V_{dd} 。并且导通的第二开关晶体管M2与第三开关晶体管M3可以将第一电源端PVDD的信号提供给第一节点N1,使第一节点N1的电压变为 V_{dd} 。由于驱动晶体管M0的栅极G处于浮接状态,由于存储电容Cst的耦合作用,为了保持其两端的电压差稳定,从而可以使驱动晶体管M0的栅极G的电压跳变为: $V_{dd}-V_{data}+V_{ref}-|V_{th}|$ 。因此,驱动晶体管M0产生驱动发光器件L发光的驱动电流 I_L 满足公式: $I_L=K(V_{sg}-|V_{th}|)^2=K(V_{dd}-V_{dd}+V_{data}-V_{ref}+|V_{th}|-|V_{th}|)^2=K(V_{data}-V_{ref})^2$;其中, V_{sg} 为驱动晶体管M0的源栅电压; K 为结构参数,相同结构中此数值相对稳定,可以算作常量。由于 $EM2=0$,因此第七晶体管M7导通,以使驱动晶体管M0产生的驱动电流 I_L 驱动发光器件L发光。通过上述驱动电流 I_L 满足的公式可知,驱动电流 I_L 仅与参考电压信号端VREF的电压 V_{ref} 和数据信号端DATA的电压 V_{data} 相关,而与驱动晶体管M0的阈值电压 V_{th} 以及第一电源端VDD的电压 V_{dd} 无关,可以解决由于驱动晶体管M0的阈值电压 V_{th} 漂移以及IR Drop对驱动电流的影响,从而使发光器件L的驱动电流保持稳定,进而保证了发光器件L的正常工作。

[0069] 在上述实施例一中,在发光阶段中,由于存储电容的第一端与第一电源端直接导通,可以将第一电源端的信号的电压实时耦合至第一节点,从而在第一电源端的电压由于IR Drop的原因变化时,可以实时避免第一电源端的电压变化对驱动电流 I_L 的影响,进而可以改善显示面板的亮度不均匀的现象,提高画面显示效果。

[0070] 进一步地,为了消除发光器件存留的上一帧发光的信号对本帧发光的影响,在具体实施时,在本发明实施例提供的像素补偿电路中,如图2A和图2B所示,即在图1所示的像素补偿电路的基础上,该像素补偿电路还可以包括:第八开关晶体管M8;其中,第八开关晶体管M8用于在复位控制信号端CS的控制下将所述初始化信号端VINIT的信号提供给所述发光器件L的第一端。并且,如图2A和图2B所示,所述第八开关晶体管M8的栅极与所述复位控

制信号端CS相连,所述第八开关晶体管M8的第一极与所述初始化信号端VINIT相连,所述第八开关晶体管M8的第二极与所述发光器件L的第一端相连。在具体实施时,如图2A所示,第八开关晶体管M8可以为P型晶体管;或者,如图2B所示,第八开关晶体管也可以为N型晶体管,在此不作限定。

[0071] 在具体实施时,在本发明实施例提供的像素补偿电路中,第八开关晶体管可以在初始化阶段与阈值补偿阶段中的至少一个阶段内,在复位控制信号端的信号的控制下将所述初始化信号端的信号提供给所述发光器件的第一端,即发光器件的阳极,以对发光器件的阳极进行复位。

[0072] 下面分别以图2A与图2B所示的像素补偿电路为例,结合电路时序图对本发明实施例提供的像素补偿电路的工作过程作以描述。

[0073] 实施例二、

[0074] 以图2A所示的像素补偿电路为例,其对应的电路时序图可以如图8A所示。具体地,主要选取图8A所示的电路时序图中的初始化阶段T1、阈值补偿阶段T2以及发光阶段T3。如图8A所示,复位控制信号端CS的信号仅在阈值补偿阶段T2中为低电位信号,在初始化阶段T1与发光阶段T3均为高电位信号,因此,第八开关晶体管M8仅在实施例一中的阈值补偿阶段T2中导通,以将初始化信号端VINIT的信号提供给发光器件L的第一端以对发光器件L的第一端进行复位,从而避免发光器件存留的上一帧发光的信号对本帧发光的影响。并且,图2A所示的像素补偿电路的其余工作过程可以参见实施例一中的工作过程,在此不作详述。

[0075] 通过图8A可以看出,复位控制信号端CS的信号可以与第一扫描信号端S1的信号相同,因此为了降低信号线的设置,节省信号端口数量,节省布线空间,在具体实施时,在本发明实施例提供的像素补偿电路中,复位控制信号端可以与所述第一扫描信号端为同一信号端,并且,第八开关晶体管与第一开关晶体管的类型相同。具体地,如图3所示,即在图2A所示的像素补偿电路的基础上,第八开关晶体管M8的栅极与第一扫描信号端S1相连,并且第八开关晶体管M8与第一开关晶体管M1均为P型晶体管;或者,第八开关晶体管与第一开关晶体管也可以均为N型晶体管,在此不作限定。并且,图3所示的像素补偿电路中的工作过程可以参见实施例二图中图2A所示的像素补偿电路的工作过程,在此不作详述。

[0076] 实施例三、

[0077] 以图2A所示的像素补偿电路为例,其对应的电路时序图也可以如图8B所示。具体地,主要选取图8B所示的电路时序图中的初始化阶段T1、阈值补偿阶段T2以及发光阶段T3。如图8B所示,复位控制信号端CS的信号仅在初始化阶段T1中为低电位信号,在阈值补偿阶段T2与发光阶段T3均为高电位信号,因此,第八开关晶体管M8仅在实施例一中的初始化阶段T1中导通,以将初始化信号端VINIT的信号提供给发光器件L的第一端以对发光器件L的第一端进行复位,从而避免发光器件存留的上一帧发光的信号对本帧发光的影响。并且,图2A所示的像素补偿电路的其余工作过程可以参见实施例一中的工作过程,在此不作详述。

[0078] 通过图8B可以看出,复位控制信号端CS的信号可以与第二扫描信号端S2的信号相同,因此为了降低信号线的设置,节省信号端口数量,节省布线空间,在具体实施时,在本发明实施例提供的像素补偿电路中,复位控制信号端可以与所述第二扫描信号端为同一信号端,此时第八开关晶体管的类型与第六开关晶体管的类型相同。具体地,如图4所示,即在图2A所示的像素补偿电路的基础上,第八开关晶体管M8的栅极与第二扫描信号端S2相连,并

且第八开关晶体管M8与第六开关晶体管M6均为P型晶体管；或者，第八开关晶体管与第六开关晶体管也可以均为N型晶体管，在此不作限定。并且，图4所示的像素补偿电路的工作过程可以参见实施例三中图2A所示的像素补偿电路的工作过程，在此不作详述。

[0079] 实施例四、

[0080] 以图2B所示的像素补偿电路为例，其对应的电路时序图可以如图8C所示。具体地，主要选取图8C所示的电路时序图中的初始化阶段T1、阈值补偿阶段T2以及发光阶段T3。如图8C所示，复位控制信号端CS的信号仅在阈值补偿阶段T2中为高电位信号，在初始化阶段T1与发光阶段T3均为低电位信号，因此，第八开关晶体管M8仅在实施例一中的阈值补偿阶段T2中导通，以将初始化信号端VINIT的信号提供给发光器件L的第一端以对发光器件L的第一端进行复位，从而避免发光器件存留的上一帧发光的信号对本帧发光的影响。并且，图2B所示的像素补偿电路的其余工作过程可以参见实施例一中的工作过程，在此不作详述。

[0081] 通过图8C可以看出，复位控制信号端CS的信号可以与第一发光控制信号端EM1的信号相同，因此为了降低信号线的设置，节省信号端口数量，节省布线空间，在具体实施时，在本发明实施例提供的像素补偿电路中，复位控制信号端可以与所述第一发光控制信号端为同一信号端，此时第八开关晶体管的类型与第二开关晶体管的类型相反。具体地，如图5所示，即在图2B所示的像素补偿电路的基础上，第八开关晶体管M8的栅极与第一发光控制信号端EM1相连。并且，第八开关晶体管M8为N型晶体管，第二开关晶体管M2为P型晶体管；或者，第八开关晶体也可以为P型晶体管，第二开关晶体管也可以为N型晶体管，在此不作限定。并且，图5所示的像素补偿电路的其余工作过程可以参见实施例四中图2B所示的像素补偿电路的工作过程，在此不作详述。

[0082] 实施例五、

[0083] 以图2B所示的像素补偿电路为例，其对应的电路时序图可以如图8D所示。具体地，主要选取图8D所示的电路时序图中的初始化阶段T1、阈值补偿阶段T2以及发光阶段T3。如图8D所示，复位控制信号端CS的信号仅在初始化阶段T1与阈值补偿阶段T2中均为高电位信号，在发光阶段T3为低电位信号，因此，第八开关晶体管M8仅在实施例一中的初始化阶段T1与阈值补偿阶段T2中均导通，以将初始化信号端VINIT的信号提供给发光器件L的第一端以对发光器件L的第一端进行复位，从而避免发光器件存留的上一帧发光的信号对本帧发光的影响。并且，图2B所示的像素补偿电路的其余工作过程可以参见实施例一中的工作过程，在此不作详述。

[0084] 通过图8D可以看出，复位控制信号端CS的信号可以与第二发光控制信号端EM2的信号相同，因此为了降低信号线的设置，节省信号端口数量，节省布线空间，在具体实施时，在本发明实施例提供的像素补偿电路中，复位控制信号端也可以与所述第二发光控制信号端为同一信号端，并且，第八开关晶体管的类型与第七开关晶体管的类型相反。具体地，如图6所示，即在图2B所示的像素补偿电路的基础上，第八开关晶体管M8的栅极与第二发光控制信号端EM2相连。并且，第八开关晶体管M8为N型晶体管，第七开关晶体管M7为P型晶体管；或者，第八开关晶体也可以为P型晶体管，第七开关晶体管也可以为N型晶体管，在此不作限定。并且，图6所示的像素补偿电路的其余工作过程可以参见实施例五中图2B所示的像素补偿电路的工作过程，在此不作详述。

[0085] 基于同一发明构思，本发明实施例还提供了一种有机发光显示面板，包括本发明

实施例提供的上述任一种像素补偿电路。该有机发光显示面板解决问题的原理与前述像素补偿电路相似,因此该有机发光显示面板的实施可以参见前述像素补偿电路的实施,重复之处在此不再赘述。

[0086] 在具体实施时,在本发明实施例提供的有机发光显示面板中,有机发光显示面板还包括:多个像素单元、多条栅线、多条数据线、多条第一发光控制信号线、多条第二发光控制信号线、第一电源线、初始化信号线以及参考电压信号线;其中,各所述栅线、各所述数据线、各所述第一发光控制信号线、各所述第二发光控制信号线、所述第一电源线、所述初始化信号线以及所述参考电压信号线相互绝缘设置;并且,所述像素单元包括所述像素驱动电路;其中,所述像素驱动电路的第一扫描信号端与向其施加当前对应信号的栅线电连接,第二扫描信号端与向其施加当前对应信号的栅线电连接,第一发光控制信号端与向其施加当前对应信号的第一发光控制信号线电连接,第二发光控制信号端与向其施加当前对应信号的第二发光控制信号线电连接,数据信号端与向其施加当前对应数据信号的数据线电连接,参考电压信号端与所述参考电压信号线电连接,初始化信号端与所述初始化信号线电连接,第一电源端与所述第一电源线电连接。

[0087] 在具体实施时,在本发明实施例提供的有机发光显示面板中,像素驱动电路中的开关晶体管的栅极、栅绝缘层、有源层、源极与漏极的制备工艺可以与现有技术中的相同,在此不作详述。

[0088] 在具体实施时,在本发明实施例提供的有机发光显示面板中,各所述数据线与所述第一电源线以及所述像素驱动电路中的开关晶体管的第一极和第二极同材质且同层设置;并且,各所述栅线、所述参考电压信号线、所述初始化信号线分别与所述像素补偿电路中的开关晶体管的栅极同材质且同层设置。这样可以采用一次构图工艺同时形成数据线、第一电源线以及像素驱动电路中的开关晶体管的第一极和第二极的图形,以及采用另一次构图工艺同时形成栅线、参考电压信号线、初始化信号线以及像素补偿电路中的开关晶体管的栅极的图形,可以简化制备工艺,降低有机发光显示面板的厚度。

[0089] 在具体实施时,在各所述数据线与所述第一电源线以及所述像素驱动电路中的开关晶体管的第一极和第二极同材质且同层设置时,在本发明实施例提供的有机发光显示面板中,各所述数据线可以沿所述像素单元的列方向延伸。

[0090] 在本发明实施例提供的有机发光显示面板中,第一电源线采用网格状结构设置在有机发光显示面板中。

[0091] 在具体实施时,在各所述栅线、所述参考电压信号线、所述初始化信号线分别与所述像素补偿电路中的开关晶体管的栅极同材质且同层设置时,在本发明实施例提供的有机发光显示面板中,各所述栅线、所述参考电压信号线、所述初始化信号线分别沿所述像素单元的行方向延伸。并且,由于相邻两行像素单元之间的间隙一般比相邻两列像素单元之间的间隙大,因此将参考电压信号线与初始化信号线分别沿所述像素单元的行方向延伸,可以进一步优化有机发光显示面板的版图设计。

[0092] 基于同一发明构思,本发明实施例还提供了一种有机发光显示装置,包括本发明实施例提供的上述有机发光显示面板。该有机发光显示装置解决问题的原理与前述有机发光显示面板相似,因此该有机发光显示装置的实施可以参见前述有机发光显示面板的实施,重复之处在此不再赘述。

[0093] 在具体实施时,本发明实施例提供的有机发光显示装置可以包括:双面显示装置,柔性显示装置、全面屏显示装置中之一或组合。

[0094] 在具体实施时,全面屏显示装置可以为如图9所示的全面屏手机。这样可以提高手机的屏占比,提升视觉效果。当然,全面屏显示装置也可以为其他装置,在此不作限定。

[0095] 在具体实施时,柔性显示装置可以为电子纸等可以弯曲的电子设备。

[0096] 在具体实施时,双面显示装置可以为使显示装置两侧的人员都能看到显示的内容的装置。

[0097] 在具体实施时,本发明实施例提供的显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0098] 本发明实施例提供的像素补偿电路、有机发光显示面板及有机发光显示装置,包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管、第七开关晶体管、驱动晶体管、存储电容以及发光器件;其中,通过第一开关晶体管、第四开关晶体管以及第五开关晶体管的作用可以分别向第一节点写入数据信号端的信号以及向驱动晶体管的栅极写入阈值电压,以实现补偿驱动晶体管的阈值电压的功能。通过第二开关晶体管与第三开关晶体管的作用可以在发光阶段实时将第一电源端的信号耦合到驱动晶体管的栅极,以避免第一电源端的IR Drop对驱动晶体管产生的驱动电流的不利影响,从而可以改善显示面板的亮度不均匀的现象,进而提高画面显示效果。

[0099] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

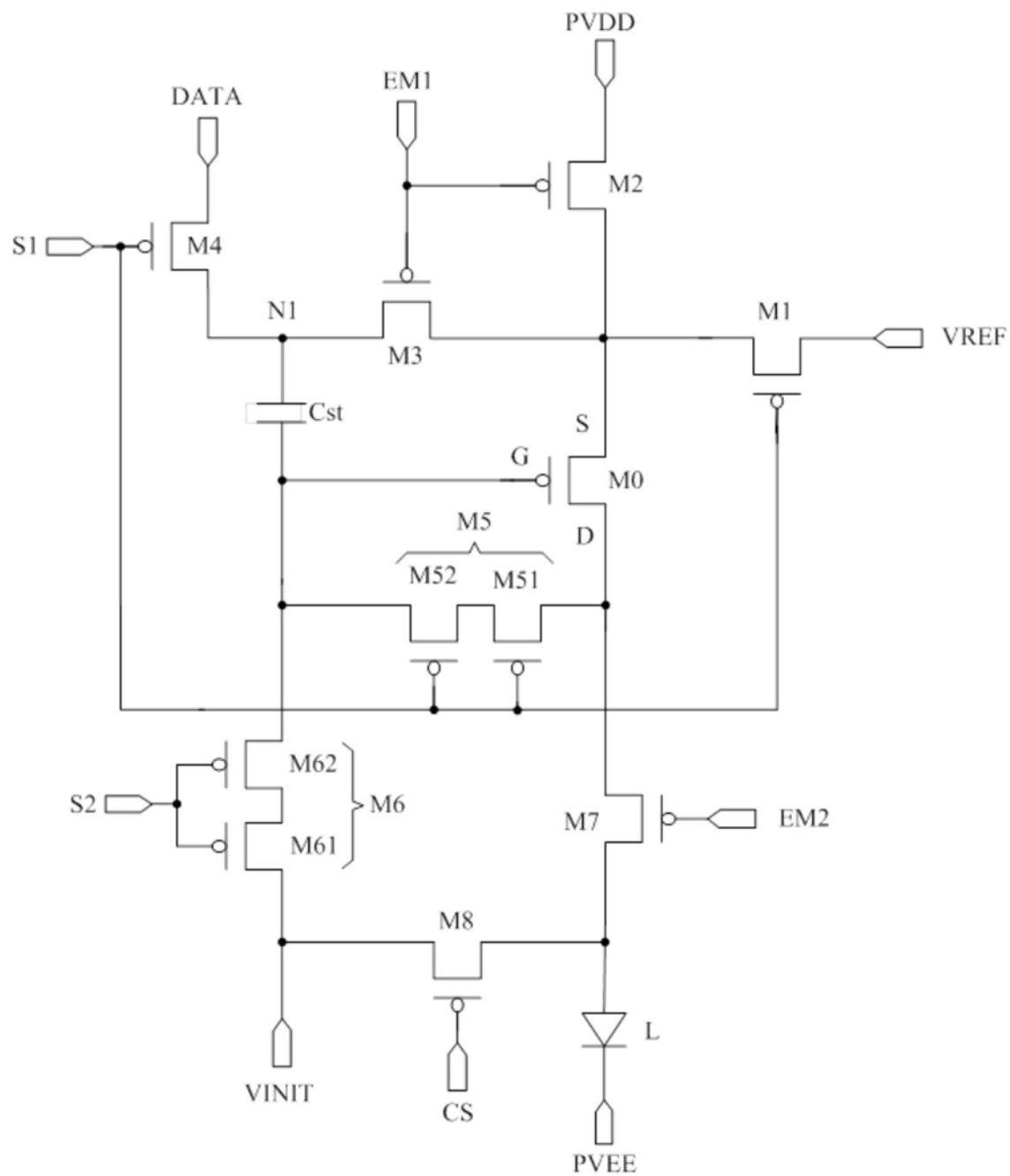


图2A

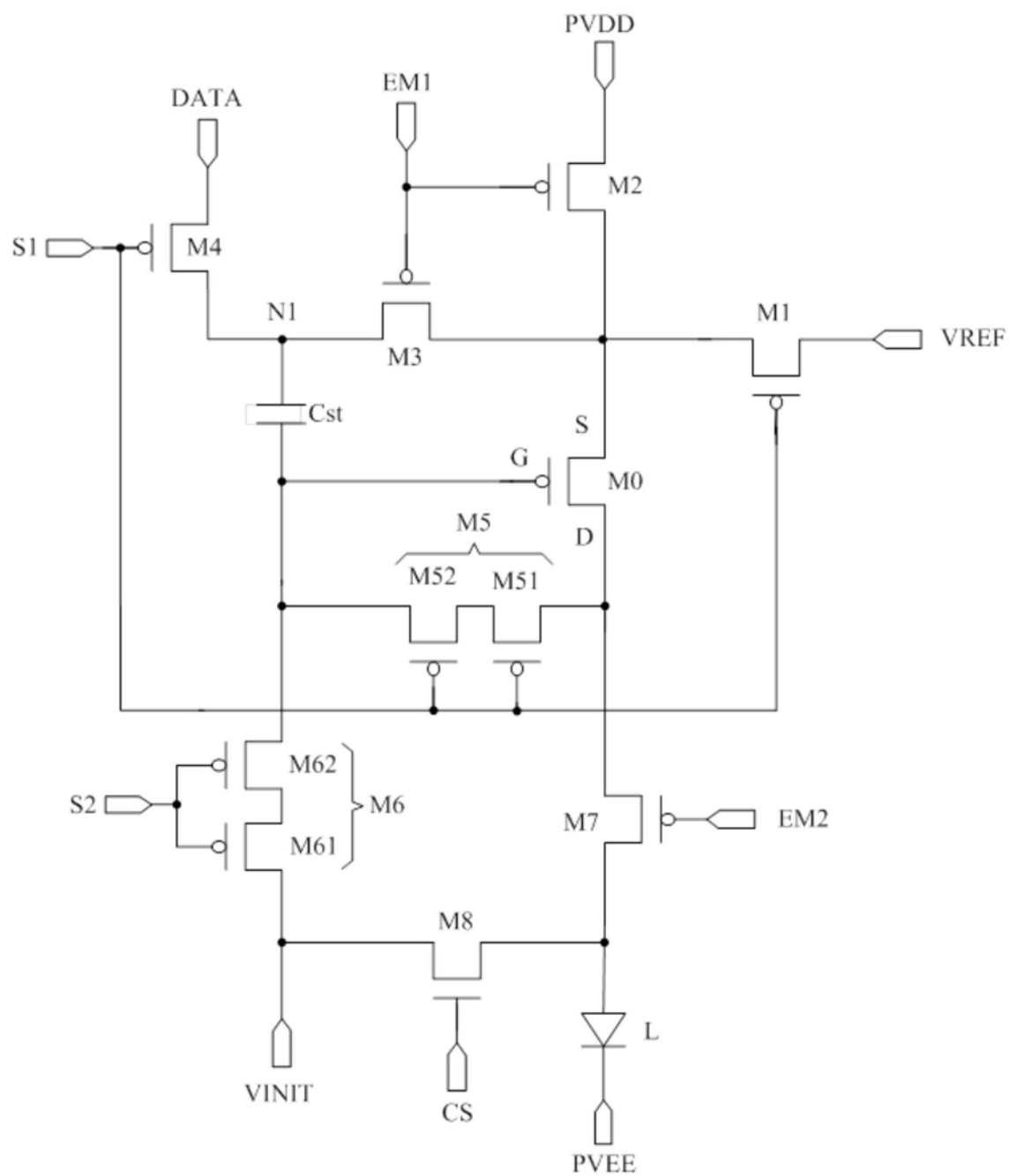


图2B

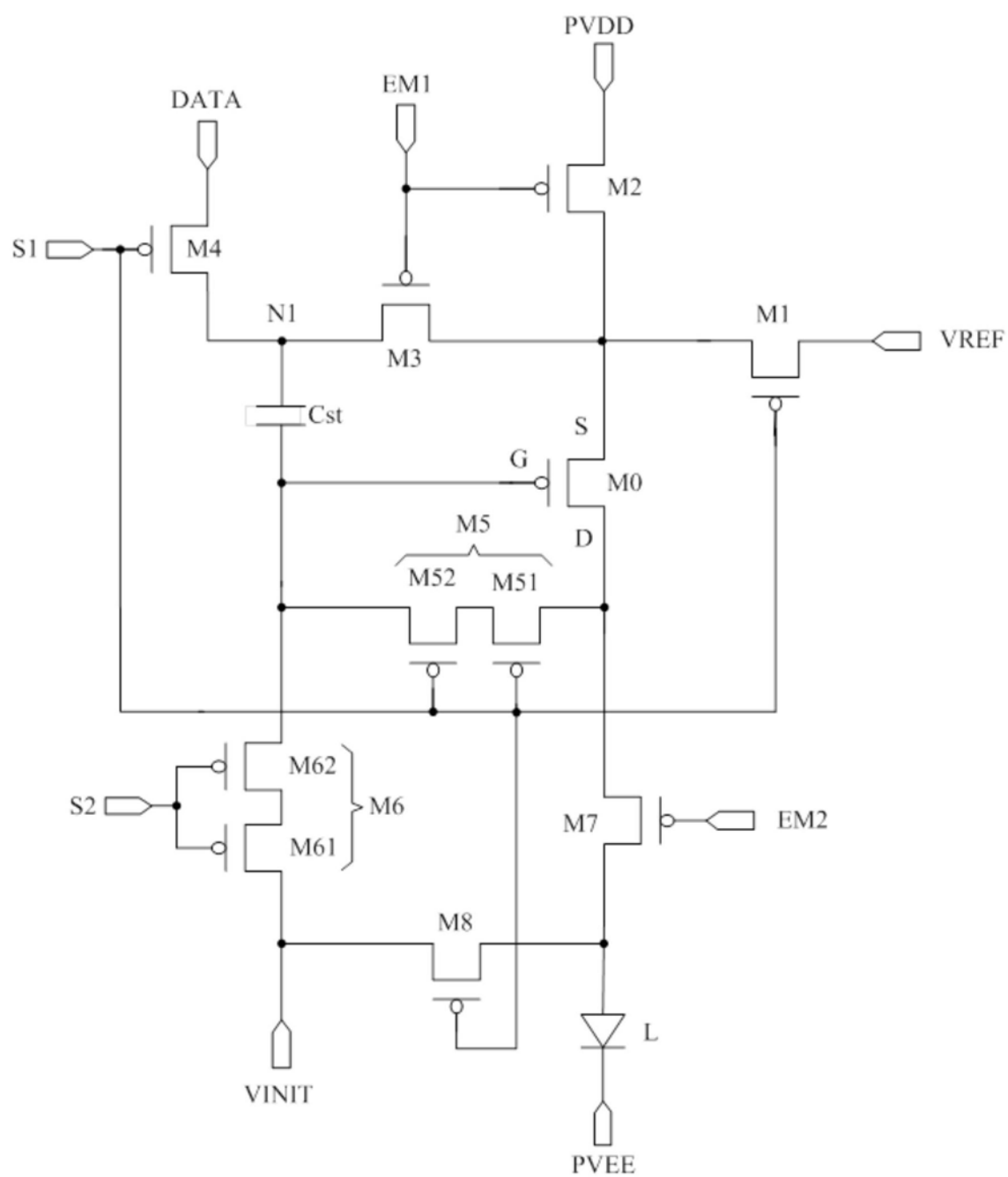


图3

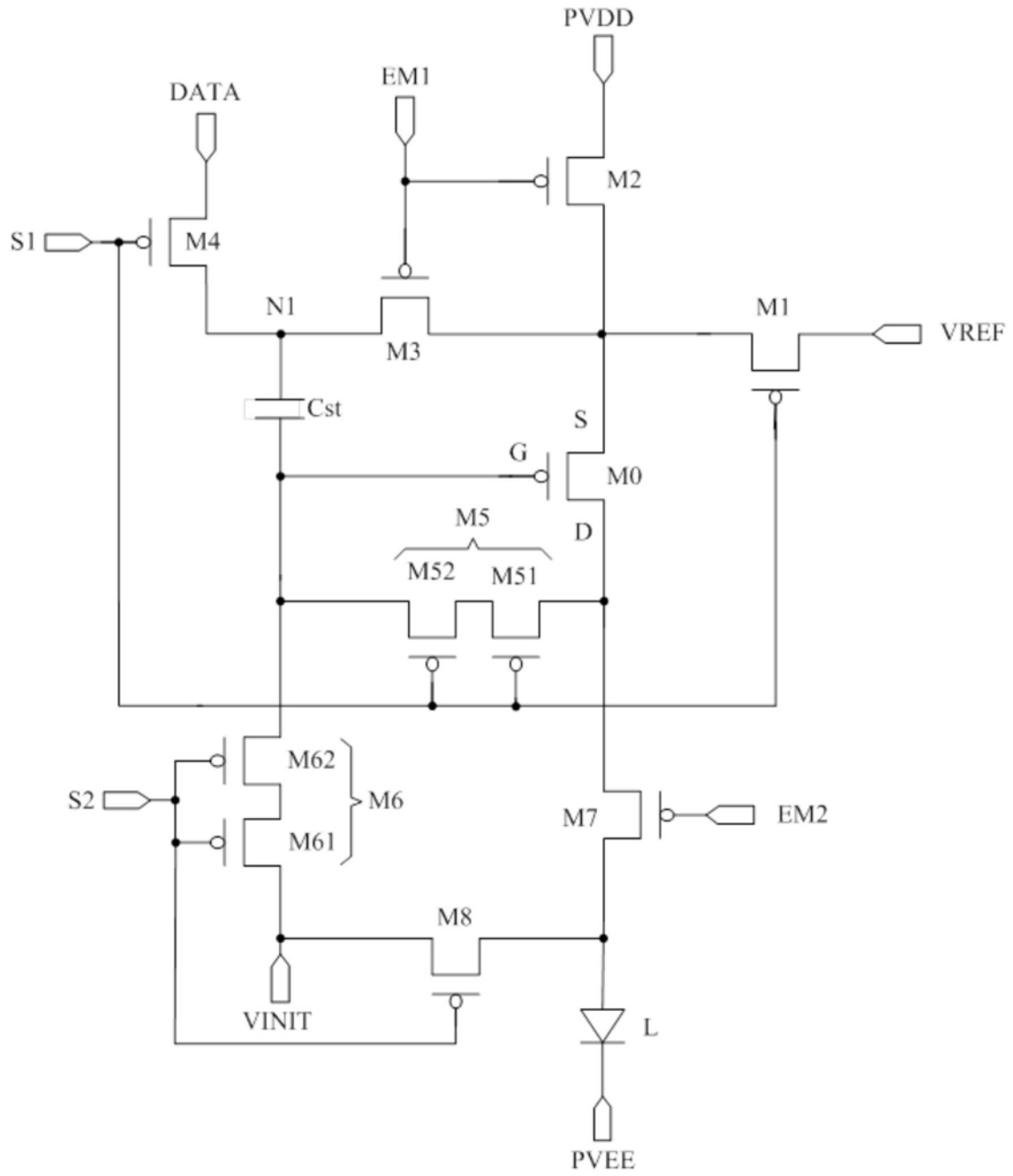


图4

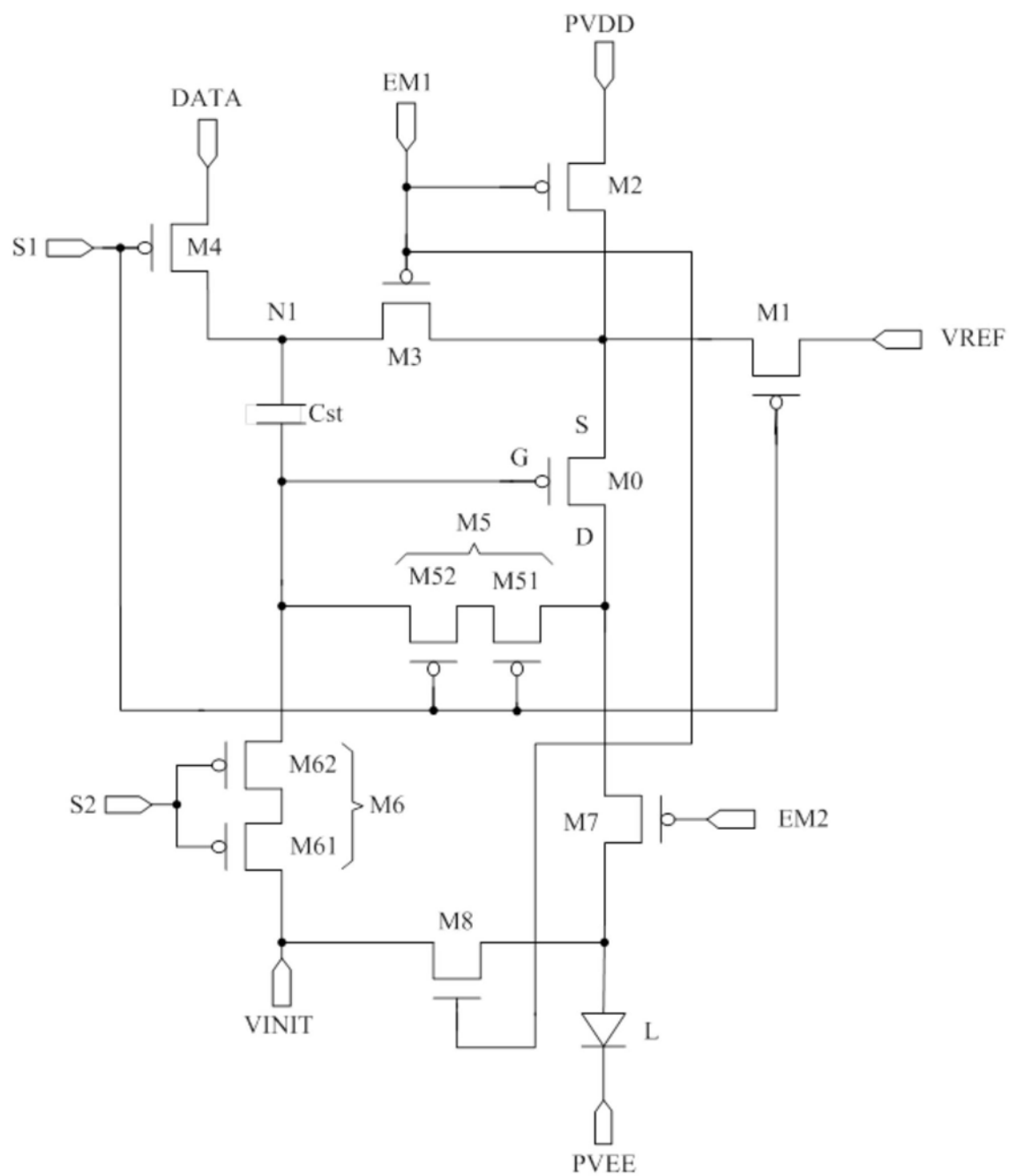


图5

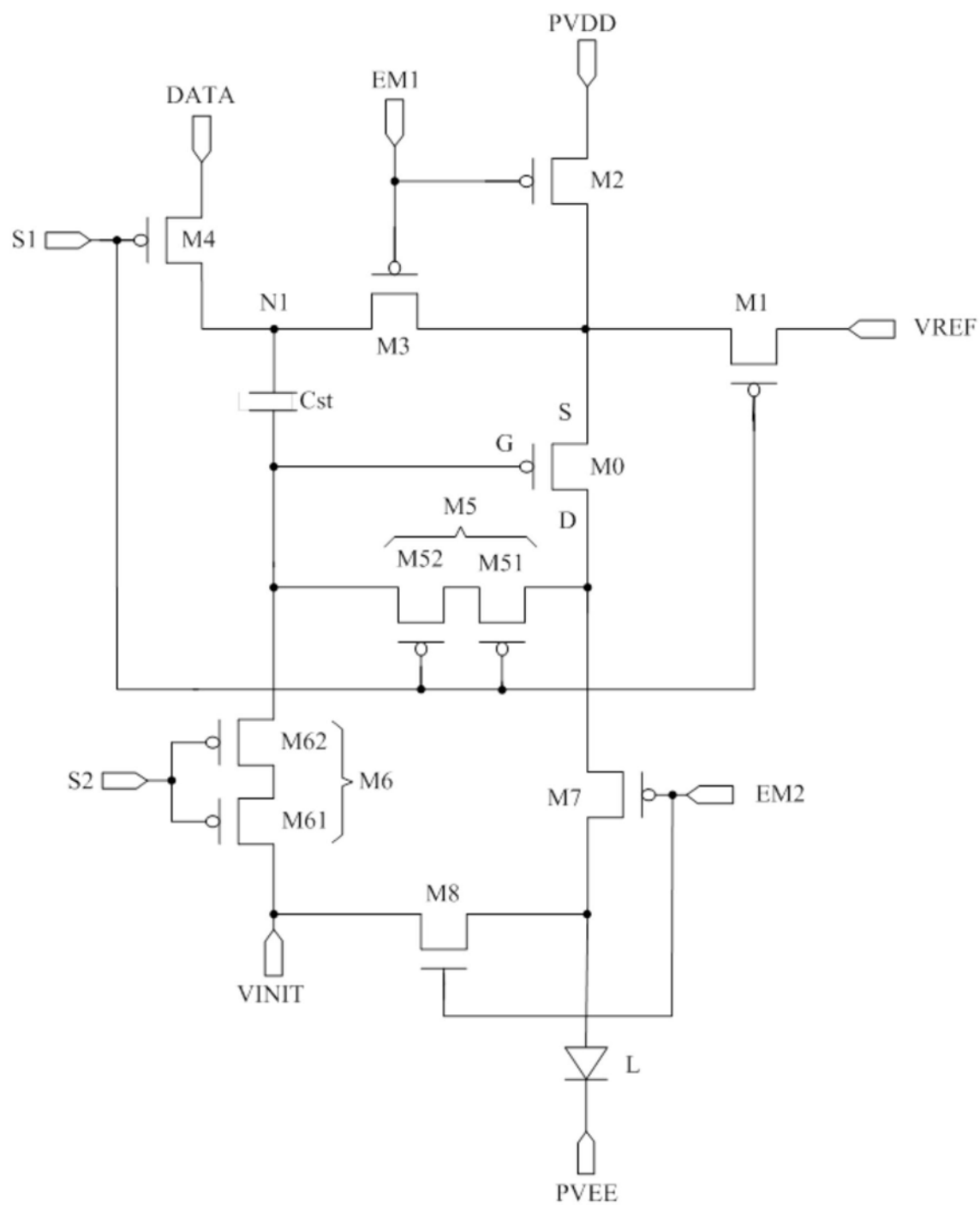


图6

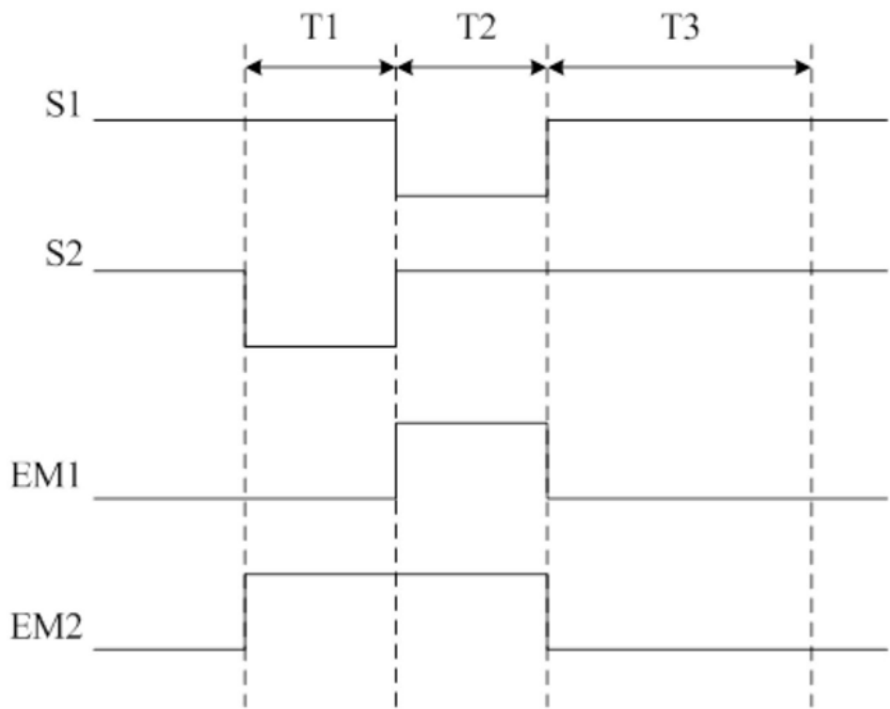


图7

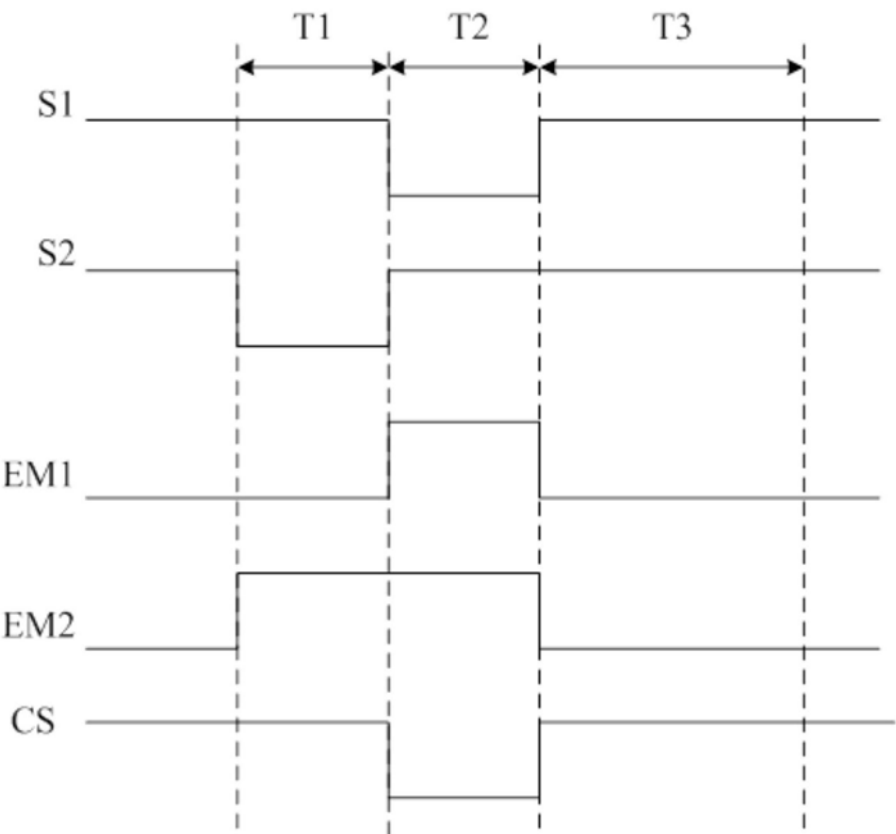


图8A

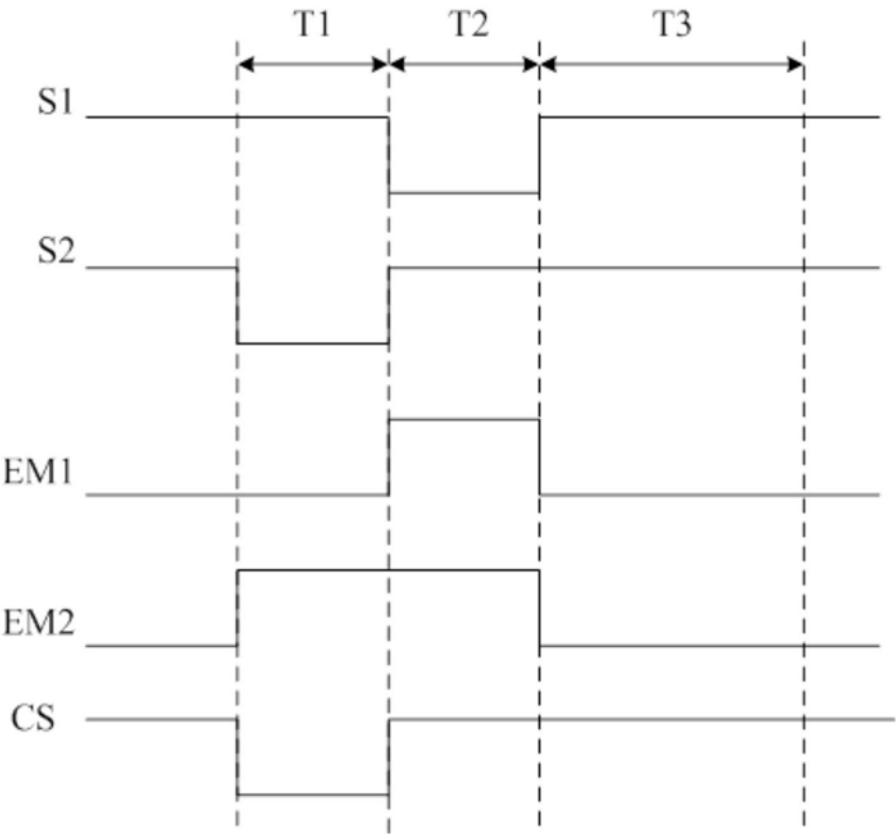


图8B

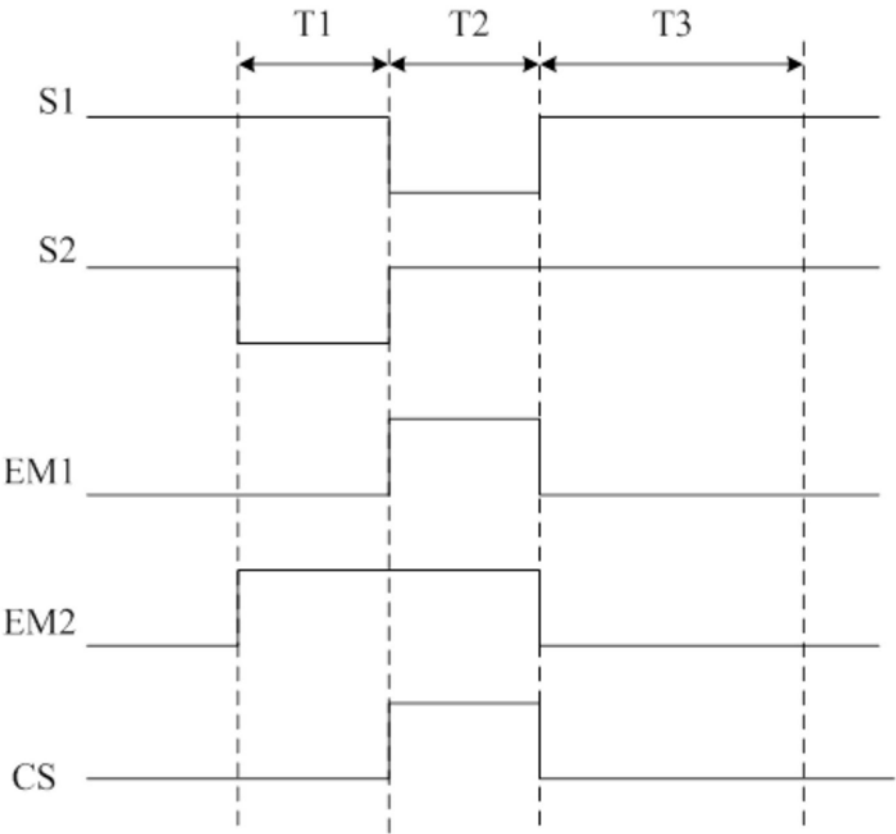


图8C

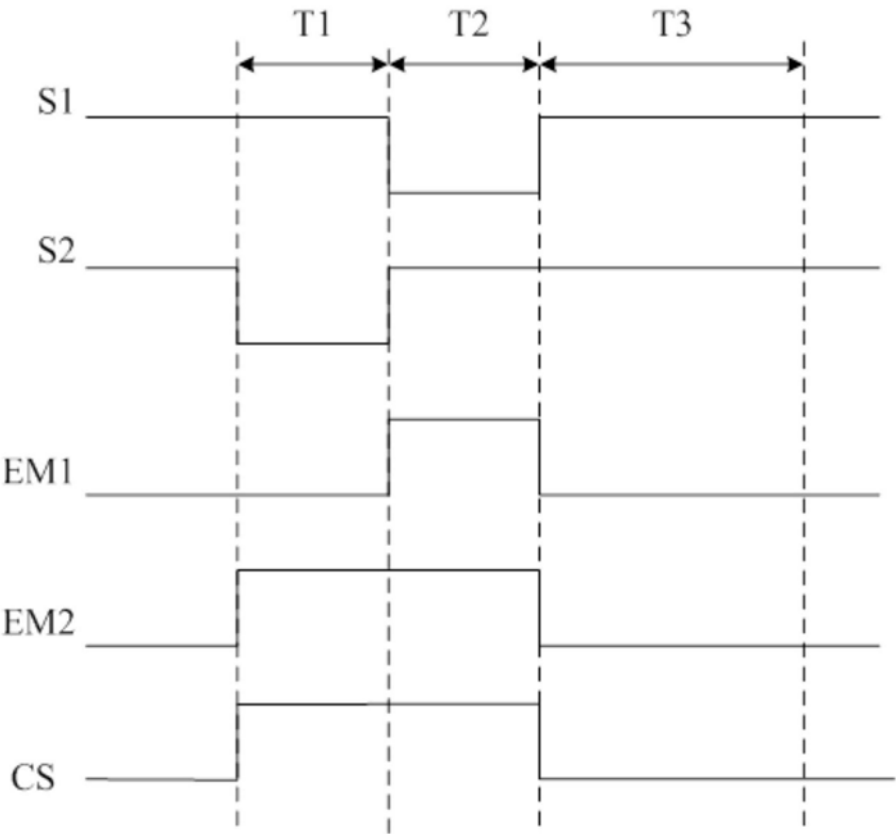


图8D

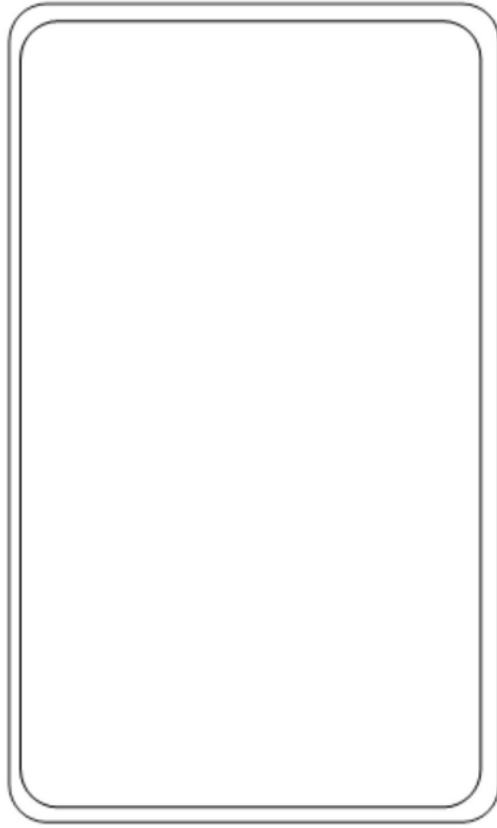


图9

