



(12) 发明专利申请

(10) 申请公布号 CN 105070740 A

(43) 申请公布日 2015. 11. 18

(21) 申请号 201510531471. X

(22) 申请日 2015. 08. 26

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 李光 许晨

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 23/528(2006. 01)

H01L 21/77(2006. 01)

G09G 3/32(2006. 01)

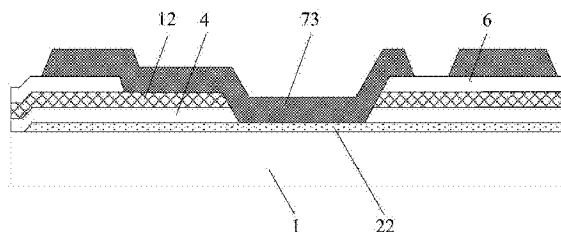
权利要求书2页 说明书5页 附图4页

(54) 发明名称

一种阵列基板及其制备方法、显示面板和显示装置

(57) 摘要

本发明公开了一种阵列基板及其制备方法、显示面板和显示装置,以解决现有技术中用于 OLED 的阵列基板的制备成本高和制备效率低的问题。所述阵列基板采用两行像素单元共用复位线的方式,且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔,所述第二过孔的部分区域暴露所述复位线的一部分,所述第二过孔的另一部分区域暴露部分所述第二半导体电极的一部分;所述源漏极金属层所包括的金属电极覆盖所述第二过孔暴露的所述复位线和所述第一薄膜晶体管的漏电极,使得所述复位线与属于相邻两行的所述薄膜晶体管的漏电极对应的所述第二半导体电极连接。



1. 一种阵列基板,用于有机发光二极管显示面板,所述阵列基板包括衬底基板和形成于所述衬底基板上多个像素单元,以相邻的两行所述像素单元为一像素单元组,属于同一所述像素单元组的两行所述像素单元之间设置一条复位线并共用所述复位线;其中,所述像素单元包括用于复位的第一薄膜晶体管,所述第一薄膜晶体管包括依形成于所述衬底基板之上的半导体导电层、第一绝缘层、栅电极、第二绝缘层和源漏极金属层,所述半导体导电层包括第一半导体电极和第二半导体电极,所述源漏极金属层包括所述第一薄膜晶体管的源电极和漏电极,所述第一半导体电极和所述第二半导体电极与所述第一薄膜晶体管的源电极和漏电极分别通过第一过孔对应的电连接;其特征在于:

属于同一所述像素单元组的两行所述像素单元的所述第一薄膜晶体管的漏电极通过同一第二过孔与所述复位线电连接,所述第二过孔位于所述复位线和所述第二半导体电极的交叠区域的上方,所述第二过孔内部为梯形结构,部分区域暴露所述复位线的一部分,所述第二过孔的另一部分区域暴露部分所述第二半导体电极的一部分;

所述源漏极金属层还包括金属电极,所述金属电极覆盖所述第二过孔暴露的所述复位线和所述第二半导体电极。

2. 根据权利要求1所述的阵列基板,其特征在于,所述第二过孔在所述衬底基板上的垂直投影落于所述复位线在所述衬底基板上的垂直投影之内。

3. 根据权利要求1所述的阵列基板,其特征在于,属于同一所述像素单元组的两行所述像素单元之间还设置的两条复位扫描线,所述复位线设置于两条所述复位扫描线之间。

4. 根据权利要求3所述的阵列基板,其特征在于,属于同一所述像素单元组的两行所述像素单元之间还设置的两条栅线,两条所述复位扫描线设置于两条所述栅线之间。

5. 根据权利要求4所述的阵列基板,其特征在于,所述复位扫描线、所述栅线和所述第一薄膜晶体管的栅电极同层设置。

6. 根据权利要求4所述的阵列基板,其特征在于,所述阵列基板还包括设置于两列相邻所述像素单元之间的数据线和电源信号线。

7. 根据权利要求6所述的阵列基板,其特征在于,所述像素单元还包括发光单元、第二薄膜晶体管、第三薄膜晶体管和电容器,所述第一薄膜晶体管的栅电极连接与之相近的所述复位扫描线,所述第一薄膜晶体管的源电极连接第二薄膜晶体管的源电极、第三薄膜晶体管的栅电极和所述电容器的一端,所述第二薄膜晶体管的栅电极连接与之相近的所述栅线,所述第二薄膜晶体管的漏电极连接数据线,所述第三薄膜晶体管的漏电极连接电源信号线,所述第三薄膜晶体管的源电极连接所述发光单元,所述电容器的另一端连接所述电源信号线。

8. 一种显示面板,其特征在于,包括如权利要求1至7任意一项所述的阵列基板。

9. 一种显示装置,其特征在于,包括如权利要求8所述的显示面板。

10. 一种阵列基板的制备方法,其特征在于,包括:

在衬底基板上形成包括第一半导体电极和第二半导体电极的半导体导电层;

在所述半导体导电层之上形成第一栅极绝缘层;

在所述第一栅极绝缘层之上形成包括复位线和第一薄膜晶体管的栅电极的栅极金属层;

在所述栅极金属层之上形成第二栅极绝缘层,在一次构图工艺中,形成对应所述第一

半导体电极和所述第二半导体电极的位置的第一过孔,以及使相邻两行所述像素单元的所连接的所述第二半导体电极和所述复位线交叠区域所对应位置形成内部为梯形结构的第二过孔,所述第二过孔的部分区域暴露出所述复位线的一部分,所述第二过孔的另一部分区域暴露出所述第二半导体电极的一部分;

在所述第二栅极绝缘层之上形成包括所述第一薄膜晶体管的源电极和漏电极、金属电极的源漏极金属层,所述第一薄膜晶体管的源电极和漏电极分别通过所述第一过孔与所述第一半导体电极和所述第二半导体电极对应的电连接,所述金属电极覆盖所述第二过孔暴露的所述复位线和所述第二半导体电极,使所述复位线与所述第二半导体电极电连接。

一种阵列基板及其制备方法、显示面板和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其制备方法、显示面板和显示装置。

背景技术

[0002] 有机发光二极管显示器 (Organic Light Emitting Diode, OLED) 是当今平板显示器研究领域的热点之一,与液晶显示器相比, OLED 具有低能耗、生产成本低、白发光、宽视角及响应速度快等优点,目前,在手机、PDA、数码相机等显示领域 OLED 已经开始取代传统的液晶显示器 (Liquid Crystal Display, LCD) LCD。

[0003] 与 LCD 利用稳定的电压控制亮度不同, OLED 属于电流驱动,需要稳定的电流来控制发光。由于工艺制程和器件老化等原因,会使像素电路的驱动晶体管的阈值电压存在不均匀性,这样就导致了流过每个像素点 OLED 的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果。因此,在现有 OLED 的像素电路中一般会设置消除驱动晶体管 (例如薄膜晶体管) 的阈值电压影响的复位单元,复位单元如复位晶体管和复位信号线,而增加的复位单元必然降低阵列基板的面积的利用效率,使实现高分辨率的难度加大。为了提高阵列基板的面积的利用率效率,现有技术中通常使上下两行像素单元共用一条复位线,而由于现有技术的 OLED 的阵列基板中,薄膜晶体管均是采用顶栅型结构,该顶栅型结构的薄膜晶体管在底层设置半导体导电层,在顶层设置源漏极金属层,薄膜晶体的源电极和漏电极分别经过孔与半导体导电层的不同的电极电连接,复位线通常与薄膜晶体管的栅电极同层,因此在制备工艺中,需要在制备源漏极金属层之前,以至少两次掩膜工艺形成过孔,以实现复位线和半层体导电层的电极的连接、及实现薄膜晶体的源电极和漏电极分别与半导体导电层的不同的电极的连接。因此,增加了制备成本且降低了制备效率。

发明内容

[0004] 本发明的目的是提供一种阵列基板及其制备方法、显示面板和显示装置,以解决现有技术中用于 OLED 的阵列基板的制备成本高和制备效率低的问题。

[0005] 本发明的目的是通过以下技术方案实现的:

[0006] 本发明实施例提供一种阵列基板,用于有机发光二极管显示面板,所述阵列基板包括衬底基板和形成于所述衬底基板上多个像素单元,以相邻的两行所述像素单元为一像素单元组,属于同一所述像素单元组的两行所述像素单元之间设置一条复位线并共用所述复位线;其中,所述像素单元包括用于复位的第一薄膜晶体管,所述第一薄膜晶体管包括依形成于所述衬底基板之上的半导体导电层、第一绝缘层、栅电极、第二绝缘层和源漏极金属层,所述半导体导电层包括第一半导体电极和第二半导体电极,所述源漏极金属层包括所述第一薄膜晶体管的源电极和漏电极,所述第一半导体电极和所述第二半导体电极与所述第一薄膜晶体管的源电极和漏电极分别通过第一过孔对应的电连接;

[0007] 属于同一所述像素单元组的两行所述像素单元的所述第一薄膜晶体管的漏电极

通过同一第二过孔与所述复位线电连接,所述第二过孔位于所述复位线和所述第二半导体电极的交叠区域的上方,所述第二过孔内部为梯形结构,部分区域暴露所述复位线的一部分,所述第二过孔的另一部分区域暴露部分所述第二半导体电极的一部分;

[0008] 所述源漏极金属层还包括金属电极,所述金属电极覆盖所述第二过孔暴露的所述复位线和所述第二半导体电极。

[0009] 优选的,所述第二过孔在所述衬底基板上的垂直投影落于所述复位线在所述衬底基板上的垂直投影之内。

[0010] 优选的,属于同一所述像素单元组的两行所述像素单元之间还设置的两条复位扫描线,所述复位线设置于两条所述复位扫描线之间。

[0011] 优选的,属于同一所述像素单元组的两行所述像素单元之间还设置的两条栅线,两条所述复位扫描线设置于两条所述栅线之间。

[0012] 优选的,所述复位扫描线、所述栅线和所述第一薄膜晶体管的栅电极同层设置。

[0013] 优选的,所述阵列基板还包括设置于两列相邻所述像素单元之间的数据线和电源信号线。

[0014] 优选的,所述像素单元还包括发光单元、第二薄膜晶体管、第三薄膜晶体管和电容器,所述第一薄膜晶体管的栅电极连接与之相近的所述复位扫描线,所述第一薄膜晶体管的源电极连接第二薄膜晶体管的源电极、第三薄膜晶体管的栅电极和所述电容器的一端,所述第二薄膜晶体管的栅电极连接与之相近的所述栅线,所述第二薄膜晶体管的漏电极连接数据线,所述第三薄膜晶体管的漏电极连接电源信号线,所述第三薄膜晶体管的源电极连接所述发光单元,所述电容器的另一端连接所述电源信号线。

[0015] 本发明实施例有益效果如下:两行像素单元共用复位线,且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔,所述第二过孔的部分区域暴露所述复位线的一部分,所述第二过孔的另一部分区域暴露部分所述第二半导体电极的一部分;所述源漏极金属层所包括的金属电极覆盖所述第二过孔暴露的所述复位线和所述第一薄膜晶体管的漏电极,使得所述复位线与属于相邻两行的所述薄膜晶体管的漏电极对应在的所述第二半导体电极连接;在制备过程中,仅需要一次制图工艺即可完成过孔(如第一过孔和第二过孔)制备,节省成本并提高制备效率。

[0016] 本发明实施例还提供一种显示面板,包括如上实施例提供的所述阵列基板。

[0017] 本发明实施例还提供一种显示装置,包括如上实施例提供的所述显示面板。

[0018] 本发明实施例有益效果如下:两行像素单元共用复位线,且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔,所述第二过孔的部分区域暴露所述复位线的一部分,所述第二过孔的另一部分区域暴露部分所述第二半导体电极的一部分;所述源漏极金属层所包括的金属电极覆盖所述第二过孔暴露的所述复位线和所述第二半导体电极,使得所述复位线与属于相邻两行的所述薄膜晶体管的漏电极对应在的所述第二半导体电极连接;在制备过程中,仅需要一次制图工艺即可完成过孔(如第一过孔和第二过孔)制备,节省成本并提高制备效率。

[0019] 本发明实施例还提供一种阵列基板的制备方法,包括:

[0020] 在衬底基板上形成包括第一半导体电极和第二半导体电极的半导体导电层;

[0021] 在所述半导体导电层之上形成第一栅极绝缘层;

[0022] 在所述第一栅极绝缘层之上形成包括复位线和第一薄膜晶体管的栅电极的栅极金属层；

[0023] 在所述栅极金属层之上形成第二栅极绝缘层，在一次构图工艺中，形成对应所述第一半导体电极和所述第二半导体电极的位置的第一过孔，以及使相邻两行所述像素单元的所连接的所述第二半导体电极和所述复位线交叠区域所对应位置形成内部为梯形结构的第二过孔，所述第二过孔的部分区域暴露出所述复位线的一部分，所述第二过孔的另一部分区域暴露出所述第二半导体电极的一部分；

[0024] 在所述第二栅极绝缘层之上形成包括所述第一薄膜晶体管的源电极和漏电极、金属电极的源漏极金属层，所述第一薄膜晶体管的源电极和漏电极分别通过所述第一过孔与所述第一半导体电极和所述第二半导体电极对应的电连接，所述金属电极覆盖所述第二过孔暴露的所述复位线和所述第二半导体电极，使所述复位线与所述第二半导体电极电连接。

[0025] 本发明实施例有益效果如下：两行像素单元共用复位线，且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔，所述第二过孔的部分区域暴露所述复位线的一部分，所述第二过孔的另一部分区域暴露部分所述第二半导体电极的一部分；所述源漏极金属层所包括的金属电极覆盖所述第二过孔暴露的所述复位线和所述第二半导体电极，使得所述复位线与属于相邻两行的所述薄膜晶体管的漏电极对应在的所述第二半导体电极连接；在制备过程中，仅需要一次制图工艺即可完成过孔（如第一过孔和第二过孔）制备，节省成本并提高制备效率。

附图说明

[0026] 图 1 为本发明实施例提供的阵列基板的像素单元的排布示意图；

[0027] 图 2 为本发明实施例提供的阵列基板的像素单元组中，位于同一列的相邻两行像素单元的第一薄膜晶体管的剖面结构示意图；

[0028] 图 3 为本发明实施例提供的阵列基板中，在第二过孔处的剖面结构示意图；

[0029] 图 4 为本发明实施例提供的阵列基板中，在第二过孔处未形成金属电极的剖面结构示意图；

[0030] 图 5 为本发明实施例提供的较具体的阵列基板的像素单元的排布示意图；

[0031] 图 6 为本发明实施例提供的阵列基板的制备方法的流程图。

具体实施方式

[0032] 下面结合说明书附图对本发明实施例的实现过程进行详细说明。需要注意的是，自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能理解为对本发明的限制。

[0033] 参见图 1 至图 5，本发明实施例提供一种阵列基板，用于有机发光二极管显示面板。如图 1 所示的阵列基板的像素单元的排布示意图，阵列基板包括衬底基板 1 和形成于衬底基板 1 上多个像素单元 10，以相邻的两行像素单元 10 为一像素单元组，属于同一像素单元组的两行像素单元 10 之间设置一条复位线 12 并共用复位线 12，属于同一像素单元组的两行像素单元 10 之间还设置的两条复位扫描线 13。

[0034] 像素单元 10 包括用于复位的第一薄膜晶体管 11。如图 2 所示,2 为本发明实施例提供的阵列基板的像素单元组中,位于同一列的相邻两行像素单元 10 的第一薄膜晶体管 11 的剖面结构示意图。其中,第一薄膜晶体管 11 包括依形成于衬底基板 1 之上的半导体导电层、有源层 3、第一绝缘层 4、栅电极 51、第二绝缘层 6 和源漏极金属层,半导体导电层包括第一半导体电极 21 和第二半导体电极 22,源漏极金属层包括第一薄膜晶体管 11 的源电极 71 和漏电极 72,第一半导体电极 21 和第二半导体电极 22 与第一薄膜晶体管 11 的源电极 71 和漏电极 72 分别通过第一过孔(未标记)对应的电连接;

[0035] 其中,属于同一像素单元组的两行像素单元 10 的第一薄膜晶体管 11 的漏电极 72 通过同一第二过孔 8 与复位线 12 电连接,第二过孔 8 位于复位线 12 和第二半导体电极 22 的交叠区域的上方,第二过孔 8 内部为梯形结构,部分区域暴露复位线 12 的一部分,第二过孔 8 的另一部分区域暴露部分第二半导体电极 22 的一部分;源漏极金属层还包括金属电极 73,金属电极 73 覆盖第二过孔 8 暴露的复位线 12 和第二半导体电极 22。具体如图 3 所示的本发明实施例提供的阵列基板中,在第二过孔 8 处的剖面结构示意图;以及如图 4 所示的本发明实施例提供的阵列基板中,在第二过孔 8 处未形成金属电极 73 的剖面结构示意图。

[0036] 本发明实施例中,两行像素单元 10 共用复位线 12,且复位线 12 与复位用的第一薄膜晶体管 11 的连接采用内部为梯形结构的第二过孔 8,第二过孔 8 的部分区域暴露复位线 12 的一部分,第二过孔 8 的另一部分区域暴露部分第二半导体电极 22 的一部分;金属电极 73 覆盖第二过孔 8 暴露的复位线 12 和第二半导体电极 22,使得复位线 12 与属于相邻两行的薄膜晶体管的漏电极 72 对应的第二半导体电极 22 连接,在制备过程中,仅需要一次制图工艺即可完成过孔(如第一过孔和第二过孔)制备。

[0037] 优选的,第二过孔 8 在衬底基板 1 上的垂直投影落于复位线 12 在衬底基板 1 上的垂直投影之内。

[0038] 优选的,属于同一像素单元组的两行像素单元之间,复位线 12 设置于两条复位扫描线 13 之间。

[0039] 参见图 5,优选的,属于同一像素单元组的两行像素单元 10 之间还设置的两条栅线 52,两条所述复位扫描线 13 设置于两条栅线 52 之间。

[0040] 优选的,复位扫描线 13、栅线 52 和第一薄膜晶体管 11 的栅电极 51 同层设置。

[0041] 优选的,阵列基板包括设置于两列相邻像素单元之间的数据线 14 和电源信号线 15。优选的,数据线 14 和电源信号线 15 与第一薄膜晶体管 11 的源电极 71 和漏电极 72 同层设置。

[0042] 优选的,像素单元 10 包括发光单元 16、第二薄膜晶体管 17、第三薄膜晶体管 18 和电容器 19,第一薄膜晶体管 11 的栅电极 51 连接与之相近的复位扫描线 13,第一薄膜晶体管 11 的源电极 71 连接第二薄膜晶体管 17 的源电极 71、第三薄膜晶体管 18 的栅电极 51 和电容器 19 的一端,第二薄膜晶体管 17 的栅电极 51 连接与之相近的栅线 52,第二薄膜晶体管 17 的漏电极 72 连接数据线 14,第三薄膜晶体管 18 的漏电极 72 和电容器 19 的另一端均连接电源信号线 15,第三薄膜晶体管 18 的源电极 71 连接发光单元 16。

[0043] 本发明实施例有益效果如下:两行像素单元共用复位线,且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔,第二过孔的部分区域暴露复位线的一部分,第二过孔的另一部分区域暴露部分第二半导体电极的一部分;源漏极金属层所包

括的金属电极覆盖第二过孔暴露的复位线和第一薄膜晶体管的漏电极,使得复位线与属于相邻两行的薄膜晶体管的漏电极对应的第二半导体电极连接;在制备过程中,仅需要一次制图工艺即可完成过孔(如第一过孔和第二过孔)制备,节省成本并提高制备效率。

[0044] 本发明实施例还提供一种显示面板,包括如上实施例提供的阵列基板。

[0045] 本发明实施例还提供一种显示装置,包括如上实施例提供的显示面板。

[0046] 本发明实施例有益效果如下:两行像素单元共用复位线,且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔,第二过孔的部分区域暴露复位线的一部分,第二过孔的另一部分区域暴露部分第二半导体电极的一部分;源漏极金属层所包括的金属电极覆盖第二过孔暴露的复位线和第二半导体电极,使得复位线与属于相邻两行的薄膜晶体管的漏电极对应的第二半导体电极连接;在制备过程中,仅需要一次制图工艺即可完成过孔(如第一过孔和第二过孔)制备,节省成本并提高制备效率。

[0047] 参见图 6,本发明实施例还提供一种阵列基板的制备方法,包括:

[0048] 101,在衬底基板上形成包括第一半导体电极和第二半导体电极的半导体导电层。

[0049] 102,在半导体导电层之上形成第一栅极绝缘层。

[0050] 103.,在第一栅极绝缘层之上形成包括复位线和第一薄膜晶体管的栅电极的栅极金属层。

[0051] 104,在栅极金属层之上形成第二栅极绝缘层,在一次构图工艺中,形成对应第一半导体电极和第二半导体电极的位置的第一过孔,以及使相邻两行像素单元的所连接的第二半导体电极和复位线交叠区域所对应位置形成内部为梯形结构的第二过孔,第二过孔的部分区域暴露出复位线的一部分,第二过孔的另一部分区域暴露出第二半导体电极的一部分。

[0052] 105,在第二栅极绝缘层之上形成包括第一薄膜晶体管的源电极和漏电极、金属电极的源漏极金属层,第一薄膜晶体管的源电极和漏电极分别通过第一过孔与第一半导体电极和第二半导体电极对应的电连接,金属电极覆盖第二过孔暴露的复位线和第二半导体电极,使复位线与第二半导体电极电连接。

[0053] 本发明实施例有益效果如下:两行像素单元共用复位线,且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔,第二过孔的部分区域暴露复位线的一部分,第二过孔的另一部分区域暴露部分第二半导体电极的一部分;源漏极金属层所包括的金属电极覆盖第二过孔暴露的复位线和第二半导体电极,使得复位线与属于相邻两行的薄膜晶体管的漏电极对应的第二半导体电极连接;在制备过程中,仅需要一次制图工艺即可完成过孔(如第一过孔和第二过孔)制备,节省成本并提高制备效率。

[0054] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

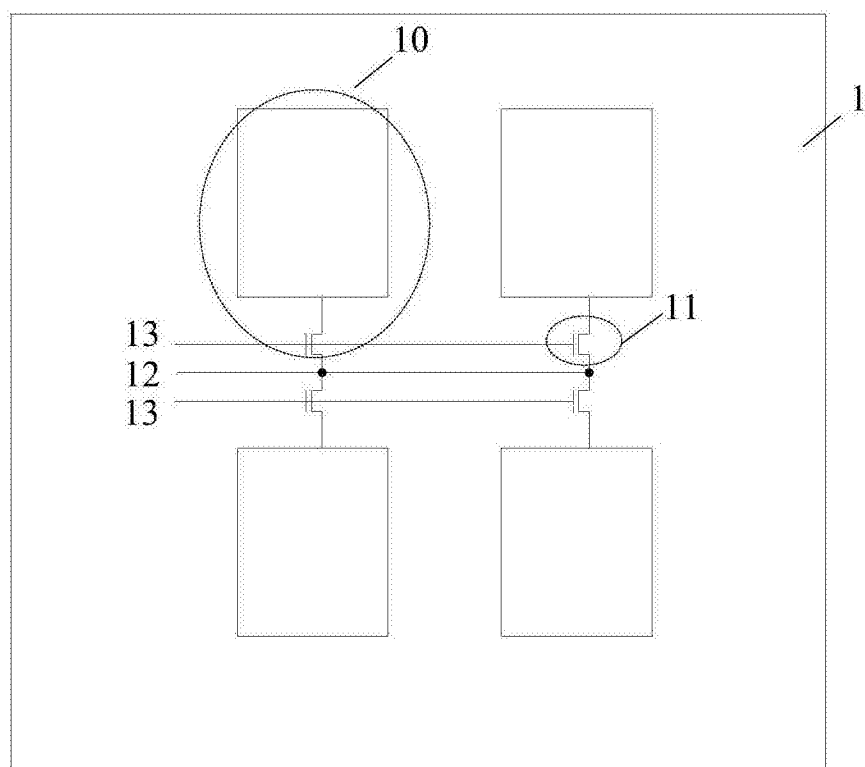


图 1

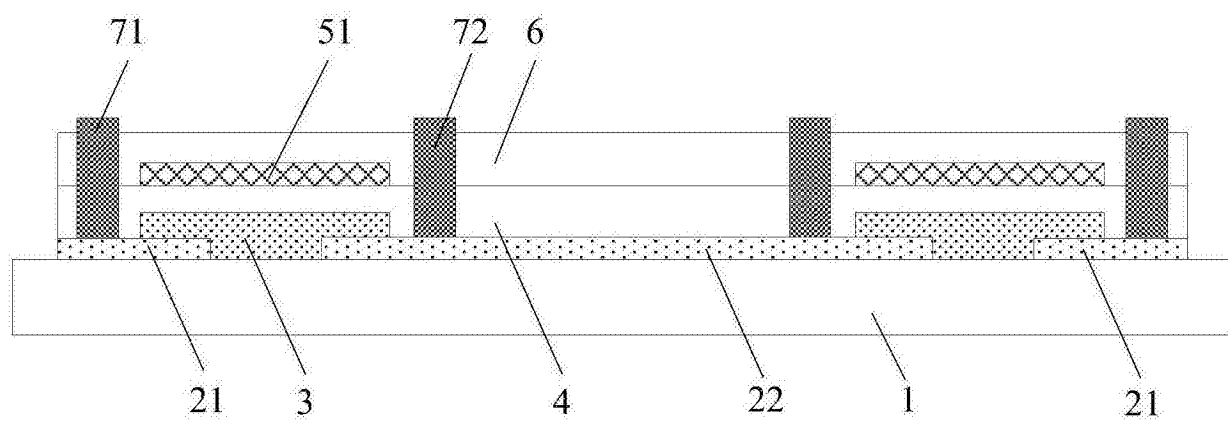


图 2

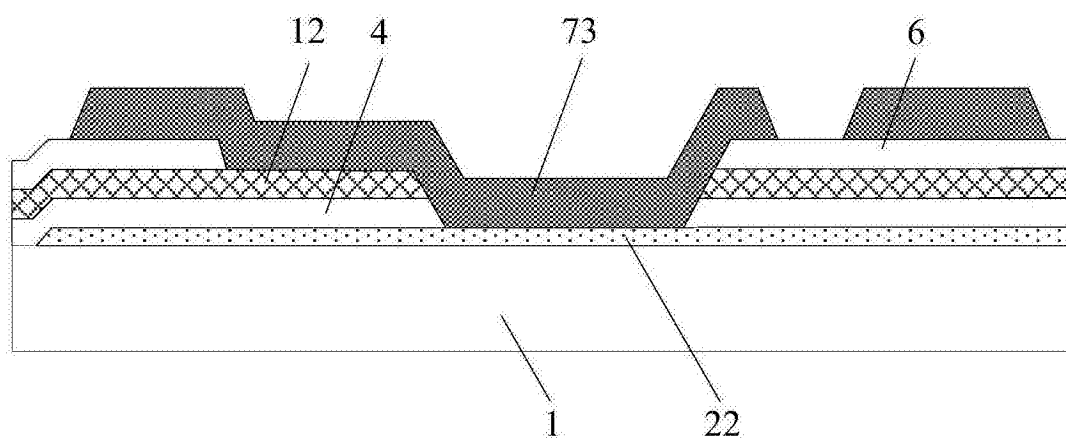


图 3

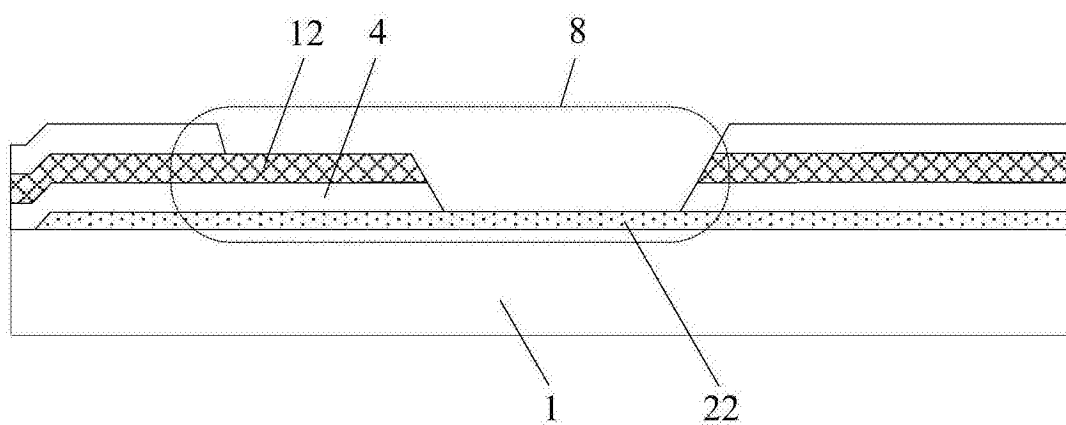


图 4

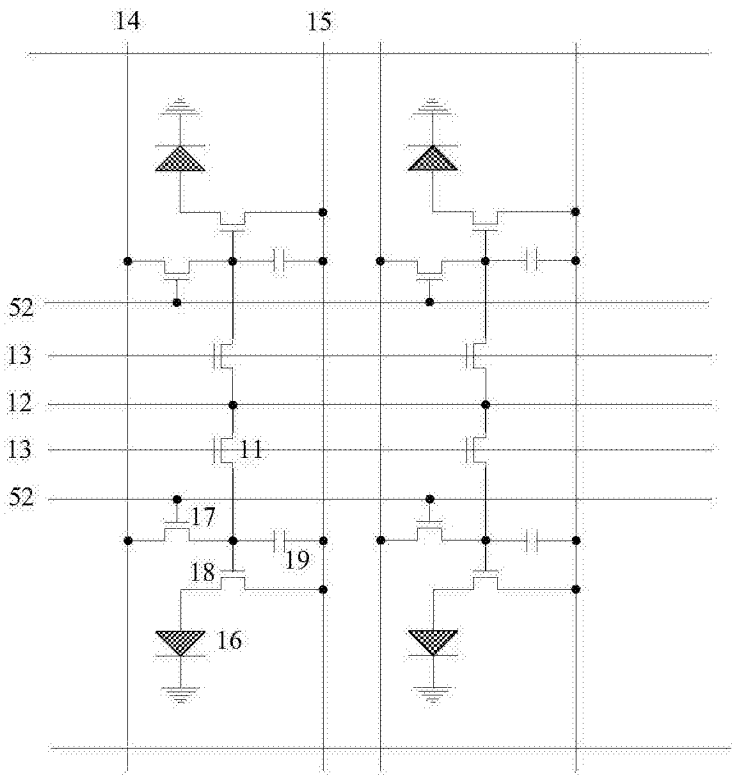


图 5

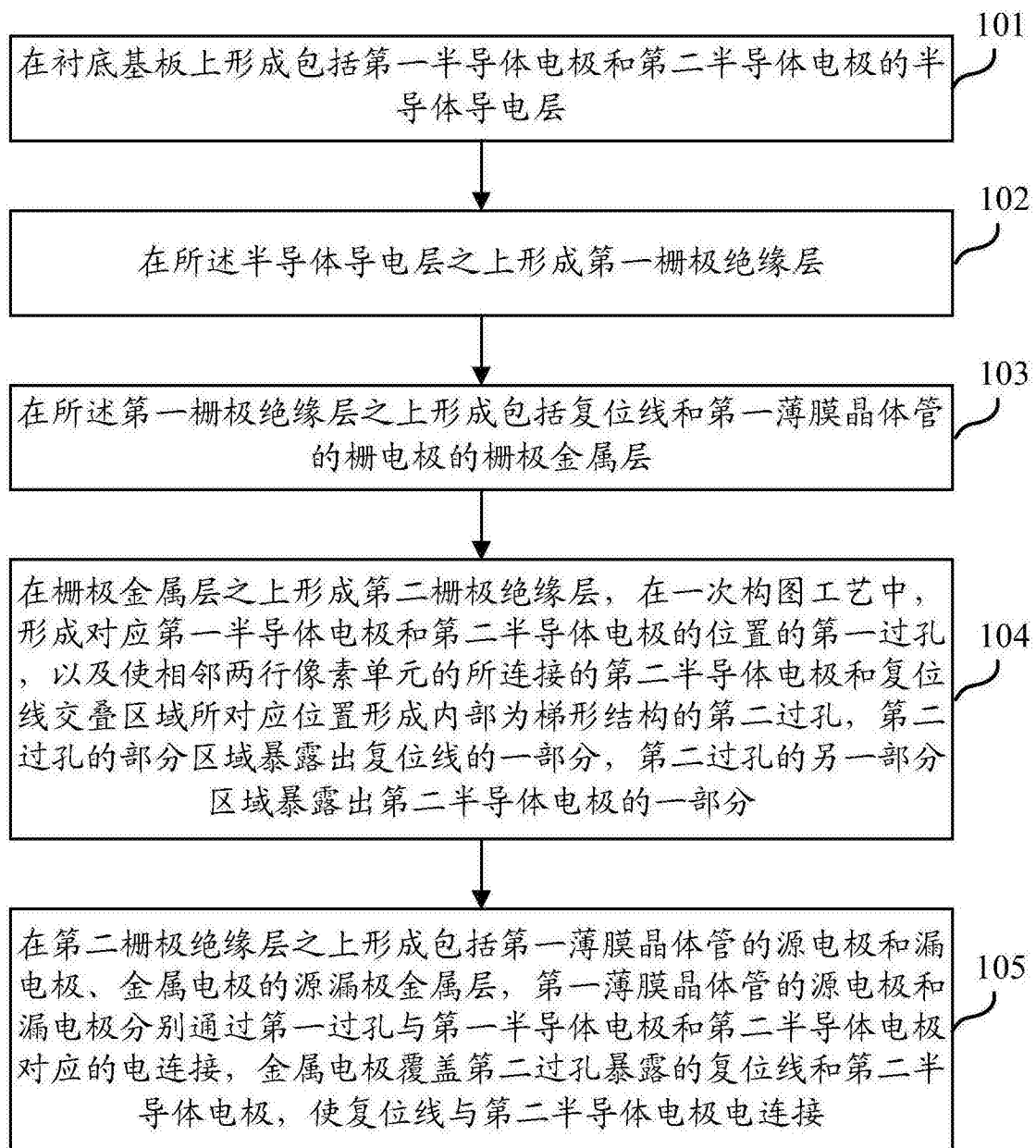


图 6

专利名称(译)	一种阵列基板及其制备方法、显示面板和显示装置		
公开(公告)号	CN105070740A	公开(公告)日	2015-11-18
申请号	CN201510531471.X	申请日	2015-08-26
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	李光 许晨		
发明人	李光 许晨		
IPC分类号	H01L27/32 H01L23/528 H01L21/77 G09G3/32		
CPC分类号	G09G3/3208 G09G2300/043 G09G2300/0819 G09G2300/0842 H01L27/3262 H01L27/3276 G09G2310/061 H01L27/124 H01L2227/323		
代理人(译)	黄志华		
其他公开文献	CN105070740B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种阵列基板及其制备方法、显示面板和显示装置，以解决现有技术中用于OLED的阵列基板的制备成本高和制备效率低的问题。所述阵列基板采用两行像素单元共用复位线的方式，且复位线与复位用的第一薄膜晶体管的连接采用内部为梯形结构的第二过孔，所述第二过孔的部分区域暴露所述复位线的一部分，所述第二过孔的另一部分区域暴露部分所述第二半导体电极的一部分；所述源漏极金属层所包括的金属电极覆盖所述第二过孔暴露的所述复位线和所述第一薄膜晶体管的漏电极，使得所述复位线与属于相邻两行的所述薄膜晶体管的漏电极对应的所述第二半导体电极连接。

