



(12) 实用新型专利

(10) 授权公告号 CN 202454223 U

(45) 授权公告日 2012. 09. 26

(21) 申请号 201220067465. 5

(22) 申请日 2012. 02. 27

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 成都京东方光电科技有限公司

(72) 发明人 青海刚 祁小敬 高永益

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 许静 赵爱军

(51) Int. Cl.
G09G 3/32 (2006. 01)

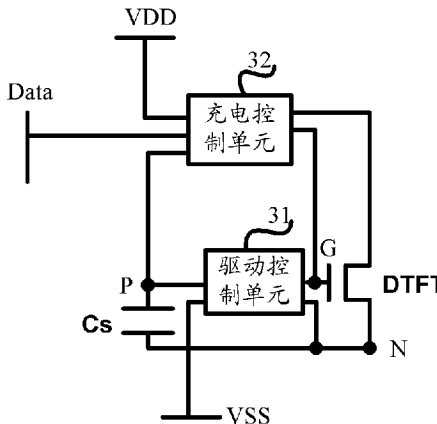
权利要求书 2 页 说明书 8 页 附图 5 页

(54) 实用新型名称

像素单元驱动电路、像素单元以及显示装置

(57) 摘要

本实用新型提供了一种像素单元驱动电路、像素单元以及显示装置。所述像素单元驱动电路包括驱动薄膜晶体管、存储电容、驱动控制单元和充电控制单元；所述驱动薄膜晶体管的栅极，通过所述驱动控制单元与所述存储电容的第一端连接，还通过所述充电控制单元与数据线连接；所述驱动薄膜晶体管的源极，与所述存储电容的第二端连接，并通过所述驱动控制单元与驱动电源的低电平输出端连接；所述驱动薄膜晶体管的漏极，通过所述充电控制单元与驱动电源的高电平输出端连接；所述存储电容的第一端还通过所述充电控制单元与所述驱动电源的高电平输出端连接。本实用新型可以补偿 OLED 驱动管的临界电压，改善 OLED 面板亮度不均匀性的问题。



1. 一种像素单元驱动电路,用于驱动 OLED,其特征在于,所述像素单元驱动电路包括驱动薄膜晶体管、存储电容、驱动控制单元和充电控制单元,其中,

所述驱动薄膜晶体管的栅极,通过所述驱动控制单元与所述存储电容的第一端连接,还通过所述充电控制单元与数据线连接;

所述驱动薄膜晶体管的源极,与所述存储电容的第二端连接,并通过所述驱动控制单元与驱动电源的低电平输出端连接;

所述驱动薄膜晶体管的漏极,通过所述充电控制单元与驱动电源的高电平输出端连接;

所述存储电容的第一端还通过所述充电控制单元与所述驱动电源的高电平输出端连接。

2. 如权利要求 1 所述的像素单元驱动电路,其特征在于,

所述驱动薄膜晶体管的源极,与所述存储电容的第二端连接,还通过所述驱动控制单元与驱动电源的低电平输出端连接;

所述驱动薄膜晶体管的漏极,与所述 OLED 的阴极连接,还通过所述充电控制单元与所述驱动电源的高电平输出端连接;

所述存储电容的第一端还通过所述充电控制单元与所述驱动电源的高电平输出端连接;

所述 OLED 的阳极与所述驱动电源的高电平输出端连接。

3. 如权利要求 2 所述的像素单元驱动电路,其特征在于,

所述驱动控制单元包括第一开关和第二开关,所述充电控制单元包括第三开关、第四开关和第五开关;

所述驱动薄膜晶体管的源极通过所述第一开关与所述驱动电源的低电平输出端连接;

所述驱动薄膜晶体管的栅极通过所述第二开关与所述存储电容的第一端连接;

所述驱动薄膜晶体管的栅极还通过所述第三开关与所述数据线连接;

所述驱动薄膜晶体管的漏极通过所述第四开关与所述驱动电源的高电平输出端连接;

所述存储电容的第一端通过所述第五开关与所述驱动电源的高电平输出端连接。

4. 如权利要求 3 所述的像素单元驱动电路,其特征在于,

所述第一开关是第一开关元件,所述第二开关是第二开关元件,所述第三开关是第三开关元件,所述第四开关是第四开关元件,所述第五开关的第五开关元件;

所述驱动薄膜晶体管、所述第一开关元件、第二开关元件、所述第三开关元件、所述第四开关元件和所述第五开关元件都是 n 型 TFT;

所述第一开关元件,栅极与第一控制线连接,源极与所述驱动电源的低电平输出端连接,漏极与所述驱动薄膜晶体管的源极连接;

所述第二开关元件,栅极与所述第一控制线连接,源极与所述驱动薄膜晶体管的栅极连接,漏极与所述存储电容的第一端连接;

所述第三开关元件,栅极与第二控制线连接,源极与所述驱动薄膜晶体管的栅极连接,漏极与所述数据线连接;

所述第四开关元件,栅极与所述第二控制线连接,源极与所述驱动薄膜晶体管的漏极连接,漏极与所述驱动电源的高电平输出端连接;

所述第五开关元件,栅极与所述第二控制线连接,源极与所述存储电容的第一端连接,漏极与所述驱动电源的高电平输出端连接。

5. 如权利要求 4 所述的像素单元驱动电路,其特征在于,所述驱动控制单元包括第一开关和第二开关,所述充电控制单元包括第三开关和第四开关;

所述驱动薄膜晶体管的源极通过所述第一开关与所述 OLED 的阳极连接;

所述驱动薄膜晶体管的栅极通过所述第二开关与所述存储电容的第一端连接;

所述驱动薄膜晶体管的栅极还通过所述第三开关与所述数据线连接;

所述存储电容的第一端通过所述第四开关与所述驱动电源的高电平输出端连接。

6. 如权利要求 5 所述的像素单元驱动电路,其特征在于,

所述第一开关是第一开关元件,所述第二开关是第二开关元件,所述第三开关是第三开关元件,所述第四开关是第四开关元件;

所述驱动薄膜晶体管、所述第一开关元件、所述第二开关元件、所述第三开关元件和所述第四开关元件都是 n 型 TFT;

所述第一开关元件,栅极与第一控制线连接,源极与所述 OLED 的阳极连接,漏极与所述驱动晶体管的源极连接;

所述第二开关元件,栅极与所述第一控制线连接,源极与所述存储电容的第一端连接,漏极与所述驱动薄膜晶体管的栅极连接;

所述第三开关元件,栅极与第二控制线连接,源极与所述数据线连接,漏极与所述驱动薄膜晶体管的栅极连接;

所述第四开关元件,栅极与所述第二控制线连接,源极与所述存储电容的第一端连接,漏极与所述驱动电源的高电平输出端连接。

7. 一种像素单元,其特征在于,包括 OLED 和如权利要求 1 至 6 中任一权利要求所述的像素单元驱动电路。

8. 一种显示装置,其特征在于,包括多个如权利要求 7 所述的像素单元。

像素单元驱动电路、像素单元以及显示装置

技术领域

[0001] 本实用新型涉及有机发光显示领域,尤其涉及一种像素单元驱动电路、像素单元以及显示装置。

背景技术

[0002] AMOLED(Active Matrix Organic Light Emitting Diode,有源矩阵有机发光二极管)能够发光是由驱动 TFT 在饱和状态时产生的电流所驱动,因为输入相同的灰阶电压时,不同的临界电压会产生不同的驱动电流,造成电流的不一致性。LTPS(低温多晶硅)制程上 V_{th} (晶体管阈值电压)的均匀性非常差,同时 V_{th} 也有漂移,如此传统的 2T1C 电路亮度均匀性一直很差。

[0003] 传统的采用 2T1C 电路的像素驱动电路如图 1 所示,电路只含有两个 TFT, T1 用作开关,DTFT 用于像素驱动。传统的 2T1C 电路操作也比较简单,对该采用 2T1C 电路的像素驱动电路的控制时序图如图 2 所示,当扫描电平为低时,T1 打开,data 线上的灰阶电压对电容 C 充电,当扫描电平为高时,T1 关闭,电容 C 用来保存灰阶电压。由于 VDD(电源电压)电压较高,因此 DTFT 处于饱和状态,OLED 的驱动电流 $I = K(V_{sg} - |V_{th}|)^2 = K(VDD - V_{data} - |V_{th}|)^2$, V_{data} 为数据信号, K 是一个与晶体管尺寸和载流子迁移率有关的常数,一旦 TFT 尺寸和工艺确定, K 确定。该 2T1C 电路的驱动电流公式中包含了 V_{th} ,如前所述,由于 LTPS 工艺的不成熟,即便是同样的工艺参数,制作出来的面板不同位置的 TFT 的 V_{th} 也有较大差异,导致了同一灰阶电压下 OLED 的驱动电流不一样,因此该驱动方案下的面板不同位置亮度会有差异,亮度均一性差。同时随着 OLED 面板使用的延长,OLED 材料逐渐老化,导致 OLED 发光的临界电压上升,同样的电流下, OLED 材料发光效率下降,面板亮度降低。

实用新型内容

[0004] 本实用新型的主要目的在于提供一种像素单元驱动电路、像素单元以及显示装置,以提高 OLED 面板亮度均匀度。

[0005] 为了达到上述目的,本实用新型提供了一种像素单元驱动电路,用于驱动 OLED,所述像素单元驱动电路包括驱动薄膜晶体管、存储电容、驱动控制单元和充电控制单元,其中,

[0006] 所述驱动薄膜晶体管的栅极,通过所述驱动控制单元与所述存储电容的第一端连接,还通过所述充电控制单元与数据线连接;

[0007] 所述驱动薄膜晶体管的源极,与所述存储电容的第二端连接,并通过所述驱动控制单元与驱动电源的低电平输出端连接;

[0008] 所述驱动薄膜晶体管的漏极,通过所述充电控制单元与驱动电源的高电平输出端连接;

[0009] 所述存储电容的第一端还通过所述充电控制单元与所述驱动电源的高电平输出端连接。

[0010] 实施时,所述驱动薄膜晶体管的源极,与所述存储电容的第二端连接,还通过所述驱动控制单元与驱动电源的低电平输出端连接;

[0011] 所述驱动薄膜晶体管的漏极,与所述 OLED 的阴极连接,还通过所述充电控制单元与所述驱动电源的高电平输出端连接;

[0012] 所述存储电容的第一端还通过所述充电控制单元与所述驱动电源的高电平输出端连接;

[0013] 所述 OLED 的阳极与所述驱动电源的高电平输出端连接。

[0014] 实施时,所述驱动控制单元包括第一开关和第二开关,所述充电控制单元包括第三开关、第四开关和第五开关;

[0015] 所述驱动薄膜晶体管的源极通过所述第一开关与所述驱动电源的低电平输出端连接;

[0016] 所述驱动薄膜晶体管的栅极通过所述第二开关与所述存储电容的第一端连接;

[0017] 所述驱动薄膜晶体管的栅极还通过所述第三开关与所述数据线连接;

[0018] 所述驱动薄膜晶体管的漏极通过所述第四开关与所述驱动电源的高电平输出端连接;

[0019] 所述存储电容的第一端通过所述第五开关与所述驱动电源的高电平输出端连接。

[0020] 实施时,所述第一开关是第一开关元件,所述第二开关是第二开关元件,所述第三开关是第三开关元件,所述第四开关是第四开关元件,所述第五开关的第五开关元件;

[0021] 所述驱动薄膜晶体管、所述第一开关元件、第二开关元件、所述第三开关元件、所述第四开关元件和所述第五开关元件都是 n 型 TFT;

[0022] 所述第一开关元件,栅极与第一控制线连接,源极与所述驱动电源的低电平输出端连接,漏极与所述驱动薄膜晶体管的源极连接;

[0023] 所述第二开关元件,栅极与所述第一控制线连接,源极与所述驱动薄膜晶体管的栅极连接,漏极与所述存储电容的第一端连接;

[0024] 所述第三开关元件,栅极与第二控制线连接,源极与所述驱动薄膜晶体管的栅极连接,漏极与所述数据线连接;

[0025] 所述第四开关元件,栅极与所述第二控制线连接,源极与所述驱动薄膜晶体管的漏极连接,漏极与所述驱动电源的高电平输出端连接;

[0026] 所述第五开关元件,栅极与所述第二控制线连接,源极与所述存储电容的第一端连接,漏极与所述驱动电源的高电平输出端连接。

[0027] 实施时,所述驱动控制单元包括第一开关和第二开关,所述充电控制单元包括第三开关和第四开关;

[0028] 所述驱动薄膜晶体管的源极通过所述第一开关与所述 OLED 的阳极连接;

[0029] 所述驱动薄膜晶体管的栅极通过所述第二开关与所述存储电容的第一端连接;

[0030] 所述驱动薄膜晶体管的栅极还通过所述第三开关与所述数据线连接;

[0031] 所述存储电容的第一端通过所述第四开关与所述驱动电源的高电平输出端连接。

[0032] 实施时,所述第一开关是第一开关元件,所述第二开关是第二开关元件,所述第三开关是第三开关元件,所述第四开关是第四开关元件;

[0033] 所述驱动薄膜晶体管、所述第一开关元件、所述第二开关元件、所述第三开关元件

和所述第四开关元件都是 n 型 TFT；

[0034] 所述第一开关元件，栅极与第一控制线连接，源极与所述 OLED 的阳极连接，漏极与所述驱动晶体管的源极连接；

[0035] 所述第二开关元件，栅极与所述第一控制线连接，源极与所述存储电容的第一端连接，漏极与所述驱动薄膜晶体管的栅极连接；

[0036] 所述第三开关元件，栅极与第二控制线连接，源极与所述数据线连接，漏极与所述驱动薄膜晶体管的栅极连接；

[0037] 所述第四开关元件，栅极与所述第二控制线连接，源极与所述存储电容的第一端连接，漏极与所述驱动电源的高电平输出端连接。

[0038] 本实用新型还提供了一种像素单元，包括 OLED 和上述的像素单元驱动电路。

[0039] 本实用新型还提供了一种显示装置，包括多个上述的像素单元。

[0040] 与现有技术相比，本实用新型所述的像素单元驱动电路、像素单元以及显示装置，直接从 DTFT 栅极输入数据信号，利用 TFT 自放电对源极充电，形成 V_{th} （阈值电压），补偿 OLED 驱动管的临界电压，改善了 OLED 面板亮度不均匀性的问题。

附图说明

[0041] 图 1 是传统的采用 2T1C 电路的像素驱动电路的电路图；

[0042] 图 2 是对该采用 2T1C 电路的像素驱动电路的控制时序图；

[0043] 图 3 是本实用新型第一实施例所述的像素单元驱动电路的电路图；

[0044] 图 4 是本实用新型第二实施例所述的像素单元驱动电路的电路图；

[0045] 图 5 是本实用新型第三实施例所述的像素单元驱动电路的电路图；

[0046] 图 6 是本实用新型第四实施例所述的像素单元驱动电路的电路图；

[0047] 图 6A 是本实用新型第四实施例所述的像素单元驱动电路的控制时序图；

[0048] 图 6B 是本实用新型第四实施例所述的像素单元驱动电路在第一时间段的等效电路图；

[0049] 图 6C 是本实用新型第四实施例所述的像素单元驱动电路在第二时间段的等效电路图；

[0050] 图 6D 是本实用新型第四实施例所述的像素单元驱动电路在第三时间段的等效电路图；

[0051] 图 7 是本实用新型第五实施例所述的像素单元驱动电路的电路图；

[0052] 图 8 是本实用新型第六实施例所述的像素单元驱动电路的电路图；

[0053] 图 9 是本实用新型第七实施例所述的像素单元驱动电路的电路图。

具体实施方式

[0054] 如图 3 所示，本实用新型第一实施例所述的像素单元驱动电路，用于驱动 OLED，包括驱动薄膜晶体管 DTFT、存储电容 C_s 、驱动控制单元 31 和充电控制单元 32，其中，

[0055] 所述驱动薄膜晶体管 DTFT 是 n 型 TFT；

[0056] 所述驱动薄膜晶体管 DTFT 的栅极，通过所述驱动控制单元 31 与所述存储电容 C_s 的第一端连接，还通过所述充电控制单元 32 与数据线 Data 连接；

[0057] 所述驱动薄膜晶体管 DTFT 的源极,与所述存储电容 Cs 的第二端连接,并通过所述驱动控制单元 31 与驱动电源的低电平输出端连接;

[0058] 所述驱动薄膜晶体管 DTFT 的漏极,通过所述充电控制单元 32 与所述存储电容 Cs 的第一端连接;

[0059] 所述数据线 Data 输出电压值为 Vdata 的数据信号。

[0060] 本实用新型第一实施例所述的像素单元驱动电路的工作过程如下:

[0061] 在第一时间段,所述充电控制单元 32 导通所述驱动薄膜晶体管 DTFT 的栅极与数据线 Data 之间的连接,并导通所述驱动薄膜晶体管 DTFT 的漏极与所述存储电容 Cs 的第一端之间的连接,数据线 Data 上的数据信号 Vdata 由 DTFT 的栅极输入,由于 Vdata (Vdata 的电压基准可以设置高于 Vth) 大于 Vth (Vth 为 DTFT 的阈值电压),DTFT 开启,VDD 通过所述充电控制单元 32 和 DTFT 对存储电容 Cs 充电,随着充电的进行,N 点 (与存储电容 Cs 的第二端连接的节点) 的电位 Vn 升高,直到 DTFT 的栅源的电位差为 Vth,即 N 点的电位 Vn 变为 Vdata-Vth,此时 DTFT 关闭;由于 T5 开启,P 点电位为 $V_p = VDD$,所述存储电容 Cs 的第一端和第二端之间的电压差为 $V_c = V_p - V_n = VDD - (Vdata - Vth)$ 。

[0062] 在第二时间段,所述充电控制单元 32 断开所述驱动薄膜晶体管 DTFT 的栅极与数据线 Data 之间的连接,并断开所述驱动薄膜晶体管 DTFT 的漏极与所述存储电容 Cs 的第一端之间的连接,DTFT 此时也为关闭状态,存储电容 Cs 两端处于悬空状态,存储电容 Cs 的第一端与第二端之间的电压差仍然为 $V_c = VDD - (Vdata - Vth)$;此阶段为缓冲阶段,避免开关切换产生不必要的杂讯。

[0063] 在第三时间段,所述驱动控制单元 31 导通所述驱动薄膜晶体管 DTFT 的栅极与所述存储电容 Cs 的第一端之间的连接,并导通所述驱动薄膜晶体管 DTFT 的源极与驱动电源的低电平输出端之间的连接,P 点 (与存储电容 Cs 的第一端连接的节点) 与 DTFT 栅极相连,由于所述充电控制单元 32 此时断开了所述驱动薄膜晶体管 DTFT 的栅极与数据线 Data 之间的连接,此时 DTFT 的栅极处于悬空状态,使 N 点电位从 Vdata-Vth 跳变为 VSS,由于 DTFT 的栅极悬空,G 点 (与驱动薄膜晶体管 DTFT 的栅极连接的节点) 电位也跟着跳变为 $V_g = VDD - (Vdata - Vth) + VSS$, $V_{gs} = V_g - V_s = V_g - VSS = VDD - Vdata + Vth$,由于 Vgs 大于 Vth,因此 DTFT 开始工作,此时流过 OLED 的电流 $I = K(V_{gs} - Vth)^2 = K(VDD - Vdata + Vth - Vth)^2 = K(VDD - Vdata)^2$,OLED 开始发光,直到下一帧;其中,K 为 DTFT 的电流系数;

$$[0064] \quad K = C_{ox} \times \mu \times \frac{W}{L};$$

[0065] μ 、 C_{ox} 、W、L 分别为 DTFT 的场效应迁移率,栅绝缘层单位面积电容、沟道宽度、长度。

[0066] Vth 为 DTFT 的阈值电压,Vdata 为数据线 Data 输出的数据信号的电压值,VDD 为驱动电源的高电平对应的电压值,VSS 为驱动电源的低电平对应的电压值。

[0067] 如图 4 所示,本实用新型第二实施例所述的像素单元驱动电路,用于驱动 OLED,包括驱动薄膜晶体管 DTFT、存储电容 Cs、驱动控制单元 41 和充电控制单元 42,其中,

[0068] 本实用新型第二实施例所述的像素单元驱动电路是基于本实用新型第一实施例所述的单元驱动电路;

[0069] 所述驱动薄膜晶体管 DTFT 的栅极,通过所述驱动控制单元 41 与所述存储电容 Cs

的第一端连接,通过所述充电控制单元 42 与数据线 Data 连接;

[0070] 所述驱动薄膜晶体管 DTFT 的源极,与所述存储电容 Cs 的第二端连接,还通过所述驱动控制单元 41 与驱动电源的低电平输出端连接;

[0071] 所述驱动薄膜晶体管 DTFT 的漏极,与所述 OLED 的阴极连接,还通过所述充电控制单元 42 与所述驱动电源的高电平输出端连接;

[0072] 所述存储电容 Cs 的第一端还通过所述充电控制单元 42 与所述驱动电源的高电平输出端连接;

[0073] 所述 OLED 的阳极与所述驱动电源的高电平输出端连接;

[0074] 所述数据线 Data 输出电压值为 Vdata 的数据信号。

[0075] 如图 5 所示,本实用新型第三实施例所述的像素单元驱动电路的电路图,该第三实施例所述的像素单元驱动电路是基于本实用新型第二实施例所述的像素单元驱动电路。

[0076] 在本实用新型第三实施例所述的像素单元驱动电路中,所述驱动控制单元 41 包括第一开关 411 和第二开关 422,所述充电控制单元 42 包括第三开关 423、第四开关 424 和第五开关 425;

[0077] 所述驱动薄膜晶体管 DTFT 的源极通过所述第一开关 411 与所述驱动电源的低电平输出端连接;

[0078] 所述驱动薄膜晶体管 DTFT 的栅极通过所述第二开关 412 与所述存储电容 Cs 的第一端连接;

[0079] 所述驱动薄膜晶体管 DTFT 的栅极还通过所述第三开关 423 与所述数据线 Data 连接;

[0080] 所述驱动薄膜晶体管 DTFT 的漏极通过所述第四开关 424 与所述驱动电源的高电平输出端连接;

[0081] 所述存储电容 Cs 的第一端通过所述第五开关 425 与所述驱动电源的高电平输出端连接。

[0082] 如图 6 所示,本实用新型第四实施例所述的像素单元驱动电路的电路图,该第四实施例所述的像素单元驱动电路是基于本实用新型第三实施例所述的像素单元驱动电路。

[0083] 在本实用新型第四实施例所述的像素单元驱动电路中,所述第一开关 411 为标号为 T1 的第一开关元件,所述第二开关 412 为标号为 T2 的第二开关元件,所述三开关为标号 423 为 T3 的第三开关元件,所述第四开关 424 为标号为 T4 的第四开关元件,所述第五开关 425 为标号为 T5 的第五开关元件;所述第一开关元件 T1、所述第二开关元件 T2、所述第三开关元件 T3、所述第四开关元件 T4、所述第五开关元件 T5 和所述驱动薄膜晶体管 DTFT 都是 n 型 TFT;

[0084] 所述第一开关元件 T1,栅极与第一控制线 S1 连接,源极与所述驱动电源的低电平输出端连接,漏极与所述驱动薄膜晶体管 DTFT 的源极连接;

[0085] 所述第二开关元件 T2,栅极与所述第一控制线 S1 连接,源极与所述驱动薄膜晶体管 DTFT 的栅极连接,漏极与所述存储电容 Cs 的第一端连接;

[0086] 所述第三开关元件 T3,栅极与第二控制线 S2 连接,源极与所述驱动薄膜晶体管 DTFT 的栅极连接,漏极与所述数据线 Data 连接;

[0087] 所述第四开关元件 T4,栅极与所述第二控制线 S2 连接,源极与所述驱动薄膜晶体

管 DTFT 的漏极连接,漏极与所述驱动电源的高电平输出端连接;

[0088] 所述第五开关元件 T5,栅极与所述第二控制线 S2 连接,源极与所述存储电容 Cs 的第一端连接,漏极与所述驱动电源的高电平输出端连接。

[0089] 如图 6A 所示,本实用新型第四实施例所述的像素单元驱动电路的控制时序图。

[0090] 如图 6B 所示,本实用新型第四实施例所述的像素单元驱动电路在第一时间段的等效电路图;

[0091] 如图 6C 所示,本实用新型第四实施例所述的像素单元驱动电路在第二时间段的等效电路图;

[0092] 如图 6D 所示,本实用新型第四实施例所述的像素单元驱动电路在第三时间段的等效电路图。

[0093] 本实用新型第四实施例所述的像素单元驱动电路的工作过程如下:

[0094] 在第一时间段, T1、T2 关闭, T3 ~ T5 开启, 数据信号 Vdata 由 DTFT 的栅极输入, 由于 Vdata (Vdata 的电压基准可以设置高于 Vth) 大于 Vth (Vth 为 DTFT 的阈值电压), DTFT 开启, VDD 通过 T4 和 DTFT 对存储电容 Cs 充电, 随着充电的进行, N 点的电位升高, 直到 DTFT 的栅源的电位差为 Vth, 即 N 点 (与存储电容 Cs 的第二端连接的节点) 的电位变为 Vdata-Vth, 此时 DTFT 关闭; 由于 T5 开启, P 点电位为 $V_p = VDD$, 所述存储电容 Cs 的第一端和第二端之间的电压差为 $V_c = V_p - V_n = VDD - (Vdata - Vth)$ 。

[0095] 在第二时间段, T1 ~ T5 皆关闭, DTFT 此时也为关闭状态, 存储电容 Cs 两端处于悬空状态, 存储电容 Cs 的第一端与第二端之间的电压差仍然为 $V_c = VDD - (Vdata - Vth)$; 此阶段为缓冲阶段, 避免开关切换产生不必要的杂讯。

[0096] 在第三时间段, T1 和 T2 开启, P 点 (与存储电容 Cs 的第一端连接的节点) 与 DTFT 的栅极相连, 由于 T3 关闭, 此时 DTFT 的栅极处于悬空状态, T1 打开, 使 N 点电位从 Vdata-Vth 跳变为 VSS, 由于 DTFT 的栅极悬空, G 点 (与驱动薄膜晶体管 DTFT 的栅极连接的节点) 电位也跟着跳变为 $V_g = VDD - (Vdata - Vth) + VSS$, $V_{gs} = V_g - V_s = V_g - VSS = VDD - Vdata + Vth$, 由于 Vgs 大于 Vth, 因此 DTFT 开始工作, 此时流过 OLED 的电流 $I = K(V_{gs} - Vth)^2 = K(VDD - Vdata + Vth - Vth)^2 = K(VDD - Vdata)^2$, OLED 开始发光, 直到下一帧; 其中, K 为 DTFT 的电流系数;

$$[0097] \quad K = C_{ox} \times \mu \times \frac{W}{L};$$

[0098] μ 、 C_{ox} 、W、L 分别为 DTFT 的场效应迁移率, 栅绝缘层单位面积电容、沟道宽度、长度。

[0099] Vth 为 DTFT 的阈值电压, Vdata 为数据线 Data 输出的数据信号的电压值, VDD 为驱动电源的高电平对应的电压值, VSS 为驱动电源的低电平对应的电压值。

[0100] 本实用新型第四实施例所述的像素单元驱动电路直接通过 DTFT 的栅极给入数据信号, 利用 DTFT 自放电对源极充电从而形成 Vth 保存到存储电容 Cs 中, 以使得流过 OLED 的电流 I 和 DTFT 的 Vth 没有关系, 如此可以改善电流的均匀性, 达到亮度的均匀。

[0101] 如图 7 所示, 本实用新型第五实施例所述的像素单元驱动电路, 基于本实用新型第一实施例所述的像素单元驱动电路, 用于驱动 OLED, 包括驱动薄膜晶体管 DTFT、存储电容 Cs、驱动控制单元 71 和充电控制单元 72, 其中,

[0102] 所述驱动薄膜晶体管 DTFT 的栅极,通过所述驱动控制单元 71 与所述存储电容 Cs 的第一端连接,还通过所述充电控制单元 72 与数据线 Data 连接;

[0103] 所述驱动薄膜晶体管 DTFT 的源极,与所述存储电容 Cs 的第二端连接,还通过所述驱动控制单元 71 与所述 OLED 的阳极连接;

[0104] 所述驱动薄膜晶体管 DTFT 的漏极,与驱动电源的高电平输出端连接;

[0105] 所述存储电容 Cs 的第一端还通过所述充电控制单元 72 与所述驱动薄膜晶体管 DTFT 的漏极连接;

[0106] 所述 OLED 的阴极与所述驱动电源的低电平输出端连接;

[0107] 所述数据线 Data 输出电压值为 Vdata 的数据信号。

[0108] 如图 8 所示,本实用新型第六实施例所述的像素单元驱动电路的电路图,该第六实施例所述的像素单元驱动电路是基于本实用新型第五实施例所述的像素单元驱动电路。

[0109] 在本实用新型第六实施例所述的像素单元驱动电路中,所述驱动控制单元 71 包括第一开关 711 和第二开关 712,所述充电控制单元 72 包括第三开关 723 和第四开关 724;

[0110] 所述驱动薄膜晶体管 DTFT 的源极通过所述第一开关 711 与所述 OLED 的阳极连接;

[0111] 所述驱动薄膜晶体管 DTFT 的栅极通过所述第二开关 712 与所述存储电容 Cs 的第一端连接;

[0112] 所述驱动薄膜晶体管 DTFT 的栅极还通过所述第三开关 723 与所述数据线 Data 连接;

[0113] 所述存储电容 Cs 的第一端通过所述第四开关 724 与所述驱动电源的高电平输出端连接。

[0114] 如图 9 所示,本实用新型第七实施例所述的像素单元驱动电路的电路图,该第七实施例所述的像素单元驱动电路是基于本实用新型第六实施例所述的像素单元驱动电路。

[0115] 在本实用新型第七实施例所述的像素单元驱动电路中,所述第一开关 711 为标号为 T1 的第一开关元件,所述第二开关 712 为标号为 T2 的第二开关元件,所述三开关 723 为标号为 T3 的第三开关元件,所述第四开关 724 为标号为 T4 的第四开关元件;所述第一开关元件 T1、所述第二开关元件 T2、所述第三开关元件 T3、所述第四开关元件 T4、所述驱动薄膜晶体管 DTFT 都是 n 型 TFT;

[0116] 所述第一开关元件 T1,栅极与第一控制线 S1 连接,源极与所述 OLED 的阳极连接,漏极与所述驱动晶体管 DTFT 的源极连接;

[0117] 所述第二开关元件 T2,栅极与所述第一控制线 S1 连接,源极与所述存储电容 Cs 的第一端连接,漏极与所述驱动薄膜晶体管 DTFT 的栅极连接;

[0118] 所述第三开关元件 T3,栅极与第二控制线 S2 连接,源极与所述数据线 Data 连接,漏极与所述驱动薄膜晶体管 DTFT 的栅极连接;

[0119] 所述第四开关元件 T4,栅极与所述第二控制线 S2 连接,源极与所述存储电容 Cs 的第一端连接,漏极与所述驱动电源的高电平输出端连接。

[0120] 与本实用新型第四实施例所述的像素单元驱动电路相比,本实用新型的第七实施例所述的像素单元驱动电路只是将 OLED 的位置从与 VDD 直接相连移动到了与驱动电源的低电平输出端直接相连,同时也取消了 OLED 的短路 TFT,从顶发光变成了底发光。本实用新

型的第七实施例所述的像素单元驱动电路与本实用新型第四实施例所述的像素单元驱动电路相比减少了一个 TFT 的使用,从设计角度来说减少了像素布局的复杂程度,但 OLED 从顶发光变成了底发光,底发光会有开口率的问题,因此这两种方案各有利弊。

[0121] 本实用新型还提供了一种像素单元,其特征在于,包括 OLED 和上述的像素单元驱动电路。

[0122] 本实用新型还提供了一种显示装置,其特征在于,包括多个上述的像素单元。

[0123] 以上说明对本实用新型而言只是说明性的,而非限制性的,本领域普通技术人员理解,在不脱离所附权利要求所限定的精神和范围的情况下,可做出许多修改、变化或等效,但都将落入本实用新型的保护范围内。

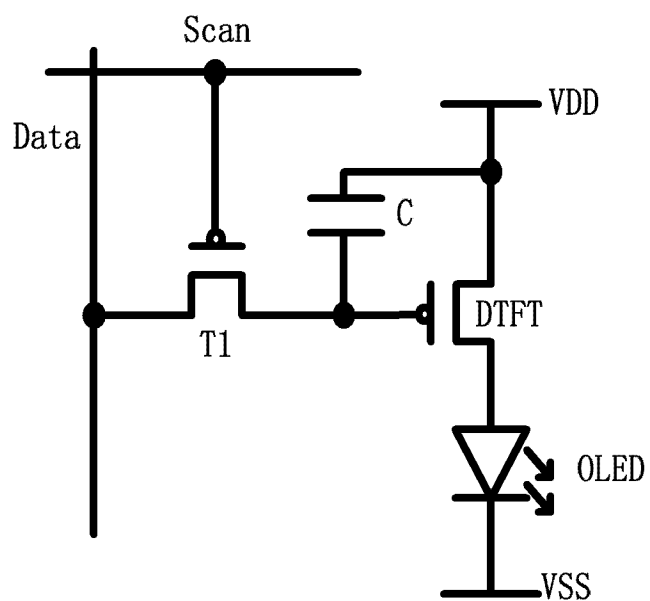


图 1

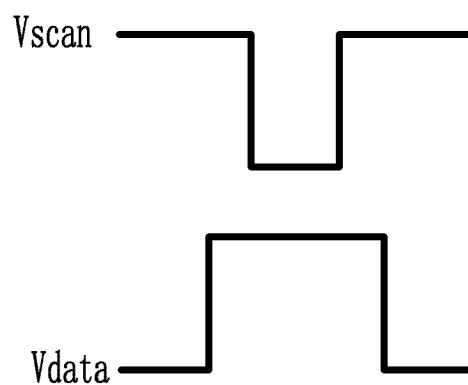


图 2

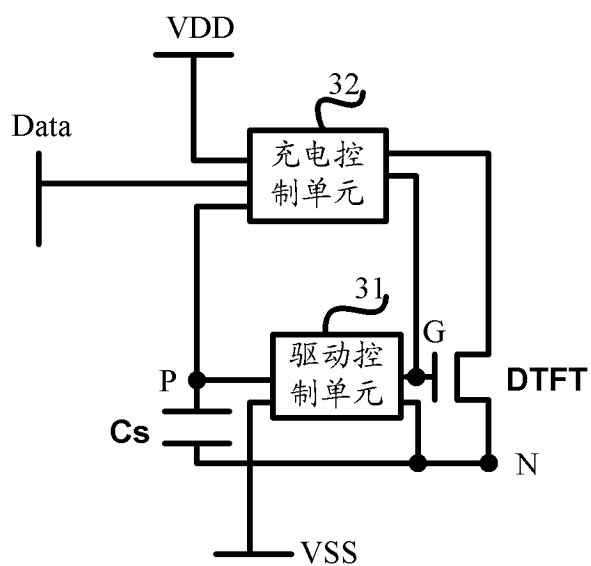


图 3

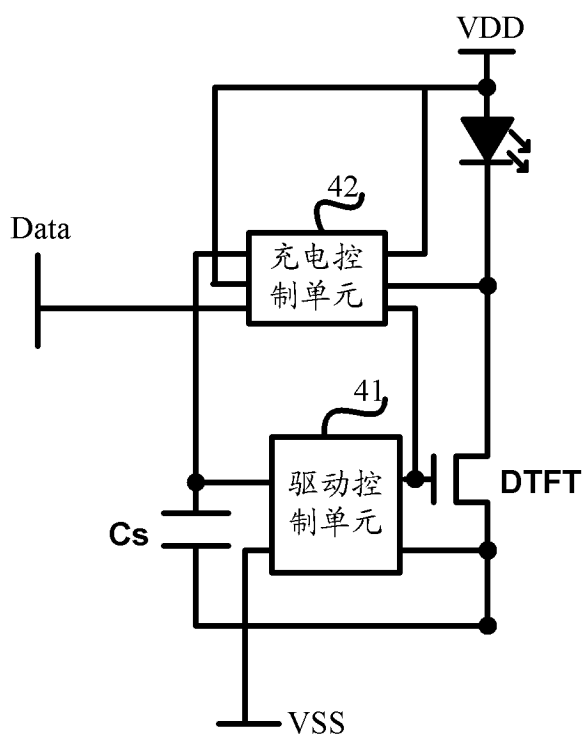


图 4

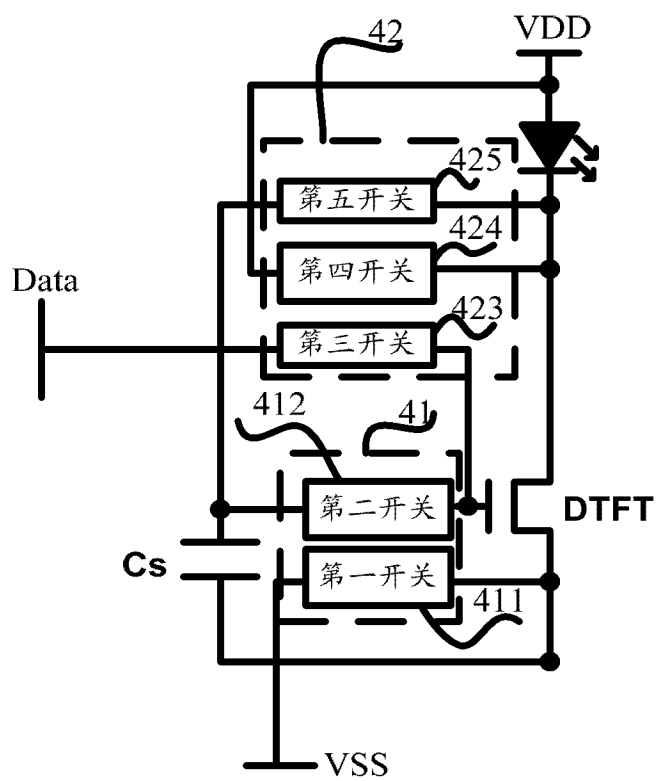


图 5

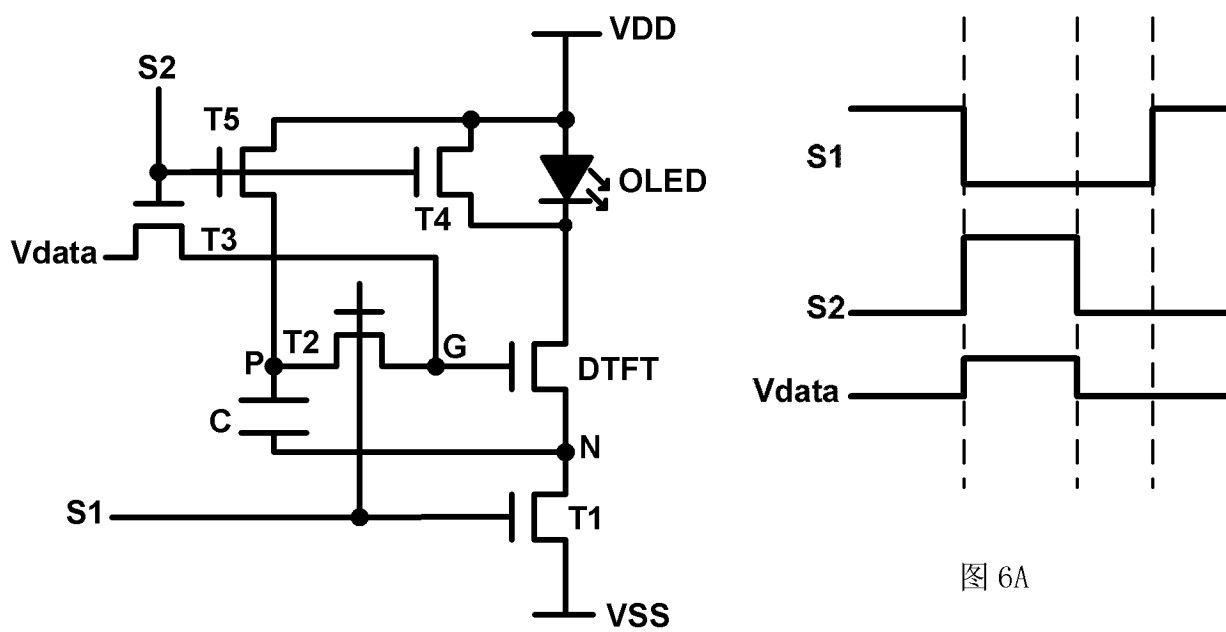


图 6A

图 6

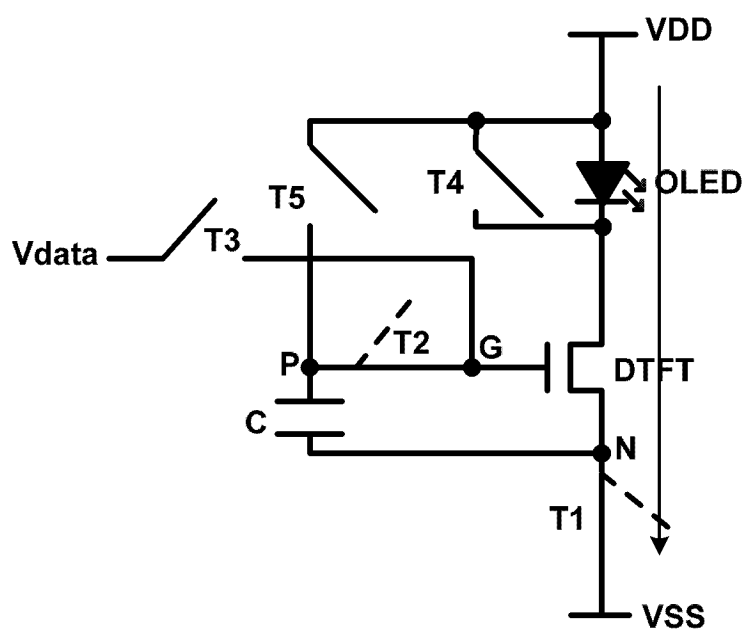


图 6D

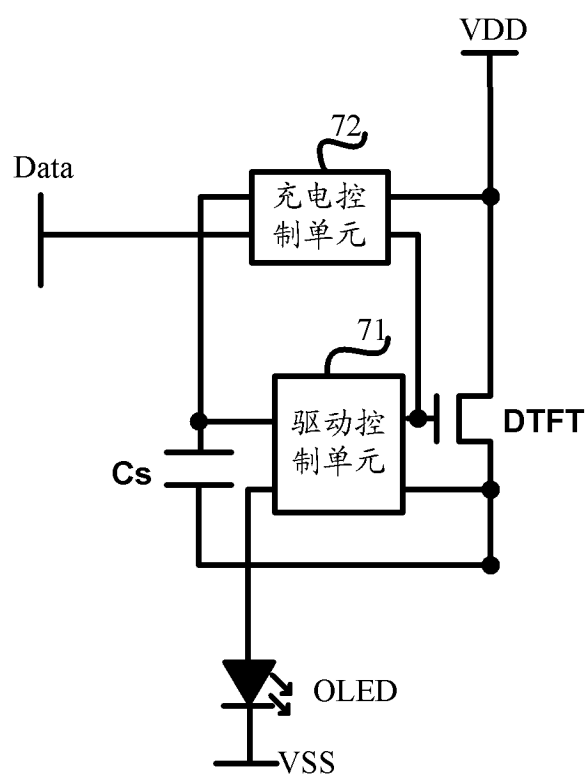


图 7

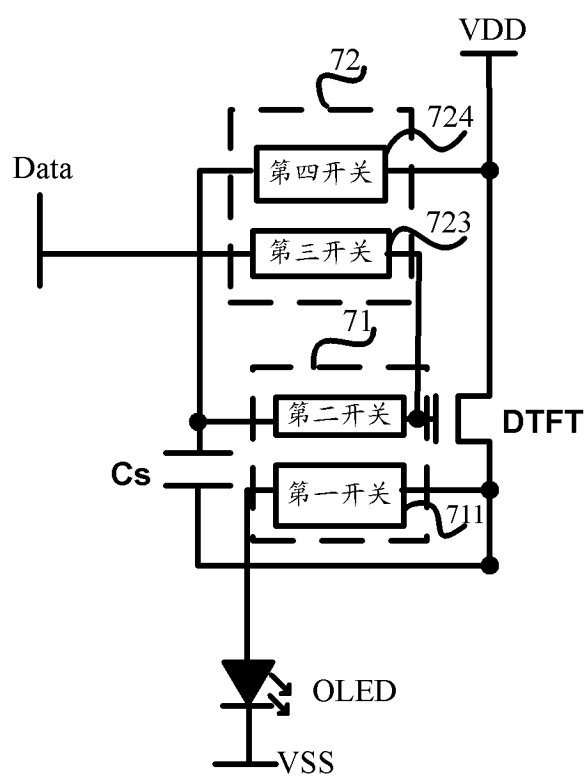


图 8

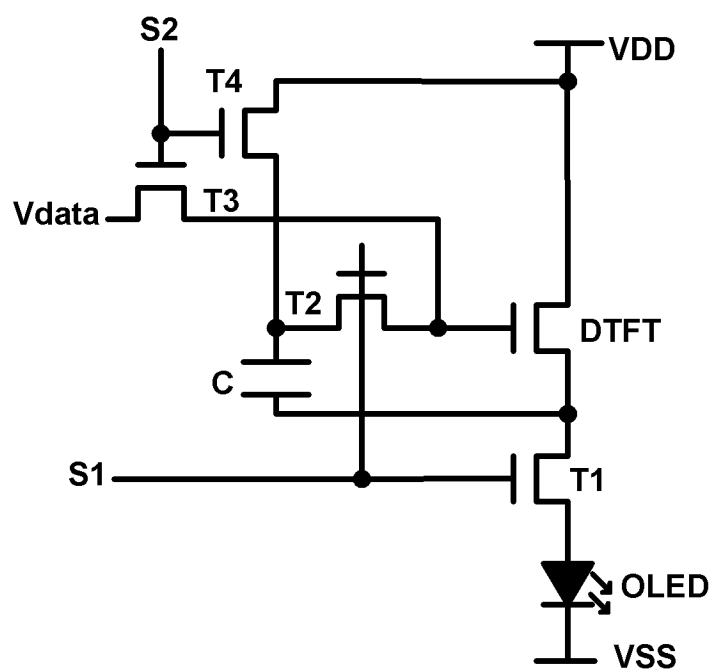


图 9

专利名称(译)	像素单元驱动电路、像素单元以及显示装置		
公开(公告)号	CN202454223U	公开(公告)日	2012-09-26
申请号	CN201220067465.5	申请日	2012-02-27
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	青海刚 祁小敬 高永益		
发明人	青海刚 祁小敬 高永益		
IPC分类号	G09G3/32 G09G3/3225		
代理人(译)	许静 赵爱军		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提供了一种像素单元驱动电路、像素单元以及显示装置。所述像素单元驱动电路包括驱动薄膜晶体管、存储电容、驱动控制单元和充电控制单元；所述驱动薄膜晶体管的栅极，通过所述驱动控制单元与所述存储电容的第一端连接，还通过所述充电控制单元与数据线连接；所述驱动薄膜晶体管的源极，与所述存储电容的第二端连接，并通过所述驱动控制单元与驱动电源的低电平输出端连接；所述驱动薄膜晶体管的漏极，通过所述充电控制单元与驱动电源的高电平输出端连接；所述存储电容的第一端还通过所述充电控制单元与所述驱动电源的高电平输出端连接。本实用新型可以补偿OLED驱动管的临界电压，改善OLED面板亮度不均匀性的问题。

