



(12)发明专利申请

(10)申请公布号 CN 111192884 A

(43)申请公布日 2020.05.22

(21)申请号 202010107341.4

(22)申请日 2020.02.21

(71)申请人 深圳市华星光电半导体显示技术有限公司

地址 518132 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 张乐陶 张晓星

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 李新干

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

H01L 21/77(2017.01)

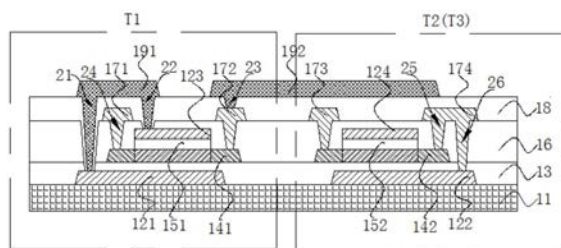
权利要求书2页 说明书8页 附图4页

(54)发明名称

OLED显示装置及TFT阵列基板的制备方法

(57)摘要

本申请公开了一种OLED显示装置,包括OLED像素驱动电路,所述OLED像素驱动电路包括第一薄膜晶体管(T1)、第二薄膜晶体管(T2)、第三薄膜晶体管(T3)、存储电容(Cst)以及有机发光二极管;其中,所述第一薄膜晶体管(T1)为双栅氧化物薄膜晶体管,所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均为顶栅自对准氧化物薄膜晶体管。本申请还公开了一种TFT阵列基板的制备方法,所述TFT阵列基板用于制备所述OLED显示装置。



1. 一种OLED显示装置,其特征在于,包括OLED像素驱动电路,所述OLED像素驱动电路包括第一薄膜晶体管(T1)、第二薄膜晶体管(T2)、第三薄膜晶体管(T3)、存储电容(Cst)以及有机发光二极管;所述第一薄膜晶体管(T1)的漏极接入电源电压(Vdd),源极电性连接所述有机发光二极管的阳极;所述有机发光二极管的阴极接入公共接地电压;所述第二薄膜晶体管(T2)的栅极接入第一扫描信号(Scan 1),漏极接入数据信号线(Data),源极与所述第一薄膜晶体管(T1)的栅极以及所述存储电容(Cst)的一端电性连接;所述存储电容(Cst)的另一端电性连接所述第一薄膜晶体管(T1)的源极;所述第三薄膜晶体管(T3)的栅极接入第二扫描信号(Scan 2),源极电性连接所述第一薄膜晶体管(T1)的源极,漏极电性连接电路开关(K);

其中,所述第一薄膜晶体管(T1)为双栅氧化物薄膜晶体管,所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均为顶栅自对准氧化物薄膜晶体管。

2. 根据权利要求1所述的OLED显示装置,其特征在于,所述第一薄膜晶体管(T1)、所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均同层设置于一基板上。

3. 根据权利要求1所述的OLED显示装置,其特征在于,所述双栅氧化物薄膜晶体管包括:所述基板;形成于所述基板上方的第一底栅电极;形成于所述第一底栅电极上方的缓冲层;形成于所述缓冲层上方的第一半导体层;形成于所述第一半导体层上方的第一栅极绝缘层;形成于所述第一栅极绝缘层上方的第一顶栅电极;形成于所述缓冲层上并完全覆盖所述第一半导体层、所述第一栅极绝缘层以及所述第一顶栅电极的层间绝缘层;形成于所述层间绝缘层上的第一源极金属层以及第一漏极金属层;形成于所述层间绝缘层上并完全覆盖所述第一源极金属层以及所述第一漏极金属层的钝化层;所述双栅薄膜晶体管还包括第一像素电极以及第二像素电极,所述第一像素电极以及所述第二像素电极形成于所述钝化层上。

4. 根据权利要求3所述的OLED显示装置,其特征在于,所述第一像素电极经由第一过孔与所述第一底栅电极电性连接,所述第一像素电极还经由第二过孔与所述第一顶栅电极电性连接;所述第二像素电极经由第三过孔与所述第一漏极金属层电性连接;所述第一源极金属层以及所述第一漏极金属层经由第四过孔与所述第一半导体层电性连接。

5. 根据权利要求3所述的OLED显示装置,其特征在于,所述顶栅自对准氧化物薄膜晶体管包括:所述基板、形成于所述基板上方的遮光层、所述缓冲层;形成于所述缓冲层上方的第二半导体层、形成于所述第二半导体层上方的第二栅极绝缘层、形成于所述第二栅极绝缘层上方的第二顶栅电极、所述层间绝缘层、形成于所述层间绝缘层上的第二源极金属层以及第二漏极金属层、所述钝化层以及所述第二像素电极。

6. 根据权利要求5所述的OLED显示装置,其特征在于,所述第二源极金属层以及所述第二漏极金属层经由第五过孔与所述第二半导体层电性连接,所述第二漏极金属层还经由第六过孔与所述遮光层电性连接。

7. 一种TFT阵列基板的制备方法,所述TFT阵列基板用于制备如权利要求1所述的OLED显示装置,其特征在于,所述方法包括:

S10,在一基板上制备第一金属层,以第一道光罩将所述第一金属层图形化为第一底栅电极以及遮光层;

S20,在所述基板上依次制备缓冲层、半导体层、栅极绝缘层以及所述第一金属层,采用

半色调掩膜版为第二道光罩在所述缓冲层上形成第一半导体层、第二半导体层、第一栅极绝缘层、第二栅极绝缘层、第一顶栅电极以及第二顶栅电极；

S30,在所述缓冲层上制备层间绝缘层,采用半色调掩膜版为第三道光罩在所述层间绝缘层上形成第一通孔、第二通孔、第三通孔、第四通孔以及第五通孔；

S40,在所述层间绝缘层上沉积第二金属层,以第四道光罩将所述第二金属层图形化为第一源极金属层、第一漏极金属层、第二源极金属层以及第二漏极金属层；

S50,在所述层间绝缘层上制备钝化层,以第五道光罩在所述钝化层上暴露出所述第一底栅电极、所述第一顶栅电极以及所述第一漏极金属层,在所述第一漏极金属层上方形成第六通孔；

S60,在所述钝化层上形成一氧化物金属层,以第六道光罩将所述氧化物金属层图形化为第一像素电极以及第二像素电极,所述第一像素电极经由所述第一通孔与所述第一底栅电极电性连接,所述第一像素电极还经由所述第三通孔与所述第一顶栅电极电性连接,所述第二像素电极还经由所述第六通孔与所述第一漏极金属层电性连接。

8.根据权利要求7所述的TFT阵列基板的制备方法,其特征在于,所述S20中,所述第一半导体层的边缘两端以及所述第二半导体层的边缘两端均通过等离子体处理工艺进行导体化处理;所述等离子体处理工艺中的等离子处理气体为Ar、He以及N₂中的至少一种。

9.根据权利要求7所述的TFT阵列基板的制备方法,其特征在于,所述S30中,所述第一通孔暴露出所述第一底栅电极,所述第二通孔暴露出所述第一半导体层,所述第三通孔暴露出所述第一顶栅电极,所述第四通孔暴露出所述第二半导体层,所述第五通孔暴露出所述遮光层。

10.根据权利要求7所述的TFT阵列基板的制备方法,其特征在于,所述S40中,所述第一源极金属层以及所述第一漏极金属层经由所述第二通孔与所述第一导体化层的边缘两端电性相连,所述第二源极金属层以及所述第二漏极金属层经由所述第四通孔与所述第二导体化层的边缘两端电性相连,所述第二漏极金属层经由所述第五通孔与所述遮光层电性相连。

OLED显示装置及TFT阵列基板的制备方法

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种OLED显示装置及TFT阵列基板的制备方法。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Display,OLED)显示装置具有自发光、驱动电压低、发光效率高、响应时间短、清晰度与对比度高、近180°视角、使用温度范围宽,可实现柔性显示与大面积全色显示等诸多优点,被业界公认为是最有发展潜力的显示装置。

[0003] 目前的OLED像素驱动电路中,一般采用顶栅自对准型非晶氧化物TFT构成的3T1C(即三个薄膜晶体管加一个电容的结构)电路来驱动OLED发光,但由于非晶氧化物对短波光非常敏感,器件的阈值电压会在光照的作用下减小,从而严重影响OLED的发光强度,因此制作背板时会先沉积金属遮光层保护TFT(薄膜晶体管)器件不受底部环境光影响。然而单纯引入遮光层增加了额外的黄光制程,却不能增大器件的开态电流。

[0004] 因此,现有的OLED显示装置及TFT阵列基板的制备方法采用3T1C像素电路时,使用顶栅自对准型非晶氧化物TFT结构会引入遮光层,增加了额外的黄光制程,却不能增大器件的开态电流。

发明内容

[0005] 本申请实施例提供一种OLED显示装置及TFT阵列基板的制备方法,能够减小开关管寄生效应和减小驱动管沟道宽度,以解决现有的OLED显示装置及TFT阵列基板的制备方法采用3T1C像素电路时,使用顶栅自对准型非晶氧化物TFT结构会引入遮光层,增加了额外的黄光制程,却不能增大器件的开态电流的技术问题。

[0006] 本申请实施例提供一种OLED显示装置,包括OLED像素驱动电路,所述OLED像素驱动电路包括第一薄膜晶体管(T1)、第二薄膜晶体管(T2)、第三薄膜晶体管(T3)、存储电容(Cst)以及有机发光二极管;所述第一薄膜晶体管(T1)的漏极接入电源电压(Vdd),源极电性连接所述有机发光二极管的阳极;所述有机发光二极管的阴极接入公共接地电压;所述第二薄膜晶体管(T2)的栅极接入第一扫描信号(Scan 1),漏极接入数据信号线(Data),源极与所述第一薄膜晶体管(T1)的栅极以及所述存储电容(Cst)的一端电性连接;所述存储电容(Cst)的另一端电性连接所述第一薄膜晶体管(T1)的源极;所述第三薄膜晶体管(T3)的栅极接入第二扫描信号(Scan 2),源极电性连接所述第一薄膜晶体管(T1)的源极,漏极电性连接电路开关(K);

[0007] 其中,所述第一薄膜晶体管(T1)为双栅氧化物薄膜晶体管,所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均为顶栅自对准氧化物薄膜晶体管。

[0008] 在一些实施例中,所述第一薄膜晶体管(T1)、所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均同层设置于一基板上。

[0009] 在一些实施例中,所述双栅氧化物薄膜晶体管包括:所述基板;形成于所述基板上方的第一底栅电极;形成于所述第一底栅电极上方的缓冲层;形成于所述缓冲层上方的第一半导体层;形成于所述第一半导体层上方的第一栅极绝缘层;形成于所述第一栅极绝缘层上方的第一顶栅电极;形成于所述缓冲层上并完全覆盖所述第一半导体层、所述第一栅极绝缘层以及所述第一顶栅电极的层间绝缘层;形成于所述层间绝缘层上的第一源极金属层以及第一漏极金属层;形成于所述层间绝缘层上并完全覆盖所述第一源极金属层以及所述第一漏极金属层的钝化层;所述双栅薄膜晶体管还包括第一像素电极以及第二像素电极,所述第一像素电极以及所述第二像素电极形成于所述钝化层上。

[0010] 在一些实施例中,所述第一像素电极经由第一过孔与所述第一底栅电极电性连接,所述第一像素电极还经由第二过孔与所述第一顶栅电极电性连接;所述第二像素电极经由第三过孔与所述第一漏极金属层电性连接;所述第一源极金属层以及所述第一漏极金属层经由第四过孔与所述第一半导体层电性连接。

[0011] 在一些实施例中,所述顶栅自对准氧化物薄膜晶体管包括:所述基板、形成于所述基板上方的遮光层、所述缓冲层;形成于所述缓冲层上方的第二半导体层、形成于所述第二半导体层上方的第二栅极绝缘层、形成于所述第二栅极绝缘层上方的第二顶栅电极、所述层间绝缘层、形成于所述层间绝缘层上的第二源极金属层以及第二漏极金属层、所述钝化层以及所述第二像素电极。

[0012] 在一些实施例中,所述第二源极金属层以及所述第二漏极金属层经由第五过孔与所述第二半导体层电性连接,所述第二漏极金属层还经由第六过孔与所述遮光层电性连接。

[0013] 本申请实施例还提供一种TFT阵列基板的制备方法,所述TFT阵列基板用于制备所述OLED显示装置,所述方法包括:

[0014] S10,在一基板上制备第一金属层,以第一道光罩将所述第一金属层图形化为第一底栅电极以及遮光层;

[0015] S20,在所述基板上依次制备缓冲层、半导体层、栅极绝缘层以及所述第一金属层,采用半色调掩膜版为第二道光罩在所述缓冲层上形成第一半导体层、第二半导体层、第一栅极绝缘层、第二栅极绝缘层、第一顶栅电极以及第二顶栅电极;

[0016] S30,在所述缓冲层上制备层间绝缘层,采用半色调掩膜版为第三道光罩在所述层间绝缘层上形成第一通孔、第二通孔、第三通孔、第四通孔以及第五通孔;

[0017] S40,在所述层间绝缘层上沉积第二金属层,以第四道光罩将所述第二金属层图形化为第一源极金属层、第一漏极金属层、第二源极金属层以及第二漏极金属层;

[0018] S50,在所述层间绝缘层上制备钝化层,以第五道光罩在所述钝化层上暴露出所述第一底栅电极、所述第一顶栅电极以及所述第一漏极金属层,在所述第一漏极金属层上方形成第六通孔;

[0019] S60,在所述钝化层上形成一氧化物金属层,以第六道光罩将所述氧化物金属层图形化为第一像素电极以及第二像素电极,所述第一像素电极经由所述第一通孔与所述第一底栅电极电性连接,所述第一像素电极还经由所述第三通孔与所述第一顶栅电极电性连接,所述第二像素电极还经由所述第六通孔与所述第一漏极金属层电性连接。

[0020] 在一些实施例中,所述S20中,所述第一半导体层的边缘两端以及所述第二半导体

层的边缘两端均通过等离子体处理工艺进行导体化处理;所述等离子体处理工艺中的等离子处理气体为Ar、He以及N₂中的至少一种。

[0021] 在一些实施例中,所述S30中,所述第一通孔暴露出所述第一底栅电极,所述第二通孔暴露出所述第一半导体层,所述第三通孔暴露出所述第一顶栅电极,所述第四通孔暴露出所述第二半导体层,所述第五通孔暴露出所述遮光层。

[0022] 在一些实施例中,所述S40中,所述第一源极金属层以及所述第一漏极金属层经由所述第二通孔与所述第一导体化层的边缘两端电性相连,所述第二源极金属层以及所述第二漏极金属层经由所述第四通孔与所述第二导体化层的边缘两端电性相连,所述第二漏极金属层经由所述第五通孔与所述遮光层电性相连。

[0023] 本申请实施例所提供的OLED显示装置及TFT阵列基板的制备方法,采用六道光罩将驱动薄膜晶体管设计为双栅氧化物薄膜晶体管且开关薄膜晶体管设计为顶栅自对准氧化物薄膜晶体管,减小了驱动薄膜晶体管的沟道宽度以及减小了开关薄膜晶体管的寄生效应,有效提高了OLED显示装置的像素开口率,进一步提升了OLED显示装置的显示效果。

附图说明

[0024] 下面结合附图,通过对本申请的具体实施方式详细描述,将使本申请的技术方案及其它有益效果显而易见。

[0025] 图1为本申请实施例提供的OLED显示装置的3T1C结构的OLED像素驱动电路的电路图。

[0026] 图2为本申请实施例提供的OLED显示装置中TFT阵列基板的结构示意图。

[0027] 图3为本申请实施例提供的TFT阵列基板的制备方法流程图。

[0028] 图4A-4F为本申请实施例提供的TFT阵列基板的制备方法的结构示意图。

具体实施方式

[0029] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0030] 在本申请的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本申请和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本申请的限制。此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本申请的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0031] 在本申请的描述中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接或可以相互通讯;可以是直接相连,也可以通过中间媒介间

接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本申请中的具体含义。

[0032] 在本申请中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“上方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正下方和斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0033] 下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本申请。此外,本申请可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。此外,本申请提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到其他工艺的应用和/或其他材料的使用。

[0034] 本申请实施例针对现有的OLED显示装置及TFT阵列基板的制备方法采用3T1C像素电路时,使用顶栅自对准型非晶氧化物TFT结构会引入遮光层,增加了额外的黄光制程,却不能增大器件的开态电流的技术问题,本实施例能够解决该缺陷。

[0035] 如图1所示,为本申请实施例提供的OLED显示装置的3T1C结构的OLED像素驱动电路的电路图。其中,所述OLED像素驱动电路包括第一薄膜晶体管(T1)、第二薄膜晶体管(T2)、第三薄膜晶体管(T3)、存储电容(Cst)以及有机发光二极管;所述第一薄膜晶体管(T1)的漏极接入电源电压(Vdd),源极电性连接所述有机发光二极管的阳极;所述有机发光二极管的阴极接入公共接地电压;所述第二薄膜晶体管(T2)的栅极接入第一扫描信号(Scan 1),漏极接入数据信号线(Data),源极与所述第一薄膜晶体管(T1)的栅极以及所述存储电容(Cst)的一端电性连接;所述存储电容(Cst)的另一端电性连接所述第一薄膜晶体管(T1)的源极;所述第三薄膜晶体管(T3)的栅极接入第二扫描信号(Scan 2),源极电性连接所述第一薄膜晶体管(T1)的源极,漏极电性连接电路开关(K);所述第一薄膜晶体管(T1)为双栅氧化物薄膜晶体管,所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均为顶栅自对准氧化物薄膜晶体管。

[0036] 由图1可知,当所述电路开关(K)连通时,所述第一扫描信号(Scan 1)以及所述第二扫描信号(Scan 2)首先提供一高电位脉冲,使得所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均导通。在这一阶段,电源电压Vdd经导通的所述第二薄膜晶体管(T2)进入所述第一薄膜晶体管(T1)的栅极g,即 $V_g = V_{dd}$ (V_g 表示第一薄膜晶体管(T1)的栅极g的电位);数据信号Data自扫描信号Scan的高电位脉冲的上升开始持续为高电位,数据信号Data经导通的所述第三薄膜晶体管(T3)写入所述第一薄膜晶体管(T1)的源极s,即 $V_s = V_{Data}$ (V_s 表示所述第一薄膜晶体管(T1)的源极s的电位, V_{Data} 表示数据信号Data的电位)。之后,扫描信号Scan再保持低电位,使得所述第二薄膜晶体管(T2)和所述第三薄膜晶体管(T3)均截止,依靠存储电容(Cst)的存储作用,使得所述有机发光二极管发光进行显示。

[0037] 具体地,用于驱动像素电路的所述第一薄膜晶体管(T1)的 C_{gs} (栅极与源极之间的寄生电容)和 C_{gd} (栅极与漏极之间的耦合电容)仅会影响Data数据信号的充电时间,而用于

开关像素电路的所述第二薄膜晶体管(T2)的C_{gs}则会影响到存储电容(C_{st})和所述第一薄膜晶体管(T1)的栅极g的电位。

[0038] 由于双栅氧化物薄膜晶体管会增大TFT器件的开态电流,从而减小器件的沟道宽度,增加像素开口率,因此本申请实施例中所述第一薄膜晶体管(T1)采用双栅氧化物薄膜晶体管来减小沟道宽度,所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)采用顶栅自对准氧化物薄膜晶体管来减小器件的寄生效应。

[0039] 如图2所示,为本申请实施例提供的OLED显示装置中TFT阵列基板的结构示意图。其中,所述第一薄膜晶体管(T1)、所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均同层设置于一基板11上,所述第一薄膜晶体管(T1)为双栅氧化物薄膜晶体管,所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均为顶栅自对准氧化物薄膜晶体管。

[0040] 具体地,所述双栅氧化物薄膜晶体管(T1)包括:所述基板11;形成于所述基板11上方的第一底栅电极121;形成于所述第一底栅电极121上方的缓冲层13;形成于所述缓冲层13上方的第一半导体层141;形成于所述第一半导体层141上方的第一栅极绝缘层151;形成于所述第一栅极绝缘层151上方的第一顶栅电极123;形成于所述缓冲层13上并完全覆盖所述第一半导体层141、所述第一栅极绝缘层151以及所述第一顶栅电极123的层间绝缘层16;形成于所述层间绝缘层16上的第一源极金属层171以及第一漏极金属层172;形成于所述层间绝缘层16上并完全覆盖所述第一源极金属层171以及所述第一漏极金属层172的钝化层18;所述双栅薄膜晶体管(T1)还包括第一像素电极191以及第二像素电极192,所述第一像素电极191以及所述第二像素电极192形成于所述钝化层18上。

[0041] 具体地,所述第一像素电极191经由第一过孔21与所述第一底栅电极121电性连接,所述第一像素电极191还经由第二过孔22与所述第一顶栅电极123电性连接;所述第二像素电极192经由第三过孔23与所述第一漏极金属层172电性连接;所述第一源极金属层171以及所述第一漏极金属层172经由第四过孔24与所述第一半导体层141电性连接。

[0042] 具体地,所述顶栅自对准氧化物薄膜晶体管(T2或T3)包括:所述基板11、形成于所述基板11上方的遮光层122、所述缓冲层13;形成于所述缓冲层13上方的第二半导体层142、形成于所述第二半导体层142上方的第二栅极绝缘层152、形成于所述第二栅极绝缘层152上方的第二顶栅电极124、所述层间绝缘层16、形成于所述层间绝缘层16上的第二源极金属层173以及第二漏极金属层174、所述钝化层18以及所述第二像素电极192。

[0043] 具体地,所述第二源极金属层173以及所述第二漏极金属层174经由第五过孔25与所述第二半导体层142电性连接,所述第二漏极金属层174还经由第六过孔26与所述遮光层122电性连接。

[0044] 具体地,所述缓冲层13、所述第一栅极绝缘层151、所述第二栅极绝缘层152、所述层间绝缘层16以及所述钝化层18的材料均为二氧化硅、硅氮化物以及三氧化二铝中的至少一种。

[0045] 具体地,所述第一半导体层141以及所述第二半导体层142的材料为IZO(铟锌氧化物)以及IZTO(铟锌锡氧化物)中的至少一种;所述第一像素电极191以及所述第二像素电极192的材料为ITO(铟锡氧化物)。

[0046] 具体地,所述第一底栅电极121、所述遮光层122、所述第一顶栅电极123、所述第一源极金属层171、所述第一漏极金属层172、所述第二顶栅电极124、所述第二源极金属层173

以及所述第二漏极金属层174的材料均为Mo、Al、Ti、Cu中的至少一种。

[0047] 如图3所示,为本申请实施例提供的TFT阵列基板的制备方法流程图。其中,所述方法具体包括:

[0048] S10,在一基板11上制备第一金属层12,以第一道光罩将所述第一金属层12图形化为第一底栅电极121以及遮光层122。

[0049] 具体地,所述S10还包括:

[0050] 首先提供一基板11,所述基板为玻璃基板或者柔性衬底;之后在所述基板11上沉积第一金属层12,所述第一金属层12的材料为Mo、Al、Ti、Cu中的至少一种;最后,通过一掩膜版以第一道光罩将所述第一金属层12图形化为第一底栅电极121以及遮光层122,如图4A所示。

[0051] S20,在所述基板11上依次制备缓冲层13、半导体层14、栅极绝缘层15以及所述第一金属层12,采用半色调掩膜版21为第二道光罩在所述缓冲层13上形成第一半导体层141、第二半导体层142、第一栅极绝缘层151、第二栅极绝缘层152、第一顶栅电极123以及第二顶栅电极124。

[0052] 具体地,所述S20还包括:

[0053] 首先在所述基板11上通过化学气相沉积法或溅射方法制备缓冲层13,所述缓冲层13完全覆盖所述第一底栅电极121以及所述遮光层122;之后,在所述缓冲层13上依次制作半导体层14、栅极绝缘层15以及所述第一金属层12。接着采用半色调掩膜版21为第二道光罩在所述缓冲层13上方形成半导体区图形(即将半导体区外的部分所述半导体层14、部分所述栅极绝缘层15以及部分所述第一金属层12分别用湿法蚀刻、干法蚀刻以及湿法蚀刻腐蚀掉),接着灰化掉源漏极区域的部分所述栅极绝缘层15以及部分所述第一金属层12,并形成第一顶栅电极123以及第二顶栅电极124(即将源漏区域的部分所述第一金属层12、部分所述栅极绝缘层15分别用湿法蚀刻以及干法蚀刻腐蚀掉)。之后,在所述缓冲层13上形成第一半导体层141、第二半导体层142、第一栅极绝缘层151、第二栅极绝缘层152、第一顶栅电极123以及第二顶栅电极124。具体地,所述缓冲层13、所述第一栅极绝缘层151以及所述第二栅极绝缘层152的材料均为二氧化硅、硅氮化物以及三氧化二铝中的至少一种;所述第一半导体层141以及所述第二半导体层142的材料为IZO(铟锌氧化物)以及IZTO(铟锌锡氧化物)中的至少一种;所述第一顶栅电极123以及所述第二顶栅电极124、的材料均为Mo、Al、Ti、Cu中的至少一种。

[0054] 最后,所述第一半导体层141的边缘两端以及所述第二半导体层142的边缘两端均通过等离子体处理工艺进行导体化处理,以减小器件的源漏寄生电阻。所述等离子体处理工艺中的等离子处理气体为Ar、He以及N₂中的至少一种,如图4B所示。

[0055] S30,在所述缓冲层13上制备层间绝缘层16,采用半色调掩膜版22为第三道光罩在所述层间绝缘层16上形成第一通孔31、第二通孔32、第三通孔33、第四通孔34以及第五通孔35。

[0056] 具体地,所述S30还包括:

[0057] 首先,在所述缓冲层13上通过化学气相沉积法或溅射方法制备层间绝缘层16,所述层间绝缘层16完全覆盖所述第一半导体层141、所述第二半导体层142、所述第一栅极绝缘层151、所述第二栅极绝缘层152、所述第一顶栅电极123以及所述第二顶栅电极124;所述

层间绝缘层16的材料为二氧化硅、硅氮化物以及三氧化二铝中的至少一种;之后,采用半色调掩膜版22为第三道光罩对所述缓冲层13的开孔区域上方进行刻蚀(此时所述缓冲层13的开孔区域的部分所述层间绝缘层16将被刻开),接着灰化掉所述层间绝缘层16对应的开孔区域,此处所述层间绝缘层16对应的开孔区域为源漏极区域的上方以及所述第一顶栅电极123的上方。在第二次刻蚀所述层间绝缘层16的同时,所述缓冲层13的开孔区域的缓冲层也将被刻掉,从而将三个TFT的源漏电极区域、所述遮光层122、所述第一顶栅电极123和所述第一底栅电极121都漏出。即采用半色调掩膜版22为第三道光罩在所述层间绝缘层16上形成第一通孔31、第二通孔32、第三通孔33、第四通孔34以及第五通孔35。所述第一通孔31暴露出所述第一底栅电极121,所述第二通孔32暴露出所述第一半导体层141,所述第三通孔33暴露出所述第一顶栅电极123,所述第四通孔34暴露出所述第二半导体层142,所述第五通孔35暴露出所述遮光层122,如图4C所示。

[0058] S40,在所述层间绝缘层16上沉积第二金属层17,以第四道光罩将所述第二金属层图形化为第一源极金属层171、第一漏极金属层172、第二源极金属层173以及第二漏极金属层174。

[0059] 具体地,所述S40还包括:

[0060] 首先,在所述层间绝缘层16上沉积第二金属层17,以第四道光罩将所述第二金属层图形化为第一源极金属层171、第一漏极金属层172、第二源极金属层173以及第二漏极金属层174。所述第一源极金属层171以及所述第一漏极金属层172经由所述第二通孔32与所述第一导体化层141的边缘两端电性相连,所述第二源极金属层173以及所述第二漏极金属层174经由所述第四通孔34与所述第二导体化层142的边缘两端电性相连,所述第二漏极金属层174还经由所述第五通孔35与所述遮光层22电性相连,如图4D所示。

[0061] S50,在所述层间绝缘层16上制备钝化层18,以第五道光罩在所述钝化层18上暴露出所述第一底栅电极121、所述第一顶栅电极123以及所述第一漏极金属层172,在所述第一漏极金属层172上方形成第六通孔36。

[0062] 具体地,所述S50还包括:

[0063] 首先,在所述层间绝缘层16上通过化学气相沉积法或溅射方法制备钝化层18,所述钝化层18完全覆盖所述第一源极金属层171、所述第一漏极金属层172、所述第二源极金属层173以及所述第二漏极金属层174,所述钝化层18的材料为二氧化硅、硅氮化物以及三氧化二铝中的至少一种。之后以第五道光罩在所述钝化层18上暴露出所述第一底栅电极121、所述第一顶栅电极123以及所述第一漏极金属层172,在所述第一漏极金属层172上方形成第六通孔36,如图4E所示。

[0064] S60,在所述钝化层18上形成一氧化物金属层19,以第六道光罩将所述氧化物金属层19图形化为第一像素电极191以及第二像素电极192,所述第一像素电极191经由所述第一通孔31与所述第一底栅电极121电性连接,所述第一像素电极191还经由所述第三通孔33与所述第一顶栅电极123电性连接,所述第二像素电极192还经由所述第六通孔36与所述第一漏极金属层172电性连接。

[0065] 具体地,所述S60还包括:

[0066] 首先在所述钝化层18上形成一氧化物金属层19,所述氧化物金属层19的材料为ITO(氧化铟锡);之后以第六道光罩将所述氧化物金属层19图形化为第一像素电极191以及

第二像素电极192,所述第一像素电极191经由所述第一通孔31与所述第一底栅电极121电性连接,所述第一像素电极191还经由所述第三通孔33与所述第一顶栅电极123电性连接,所述第二像素电极192还经由所述第六通孔36与所述第一漏极金属层172电性连接,最后制备成所述TFT阵列基板,如图4F所示。

[0067] 本申请实施例所提供的OLED显示装置及TFT阵列基板的制备方法,采用六道光罩将驱动薄膜晶体管设计为双栅氧化物薄膜晶体管且开关薄膜晶体管设计为顶栅自对准氧化物薄膜晶体管,减小了驱动薄膜晶体管的沟道宽度以及减小了开关薄膜晶体管的寄生效应,有效提高了OLED显示装置的像素开口率,进一步提升了OLED显示装置的显示效果。

[0068] 在上述实施例中,对各个实施例的描述都各有侧重,某个实施例中未详述的部分,可以参见其他实施例的相关描述。

[0069] 以上对本申请实施例所提供的一种OLED显示装置及TFT阵列基板的制备方法进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想;本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

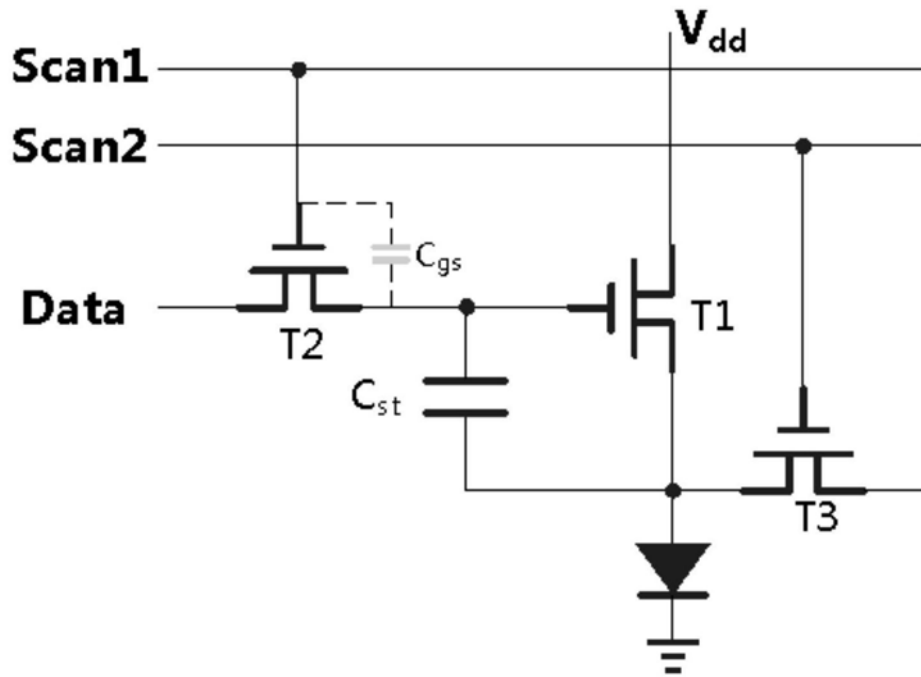


图1

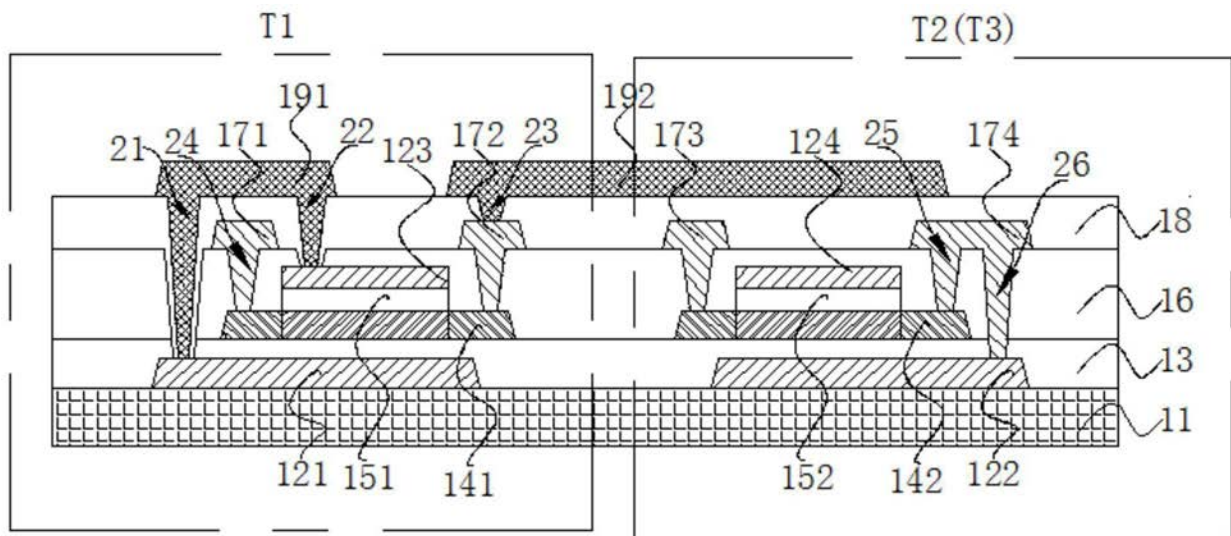


图2

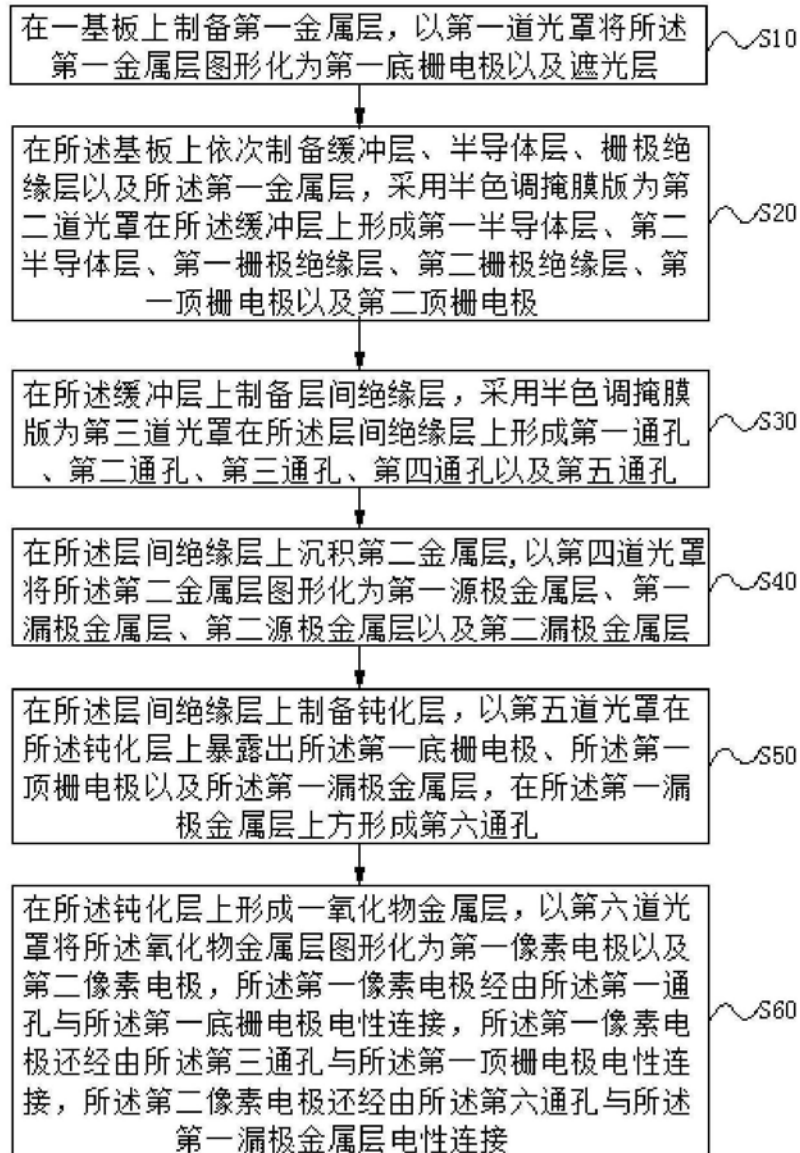


图3

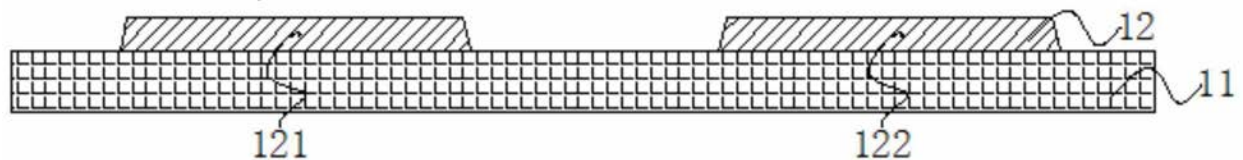


图4A

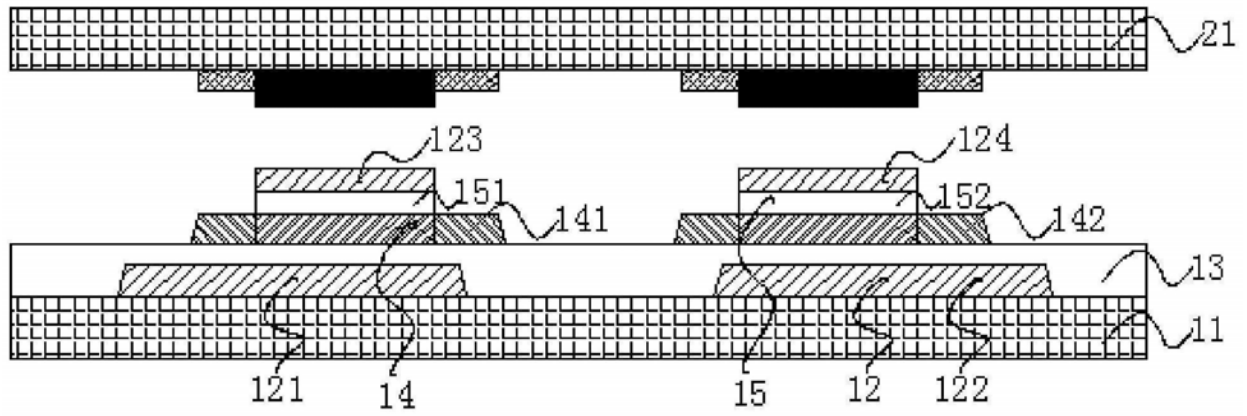


图4B

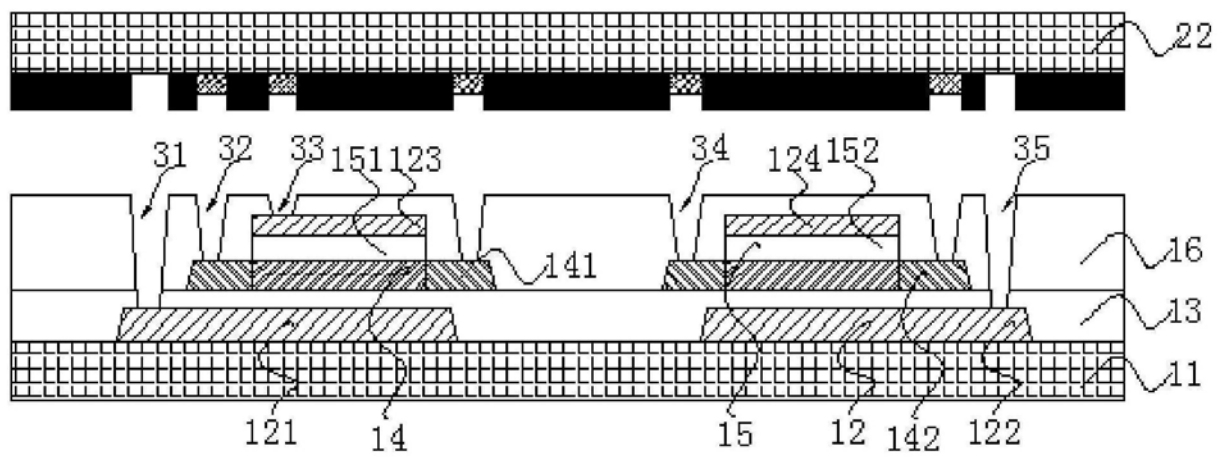


图4C

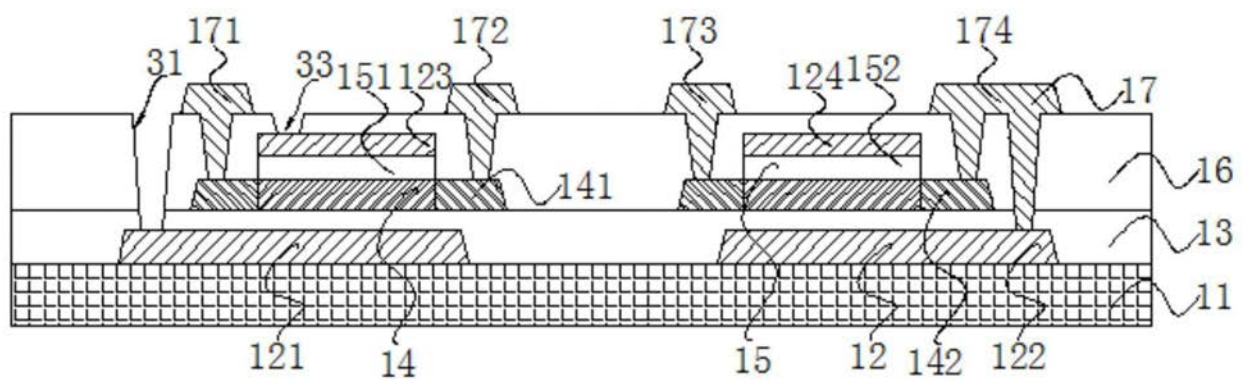


图4D

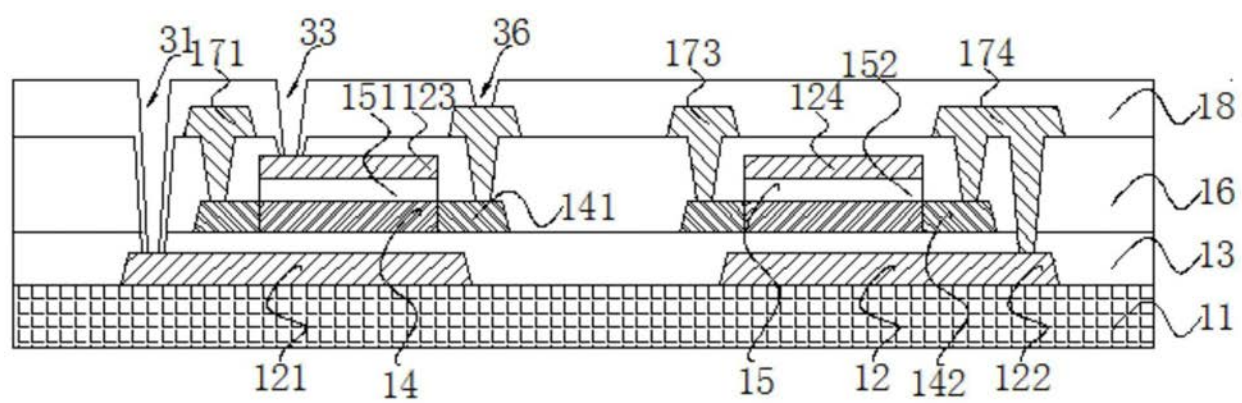


图4E

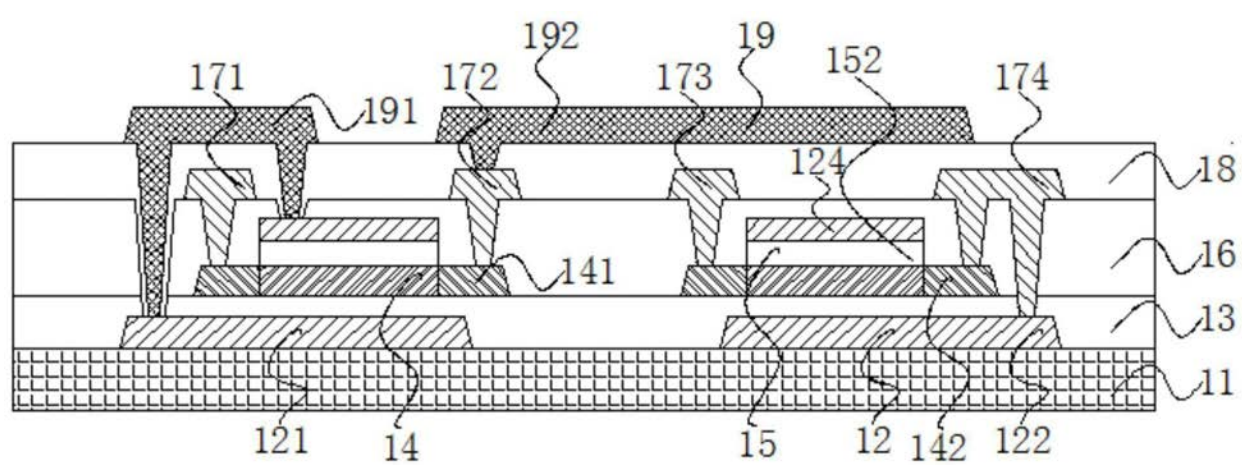


图4F

专利名称(译)	OLED显示装置及TFT阵列基板的制备方法		
公开(公告)号	CN111192884A	公开(公告)日	2020-05-22
申请号	CN202010107341.4	申请日	2020-02-21
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	张乐陶 张晓星		
发明人	张乐陶 张晓星		
IPC分类号	H01L27/12 H01L27/32 H01L21/77		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种OLED显示装置，包括OLED像素驱动电路，所述OLED像素驱动电路包括第一薄膜晶体管(T1)、第二薄膜晶体管(T2)、第三薄膜晶体管(T3)、存储电容(Cst)以及有机发光二极管；其中，所述第一薄膜晶体管(T1)为双栅氧化物薄膜晶体管，所述第二薄膜晶体管(T2)以及所述第三薄膜晶体管(T3)均为顶栅自对准氧化物薄膜晶体管。本申请还公开了一种TFT阵列基板的制备方法，所述TFT阵列基板用于制备所述OLED显示装置。

