



1. 一种像素驱动电路,其特征在于,包括:

驱动模块、阈值补偿模块、数据写入模块和存储模块;

所述驱动模块用于向有机发光结构提供驱动电流,所述有机发光结构响应所述驱动电流发光,所述驱动模块包括驱动晶体管;

所述阈值补偿模块用于在阈值抓取阶段抓取所述驱动晶体管的阈值电压至所述驱动模块的控制端;其中,构成所述阈值补偿模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管;

所述数据写入模块用于在所述阈值抓取阶段将数据信号写入所述存储模块的第一端,所述存储模块用于维持所述驱动模块的控制端在发光阶段的电位以及所述存储模块用于在所述数据写入阶段耦合所述第一端的所述数据信号至所述驱动模块的控制端。

2. 根据权利要求1所述的像素驱动电路,其特征在于,还包括:

第一初始化模块,所述第一初始化模块用于在初始化阶段对所述驱动模块的控制端的电位进行初始化;其中,构成所述第一初始化模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管。

3. 根据权利要求1所述的像素驱动电路,其特征在于,还包括:

第二初始化模块,所述第二初始化模块用于在初始化阶段对所述有机发光结构的第一电极的电位进行初始化;其中,构成所述第二初始化模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管。

4. 根据权利要求1-3任一项所述的像素驱动电路,其特征在于,还包括第一初始化模块和第二初始化模块,所述第一初始化模块与所述第二初始化模块均与参考信号线电连接,所述数据写入模块与数据信号线电连接,所述参考信号线与所述数据信号线共用同一条信号线。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述同一条信号线用于在初始化阶段和所述数据写入阶段传输参考信号,以及在所述阈值抓取阶段传输所述数据信号。

6. 根据权利要求1-3任一项所述的像素驱动电路,其特征在于,所述数据写入模块的第二端与所述存储模块的第一端电连接。

7. 根据权利要求1-3任一项所述的像素驱动电路,其特征在于,所述阈值补偿模块还用于在所述阈值抓取阶段将第一电源信号抓取至所述驱动模块的控制端。

8. 根据权利要求7所述的像素驱动电路,其特征在于,所述驱动模块的控制端与所述存储模块的第二端电连接,所述驱动模块的第一端接入所述第一电源信号,所述驱动模块的第二端与所述阈值补偿模块电连接。

9. 根据权利要求1-3任一项所述的像素驱动电路,其特征在于,还包括:

发光控制模块,所述发光控制模块用于在所述发光阶段之前控制所述有机发光结构不发光;

所述发光控制模块的第一端与所述驱动模块的第二端电连接,所述发光控制模块的第二端与所述有机发光结构的第一电极电连接。

10. 一种显示装置,其特征在于,包括如权利要求1-9任一项所述的像素驱动电路。

## 像素驱动电路及显示装置

### 技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种像素驱动电路及显示装置。

### 背景技术

[0002] 有机发光显示装置一般包含有若干个像素,每个像素包括像素驱动电路和有机发光结构,像素驱动电路向有机发光结构提供驱动电流,有机发光结构响应像素驱动电路提供的驱动电流发光,有机发光显示装置实现显示。

[0003] 像素驱动电路中包括驱动晶体管,驱动晶体管产生驱动有机发光结构发光的驱动电流。目前,像素驱动电路在工作的过程中,驱动晶体管的栅极存在电位不稳定问题,影响显示装置的显示效果。

### 发明内容

[0004] 本发明提供一种像素驱动电路及显示装置,在实现了像素驱动电路的正常驱动功能的同时,降低了显示装置的功耗,提高了驱动模块的控制端电压的稳定性,进而优化了显示装置的显示效果。

[0005] 第一方面,本发明实施例提供了一种像素驱动电路,包括:

[0006] 驱动模块、阈值补偿模块、数据写入模块和存储模块;

[0007] 所述驱动模块用于向有机发光结构提供驱动电流,所述有机发光结构响应所述驱动电流发光,所述驱动模块包括驱动晶体管;

[0008] 所述阈值补偿模块用于在阈值抓取阶段抓取所述驱动晶体管的阈值电压至所述驱动模块的控制端;其中,构成所述阈值补偿模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管;

[0009] 所述数据写入模块用于在所述阈值抓取阶段将数据信号写入所述存储模块的第一端,所述存储模块用于维持所述驱动模块的控制端在发光阶段的电位以及所述存储模块用于在所述数据写入阶段耦合所述第一端的所述数据信号至所述驱动模块的控制端。

[0010] 进一步地,所述像素驱动电路还包括:

[0011] 第一初始化模块,所述第一初始化模块用于在初始化阶段对所述驱动模块的控制端的电位进行初始化;其中,构成所述第一初始化模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管。

[0012] 进一步地,所述像素驱动电路还包括:

[0013] 第二初始化模块,所述第二初始化模块用于在初始化阶段对所述有机发光结构的第一电极的电位进行初始化;其中,构成所述第二初始化模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管。

[0014] 进一步地,所述像素驱动电路还包括第一初始化模块和第二初始化模块,所述第一初始化模块与所述第二初始化模块均与参考信号线电连接,所述数据写入模块与数据信号线电连接,所述参考信号线与所述数据信号线共用同一条信号线。

[0015] 进一步地,所述同一条信号线用于在初始化阶段和所述数据写入阶段传输参考信号,以及在所述阈值抓取阶段传输所述数据信号。

[0016] 进一步地,所述数据写入模块的第二端与所述存储模块的第一端电连接。

[0017] 进一步地,所述阈值补偿模块还用于在所述阈值抓取阶段将第一电源信号抓取至所述驱动模块的控制端。

[0018] 进一步地,所述驱动模块的控制端与所述存储模块的第二端电连接,所述驱动模块的第一端接入所述第一电源信号,所述驱动模块的第二端与所述阈值补偿模块电连接。

[0019] 进一步地,所述像素驱动电路还包括:

[0020] 发光控制模块,所述发光控制模块用于在所述发光阶段之前控制所述有机发光结构不发光;

[0021] 所述发光控制模块的第一端与所述驱动模块的第二端电连接,所述发光控制模块的第二端与所述有机发光结构的第一电极电连接。

[0022] 第二方面,本发明实施例还提供了一种显示装置,显示装置包括如第一方面的像素驱动电路。

[0023] 本发明实施例提供了一种像素驱动电路及显示装置,设置像素驱动电路包括驱动模块、阈值补偿模块、数据写入模块和存储模块,阈值补偿模块在阈值抓取阶段抓取驱动晶体管的阈值电压至驱动模块的控制端,构成阈值补偿模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管,数据写入模块在阈值抓取阶段将数据信号写入存储模块的第一端,存储模块维持驱动模块的控制端在发光阶段的电位以及在数据写入阶段耦合第一端的数据信号至驱动模块的控制端,在实现了像素驱动电路的正常驱动功能的同时,改善了驱动模块的控制端电位不稳定的问题,降低了显示装置功耗,提高了驱动模块的控制端电压的稳定性,进而优化了显示装置的显示效果。

## 附图说明

[0024] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0025] 图1为本发明实施例提供的一种像素驱动电路的结构示意图;

[0026] 图2为本发明实施例提供的一种像素驱动电路的具体电路结构示意图;

[0027] 图3为图2所示结构的像素驱动电路的驱动时序图;

[0028] 图4为本发明实施例提供的一种显示装置的结构示意图;

[0029] 图5为本发明实施例提供的一种显示装置的结构示意图。

## 具体实施方式

[0030] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。贯穿本说明书中,相同或相似的附图标号代表相同或相似的结构、元件或流程。需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0031] 本发明实施例提供了一种像素驱动电路,包括驱动模块、阈值补偿模块、数据写入

模块和存储模块,驱动模块用于向有机发光结构提供驱动电流,有机发光结构响应驱动电流发光,驱动模块包括驱动晶体管。阈值补偿模块用于在阈值抓取阶段抓取驱动晶体管的阈值电压至驱动模块的控制端;其中,构成阈值补偿模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管。数据写入模块用于在阈值抓取阶段将数据信号写入存储模块的第一端,存储模块用于维持驱动模块的控制端在发光阶段的电位以及在数据写入阶段耦合第一端的数据信号至驱动模块的控制端。

[0032] 有机发光显示装置一般包含若干个像素,每个像素包括像素驱动电路和有机发光结构,像素驱动电路向有机发光结构提供驱动电流,有机发光结构响应像素驱动电路提供的驱动电流发光,有机发光显示装置实现显示。像素驱动电路包括驱动晶体管,驱动晶体管产生驱动有机发光结构发光的驱动电流,即有机发光结构的发光亮度取决于驱动晶体管产生的驱动电流的大小,而驱动晶体管产生的驱动电流又与驱动晶体管的栅极电位直接相关。目前,像素驱动电路在工作的过程中,与驱动晶体管的栅极电连接的晶体管存在漏电问题,该漏电流越大,驱动晶体管维持栅极电位的时间越短,对应的驱动IC的驱动频率越大,导致驱动IC功耗较高,进而导致显示装置功耗较高。另外,上述漏电流使得驱动晶体管的栅极电位不稳定,进而使得驱动晶体管的开关状态不稳定,有机发光结构的发光时间的长短也就不稳定,影响显示装置的显示效果。

[0033] 本发明实施例提供的像素驱动电路包括驱动模块、阈值补偿模块、数据写入模块和存储模块,驱动模块用于向有机发光结构提供驱动电流,有机发光结构响应驱动电流发光,驱动模块包括驱动晶体管。阈值补偿模块用于在阈值抓取阶段抓取驱动晶体管的阈值电压至驱动模块的控制端;其中,构成阈值补偿模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管。数据写入模块用于在阈值抓取阶段将数据信号写入存储模块的第一端,存储模块用于维持驱动模块的控制端在发光阶段的电位以及在数据写入阶段耦合第一端的数据信号至驱动模块的控制端,在实现了像素驱动电路的正常驱动功能的同时,利用多栅结构的氧化物薄膜晶体管构成的阈值补偿模块有效降低了数据写入阶段和发光阶段阈值补偿模块产生的漏电流,改善了驱动模块的控制端电位不稳定的问题,降低了显示装置功耗,提高了驱动模块的控制端电压的稳定性,进而优化了显示装置的显示效果。

[0034] 以上是本发明的核心思想,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下,所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 图1为本发明实施例提供的一种像素驱动电路的结构示意图,图2为本发明实施例提供的一种像素驱动电路的具体电路结构示意图。结合图1和图2,像素驱动电路包括驱动模块1、阈值补偿模块2、数据写入模块3和存储模块4,驱动模块1用于向有机发光结构5提供驱动电流 $I_d$ ,有机发光结构5响应驱动电流 $I_d$ 发光,驱动模块1包括驱动晶体管T1。阈值补偿模块2用于在阈值抓取阶段抓取驱动晶体管T1的阈值电压至驱动模块1的控制端a1,构成阈值补偿模块2的薄膜晶体管为多栅结构的氧化物薄膜晶体管。数据写入模块3用于在阈值抓取阶段将数据信号写入存储模块4的第一端d1,存储模块4用于维持驱动模块1的控制端a1在发光阶段的电位以及在数据写入阶段耦合存储模块4的第一端d1的数据信号至驱动模块1的控制端a1。

[0036] 具体地,结合图1和图2,阈值补偿模块2在阈值抓取阶段抓取驱动晶体管T1的阈值

电压至驱动模块1的控制端a1,有利于使得在发光阶段流经有机发光结构5的驱动电流 $I_d$ 与驱动晶体管T1的阈值电压 $V_{th}$ 无关,有效避免驱动晶体管T1阈值电压 $V_{th}$ 漂移引起的显示不均匀的问题。另外,像素驱动电路进入数据写入阶段以及发光阶段之后,阈值补偿模块2关断,阈值补偿模块2产生的漏电流直接影响驱动模块1的控制端a1的电位的稳定性,设置构成阈值补偿模块2的薄膜晶体管为氧化物薄膜晶体管,例如可以设置构成阈值补偿模块2的薄膜晶体管的沟道材料为IGZO(铟镓锌氧化物),氧化物薄膜晶体管在关断时产生的漏电流较小,例如相对于目前普遍采用的LTPS(低温多晶硅)薄膜晶体管,其在关断时产生的漏电流更小,这样,在实现了像素驱动电路的正常驱动功能的同时,利用氧化物薄膜晶体管构成阈值补偿模块2有效降低了数据写入阶段和发光阶段阈值补偿模块2产生的漏电流,改善了驱动模块1的控制端a1电位不稳定的问题,降低了显示装置功耗,提高了驱动模块1的控制端a1电压的稳定性,进而优化了显示装置的显示效果。

[0037] 另外,LTPS薄膜晶体管在制作的过程中涉及由非晶硅转变为多晶硅的工艺,沟道材料的均匀性较差,影响LTPS薄膜晶体管的开关特性,而氧化物薄膜晶体管的沟道材料的均匀性较好,设置构成阈值补偿模块2的薄膜晶体管为氧化物薄膜晶体管,有利于优化阈值补偿模块2的开关特性,进而优化显示装置的显示效果。另外,可以设置构成阈值补偿模块2的氧化物晶体管为多栅结构的薄膜晶体管,这里示例性地设置构成阈值补偿模块2的薄膜晶体管为双栅结构的氧化物薄膜晶体管但不限于双栅结构的氧化物薄膜晶体管,相对于单栅结构的薄膜晶体管,有利于进一步降低阈值补偿模块2在关断时产生的漏电流,降低显示装置功耗,提高驱动模块1的控制端a1电压的稳定性,优化显示装置的显示效果。

[0038] 可选地,结合图1和图2,可以设置像素驱动电路还包括第一初始化模块6,第一初始化模块6用于在初始化阶段对驱动模块1的控制端a1的电位进行初始化,可以设置构成第一初始化模块6的薄膜晶体管为多栅结构的氧化物薄膜晶体管,图2示例性地设置构成第一初始化模块6的薄膜晶体管为双栅结构的氧化物薄膜晶体管但不限于双栅结构的氧化物薄膜晶体管。

[0039] 具体地,结合图1和图2,第一初始化模块6在初始化阶段对驱动模块1的控制端a1的电位进行初始化,像素驱动电路进入阈值抓取阶段、数据写入阶段以及发光阶段后,第一初始化模块6关断,第一初始化模块6产生的漏电流直接影响驱动模块1的控制端a1电位的稳定性。设置构成第一初始化模块6的薄膜晶体管为氧化物薄膜晶体管,例如可以设置构成第一初始化模块6的薄膜晶体管的沟道材料为IGZO(铟镓锌氧化物),氧化物薄膜晶体管在关断时产生的漏电流较小,这样,在实现了像素驱动电路的正常驱动功能的同时,利用氧化物薄膜晶体管构成第一初始化模块6有效降低了阈值抓取阶段、数据写入阶段和发光阶段第一初始化模块6产生的漏电流,改善了驱动模块1控制端a1电位不稳定的问题,降低了显示装置功耗,提高了驱动模块1的控制端a1电压的稳定性,进而优化了显示装置的显示效果。

[0040] 同样的,氧化物薄膜晶体管的沟道材料的均匀性较好,设置构成第一初始化模块6的薄膜晶体管为氧化物薄膜晶体管,有利于优化第一初始化模块6的开关特性,进而优化显示装置的显示效果。另外,可以设置构成第一初始化模块6的氧化物晶体管为多栅结构的薄膜晶体管,有利于进一步降低第一初始化模块6在关断时产生的漏电流,提高驱动模块1的控制端a1电压的稳定性,优化显示装置的显示效果。

[0041] 可选地,结合图1和图2,像素驱动电路还可以包括第二初始化模块7,第二初始化模块7用于在初始化阶段对有机发光结构5的第一电极51的电位进行初始化,可以设置构成第二初始化模块7的薄膜晶体管为多栅结构的氧化物薄膜晶体管,图2示例性地设置构成第二初始化模块7的薄膜晶体管为双栅结构的氧化物薄膜晶体管但不限于双栅结构的氧化物薄膜晶体管。

[0042] 具体地,结合图1和图2,第二初始化模块7在初始化阶段对有机发光结构5的第一电极51的电位进行初始化,像素驱动电路进入发光阶段之后,第二初始化模块7关断,第二初始化模块7产生的漏电流直接影响有机发光结构5的第一电极的电位的稳定性,设置构成第二初始化模块7的薄膜晶体管为氧化物薄膜晶体管,例如可以设置构成第二初始化模块7的薄膜晶体管的沟道材料为IGZO,氧化物薄膜晶体管在关断时产生的漏电流较小,这样,在实现了像素驱动电路的正常驱动功能的同时,利用氧化物薄膜晶体管构成第二初始化模块7有效降低了发光阶段第二初始化模块7产生的漏电流,改善了发光阶段有机发光结构5的第一电极51电位不稳定的问题,提高了有机发光结构5的第一电极51电压的稳定性,进而优化了显示装置的显示效果。

[0043] 同样的,氧化物薄膜晶体管的沟道材料的均匀性较好,设置构成第二初始化模块7的薄膜晶体管为氧化物薄膜晶体管,有利于优化第二初始化模块7的开关特性,进而优化显示装置的显示效果。另外,设置构成第二初始化模块7的薄膜晶体管为多栅结构的氧化物薄膜晶体管,有利于进一步降低第二初始化模块7在关断时产生的漏电流,提高有机发光结构5的第一电极51电压的稳定性,优化显示装置的显示效果。

[0044] 可选地,如图1和图2所示,可以设置第一初始化模块6与第二初始化模块7均与参考信号线r电连接,数据写入模块3与数据信号线d电连接,参考信号线r与数据信号线d共用同一条信号线。具体地,结合图1和图2,与数据写入模块3电连接的数据信号线d以及与第一初始化模块6和第二初始化模块7电连接的参考信号线r共用同一条信号线,可以设置该信号线分时输出数据信号和参考信号以确保像素驱动电路完成正常的像素驱动功能,例如可以设置该信号线在初始化阶段和数据写入阶段传输参考信号,在阈值抓取阶段传输数据信号,这样,在实现了像素驱动电路的正常驱动功能的同时,有利于减少与像素驱动电路电连接的信号线的数量,有利于显示装置窄边框的实现。

[0045] 可选地,结合图1和图2,可以设置数据写入模块3的第二端a3与存储模块4的第一端d1电连接。具体地,结合图1和图2,设置数据写入模块3的第二端a3与存储模块4的第一端a2电连接,在阈值抓取阶段,数据写入模块3的第一端a2接入数据信号,数据写入模块3将数据信号写入存储模块4的第一端d1,有利于使得存储模块4在数据写入阶段耦合存储模块4的第一端d1的数据信号至驱动模块1的控制端a1,通过调节数据信号的大小即可实现对驱动模块1产生的驱动电流大小的调节,进而实现对有机发光结构5发光亮度的调节,显示装置实现显示功能。

[0046] 可选地,结合图1和图2,阈值补偿模块2还用于在阈值抓取阶段将第一电源信号VDD抓取至驱动模块1的控制端a1。具体地,结合图1和图2,阈值补偿模块2能够在阈值抓取阶段将第一电源信号VDD抓取至驱动模块1的控制端a1,有利于使得驱动模块1最终产生的驱动电路与第一电源信号VDD无关,改善第一电源信号VDD在信号线上的压降影响驱动模块1产生的驱动电流而导致的显示装置显示均匀性差的问题,提高了显示装置的显示均匀性。

[0047] 可选地,结合图1和图2,可以设置驱动模块1的控制端a1与存储模块4的第二端d2电连接,驱动模块1的第一端a2接入第一电源信号VDD,驱动模块1的第二端a3与阈值补偿模块2电连接。具体地,设置驱动模块1的控制端a1与存储模块4的第二端d2电连接使得驱动模块1的控制端a1能够在数据写入阶段接收到存储模块4耦合至第二端a3的数据信号,设置驱动模块1的第二端a3与阈值补偿模块2电连接,使得阈值补偿模块2能够在阈值抓取阶段将第一电源信号VDD抓取至驱动模块1的控制端a1,驱动模块1的第一端a2又接入第一电源信号VDD,进而使得驱动模块1最终产生的驱动电路与第一电源信号VDD无关,改善第一电源信号VDD在信号线上的压降影响驱动模块1产生的驱动电流而导致的显示装置显示均匀性差的问题,提高了显示装置的显示均匀性。

[0048] 可选地,结合图1和图2,像素驱动电路还可以包括发光控制模块8,发光控制模块8用于在发光阶段之前控制有机发光结构5不发光,可以设置发光控制模块8的第一端a2与驱动模块1的第二端a3电连接,发光控制模块8的第二端a3与有机发光结构5的第一电极51电连接,有机发光结构5的第二电极52接入第二电源信号VSS。具体地,结合图1和图2,发光控制模块8在发光阶段之前控制有机发光结构5不发光,即在初始化阶段、阈值抓取阶段和数据写入阶段,发光控制模块8处于关断状态,使得驱动模块1至有机发光结构5无法形成电流通路,即驱动模块1产生的驱动电流 $I_d$ 无法传输至有机发光结构5,有机发光结构5不发光,有效避免了有机发光结构5在非发光阶段漏光的问题。

[0049] 图3为图2所示结构的像素驱动电路的驱动时序图。示例性地,可以设置驱动模块1包括驱动晶体管T1、阈值补偿模块2包括阈值补偿晶体管T2,数据写入模块3包括数据写入晶体管T3,第一初始化模块6包括第一初始化晶体管T6,第二初始化模块7包括第二初始化晶体管T7,发光控制模块8包括发光控制晶体管T8,存储模块4包括存储电容C1,设置阈值补偿晶体管T2、第一初始化晶体管T6以及第二初始化晶体管T7均为多栅结构,例如双栅结构的氧化物薄膜晶体管但不限于双栅结构的氧化物薄膜晶体管,即为N型薄膜晶体管,设置其余晶体管均为P型薄膜晶体管,例如均为LTPS薄膜晶体管。下面结合图3对图2所示结构的像素驱动电路的动作原理进行具体说明:

[0050] 在 $t_1$ (初始化)时段,第一初始化晶体管T6和第二初始化晶体管T7各自对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0051] 在这种情况下,控制端a1写入参考信号REF,参考信号通过第一初始化晶体管T6传输至驱动晶体管T1的栅极b1,驱动晶体管T1的栅极,即第二节点N2被参考信号初始化,第二节点N2的电位等于参考信号的电平值 $V_{ref}$ ,参考信号通过第二初始化晶体管T7传输至有机发光结构5的第一电极51,有机发光结构5的第一电极51被参考信号初始化。

[0052] 在 $t_2$ (阈值抓取)时段,阈值补偿晶体管T2以及数据写入晶体管T3各自对应的第一极b2与第二极b3之间连通,且由于上一时段驱动晶体管T1的栅极,即第二节点N2写入参考信号,驱动晶体管T1对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0053] 在这种情况下,控制端a1写入数据信号DATA,存储电容C1的第一端e1,即第一节点N1写入数据信号,N1节点的电位为数据信号的电平值 $V_{data}$ ,驱动晶体管T1通过阈值补偿晶体管T2等效成二极管且正向偏置,第一电源信号VDD以及驱动晶体管T1的阈值电压通过阈值补偿晶体管T2写入驱动晶体管T1的栅极b1,写入路径如图2中的路径L1,驱动晶体管T1的



栅极b1,即第二节点N2的电位等于第一电源信号VDD的电平值Vdd与驱动晶体管T1的阈值电压 $V_{th}$ 的绝对值 $|V_{th}|$ 的和值,即在阈值抓取阶段,阈值补偿模块2将第一电源信号VDD以及驱动晶体管T1的阈值电压抓取至驱动晶体管T1的栅极b1。

[0054] 在t3(数据写入)时段,数据写入晶体管T3以及驱动晶体管T1各自对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0055] 在这种情况下,控制端a1写入参考信号REF,存储电容的第一端e1,即第一节点N1的电位变为参考信号的电平值Vref,第一节点N1由t2时段到t1时段其电位的变化值为数据信号的电平值Vdata与参考信号的电平值Vref的差值,由于存储电容的耦合作用,驱动晶体管T1的栅极,即第二节点N2的电位变为 $V_{dd} + |V_{th}| + V_{data} - V_{ref}$ ,即在数据写入阶段,存储电容将第一端a2的数据信号耦合至驱动晶体管T1的栅极。

[0056] 在t4(发光)时段,发光控制晶体管T8和驱动晶体管T1各自对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0057] 在这种情况下,第一电源信号VDD传输至驱动晶体管T1的第一极b2,第二节点N2的电平值与第一电源信号VDD的电平值Vdd之间的电压差等于 $V_{dd} + |V_{th}| + V_{data} - V_{ref}$ 与Vdd的差值,等于 $|V_{th}| + V_{data} - V_{ref}$ ,该差值为驱动晶体管T1的栅极b1与源极(第一极b2)之间的电压差Vgs。

[0058] 存储电容C1与驱动晶体管T1的栅极b1电连接,且存储电容C1能够维持驱动晶体管T1的栅极b1在发光阶段,即t4时段的电压,驱动晶体管T1的栅极b1与源极(第一极b2)之间的电压Vgs通过存储电容C1保持或者基本上保持 $|V_{th}| + V_{data} - V_{ref}$ ,根据驱动晶体管T1的驱动电流Id与栅极b1和源极(第一极b2)之间电压差的对应关系,驱动晶体管T1的驱动电流Id与栅极b1与源极(第一极b2)之间的电压Vgs减去驱动晶体管T1的阈值电压 $V_{th}$ 的平方即 $(V_{data} - V_{ref})^2$ 成比例,因此驱动晶体管T1的驱动电流Id与驱动晶体管T1的阈值电压 $V_{th}$ 无关,使得在发光阶段流经有机发光结构5的驱动电流Id与驱动晶体管T1的阈值电压 $V_{th}$ 无关,有效避免了驱动晶体管T1阈值电压 $V_{th}$ 漂移引起的显示不均匀的问题。另外,驱动晶体管T1最终产生的驱动电流与第一电源信号VDD也无关,改善了第一电源信号VDD在信号线上的压降影响驱动晶体管T1产生的驱动电流而导致的显示装置显示均匀性差的问题,进一步提高了显示装置的显示均匀性。

[0059] 像素驱动电路进入数据写入阶段以及发光阶段之后,阈值补偿晶体管T2关断,阈值补偿晶体管T2的产生的漏电流直接影响驱动晶体管T1栅极的电位的稳定性,像素驱动电路进入阈值抓取阶段、数据写入阶段以及发光阶段后,第一初始化晶体管T6关断,第一初始化晶体管T6产生的漏电流直接影响驱动晶体管T1栅极的电位的稳定性,设置阈值补偿晶体管T2以及第一初始化晶体管T6均为多栅结构的氧化物薄膜晶体管,在实现了像素驱动电路的正常驱动功能的同时,利用多栅结构的氧化物薄膜晶体管有效改善了驱动模块1的控制端a1电位不稳定的问题,降低了显示装置功耗,提高了驱动模块1的控制端a1电压的稳定性,进而优化了显示装置的显示效果。另外,驱动晶体管T1的栅极漏电减小,也有利于减小存储电容C1的电容值,进而减小存储电容C1的面积,有利于提高显示装置的分辨率。

[0060] 示例性地,图2以驱动晶体管T1、数据写入晶体管T3和发光控制晶体管T8为P型晶体管为例进行说明,也可以设置驱动晶体管T1、数据写入晶体管T3和发光控制晶体管T8为N型晶体管,N型的驱动晶体管T1、数据写入晶体管T3和发光控制晶体管T8也可以是LTPS晶体

管,N型的驱动晶体管T1、数据写入晶体管T3和发光控制晶体管T8对应的驱动时序与这些晶体管为P型晶体管对应的驱动时序中的电平的高低反向即可。

[0061] 需要说明的是,本发明实施例对像素驱动电路中晶体管的数量以及电容元件的数量不作具体限定,可以根据具体需求对像素驱动电路中晶体管的数量以及电容元件的数量进行选择。

[0062] 本发明实施例还提供的一种有显示装置,图4为本发明实施例提供的一种显示装置的结构示意图。如图4所示,包括上述实施例中的像素驱动电路,因此本发明实施例提供的显示装置也具备上述实施例中所描述的有益效果,此处不再赘述。示例性地,显示装置可以是有机发光显示装置,显示装置还可以包括多条扫描信号线D12、多条数据信号线D13、栅极驱动模块D121、源极驱动模块D131、驱动控制模块D101和电源供给模块D102,像素驱动电路D1设置于扫描信号线D12与数据信号线D13交叉设置形成的空间内,栅极驱动模块D121响应驱动控制模块D101产生的扫描驱动控制信号,通过扫描信号线D12向对应的像素驱动电路输入扫描信号,像素驱动电路D1在与之电连接的扫描信号线D12输入的扫描信号的作用下,连通与之对应电连接的数据信号线D13,源极驱动电路D131响应驱动控制模块D101产生的数据驱动控制信号,通过数据信号线D13向对应的像素驱动电路D1输入数据信号,电源供给模块D102向像素驱动电路提供第一电源信号VDD和第二电源信号VSS,显示装置依此实现显示功能。示例性地,显示装置可以是有机发光显示装置,显示装置可以是手机,如图5所示,或者可以是电脑或可穿戴设备等电子设备,本发明实施例对显示装置的具体形式不作限定。

[0063] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

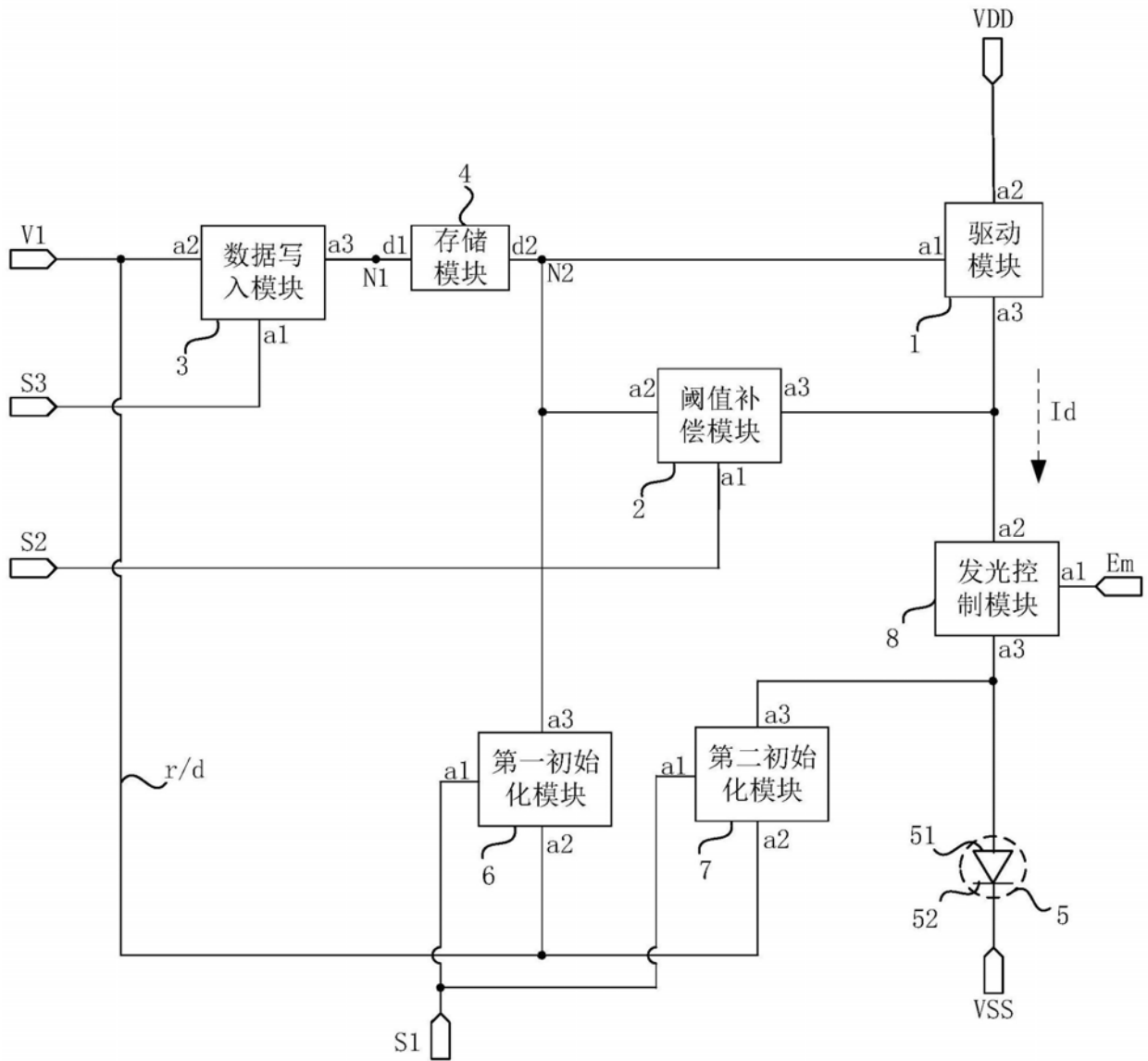


图1

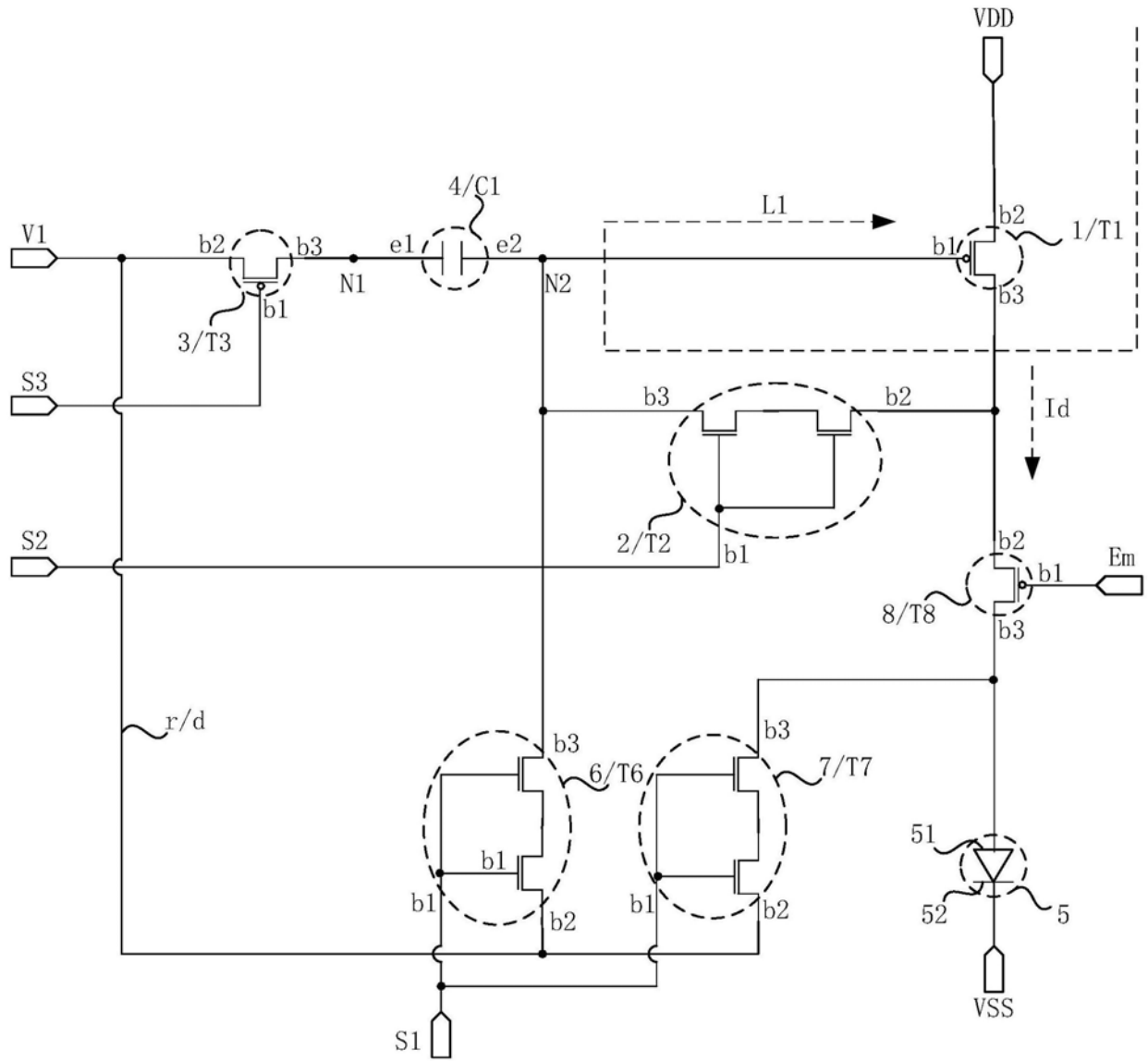


图2

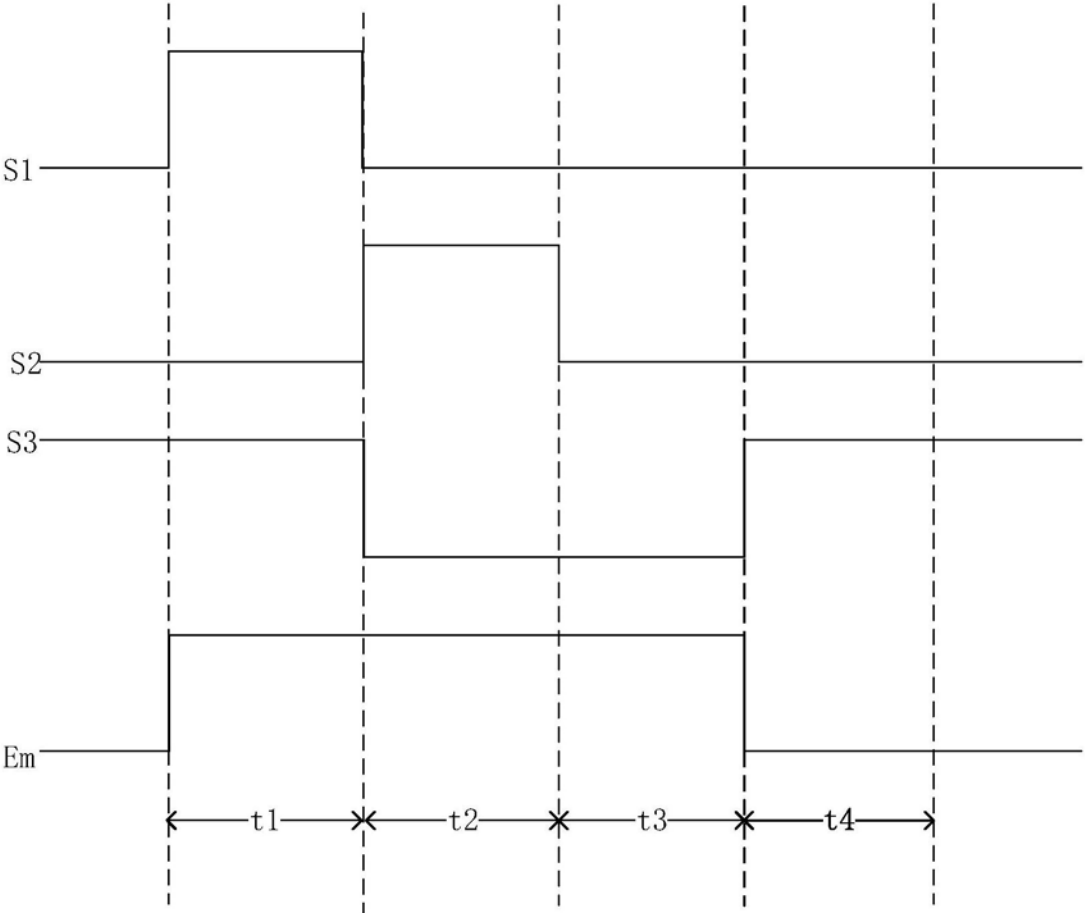


图3

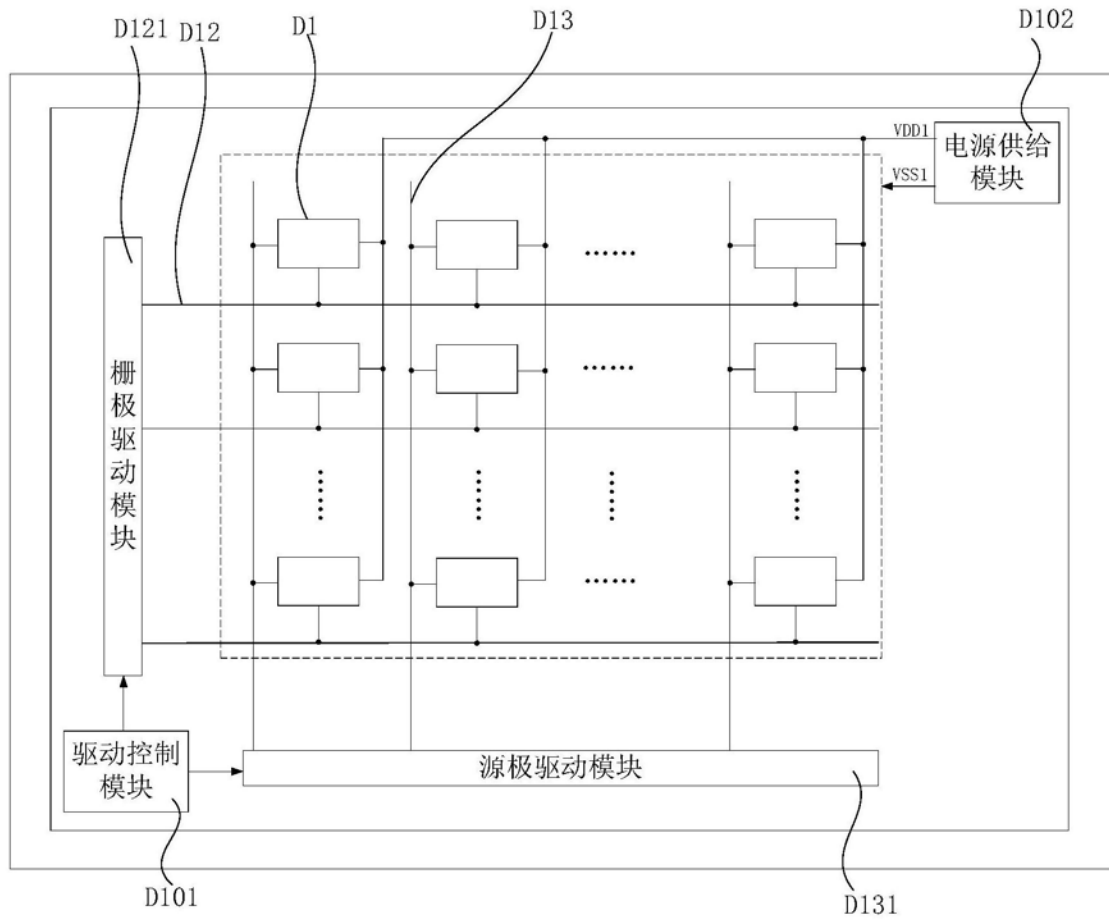


图4

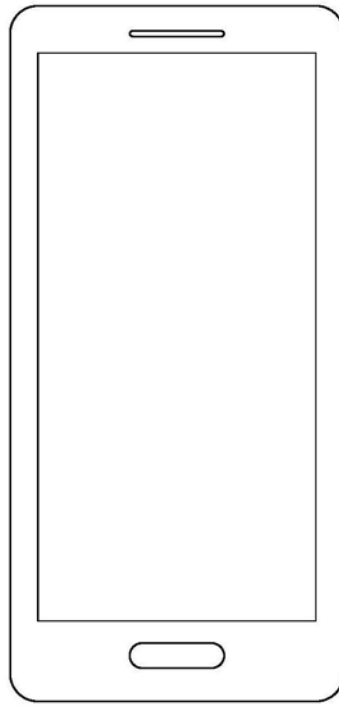


图5

专利名称(译)	像素驱动电路及显示装置		
公开(公告)号	<a href="#">CN110599964A</a>	公开(公告)日	2019-12-20
申请号	CN201910562865.X	申请日	2019-06-26
[标]发明人	范龙飞 王龙彦		
发明人	范龙飞 王龙彦		
IPC分类号	G09G3/3258		
CPC分类号	G09G3/3258		
代理人(译)	张海英		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

# 摘要(译)

本发明公开了一种像素驱动电路及显示装置，像素驱动电路包括驱动模块、阈值补偿模块、数据写入模块和存储模块；驱动模块向有机发光结构提供驱动电流，有机发光结构响应驱动电流发光，驱动模块包括驱动晶体管；阈值补偿模块在阈值抓取阶段抓取驱动晶体管的阈值电压至驱动模块的控制端；其中，构成阈值补偿模块的薄膜晶体管为多栅结构的氧化物薄膜晶体管；数据写入模块在阈值抓取阶段将数据信号写入存储模块的第一端，存储模块维持驱动模块的控制端在发光阶段的电位以及在数据写入阶段耦合第一端的数据信号至驱动模块的控制端。通过本发明的技术方案，在实现了像素驱动电路的正常驱动功能的同时，改善了驱动模块控制端电位不稳定的问题。

