(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 107274830 B
(45)授权公告日 2019.07.02

(21)申请号 201710567315.8

(22)申请日 2017.07.12

(65)同一申请的已公布的文献号
申请公布号 CN 107274830 A

(43)申请公布日 2017.10.20

(73)专利权人 上海天马有机发光显示技术有限公司
地址 201201 上海市浦东新区龙东大道6111号1幢509

(72)发明人 高娅娜 朱仁远 李玥 向东旭 陈泽源

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291
代理人 黄志华

(51)Int.Cl.
G09G 3/3208(2016.01)

审查员 李小艳

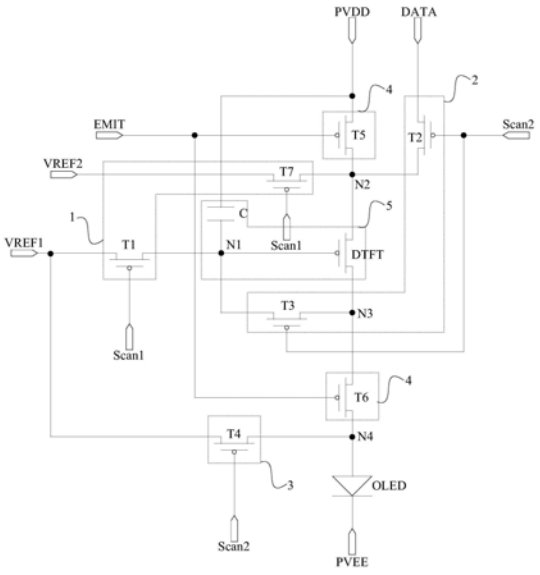
权利要求书2页 说明书9页 附图7页

(54)发明名称

一种像素电路、其驱动方法及有机电致发光显示面板

(57)摘要

本发明公开了一种像素电路、其驱动方法及有机电致发光显示面板，通过节点初始化模块包括的第一开关晶体管和第七开关晶体管，在初始化阶段同时对第一节点和第二节点复位，避免两者寄生电容造成的差异。驱动晶体管的栅极电连接第一节点，驱动晶体管的源极电连接第二节点，由于在初始化阶段对驱动晶体管进行复位，避免了电压跳变引起的阈值抓取不一致的问题，因此可以保证在高低灰阶切换后第一帧的亮度一致。并且，在每一帧的初始化阶段均对驱动晶体管进行完全复位，可以防止驱动晶体管的阈值电压发生偏移导致的残影现象出现。



CN 107274830 B

1.一种像素电路,其特征在于,包括:节点初始化模块,数据写入模块,阳极复位模块,发光控制模块,驱动控制模块以及有机发光二极管;其中,

所述节点初始化模块包括:第一开关晶体管;所述第一开关晶体管的栅极与第一扫描信号端电连接,源极与第一参考信号端电连接,漏极与第一节点电连接;

所述数据写入模块包括:第二开关晶体管和第三开关晶体管;所述第二开关晶体管的栅极与第二扫描信号端电连接,源极与数据信号端电连接,漏极与第二节点电连接;所述第三开关晶体管的栅极与所述第二扫描信号端电连接,源极与第三节点电连接,漏极与所述第一节点电连接;

所述阳极复位模块包括:第四开关晶体管;所述第四开关晶体管的栅极与所述第二扫描信号端电连接,源极与所述第一参考信号端电连接,漏极与第四节点电连接;

所述发光控制模块包括:第五开关晶体管和第六开关晶体管;所述第五开关晶体管的栅极与发光控制端电连接,源极与第一电压信号端电连接,漏极与所述第二节点电连接;所述第六开关晶体管的栅极与所述发光控制端电连接,源极与所述第三节点电连接,漏极与所述第四节点电连接;

所述驱动控制模块包括:驱动晶体管和电容;所述驱动晶体管的栅极与所述第一节点电连接,源极与所述第二节点电连接,漏极与所述第三节点电连接;所述电容连接于所述第一节点与所述第一电压信号端之间;

所述有机发光二极管连接于所述第四节点与第二电压信号端之间;

所述节点初始化模块,还包括:第七开关晶体管;

所述第七开关晶体管的栅极与第一扫描信号端电连接,源极与第二参考信号端电连接,漏极与所述第二节点电连接。

2.如权利要求1所述的像素电路,其特征在于,所述第二参考信号端与所述第一参考信号端连接同一信号端。

3.如权利要求1所述的像素电路,其特征在于,所述第二参考信号端与所述第一电压信号端连接同一信号端。

4.如权利要求1所述的像素电路,其特征在于,所述第一开关晶体管为双栅极结构,包括第一子开关晶体管和第二子开关晶体管;

所述第一子开关晶体管的漏极和所述第二子开关晶体管的源极电连接;

所述第一子开关晶体管的栅极和所述第二子开关晶体管的栅极分别与所述第一扫描信号端电连接;

所述第一子开关晶体管的源极与所述第一参考信号端电连接,所述第二子开关晶体管的漏极与所述第一节点电连接。

5.如权利要求4所述的像素电路,其特征在于,所述第七开关晶体管与所述第一子开关晶体管为同一开关晶体管;所述第二参考信号端与所述第一参考信号端为同一信号端;

所述第一子开关晶体管的漏极与所述第二子开关晶体管的源极之间的连接节点和所述第二节点电连接。

6.如权利要求5所述的像素电路,其特征在于,还包括:设置于所述第二节点与所述连接节点之间的连接线;

所述连接线的一端通过过孔与所述驱动晶体管的源极电连接,所述连接线的另一端通

过过孔与所述连接节点电连接。

7.如权利要求1所述的像素电路，其特征在于，所述第三开关晶体管为双栅极结构，包括第三子开关晶体管和第四子开关晶体管；

所述第三子开关晶体管的漏极和所述第四子开关晶体管的源极电连接；

所述第三子开关晶体管的栅极和所述第四子开关晶体管的栅极分别与所述第二扫描信号端电连接；

所述第三子开关晶体管的源极与所述第一节点电连接，所述第四子开关晶体管的漏极与所述第三节点电连接。

8.如权利要求1-7任一项所述的像素电路，其特征在于，所述像素电路中所有开关晶体管均为P型晶体管。

9.一种如权利要求1-8任一项所述的像素电路的驱动方法，其特征在于，包括：

初始化阶段，向所述第一扫描信号端提供第一电平信号，向所述第二扫描信号端提供第二电平信号，向所述发光控制端提供第二电平信号；

数据写入阶段，向所述第一扫描信号端提供第二电平信号，向所述第二扫描信号端提供第一电平信号，向所述发光控制端提供第二电平信号；

发光阶段，向所述第一扫描信号端提供第二电平信号，向所述第二扫描信号端提供第二电平信号，向所述发光控制端提供第一电平信号。

10.一种有机电致发光显示面板，其特征在于，包括：阵列排布的多个如权利要求1-8任一项所述的像素电路。

11.如权利要求10所述的有机电致发光显示面板，其特征在于，每行相邻的两个所述像素电路呈镜像方式排布。

12.如权利要求11所述的有机电致发光显示面板，其特征在于，还包括：多条第一扫描信号线、多条第二扫描信号线、多条第一参考信号线、多条发光控制线、多条数据信号线和多条第一电压信号线；其中，

至少两个相邻的所述像素电路共用同一连接孔与所述第一参考信号线连接。

13.如权利要求12所述的有机电致发光显示面板，其特征在于，至少两列相邻的所述像素电路与同一所述第一电压信号线连接。

一种像素电路、其驱动方法及有机电致发光显示面板

技术领域

[0001] 本发明涉及显示技术领域，尤指一种像素电路、其驱动方法及有机电致发光显示面板。

背景技术

[0002] 有机发光显示器(Organic Light Emitting Diode，OLED)是当今平板显示器研究领域的热点之一，与液晶显示器相比，OLED具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点，目前，在手机、PDA、数码相机等平板显示领域，OLED已经开始取代传统的液晶显示屏(Liquid Crystal Display，LCD)。其中，像素电路设计是OLED显示器核心技术内容，具有重要的研究意义。

[0003] 现有的一种像素电路的结构如图1所示，图1为现有的一种像素电路的结构图，包括6个开关晶体管：T1～T6、1个驱动晶体管DTFT和1个电容C。对应的输入时序图如图2所示，图2为图1所示的像素电路对应的输入时序图。该电路虽然通过内部补偿改善了因工艺和晶体管老化造成的驱动晶体管阈值电压漂移造成的显示不均问题，但是在高低灰阶切换后存在第一帧亮度不一致的问题。并且，该像素电路发光一段时间后，由于偏压应力会使驱动晶体管的阈值电压发生偏移，受偏移变化不同影响，导致残影现象出现。

发明内容

[0004] 本发明实施例提供一种像素电路、其驱动方法及有机电致发光显示面板，用以改善现有像素电路存在的残影以及高低灰阶切换后存在的第一帧亮度不一致的问题。

[0005] 本发明实施例提供的一种像素电路，包括：节点初始化模块，数据写入模块，阳极复位模块，发光控制模块，驱动控制模块以及有机发光二极管；其中，

[0006] 所述节点初始化模块包括：第一开关晶体管；所述第一开关晶体管的栅极与第一扫描信号端电连接，源极与第一参考信号端电连接，漏极与第一节点电连接；

[0007] 所述数据写入模块包括：第二开关晶体管和第三开关晶体管；所述第二开关晶体管的栅极与第二扫描信号端电连接，源极与数据信号端电连接，漏极与第二节点电连接；所述第三开关晶体管的栅极与所述第二扫描信号端电连接，源极与第三节点电连接，漏极与所述第一节点电连接；

[0008] 所述阳极复位模块包括：第四开关晶体管；所述第四开关晶体管的栅极与所述第二扫描信号端电连接，源极与所述第一参考信号端电连接，漏极与第四节点电连接；

[0009] 所述发光控制模块包括：第五开关晶体管和第六开关晶体管；所述第五开关晶体管的栅极与发光控制端电连接，源极与第一电压信号端电连接，漏极与所述第二节点电连接；所述第六开关晶体管的栅极与所述发光控制端电连接，源极与所述第三节点电连接，漏极与所述第四节点电连接；

[0010] 所述驱动控制模块包括：驱动晶体管和电容；所述驱动晶体管的栅极与所述第一节点电连接，源极与所述第二节点电连接，漏极与所述第三节点电连接；所述电容连接于所

述第一节点与所述第一电压信号端之间；

[0011] 所述有机发光二极管连接于所述第四节点与第二电压信号端之间；

[0012] 所述节点初始化模块，还包括：第七开关晶体管；

[0013] 所述第七开关晶体管的栅极与第一扫描信号端电连接，源极与第二参考信号端电连接，漏极与所述第二节点电连接。

[0014] 另一方面，本发明实施例还提供了一种上述像素电路的驱动方法，包括：

[0015] 初始化阶段，向所述第一扫描信号端提供第一电平信号，向所述第二扫描信号端提供第二电平信号，向所述发光控制端提供第二电平信号；

[0016] 数据写入阶段，向所述第一扫描信号端提供第二电平信号，向所述第二扫描信号端提供第一电平信号，向所述发光控制端提供第二电平信号；

[0017] 发光阶段，向所述第一扫描信号端提供第二电平信号，向所述第二扫描信号端提供第二电平信号，向所述发光控制端提供第一电平信号。

[0018] 另一方面，本发明实施例还提供了一种有机电致发光显示面板，包括：阵列排布的多个本发明实施例提供的上述像素电路。

[0019] 本发明有益效果如下：

[0020] 本发明实施例提供的一种像素电路、其驱动方法及有机电致发光显示面板，通过节点初始化模块包括的第一开关晶体管和第七开关晶体管，在初始化阶段同时对第一节点和第二节点复位，避免两者寄生电容造成的差异。驱动晶体管的栅极电连接第一节点，驱动晶体管的源极电连接第二节点，由于在初始化阶段对驱动晶体管进行复位，避免了电压跳变引起的阈值抓取不一致的问题，因此可以保证在高低灰阶切换后第一帧的亮度一致。并且，在每一帧的初始化阶段均对驱动晶体管进行完全复位，可以防止驱动晶体管的阈值电压发生偏移导致的残影现象出现。

附图说明

[0021] 图1为现有技术中的像素电路的电路示意图；

[0022] 图2为像素电路对应的时序图；

[0023] 图3为本发明实施例提供的像素电路的电路示意图之一；

[0024] 图4为本发明实施例提供的像素电路的电路示意图之二；

[0025] 图5为本发明实施例提供的像素电路的电路示意图之三；

[0026] 图6为图5所示的电路对应的局部结构示意图；

[0027] 图7为本发明实施例提供的有机电致发光显示面板的结构示意图；

[0028] 图8为本发明实施例提供的有机电致发光显示面板中包含的三个像素电路的结构示意图。

具体实施方式

[0029] 通过对图1的像素电路进行仿真模拟，当第n-1帧为0灰阶，第n帧为255灰阶，第n+1帧为255灰阶时，对第一节点N1和N2节点的在不同时间段时的电位进行检测，检测结果如下表1所示。

[0030]

灰阶	0	255			255	
帧数	第 n-1 帧	第 n 帧			第 n+1 帧	
阶段	发光阶段	初始化阶段	数据写入阶段	发光阶段	初始化阶段	数据写入阶段
N1	3.44	-3	**1.03**	1.5	-3	**1.02**
N2	4.6	**-0.65**	3.5	4.6	**0.15**	3.5

[0031] 表1

[0032] 由上述表1可以看出，在初始化阶段第n帧时第二节点N2的电位与第n+1帧时第二节点N2的电位不同。这是由于在初始化阶段时，第n帧的第一节点N1的电位-3V是由3.44V切换过来的，而第n+1帧的第一节点N1的电位-3V是由1.5V切换过来的，由于像素电路中第一节点N1和第二节点N2之间存在寄生电容，而第二节点N2在初始化阶段处于浮空状态，因此第一节点N1的电压变化ΔV不一致会导致在初始化阶段时第n帧时第二节点N2的电位与第n+1帧时第二节点N2的电位不同，进而导致在数据写入阶段时，第n帧时第一节点N1的电位与第n+1帧时第一节点N1节点的电位不同，造成第n帧亮度与第n+1帧亮度不一致的问题。

[0033] 有鉴于此，本发明实施例提供了一种像素电路、其驱动方法及有机电致发光显示面板，通过在初始化阶段时同时对第一节点N1和第二节点N2的电位进行复位，避免二者寄生电容造成的差异带来亮度不一致的问题。

[0034] 为了使本发明的目的，技术方案和优点更加清楚，下面结合附图，对本发明实施例提供的像素电路、其驱动方法及有机电致发光显示面板的具体实施方式进行详细地说明。应当理解，下面所描述的优选实施例仅用于说明和解释本发明，并不用于限定本发明。并且在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。

[0035] 具体地，本发明实施例提供了一种像素电路，如图3所示，包括：节点初始化模块1，数据写入模块2，阳极复位模块3，发光控制模块4，驱动控制模块5以及有机发光二极管OLED；其中，

[0036] 节点初始化模块1包括：第一开关晶体管T1；第一开关晶体管T1的栅极与第一扫描信号端Scan1电连接，源极与第一参考信号端VREF1电连接，漏极与第一节点N1电连接；

[0037] 数据写入模块2包括：第二开关晶体管T2和第三开关晶体管T3；第二开关晶体管T2的栅极与第二扫描信号端Scan2电连接，源极与数据信号端DATA电连接，漏极与第二节点N2电连接；第三开关晶体管T3的栅极与第二扫描信号端Scan2电连接，源极与第三节点N3电连接，漏极与第一节点N1电连接；

[0038] 阳极复位模块3包括：第四开关晶体管T4；第四开关晶体管T4的栅极与第二扫描信号端Scan2电连接，源极与第一参考信号端VREF1电连接，漏极与第四节点N4电连接；

[0039] 发光控制模块4包括：第五开关晶体管T5和第六开关晶体管T6；第五开关晶体管T5的栅极与发光控制端EMIT电连接，源极与第一电压信号端PVDD电连接，漏极与第二节点N2电连接；第六开关晶体管T6的栅极与发光控制端EMIT电连接，源极与第三节点N3电连接，漏极与第四节点N4电连接；

[0040] 驱动控制模块5包括：驱动晶体管DTFT和电容C；驱动晶体管DTFT的栅极与第一节

点N1电连接，源极与第二节点N2电连接，漏极与第三节点N3电连接；电容C连接于第一节点N1与第一电压信号端PVDD之间；

[0041] 有机发光二极管OLED连接于第四节点N4与第二电压信号端PVEE之间；

[0042] 节点初始化1模块，还包括：第七开关晶体管T7；

[0043] 第七开关晶体管T7的栅极与第一扫描信号端Scan1电连接，源极与第二参考信号端VREF2电连接，漏极与第二节点N2电连接。

[0044] 具体地，在本发明实施例提供的上述像素电路中，通过节点初始化模块1包括的第一开关晶体管T1和第七开关晶体管T7，可以在初始化阶段同时对第一节点N1和第二节点N2复位，避免两者寄生电容造成的差异。驱动晶体管DTFT的栅极电连接第一节点N1，驱动晶体管DTFT的源极电连接第二节点N2，由于在初始化阶段对驱动晶体管DTFT进行复位，避免了电压跳变引起的阈值抓取不一致的问题，因此可以保证在高低灰阶切换后第一帧的亮度一致。并且，在每一帧的初始化阶段均对驱动晶体管DTFT进行完全复位，还可以防止驱动晶体管DTFT的阈值电压发生偏移导致的残影现象出现。

[0045] 通过对图3的像素电路进行仿真模拟，当第n-1帧为0灰阶，第n帧为255灰阶，第n+1帧为255灰阶时，对第一节点N1和N2节点的在不同时间段时的电位进行检测，检测结果如下表2所示。

[0046]

灰阶	0	255			255	
帧数	第 n-1 帧	第 n 帧			第 n+1 帧	
阶段	发光阶段	初始化阶段	数据写入阶段	发光阶段	初始化阶段	数据写入阶段
N1	3.44	-3	**1.03**	1.5	-3	**1.03**
N2	4.6	**-3**	3.5	4.6	**-3**	3.5

[0047] 表2

[0048] 由上述表2可以看出，在初始化阶段第n帧时第二节点N2的电位与第n+1帧时第二节点N2的电位相同。具体地，在初始化阶段时，第n帧的第一节点N1的电位-3V是由3.44V切换过来的，第n+1帧的第一节点N1的电位-3V是由1.5V切换过来的，虽然像素电路中第一节点N1和第二节点N2之间存在寄生电容，但第二节点N2在初始化阶段被第二参考信号端VREF2复位电位为-3，因此第一节点N1的电压变化ΔV不一致不会影响在初始化阶段时第n帧时第二节点N2的电位与第n+1帧时第二节点N2的电位，进而不会影响在数据写入阶段时，第n帧时第一节点N1的电位与第n+1帧时第一节点N1节点的电位，保证了第n帧亮度与第n+1帧亮度一致。

[0049] 在具体实施时，在本发明实施例提供的上述像素电路中，第二参考信号端VREF2的电位信号影响到在初始化阶段第二节点N2的电位，如图3所示，第二参考信号端VREF2可以为单独的信号端，即不与其他信号端接入相同的电信号。此时，可以根据需要对第二参考信号端VREF2输入所需的电位信号，例如可以输入高于第一参考信号端VREF1的电位信号，以使驱动晶体管的Vgs处于负压状态，以改善在黑态时驱动晶体管的Vgs为正压造成的阈值电压漂移的问题。当然，例如第二参考信号端VREF2的电位信号也可以与第一参考信号端

VREF1的电位信号相同，或可以与第一电压信号端PVDD的电位信号相同，在此不做限定。

[0050] 较佳地，在本发明实施例提供的上述像素电路中，为节省信号端口数量，节省布线空间，第二参考信号端VREF2可以与第一参考信号端VREF1连接同一信号端。此时，在初始化阶段，通过独立的第一开关晶体管T1和第七开关晶体管T7，对第一节点N1和第二节点N2的电位进行复位，使其相同。通过独立于第一开关晶体管T1的第七开关晶体管T7控制第二节点N2的电位，可以有效减小耦合效应和漏电流的干扰。

[0051] 更佳地，在本发明实施例提供的上述像素电路中，为节省信号端口数量，节省布线空间，第二参考信号端VREF2还可以与第一电压信号端PVDD连接同一信号端。此时，在初始化阶段，通过独立的第一开关晶体管T1和第七开关晶体管T7，对第一节点N1和第二节点N2的电位进行复位，使第一节点N1的电位为第一参考信号，第二节点的电位为第一电压信号，以使驱动晶体管的Vgs处于负压状态，以改善在黑态时驱动晶体管的Vgs为正压造成的阈值电压漂移的问题。这是由于为保证为P型晶体管的驱动晶体管的关闭状态以显示黑态，需要对驱动晶体管的栅极加载偏正的电压即正压，此时会引起驱动晶体管的阈值电压偏移，而使驱动晶体管Vgs处于负压状态可以缓解上述阈值电压的偏移。并且，通过独立于第一开关晶体管T1的第七开关晶体管T7控制第二节点N2的电位，可以有效减小耦合效应和漏电流的干扰。

[0052] 在具体实施时，在本发明实施例提供的上述像素电路中，如图4所示，第一开关晶体管T1可以为双栅极结构，这样可以减少在第一开关晶体管T1截止时的漏电流，以有利于减少在发光阶段第一开关晶体管T1的漏电流对驱动晶体管DTFT的干扰，进而影响驱动晶体管DTFT的驱动电流。具体地，如图4所示，第一开关晶体管T1包括第一子开关晶体管T11和第二子开关晶体管T12；其中，

[0053] 第一子开关晶体管T11的漏极和第二子开关晶体管T12的源极电连接；

[0054] 第一子开关晶体管T11的栅极和第二子开关晶体管T12的栅极分别与第一扫描信号端电Scan1连接；

[0055] 第一子开关晶体管T11的源极与第一参考信号端VREF1电连接，第二子开关晶体管T12的漏极与第一节点N1电连接。

[0056] 基于上述第一开关晶体管T1采用双栅极结构的基础上，在具体实施时，在本发明实施例提供的上述像素电路中，为了节省晶体管的数量，简化电路结构，如图5所示，第七开关晶体管T7可以与第一子开关晶体管T11为同一开关晶体管；此时，第二参考信号端VREF2与第一参考信号端VREF1为同一信号端；第一子开关晶体管T11的漏极与第二子开关晶体管T12的源极之间的连接节点P和第二节点N2电连接。这样，在第一子开关晶体管T11和第二子开关晶体管T12导通时，第一参考信号端VREF1的第一参考信号同时对第一节点N1和第二节点N2复位，使两者电位一致。

[0057] 在具体实施时，在本发明实施例提供的上述像素电路中，基于如图5所示的第七开关晶体管T7与第一子开关晶体管T11为同一开关晶体管的结构基础上，为了保证连接节点P与第二节点N2的电连接关系，如图6所示，还需要包括：设置于第二节点N2与连接节点P之间的连接线M；该连接线M的一端通过过孔A与驱动晶体管DTFT的源极电连接，连接线M的另一端通过过孔B与连接节点P电连接。具体地，图6中是以驱动晶体管DTFT和第一开关晶体管T1为顶栅型晶体管为例进行结构示意说明，连接线M可以与驱动晶体管DTFT和第一开关晶体

管T1的搭接电极制作在同一膜层，这样可以在原有的电路膜层结构的基础上，不增加新的膜层，而不会增加制作工艺。

[0058] 在具体实施时，在本发明实施例提供的上述像素电路中，如图4和图5所示，第三开关晶体管T3可以为双栅极结构，这样可以减少在第三开关晶体管T3截止时的漏电流，以有利于减少在发光阶段第三开关晶体管T3的漏电流对驱动晶体管DTFT的干扰，进而影响驱动晶体管DTFT的驱动电流。具体地，如图4和图5所示，第三开关晶体管T3包括第三子开关晶体管T31和第四子开关晶体管T32；其中，

[0059] 第三子开关晶体管T31的漏极和第四子开关晶体管T32的源极电连接；

[0060] 第三子开关晶体管T31的栅极和第四子开关晶体管T32的栅极分别与第二扫描信号端Scan2电连接；

[0061] 第三子开关晶体管T31的源极与第一节点N1电连接，第四子开关晶体管T32的漏极与第三节点N3电连接。

[0062] 较佳地，在具体实施时，本发明实施例提供的上述像素电路中提到的驱动晶体管DTFT和各开关晶体管可以全部采用N型晶体管设计，或者，如图3至图5所示，驱动晶体管DTFT和各开关晶体管可以全部采用P型晶体管设计，这样可以简化像素电路的制作工艺流程。

[0063] 在具体实施时，在本发明实施例提供的上述像素电路中，N型晶体管在高电位作用下导通，在低电位作用下截止；P型晶体管在高电位作用下截止，在低电位作用下导通。

[0064] 需要说明的是，在本发明实施例提供的上述像素电路中，上述驱动晶体管DTFT和各开关晶体管可以是薄膜晶体管(TFT，Thin Film Transistor)，也可以是金属氧化物半导体场效应管(MOS，Metal Oxide Scmiconductor)，在此不作限定。在具体实施中，这些晶体管的源极和漏极可以互换，不做具体区分。在描述具体实施例是以驱动晶体管和晶体管都为薄膜晶体管为例进行说明的。

[0065] 下面分别以图3和图5所示的像素电路的结构为例，结合电路时序图对本发明实施例提供的上述像素电路的工作过程作以描述。下述描述中以1表示高电位，0表示低电位。需要说明的是，1和0是逻辑电位，其仅是为了更好的解释本发明实施例的具体工作过程，而不是在具体实施时施加在各开关晶体管的栅极上的电压。

[0066] 可选地，以图3所示的像素电路的结构为例进行说明，对应的输入输出时序图如图2所示，图2为图3所示的结构对应的时序图。具体地，主要选取如图2所示的输入输出时序图中的初始化阶段P1、数据写入阶段P2和发光阶段P3三个阶段。

[0067] 在初始化阶段P1，EMIT＝1，Scan1＝0，Scan2＝1。

[0068] 由于Scan1＝0，因此第一开关晶体管T1导通以将第一参考信号端VREF1的第一参考信号提供给第一节点N1，第一节点N1的电位为VREF1；第七开关晶体管T7导通以将第二参考信号端VREF2的第二参考信号提供给第二节点N2，第二节点N2的电位为VREF2，第一节点N1和第二节点N2初始化复位，驱动晶体管DTFT打开。由于Scan2＝1，因此，第二开关晶体管T2、第三开关晶体管T3和第四开关晶体管T4截止。由于EMIT＝1，因此第五开关晶体管T5和第六开关晶体管T6截止，有机发光二极管OLED不发光。

[0069] 在数据写入阶段P2，EMIT＝1，Scan1＝1，Scan2＝0。

[0070] 由于Scan1＝1，因此第一开关晶体管T1和第七开关晶体管T7截止。Scan2＝0，因

此，第二开关晶体管T2导通以将数据信号线Data的数据信号提供给驱动晶体管DTFT的源极，第二节点N2的电位变为Vdata；第三开关晶体管T3导通以将驱动晶体管DTFT的栅极和漏极导通，第一节点N1和第三节点N3的电位变为Vdata-|Vth|，此时驱动晶体管DTFT的Vsg从VREF2-VREF1→Vdata-VREF1→|Vth|，因此无论高灰阶跳变为中灰阶或是低灰阶跳变为中灰阶，均可以保证抓取的阈值电压相同；第四开关晶体管T4导通以将第一参考信号端VREF1的第一参考信号提供给第四节点N4，对有机发光二极管复位。由于EMIT＝1，因此第五开关晶体管T5和第六开关晶体管T6截止，有机发光二极管OLED不发光。

[0071] 在发光阶段P3，EMIT＝0，Scan1＝1，Scan2＝1。

[0072] 由于Scan1＝1，因此第一开关晶体管T1和第七开关晶体管T7截止。由于Scan2＝1，因此，第二开关晶体管T2、第三开关晶体管T3和第四开关晶体管T4截止。由于EMIT＝0，因此第五开关晶体管T5导通以将第一电压信号端PVDD的高电位提供给驱动晶体管DTFT的源极，第二节点N2的电位变为PVDD，此时驱动晶体管DTFT的Vsg＝PVDD-Vdata+|Vth|，$I＝K(Vsg-|Vth|)^2＝K(PVDD-Vdata)^2$；第六开关晶体管T6导通，以使驱动晶体管DTFT的驱动电流驱动有机发光二极管OLED工作发光。

[0073] 可选地，以图5所示的像素电路的结构为例进行说明，对应的输入输出时序图如图2所示，图2为图5所示的结构对应的时序图，。具体地，主要选取如图2所示的输入输出时序图中的初始化阶段P1、数据写入阶段P2和发光阶段P3三个阶段。

[0074] 在初始化阶段P1，EMIT＝1，Scan1＝0，Scan2＝1。

[0075] 由于Scan1＝0，因此第一开关晶体管T1导通以将第一参考信号端VREF1的第一参考信号提供给第一节点N1和第二节点N2，第一节点N1和第二节点N2的电位为VREF1，第一节点N1和第二节点N2初始化复位，驱动晶体管DTFT打开。由于Scan2＝1，因此，第二开关晶体管T2、第三开关晶体管T3和第四开关晶体管T4截止。由于EMIT＝1，因此第五开关晶体管T5和第六开关晶体管T6截止，有机发光二极管OLED不发光。

[0076] 在数据写入阶段P2，EMIT＝1，Scan1＝1，Scan2＝0。

[0077] 由于Scan1＝1，因此第一开关晶体管T1截止。Scan2＝0，因此，第二开关晶体管T2导通以将数据信号线Data的数据信号提供给驱动晶体管DTFT的源极，第二节点N2的电位变为Vdata；第三开关晶体管T3导通以将驱动晶体管DTFT的栅极和漏极导通，第一节点N1和第三节点N3的电位变为Vdata-|Vth|，此时驱动晶体管DTFT的Vsg从0→Vdata-VREF1→|Vth|，因此无论高灰阶跳变为中灰阶或是低灰阶跳变为中灰阶，均可以保证抓取的阈值电压相同；第四开关晶体管T4导通以将第一参考信号端VREF1的第一参考信号提供给第四节点N4，对有机发光二极管复位。由于EMIT＝1，因此第五开关晶体管T5和第六开关晶体管T6截止，有机发光二极管OLED不发光。

[0078] 在发光阶段P3，EMIT＝0，Scan1＝1，Scan2＝1。

[0079] 由于Scan1＝1，因此第一开关晶体管T1截止。由于Scan2＝1，因此，第二开关晶体管T2、第三开关晶体管T3和第四开关晶体管T4截止。由于EMIT＝0，因此第五开关晶体管T5导通以将第一电压信号端PVDD的高电位提供给驱动晶体管DTFT的源极，第二节点N2的电位变为PVDD，此时驱动晶体管DTFT的Vsg＝PVDD-Vdata+|Vth|，$I＝K(Vsg-|Vth|)^2＝K(PVDD-Vdata)^2$；第六开关晶体管T6导通，以使驱动晶体管DTFT的驱动电流驱动有机发光二极管OLED工作发光。

[0080] 基于同一发明构思，本发明实施例还提供了一种像素电路的驱动方法，如图2所示，包括：

[0081] 初始化阶段P1，向第一扫描信号端Scan1提供第一电平信号，向第二扫描信号端Scan2提供第二电平信号，向发光控制端EMIT提供第二电平信号；

[0082] 数据写入阶段P2，向第一扫描信号端Scan1提供第二电平信号，向第二扫描信号端Scan2提供第一电平信号，向发光控制端EMIT提供第二电平信号；

[0083] 发光阶段P3，向第一扫描信号端Scan1提供第二电平信号，向第二扫描信号端Scan2提供第二电平信号，向发光控制端EMIT提供第一电平信号。

[0084] 可选地，在本发明实施例提供的上述像素电路的驱动方法中的第一电平信号可以为高电位信号，对应地，第二电平信号为低电位信号；或者反之，如图2所示，第一电平信号可以为低电位信号，对应地，第二电平信号为高电位信号，具体需要根据开关晶体管是N型晶体管还是P型晶体管而定。

[0085] 基于同一发明构思，本发明实施例还提供了一种有机电致发光显示面板，如图7所示，包括：阵列排布的多个本发明实施例提供的上述像素电路PX。该有机发光显示面板解决问题的原理与前述像素电路相似，因此该有机发光显示面板的实施可以参见前述像素电路的实施，重复之处在此不再赘述。图8是以三个图5所示的电路结构的像素电路PX1、PX2和PX3为例进行举例说明。

[0086] 在具体实施时，在本发明实施例提供的上述有机电致发光显示面板中，如图8所示，为了节省电路布图空间，使电路设计更紧凑，每行相邻的两个像素电路PX1和PX2，PX2和PX3可以呈镜像方式排布，即左右对称设置。

[0087] 在具体实施时，在本发明实施例提供的上述有机电致发光显示面板中，如图8所示，还可以包括：多条第一扫描信号线S1、多条第二扫描信号线S2、多条第一参考信号线Ref1、多条发光控制线Em、多条数据信号线Data和多条第一电压信号线Pvdd；其中，一般地，多条第一扫描信号线S1、多条第二扫描信号线S2、多条第一参考信号线Ref1和多条发光控制线Em大致相互平行，可以设置在同一金属膜层；多条数据信号线Data和多条第一电压信号线Pvdd，以及如图6所示的连接线M大致相互平行，可以设置在同一金属膜层。

[0088] 进一步地，在本发明实施例提供的上述有机电致发光显示面板中，如图8所示，各晶体管的源极、漏极和沟道区域会设置于半导体层，在源极和漏极会进行相应的掺杂工艺，半导体层一般采用低温多晶硅，根据工艺需要，半导体层一般位于第一金属层之下。

[0089] 在具体实施时，在本发明实施例提供的上述有机电致发光显示面板中，如图8所示，为了节省电路布图空间，使电路设计更紧凑，至少两个相邻的像素电路PX1和PX2可以共用同一连接孔N与第一参考信号线Ref1连接。

[0090] 在具体实施时，在本发明实施例提供的上述有机电致发光显示面板中，如图8所示，为了节省电路布图空间，使电路设计更紧凑，至少两列相邻的像素电路PX2和PX3可以与同一第一电压信号线Pvdd连接。

[0091] 本发明实施例提供的上述像素电路、其驱动方法及有机电致发光显示面板，通过节点初始化模块包括的第一开关晶体管和第七开关晶体管，在初始化阶段同时对第一节点和第二节点复位，避免两者寄生电容造成的差异。驱动晶体管的栅极电连接第一节点，驱动晶体管的源极电连接第二节点，由于在初始化阶段对驱动晶体管进行复位，避免了电压跳

变引起的阈值抓取不一致的问题，因此可以保证在高低灰阶切换后第一帧的亮度一致。并且，在每一帧的初始化阶段均对驱动晶体管进行完全复位，可以防止驱动晶体管的阈值电压发生偏移导致的残影现象出现。

[0092] 显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

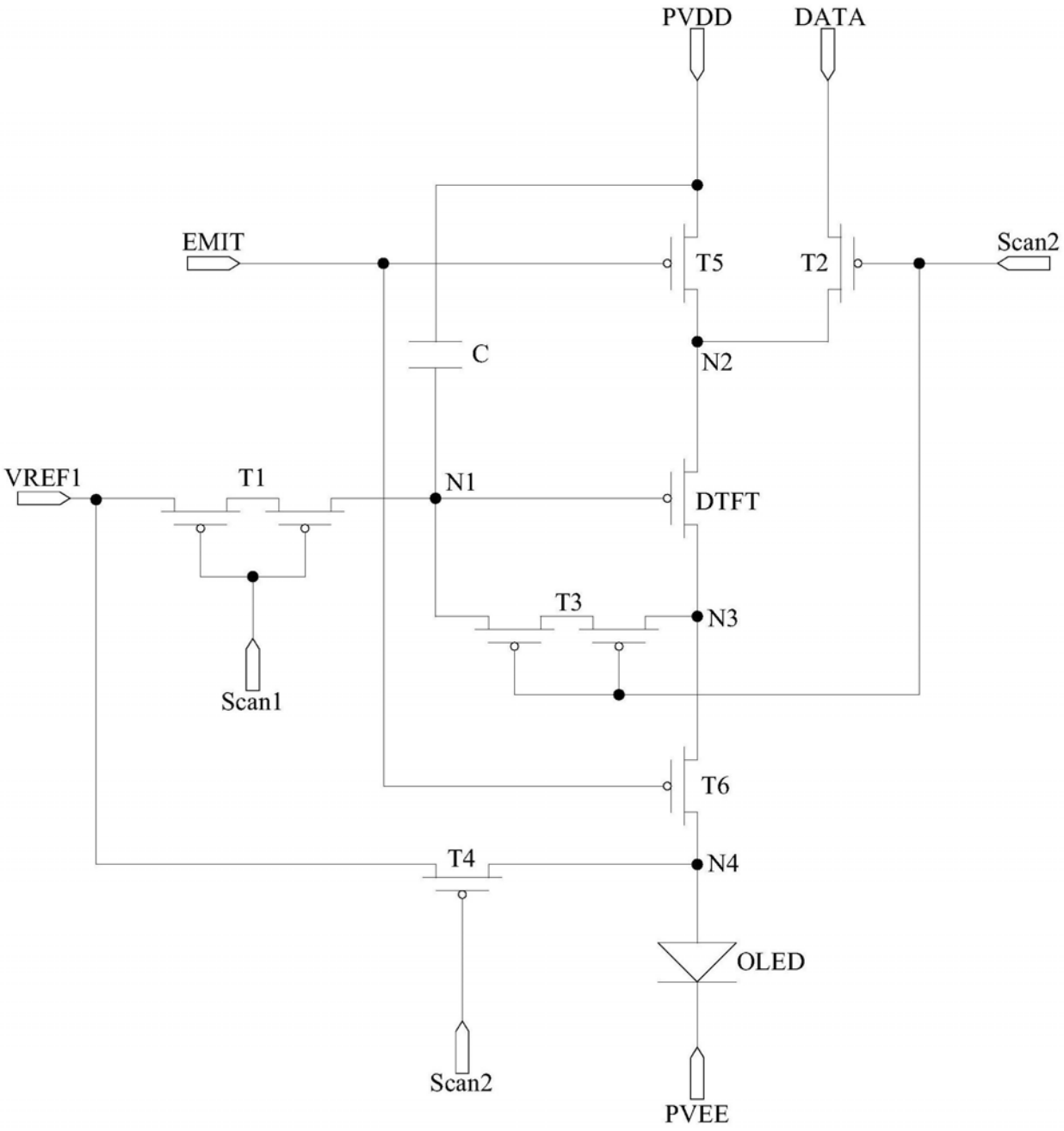

PVDD
DATA
EMIT
T5
T2
Scan2
C
N2
VREF1
T1
N1
DTFT
T3
N3
Scan1
T6
T4
N4
OLED
Scan2
PVEE

图1

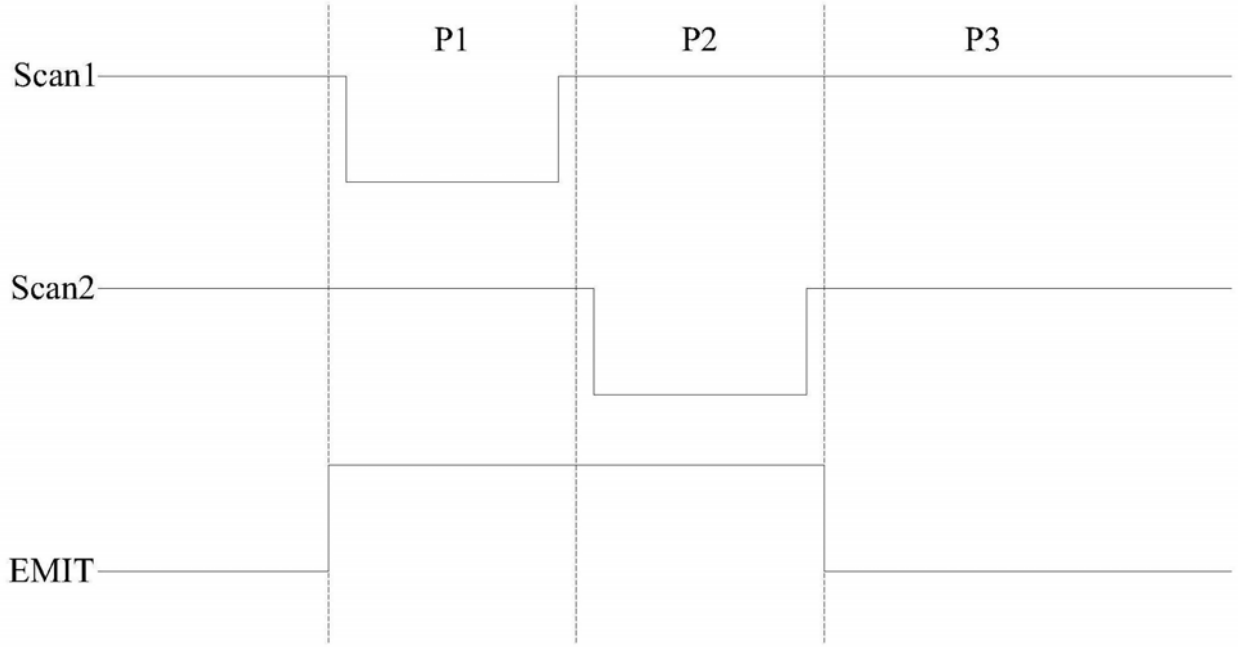


图2

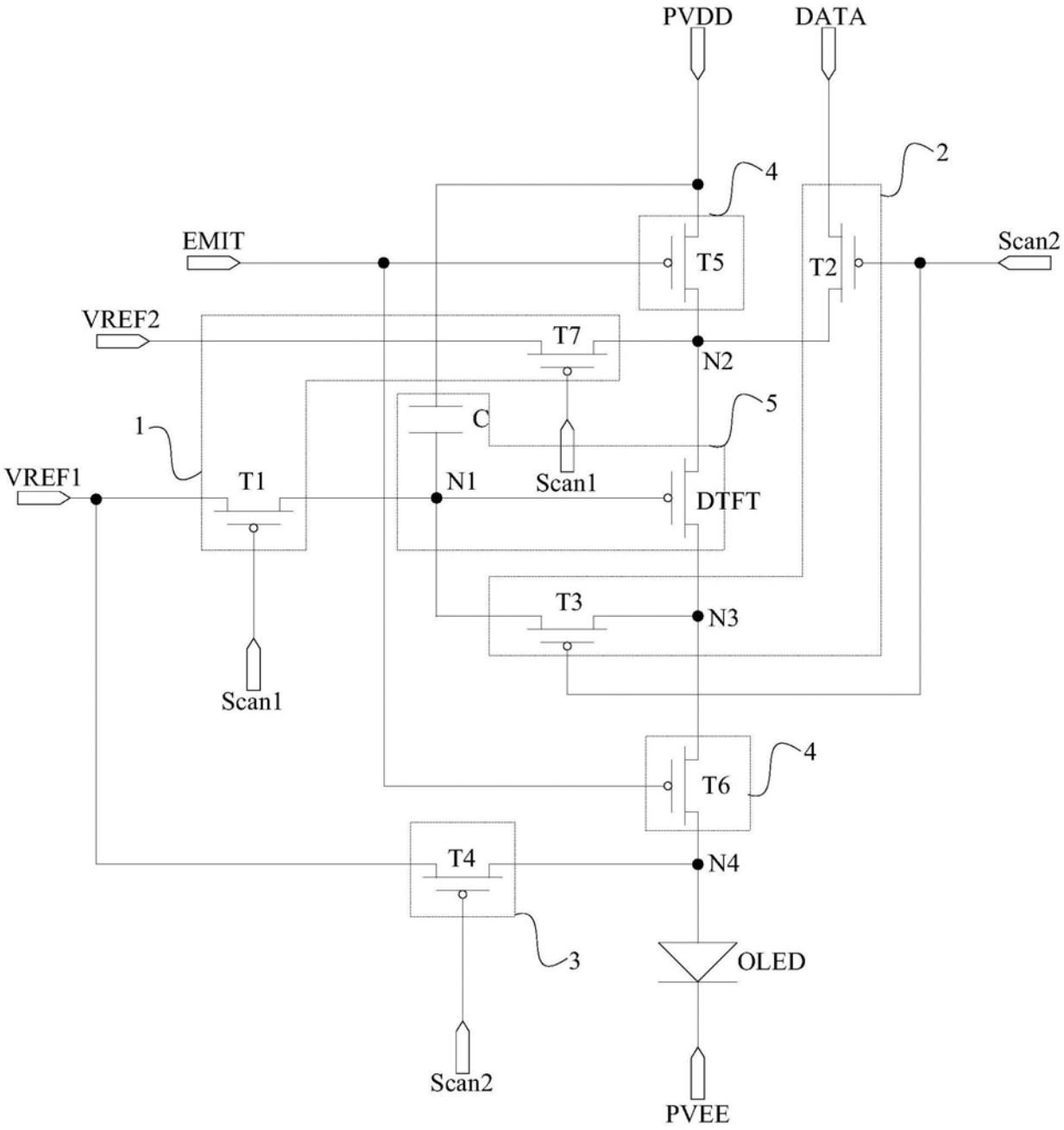

PVDD
DATA
2
4
EMIT
T5
T2
Scan2
VREF2
T7
N2
C
5
1
VREF1
T1
N1
Scan1
DTFT
T3
N3
Scan1
4
T6
T4
N4
3
OLED
Scan2
PVEE

图3

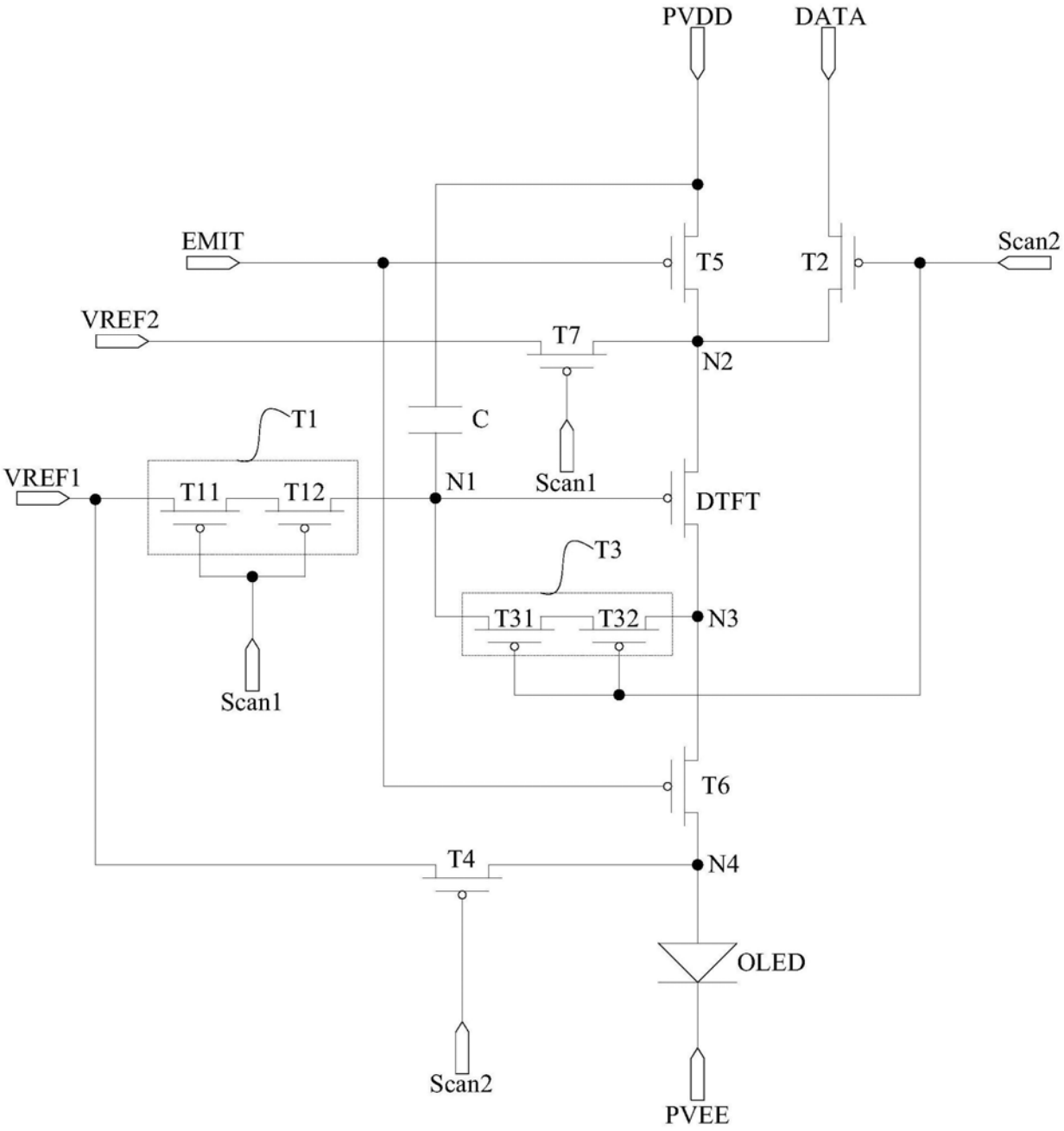

PVDD
DATA
EMIT
T5
T2
Scan2
VREF2
T7
N2
T1
C
VREF1
T11
T12
N1
Scan1
DTFT
T3
T31
T32
N3
Scan1
T6
T4
N4
OLED
Scan2
PVEE

图4

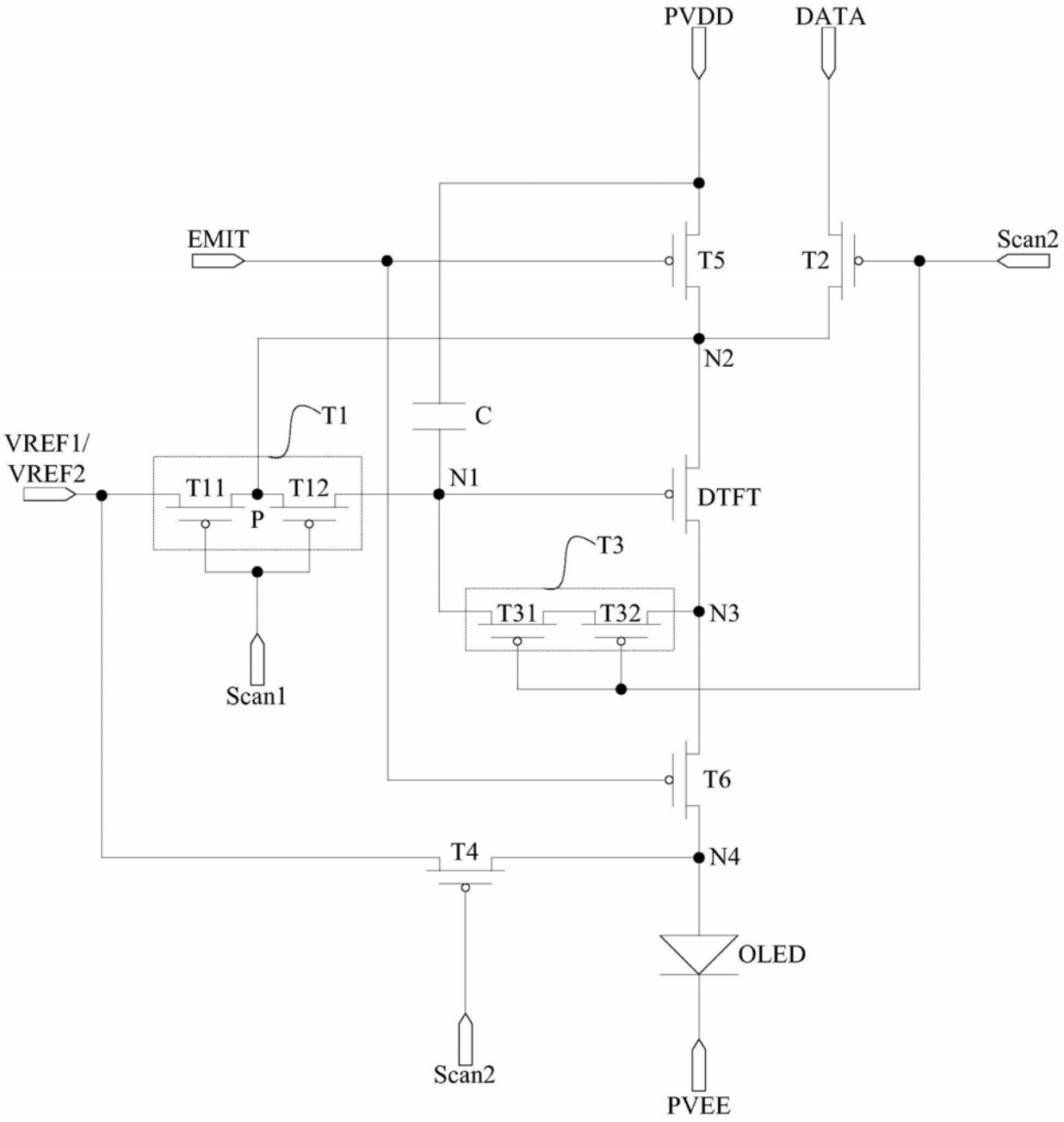

PVDD
DATA
EMIT
T5
T2
Scan2
N2
T1
C
VREF1/
VREF2
T11
T12
P
N1
DTFT
T3
T31
T32
N3
Scan1
T6
T4
N4
OLED
Scan2
PVEE

图5

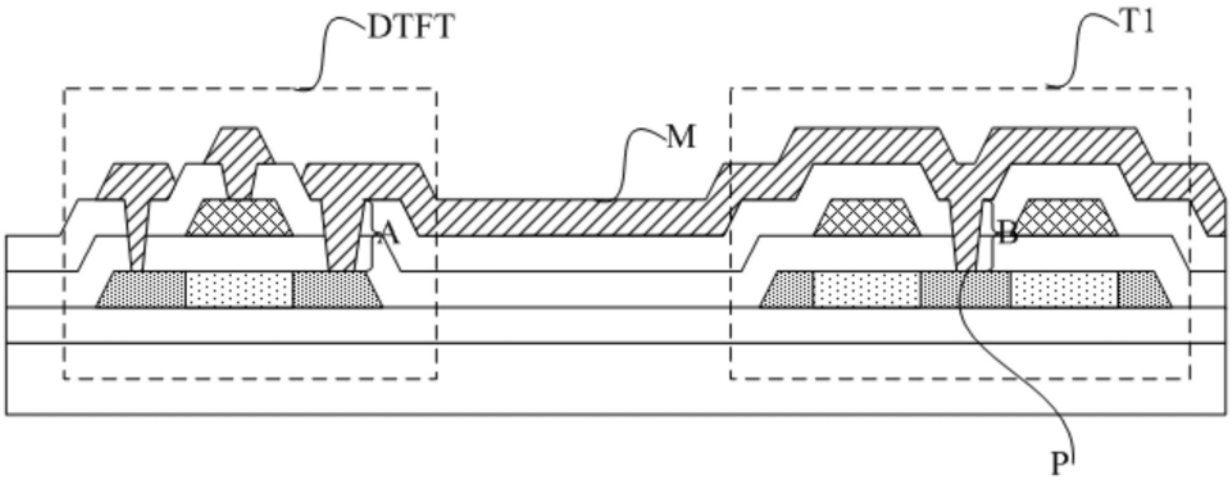


图6

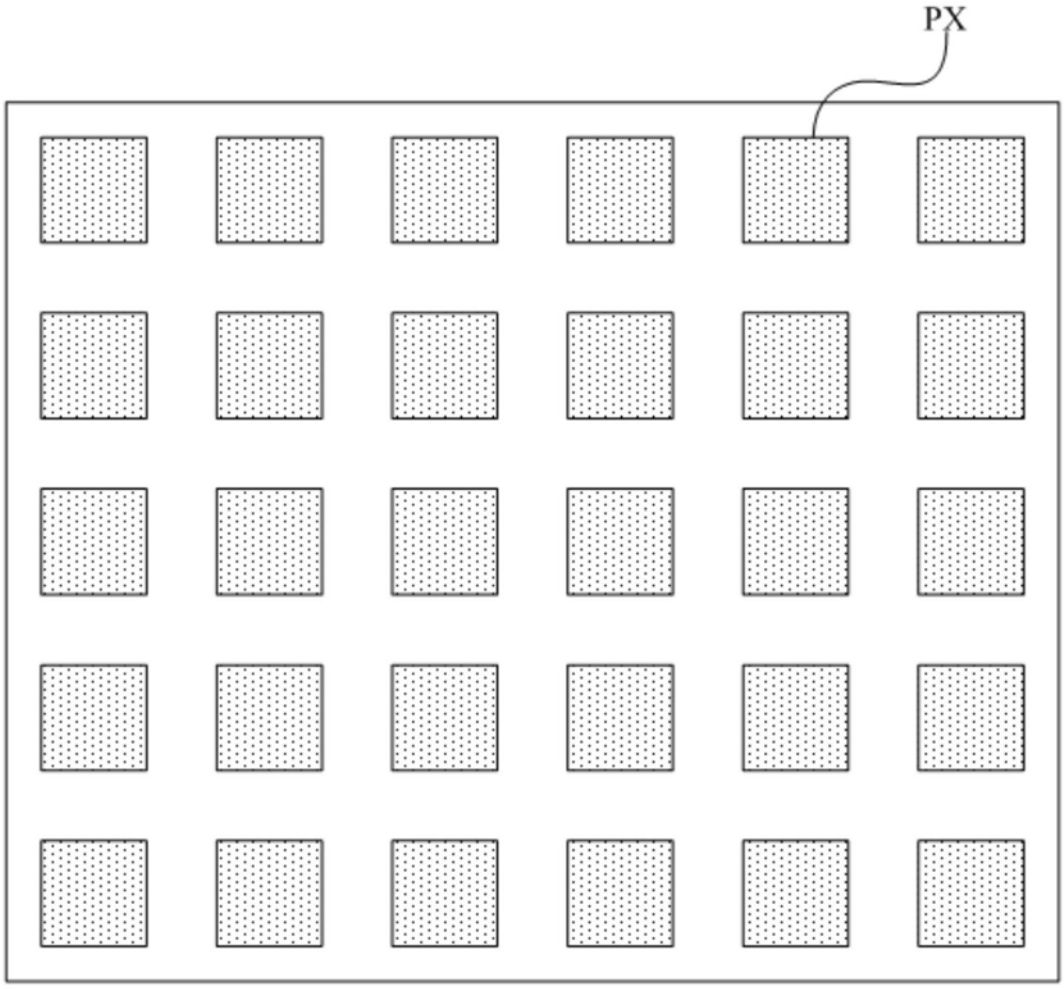


图7

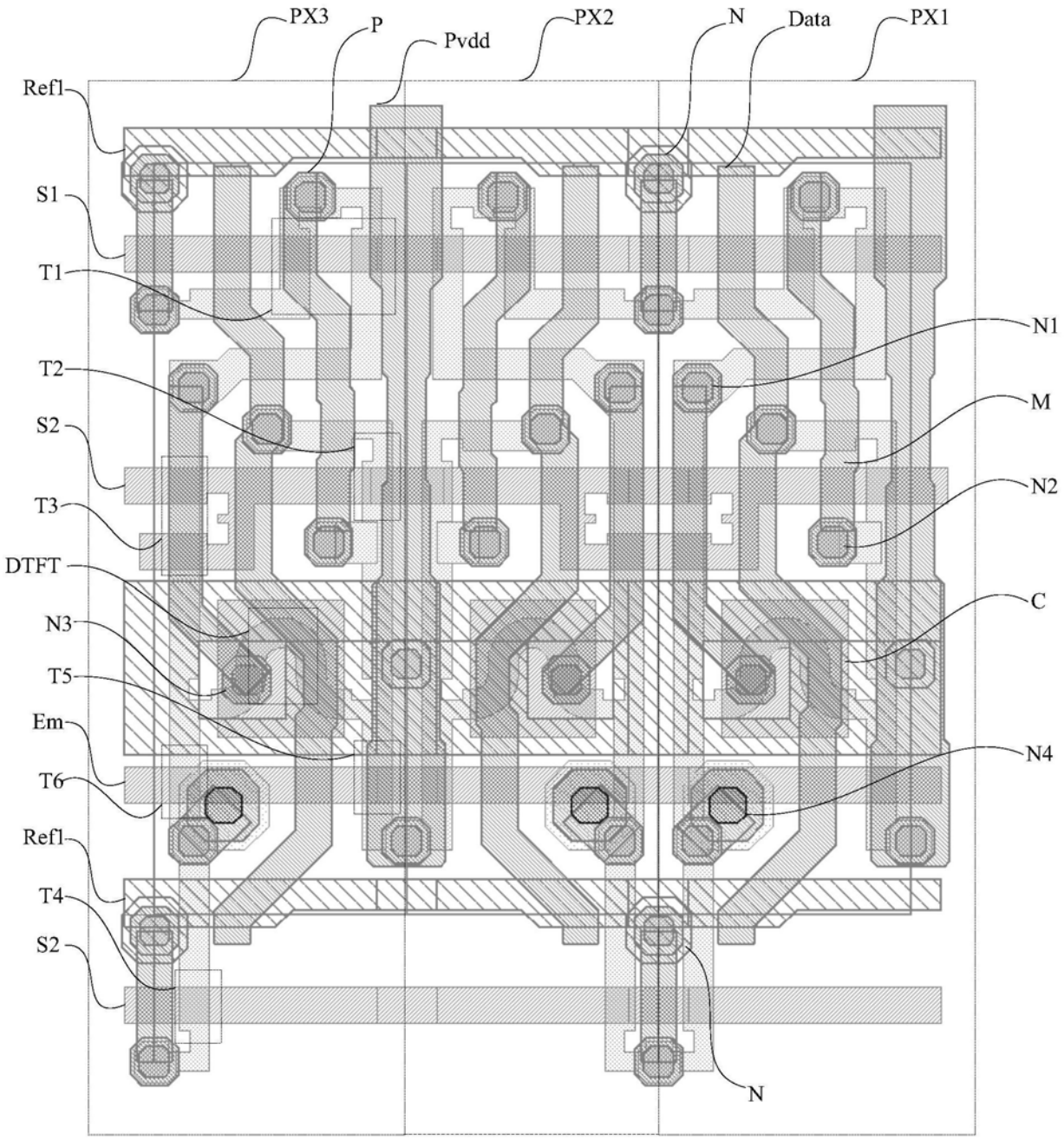
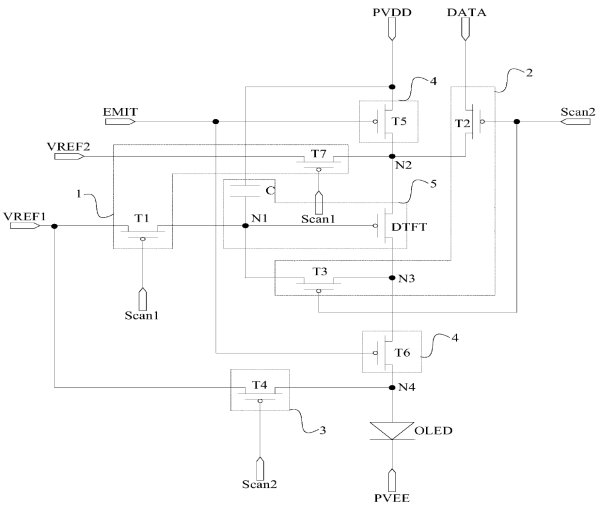

PX3
P
Pvdd
PX2
N
Data
PX1
Ref1
S1
T1
N1
T2
M
S2
N2
T3
DTFT
C
N3
T5
Em
N4
T6
Ref1
T4
S2
N

图8

专利名称(译)	一种像素电路、其驱动方法及有机电致发光显示面板		
公开(公告)号	CN107274830B	公开(公告)日	2019-07-02
申请号	CN201710567315.8	申请日	2017-07-12
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	高娅娜 朱仁远 李玥 向东旭 陈泽源		
发明人	高娅娜 朱仁远 李玥 向东旭 陈泽源		
IPC分类号	G09G3/3208		
代理人(译)	黄志华		
审查员(译)	李小艳		
其他公开文献	CN107274830A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、其驱动方法及有机电致发光显示面板，通过节点初始化模块包括的第一开关晶体管和第七开关晶体管，在初始化阶段同时对第一节点和第二节点复位，避免两者寄生电容造成的差异。驱动晶体管的栅极电连接第一节点，驱动晶体管的源极电连接第二节点，由于在初始化阶段对驱动晶体管进行复位，避免了电压跳变引起的阈值抓取不一致的问题，因此可以保证在高低灰阶切换后第一帧的亮度一致。并且，在每一帧的初始化阶段均对驱动晶体管进行完全复位，可以防止驱动晶体管的阈值电压发生偏移导致的残影现象出现。