



(12)发明专利申请

(10)申请公布号 CN 106782340 A

(43)申请公布日 2017.05.31

(21)申请号 201710156977.6

(22)申请日 2017.03.16

(71)申请人 深圳市华星光电技术有限公司

地址 518006 广东省深圳市光明新区塘明
大道9-2号

(72)发明人 蔡玉莹

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 钟子敏

(51)Int.Cl.

G09G 3/3266(2016.01)

G09G 3/3233(2016.01)

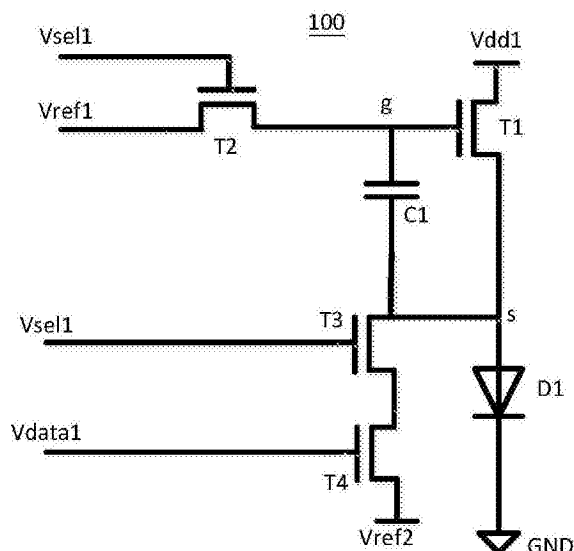
权利要求书2页 说明书5页 附图6页

(54)发明名称

一种像素驱动电路及OLED显示装置

(57)摘要

本发明公开了一种像素驱动电路及OLED显示装置。该像素驱动电路包括：第一、第二、第三、第四薄膜晶体管、电容及有机发光二极管；其中，第三薄膜晶体管的栅极与扫描信号连接，源极与第四薄膜晶体管的漏极连接，漏极与第一薄膜晶体管的源极连接；第四薄膜晶体管的栅极与数据信号连接，源极与第二参考电压信号连接。本发明的像素驱动电路通过引入第四薄膜晶体管，可以在阈值电压补偿阶段利用数据信号和第二参考电压信号控制流经第一薄膜晶体管的电流，从而实现对第一薄膜晶体管也即驱动薄膜晶体管的阈值电压的补偿。



1. 一种像素驱动电路,其特征在于,所述像素驱动电路包括:第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、电容、及有机发光二极管;

所述第一薄膜晶体管的栅极电性连接于第一节点,源极电性连接于第二节点,漏极电性连接于电源信号;

所述第二薄膜晶体管的栅极电性连接于扫描信号,源极电性连接于第一参考电压信号,漏极电性连接于所述第一节点;

所述第三薄膜晶体管的栅极电性连接于扫描信号,源极电性连接于所述第四薄膜晶体管的漏极,漏极电性连接于所述第二节点;

所述第四薄膜晶体管的栅极电性连接于数据信号,源极电性连接于第二参考电压信号;

所述电容的一端电性连接于第一节点,另一端电性连接于第二节点;

所述发光二极管的阳极电性连接于第二节点,所述发光二极管的阴极电性连接于接地端。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述第一参考电压信号、所述第二参考电压信号为恒定低电压,所述电源信号为恒定高电压,所述数据信号、所述扫描信号相组合先后对应于阈值电压补偿阶段和发光阶段;

在所述阈值电压补偿阶段,所述数据信号为显示数据信号高电位,所述扫描信号为高电位;

在所述发光阶段,所述数据信号为低电位,所述扫描信号为低电位。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述数据信号和所述扫描信号通过外部时序控制器产生。

4. 根据权利要求1所述的像素驱动电路,其特征在于,所述第一参考电压信号为所述电源信号。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述第二参考电压信号为恒定低电压,所述电源信号、所述扫描信号、所述数据信号相组合先后对应于阈值电压补偿阶段和发光阶段;

在所述阈值电压补偿阶段,所述电源信号为参考低电位,所述数据信号为显示数据信号高电位,所述扫描信号为高电位;

在所述发光阶段,所述电源信号为高电位,所述数据信号为低电位,所述扫描信号为低电位。

6. 根据权利要求5所述的像素驱动电路,其特征在于,所述电源信号、所述数据信号和所述扫描信号通过外部时序控制器产生。

7. 根据权利要求1所述的像素驱动电路,其特征在于,在发光阶段,所述第一薄膜晶体管的栅源极电压满足如下公式:

$$V_{gs} = \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) + V_{th1};$$

其中, V_{gs} 为所述第一薄膜晶体管的栅源极电压, V_b 为所述第二参考电压信号提供的第二参考电压, $\left(\frac{W}{L}\right)_{T4}$ 为所述第四薄膜晶体管的沟道的宽度长度比, $\left(\frac{W}{L}\right)_{T1}$ 为所述第一薄膜晶体管的沟道的宽度长度比, V_{DATA1} 为所述数据信号提供的显示数据信号高电位, V_{th3} 为所述第三薄膜晶体管的阈值电压, V_{th1} 为所述第一薄膜晶体管的阈值电压。

8. 根据权利要求1所述的像素驱动电路, 其特征在于, 所述第二参考电压信号提供的第二参考电压 V_b 满足如下公式:

$$V_b < V_{DATA1} - V_{th3};$$

其中, V_{DATA1} 为所述数据信号提供的显示数据信号高电位, V_{th3} 为所述第三薄膜晶体管的阈值电压。

9. 根据权利要求1所述的像素驱动电路, 其特征在于, 所述第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

10. 一种OLED显示装置, 其特征在于, 包括权利要求1-9任一项所述的像素驱动电路。

一种像素驱动电路及OLED显示装置

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种像素驱动电路及OLED显示装置。

背景技术

[0002] 目前的有机发光二极管(Organic Light Emitting Diode,OLED)显示装置具有体积小、结构简单、自主发光、亮度高、可视角度大、响应时间短等诸多优点,被业界公认为是最有发展潜力的液晶显示装置。

[0003] OLED显示装置是电流驱动器件,当有电流流过有机发光二极管时,有机发光二极管发光,且发光亮度由流过有机发光二极管自身的电流决定。大部分已有的集成电路都只传输电压信号,故OLED显示装置的像素驱动电路需要完成电压信号转变为电流信号的任务。传统的像素驱动电路为2T1C,即两个薄膜晶体管加一个电容的结构来实现将电压变换为电流,但传统的2T1C像素驱动电路一般无补偿功能。

[0004] 图1是现有的2T1C像素驱动电路的电路示意图。如图1所示,该2T1C像素驱动电路包括:第一薄膜晶体管T10、第二薄膜晶体管T20和电容Cs。其中,第一薄膜晶体管T10为驱动薄膜晶体管,第二薄膜晶体管T20为开关薄膜晶体管,电容Cs为存储电容。具体来说,第二薄膜晶体管T20的栅极电性连接扫描信号Vse1,源极电性连接数据信号Vdata,漏极与第一薄膜晶体管T10的栅极电性连接;第一薄膜晶体管T10的漏极电性连接电源信号Vdd,源极电性连接有机发光二极管D的阳极;有机发光二极管D的阴极电性连接接地端;电容Cs的一端电性连接第二薄膜晶体管T20的漏极,另一端电性连接第一薄膜晶体管T10的源极。

[0005] 请一并参考图2,图2是图1所示的2T1C像素驱动电路的工作时序图。如图2所示,2T1C像素驱动电路的工作过程分为第一工作阶段S10和第二工作阶段S20。其中,在第一工作阶段S10,数据信号Vdata为显示数据信号高电位VDATA,扫描信号Vse1为高电位;第二工作阶段S20,数据信号Vdata为低电位,扫描信号Vse1为低电位。其中,在第一工作阶段S10和第二工作阶段S20,电源信号Vdd为恒定高电压。

[0006] 在本实施例中,在第二工作阶段S20,有机发光二极管D发光,此时,驱动有机发光二极管D发光的第一薄膜晶体管T10的栅源极电压 V_{gs} 满足如下公式:

[0007] $V_{gs} = VDATA - V_{OLED}$;

[0008] 其中,VDATA为数据信号高电位, V_{OLED} 为有机发光二极管D的阳极点电位。

[0009] 由上述公式可知,驱动有机发光二极管D发光的栅源极电压 V_{gs} 中不涉及到第一薄膜晶体管T10的阈值电压,因此,该2T1C像素驱动电路无法补偿驱动薄膜晶体管(也即第一薄膜晶体管T10)的阈值电压。

发明内容

[0010] 本发明主要解决的技术问题是提供一种像素驱动电路及OLED显示装置,能够有效地补偿驱动薄膜晶体管的阈值电压变化。

[0011] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种像素驱动电路,该

像素驱动电路包括：第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、电容、及有机发光二极管；第一薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二节点，漏极电性连接于电源信号；第二薄膜晶体管的栅极电性连接于扫描信号，源极电性连接于第一参考电压信号，漏极电性连接于第一节点；第三薄膜晶体管的栅极电性连接于扫描信号，源极电性连接于第四薄膜晶体管的漏极，漏极电性连接于第二节点；第四薄膜晶体管的栅极电性连接于数据信号，源极电性连接于第二参考电压信号；电容的一端电性连接于第一节点，另一端电性连接于第二节点；发光二极管的阳极电性连接于第二节点，发光二极管的阴极电性连接于接地端。

[0012] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种OLED显示装置，包括了上述像素驱动电路。

[0013] 本发明的有益效果是：本发明的像素驱动电路及OLED显示装置通过引入第四薄膜晶体管，可以实现在阈值电压补偿阶段利用数据信号和第二参考电压信号控制流经第一薄膜晶体管的电流，从而实现对第一薄膜晶体管也即驱动薄膜晶体管的阈值电压的补偿；通过引入第三薄膜晶体管，可以防止在发光阶段第二参考电压信号影响第一薄膜晶体管的栅极电位。

附图说明

[0014] 图1是现有技术的2T1C像素驱动电路的电路示意图；

[0015] 图2是图1所示的2T1C像素驱动电路的工作时序图；

[0016] 图3是本发明第一实施例的像素驱动电路的电路示意图；

[0017] 图4是图3所示像素驱动电路的工作时序图；

[0018] 图5是本发明第二实施例的像素驱动电路的电路示意图；

[0019] 图6是图5所示像素驱动电路的工作时序图；

[0020] 图7是现有的2T1C像素驱动电路中驱动薄膜晶体管的阈值电压漂移时对应的流经有机发光二极管的电流模拟数据图；

[0021] 图8是本发明的像素驱动电路中驱动薄膜晶体管的阈值电压漂移时对应的流经有机发光二极管的电流模拟数据图；

[0022] 图9是本发明实施例的OLED显示装置的结构示意图。

具体实施方式

[0023] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[0024] 图3是本发明第一实施例的像素驱动电路的电路示意图。如图3所示，像素驱动电路100包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、电容C1和有机发光二极管D1。其中，第一薄膜晶体管T1为驱动薄膜晶体管，第二薄膜晶体管T2、第三薄膜晶体管T3为开关薄膜晶体管，电容C1为存储电容。

[0025] 具体来说，第一薄膜晶体管T1的栅极电性连接于第一节点g，源极电性连接于第二

节点s,漏极电性连接于电源信号Vdd1;第二薄膜晶体管T2的栅极电性连接于扫描信号Vse11,源极电性连接于第一参考电压信号Vref1,漏极电性连接于第一节点g;第三薄膜晶体管T3的栅极电性连接于扫描信号Vse11,源极电性连接于第四薄膜晶体管T4的漏极,漏极电性连接于第二节点s;第四薄膜晶体管T4的栅极电性连接于数据信号Vdata1,源极电性连接于第二参考电压信号Vref2;电容C1的一端电性连接于第一节点g,另一端电性连接于第二节点s;发光二极管D1的阳极电性连接于第二节点s,发光二极管D1的阴极电性连接于接地端GND。

[0026] 优选地,第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4均为低温多晶硅薄膜晶体管、氧化物半导体薄膜晶体管或非晶硅薄膜晶体管。

[0027] 图4是图3所示像素驱动电路的工作时序图。如图4所示,像素驱动电路100的工作过程分为阈值电压补偿阶段S1和发光阶段S2。

[0028] 其中,在像素驱动电路100的工作过程中,第一参考电压信号Vref1、第二参考电压信号Vref2为恒定低电压,其分别用于提供第一参考电压Va和第二参考电压Vb;电源信号Vdd1为恒定高电压;数据信号Vdata1、扫描信号Vse11相组合先后对应于阈值电压补偿阶段S1和发光阶段S2。

[0029] 优选地,数据信号Vdata1和扫描信号Vse11通过外部时序控制器产生。第一参考电压信号Vref1、第二参考电压信号Vref2、电源信号Vdd1通过恒定电压源产生。

[0030] 在阈值电压补偿阶段S1,数据信号Vdata1为显示数据信号高电位VDATA1,扫描信号Vse11为高电位,从而使得第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4均处于打开状态。其中,数据信号Vdata1经过第三薄膜晶体管T3、第四薄膜晶体管T4向第一薄膜晶体管T1的源极写入显示数据信号高电位VDATA1,第一参考电压信号Vref1提供的第一参考电压Va经第二薄膜晶体管T2写入第一薄膜晶体管T1的栅极。

[0031] 也就是说,在阈值电压补偿阶段S1:

$$V_g = V_a;$$

$$V_s = V_a - \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) - V_{th1}; \quad (1)$$

$$V_{gs} = V_g - V_s = \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) + V_{th1}.$$

[0033] 其中, V_g 表示第一节点g的电位(也即第一薄膜晶体管T1的栅极电位), V_s 表示第二节点s的电位(也即第一薄膜晶体管T1的源极电位), V_{gs} 表示第一薄膜晶体管T1的栅源极电压; V_a 为第一参考电压, V_b 为第二参考电压, $\left(\frac{W}{L} \right)_{T4}$ 为第四薄膜晶体管T4的沟道的宽度长度

比, $\left(\frac{W}{L}\right)_{T1}$ 为第一薄膜晶体管T1的沟道的宽度长度比, VDATA1为数据信号高电位, Vth3为第三薄膜晶体管T3的阈值电压, Vth1为第一薄膜晶体管T1的阈值电压。

[0034] 在发光阶段S2, 数据信号Vdata1为低电位, 扫描信号Vsel1为低电位, 从而使得第一薄膜晶体管T1、第四薄膜晶体管T4处于打开状态, 第二薄膜晶体管T2、第三薄膜晶体管T3处于关断状态。由于电容C1的存储作用, 第一薄膜晶体管T1的栅源极电压Vgs保持不变。

[0035] 其中, 驱动有机发光二极管D1发光的栅源极电压Vgs中包括了第一薄膜晶体管T10的阈值电压Vth1, 而流经有机发光二极管D1的电流与栅源极电压Vgs和第一薄膜晶体管T10的阈值电压Vth1的差的平方成正比, 从而使得流经有机发光二极管D1的电流与第一薄膜晶体管T10 (也即驱动薄膜晶体管) 的阈值电压Vth1无关, 实现了阈值电压补偿功能。

[0036] 在本实施例中, 在补偿阶段S1, 通过第四薄膜晶体管T4的栅极由数据信号高电位VDATA1控制, 源极由第二参考电压Vb控制, 从而可以实现利用数据信号高电位VDATA1和第二参考电压Vb控制流经第一薄膜晶体管T10的电流; 在发光阶段S2, 第三薄膜晶体管T3可以防止第二参考电压Vb影响第一薄膜晶体管T10的栅极电位。

[0037] 在本实施例中, 为了保证在像素驱动电路100工作过程中, 第一薄膜晶体管T1被正常打开, 第二参考电压Vb满足如下公式:

$$[0038] \quad Vb < VDATA1 - Vth3. \quad (2)$$

[0039] 在本实施例中, 为了保证在阈值电压补偿阶段S1中, 第一薄膜晶体管T1被正常打开且有机发光二极管D1不能被开启, 第一参考电压Va满足如下公式:

$$[0040] \quad \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) - Vth1 + Voled1 > Va \text{ 且}$$

$$[0041] \quad Va > \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (VDATA1 - Vb - Vth3) - Vth1. \quad (3)$$

[0042] 其中, Voled1为在阈值电压补偿阶段, 有机发光二极管D1的阳极点电位。

[0043] 图5是本发明第二实施例的像素驱动电路的电路示意图。如图5所示, 图5所示的像素驱动电路200与图3所示的像素驱动电路100的区别是: 第一参考电压信号Vref1为电源信号Vdd1。

[0044] 也就是说, 像素驱动电路200中没有第一参考电压信号Vref1, 第二薄膜晶体管T2的源极直接与电源信号Vdd1连接。

[0045] 请一并参考图6, 图6是图5所示像素驱动电路的工作时序图。如图6所示, 图6所示的像素驱动电路200的工作时序图与图4所示的像素驱动电路100的工作时序图的区别是: 在阈值电压补偿阶段S1, 电源信号Vdd1为参考低电位, 其中, 参考低电位为第一参考电压Va; 在发光阶段S2, 电源信号Vdd1为高电位。

[0046] 在本实施例中,电源信号Vdd1、数据信号Vdata1和扫描信号Vsel1通过外部时序控制器产生。第二参考电压信号Vref2通过恒定电压源产生。

[0047] 在本实施例中,第一薄膜晶体管T1的栅极电位、源极电位和栅源极电压满足公式(1);第一参考电压Va满足公式(3);第二参考电压Vb满足公式(2)。

[0048] 需要强调的是,不同于第一实施例,在本实施例中,第一参考电压Va为电源信号Vdd1的参考低电位。

[0049] 请一并参考图7和图8,图7和图8分别为传统无补偿2T1C像素驱动电路和本发明的像素驱动电路100或200中,当驱动薄膜晶体管也即第一薄膜晶体管T10的阈值电压Vth的漂移值 ΔV_{th} 和第一薄膜晶体管T1的阈值电压Vth1的漂移值 ΔV_{oled} 分别为0V、+0.5V、-0.5V时,流经有机发光二极管的电流 I_{OLED} 的模拟数据图。对比两图可见,本发明的电路中流经有机发光二极管的电流变化量明显小于传统无补偿2T1C像素驱动电路中的流经有机发光二极管的电流变化量,因此本发明能够有效地补偿驱动薄膜晶体管的阈值电压,保证了有机发光二极管的发光稳定性,能够使OLED显示面板的显示亮度保持均匀,不会伴随阈值电压随使用时间发生变化而变化,提升显示品质。

[0050] 图9是本发明实施例的OLED显示装置的结构示意图。如图9所示,OLED显示装置1包括像素驱动电路2,其中,像素驱动电路2为上述像素驱动电路100或像素驱动电路200。

[0051] 本发明的有益效果是:本发明的像素驱动电路及OLED显示装置通过引入第四薄膜晶体管,可以实现在阈值电压补偿阶段利用数据信号和第二参考电压信号控制流经第一薄膜晶体管的电流,从而实现对第一薄膜晶体管也即驱动薄膜晶体管的阈值电压的补偿;通过引入第三薄膜晶体管,可以防止在发光阶段第二参考电压信号影响第一薄膜晶体管的栅极电位。

[0052] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

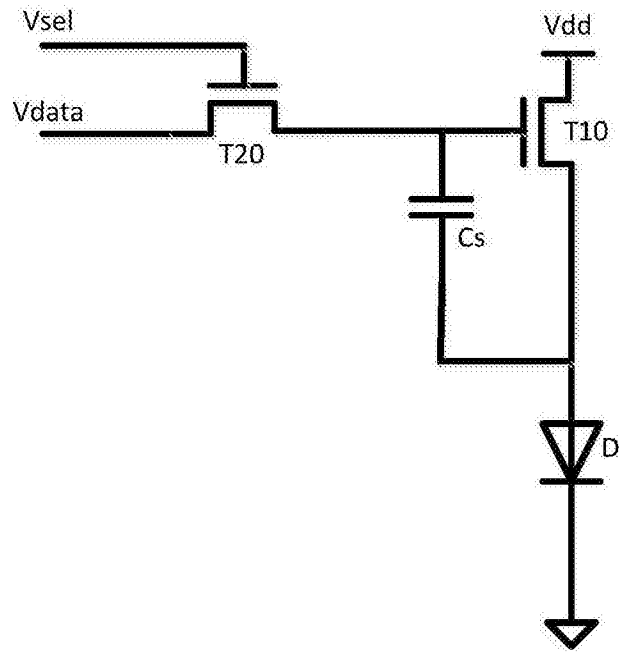


图1

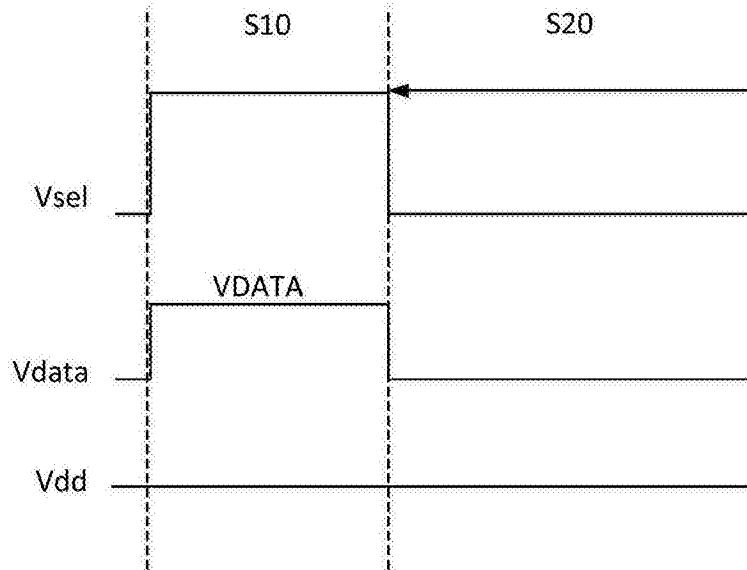


图2

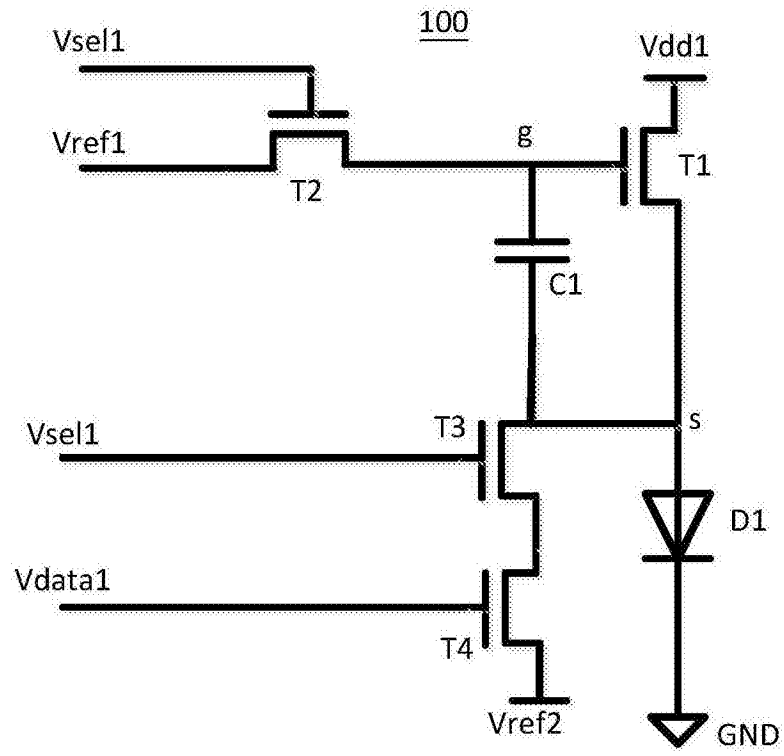


图3

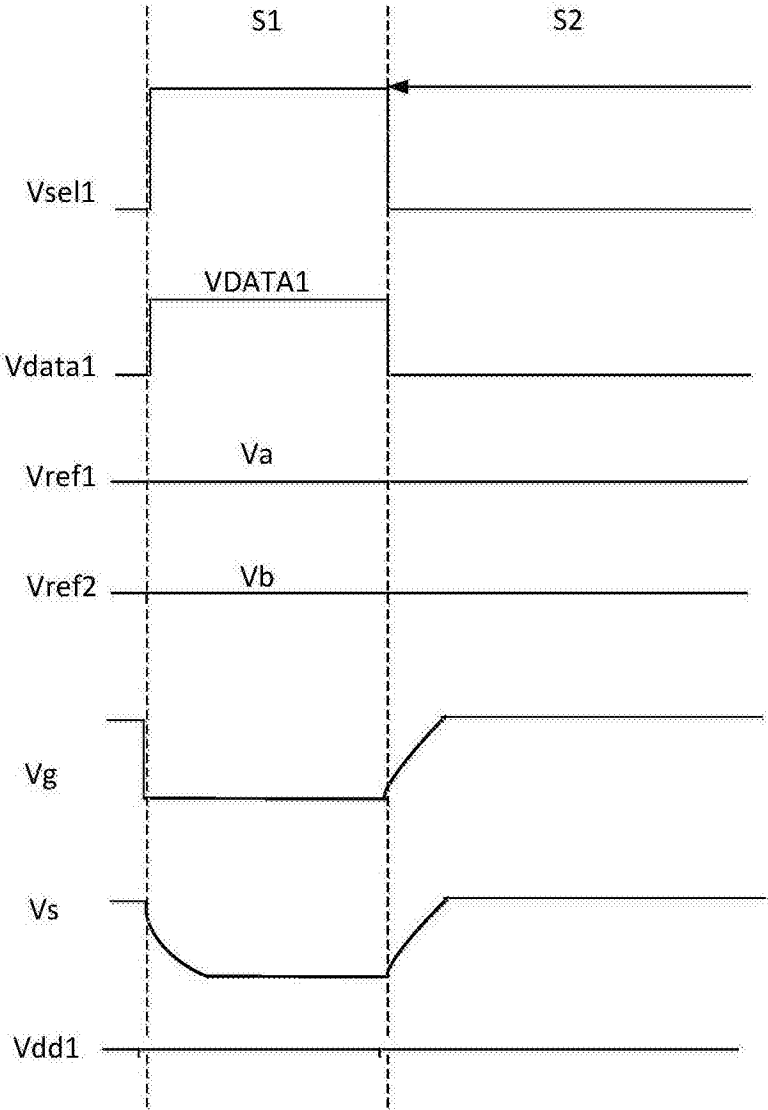


图4

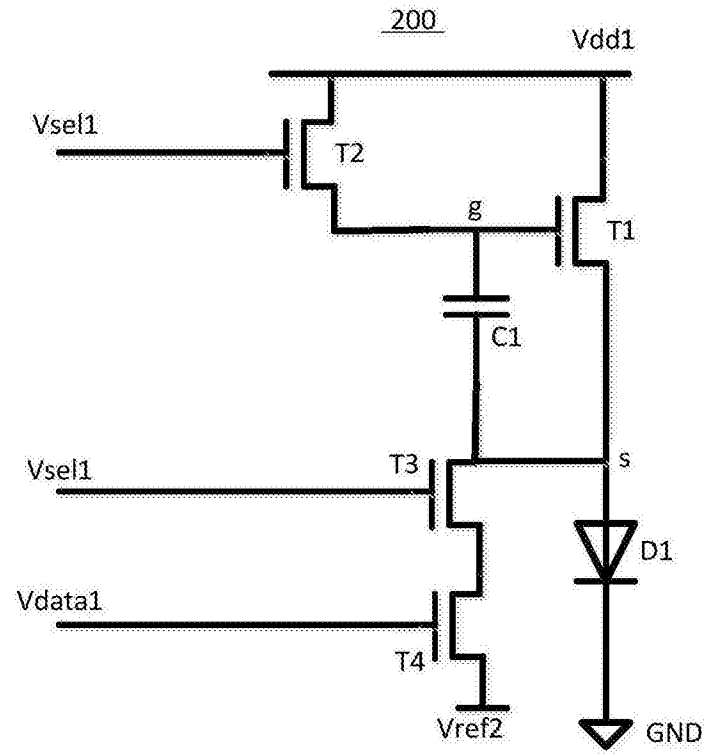


图5

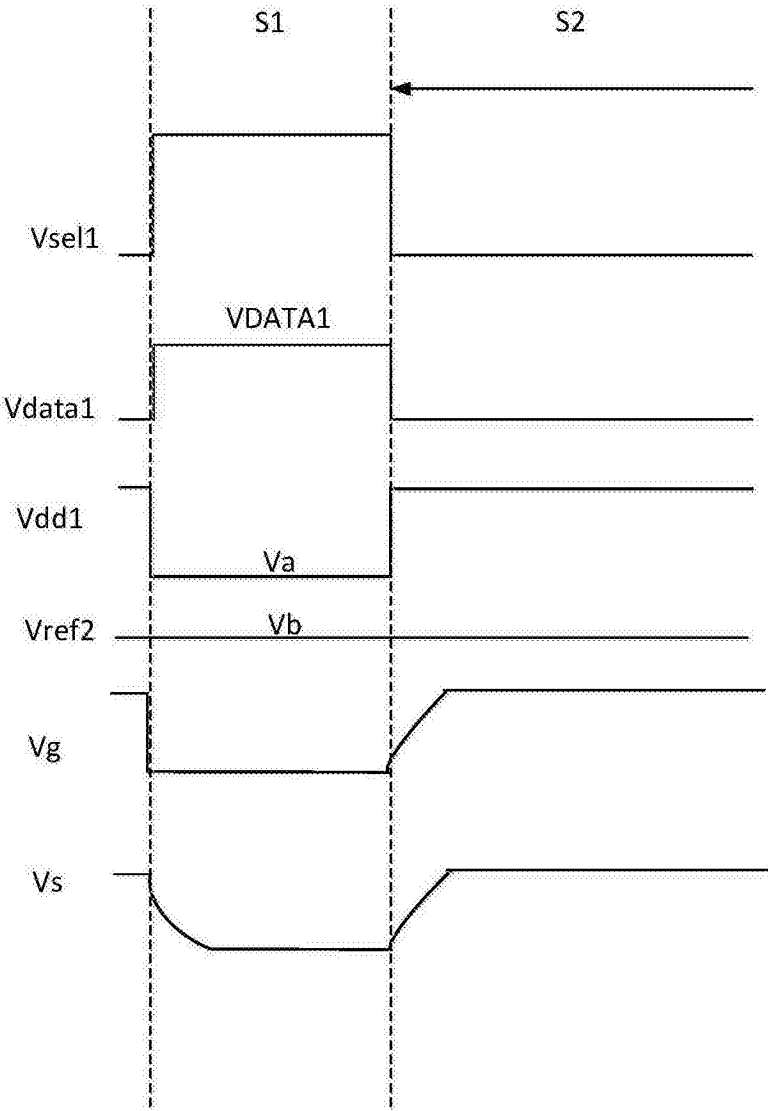


图6

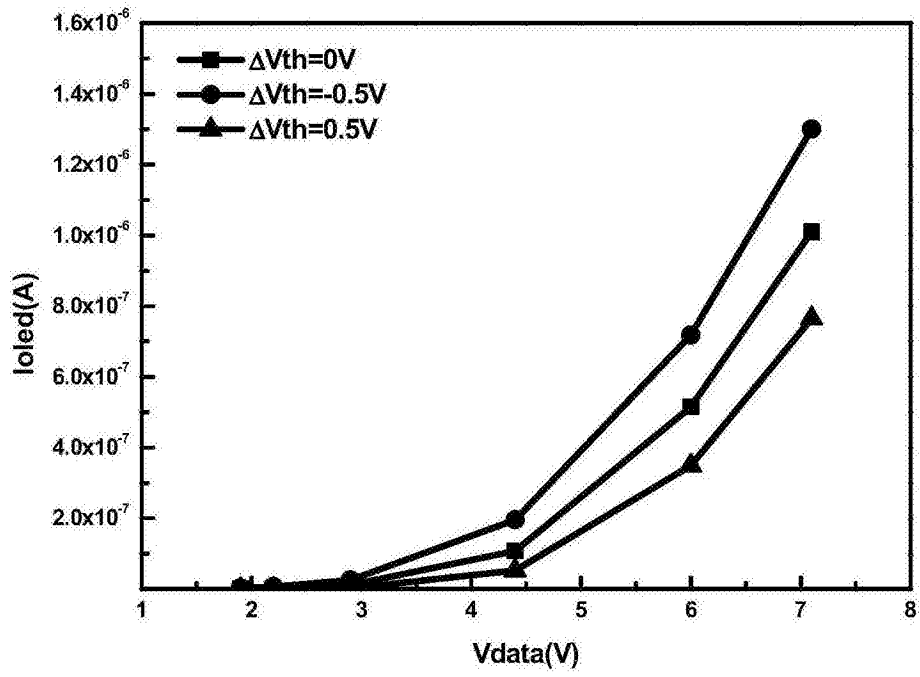


图7

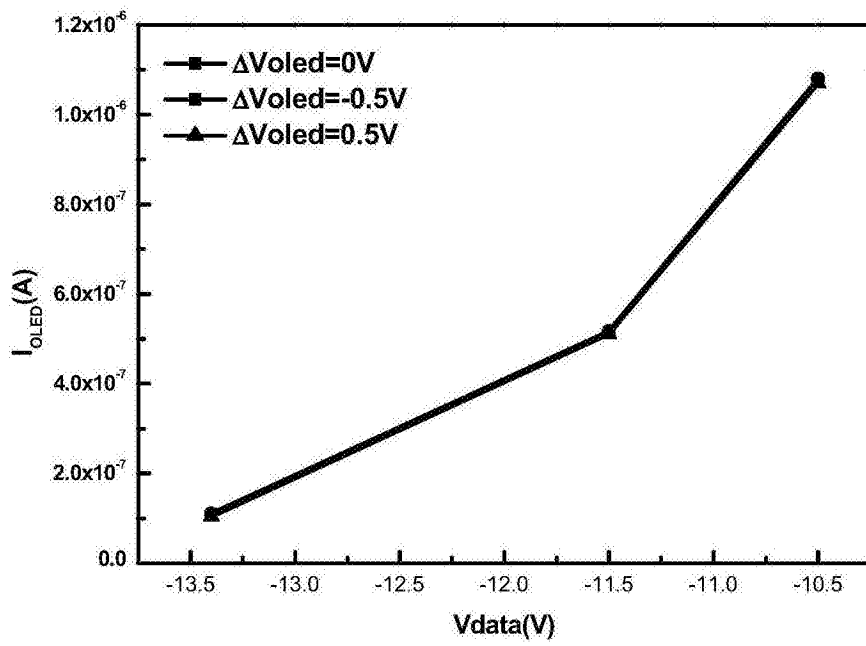


图8

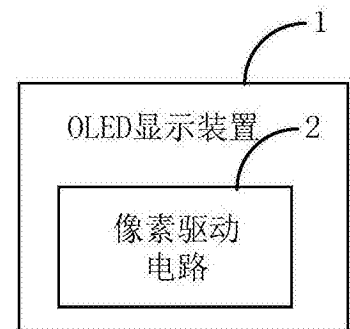


图9

专利名称(译)	一种像素驱动电路及OLED显示装置		
公开(公告)号	CN106782340A	公开(公告)日	2017-05-31
申请号	CN201710156977.6	申请日	2017-03-16
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深圳市华星光电技术有限公司		
当前申请(专利权)人(译)	深圳市华星光电技术有限公司		
[标]发明人	蔡玉莹		
发明人	蔡玉莹		
IPC分类号	G09G3/3266 G09G3/3233		
CPC分类号	G09G3/3233 G09G3/3266		
其他公开文献	CN106782340B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素驱动电路及OLED显示装置。该像素驱动电路包括：第一、第二、第三、第四薄膜晶体管、电容及有机发光二极管；其中，第三薄膜晶体管的栅极与扫描信号连接，源极与第四薄膜晶体管的漏极连接，漏极与第一薄膜晶体管的源极连接；第四薄膜晶体管的栅极与数据信号连接，源极与第二参考电压信号连接。本发明的像素驱动电路通过引入第四薄膜晶体管，可以实现在阈值电压补偿阶段利用数据信号和第二参考电压信号控制流经第一薄膜晶体管的电流，从而实现对第一薄膜晶体管也即驱动薄膜晶体管的阈值电压的补偿。

