



(12)发明专利

(10)授权公告号 CN 104715720 B

(45)授权公告日 2017. 06. 06

(21)申请号 201410784533.3

(51)Int.Cl.

(22)申请日 2014.12.16

G09G 3/3266(2016.01)

(65)同一申请的已公布的文献号

审查员 贺轶

申请公布号 CN 104715720 A

(43)申请公布日 2015.06.17

(30)优先权数据

10-2013-0156370 2013.12.16 KR

(73)专利权人 乐金显示有限公司

地址 韩国首尔

(72)发明人 崔倾植

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 刘久亮

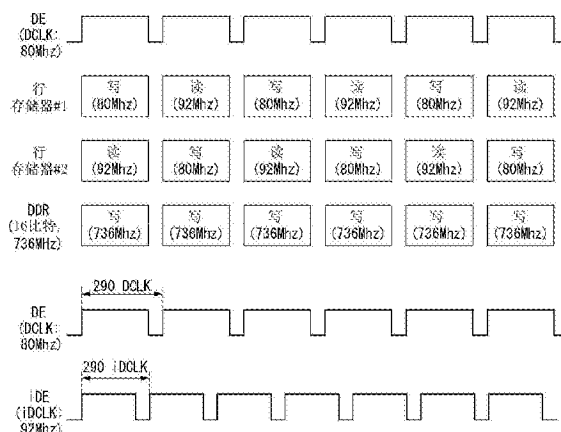
权利要求书1页 说明书8页 附图9页

(54)发明名称

有机发光二极管显示器

(57)摘要

一种有机发光二极管显示器,该有机发光二极管显示器包括:数据驱动电路,其在数据使能周期期间将像素数据转换成数据电压并向数据线提供所述数据电压,并且在经延长的垂直消隐周期内感测显示面板的驱动特性的变化;扫描驱动电路,其在所述数据使能周期期间向扫描线提供与所述数据电压同步的扫描脉冲,并且在所述经延长的垂直消隐周期内输出扫描脉冲;以及定时控制器,其利用基于所述驱动特性的所述变化确定的补偿值来补偿输入图像的数据,向所述数据驱动电路发送所述经补偿的数据,并且控制所述数据驱动电路的操作定时和所述扫描驱动电路的操作定时。



1. 一种有机发光二极管显示器, 其中, 一个帧周期被划分成数据使能周期和垂直消隐周期, 所述有机发光二极管显示器包括:

数据驱动电路, 其被构造为在所述数据使能周期期间将像素数据转换成数据电压并向显示面板的数据线提供所述数据电压, 并且在经延长的垂直消隐周期内感测所述显示面板的驱动特性的变化;

扫描驱动电路, 其被构造为在所述数据使能周期期间向所述显示面板的扫描线提供与所述数据电压同步的扫描脉冲, 并且在所述经延长的垂直消隐周期内输出用于感测所述驱动特性的变化的扫描脉冲; 以及

定时控制器, 其被构造为利用基于所述驱动特性的变化确定的补偿值来补偿输入图像的数据, 向所述数据驱动电路发送所述经补偿的数据, 并且控制所述数据驱动电路的操作定时和所述扫描驱动电路的操作定时,

其中, 所述定时控制器缩短了由输入定时信号限定的所述数据使能周期, 并且将所述经延长的垂直消隐周期延长成比由所述输入定时信号限定的所述垂直消隐周期长, 并且

其中, 所述扫描驱动电路在所述经延长的垂直消隐周期内顺序地输出n个扫描脉冲, 使得所述数据驱动电路在所述一个帧周期的所述经延长的垂直消隐周期内感测针对包括在所述显示面板的一行中的n种颜色的子像素的驱动特性的变化, 其中, n是等于或大于2并且等于或小于4的正整数。

2. 根据权利要求1所述的有机发光二极管显示器, 其中, 所述定时控制器包括:

第一输入行存储器和第二输入行存储器, 其被构造为基于所述显示面板的每行交替地操作, 并且交替地读和写一行的像素数据;

第一帧存储器和第二帧存储器, 其被构造为基于所述显示面板的每帧周期交替地操作, 并且读和写从所述第一输入行存储器和所述第二输入行存储器输入的数据; 以及

存储器控制器, 其被构造为将所述第一输入行存储器和所述第二输入行存储器中的每一个的读频率控制成比所述第一输入行存储器和所述第二输入行存储器中的每一个的写频率高, 并且控制所述第一输入行存储器和所述第二输入行存储器的读操作定时和写操作定时以及所述第一帧存储器和所述第二帧存储器的读操作定时和写操作定时。

3. 根据权利要求1所述的有机发光二极管显示器, 其中, 在所述经延长的垂直消隐周期内产生的n个扫描脉冲的宽度大于在所述数据使能周期内产生的扫描脉冲的宽度。

4. 根据权利要求2所述的有机发光二极管显示器, 其中, 所述定时控制器还包括第一输出行存储器和第二输出行存储器, 该第一输出行存储器和该第二输出行存储器被构造为基于所述显示面板的每行交替地操作, 并且交替地读和写从所述第一帧存储器和所述第二帧存储器输入的像素数据,

其中, 所述存储器控制器按照与所述第一输入行存储器和所述第二输入行存储器的所述读频率相同的频率控制所述第一输出行存储器和所述第二输出行存储器中的每一个的读频率和写频率。

5. 根据权利要求1所述的有机发光二极管显示器, 其中, 所述补偿值包括用于补偿驱动薄膜晶体管TFT的阈值电压的变化的偏移值和用于补偿所述驱动薄膜晶体管TFT的迁移率的变化增益值中的至少一个, 所述驱动薄膜晶体管TFT被包括在所述显示面板的各个像素中。

有机发光二极管显示器

技术领域

[0001] 本发明的实施方式涉及有机发光二极管显示器。

背景技术

[0002] 有机发光二极管 (OLED) 显示器是一种自发光显示装置。OLED显示器可以被制造成具有比需要背光单元的液晶显示器更低的功耗和更薄的外形。此外, OLED显示器具有宽视角和快响应时间的优点。随着工艺技术的发展达到大尺寸屏幕大规模生产的技术, OLED显示器在与液晶显示器竞争的同时已经扩大了其市场。

[0003] OLED显示器的各个像素包括具有自发光结构的有机发光二极管 (OLED)。如图1所示, 包括空穴注入层HIL、空穴传输层HTL、发射层EML、电子传输层ETL、电子注入层EIL等的有机化合物层层叠在OLED的阳极与阴极之间。OLED显示器利用如下现象来实现输入图像, 其中, 当电子和空穴通过在荧光或磷光有机薄膜中流动的电流在有机层中结合时, OLED发光。

[0004] 可以根据发光材料的种类、发光方法、发光结构、驱动方法等将OLED显示器不同地分类。根据发光方法, OLED显示器可以被分类为荧光发光型和磷光发光型。此外, 基于发光结构, OLED显示器可以被分类为顶部发光型和底部发光型。另外, 根据驱动方法, OLED显示器可以被分类为无源矩阵OLED (PMOLED) 显示器和有源矩阵OLED (AMOLED) 显示器。

[0005] OLED显示器的各个像素包括根据输入图像的数据控制流入OLED的驱动电流的驱动薄膜晶体管 (TFT)。驱动TFT的特性 (诸如阈值电压和迁移率) 必须被同样地设计在OLED显示器的所有像素中, 但取决于工艺偏差、驱动时间、驱动环境等, 这些特性不是一致的。因此, OLED显示器采用了用于感测像素的驱动特性的变化以基于感测结果适当地改变输入数据的补偿技术。像素的驱动特性的变化包括驱动TFT的特性 (包括驱动TFT的阈值电压、迁移率等) 的变化。

[0006] 可以基于驱动TFT的源极电压的变化来估计像素的驱动特性的变化。然而, 由于感测驱动TFT的特性花费太多时间, 因此难以在正常驱动期间保证感测时间。

[0007] 可以在垂直消隐周期 (其中, 新的数据不被施加到像素) 内分配能够在OLED显示器的正常驱动期间感测驱动TFT的特性的时间。垂直消隐周期是在第N帧周期与第(N+1) 帧周期之间没有数据使能信号DE的周期, 其中N是正整数。数据使能信号DE与要在显示面板上显示的输入图像的数据同步。输入图像的数据在垂直消隐周期不被输入。然而, 由于垂直消隐周期的长度短, 因此在一个垂直消隐周期期间仅能够感测被布置在一行中的一种颜色的子像素的驱动特性的变化。结果, 由于所有像素中的各种颜色的子像素的补偿值的更新周期变长, 因此无法迅速地补偿驱动特性的变化。

发明内容

[0008] 本发明的实施方式提供了一种有机发光二极管 (OLED) 显示器, 该OLED显示器能够延长感测时间并缩短补偿值的更新周期, 使得多个像素的驱动特性的变化能够在被分配以

感测这些像素的驱动特性的变化的感测时间内被感测。

[0009] 一方面,存在一种有机发光二极管显示器,其中,一个帧周期被划分成数据使能周期和垂直消隐周期,所述有机发光二极管显示器包括:数据驱动电路,其被构造为在所述数据使能周期期间将像素数据转换成数据电压并向显示面板的数据线提供所述数据电压,并且在经延长的垂直消隐周期内感测所述显示面板的驱动特性的变化;扫描驱动电路,其被构造为在所述数据使能周期期间向所述显示面板的扫描线提供与所述数据电压同步的扫描脉冲,并且在所述经延长的垂直消隐周期内输出用于感测所述驱动特性的所述变化的扫描脉冲;以及定时控制器,其被构造为利用基于所述驱动特性的所述变化确定的补偿值来对输入图像的数据进行补偿,向所述数据驱动电路发送经补偿的数据,并且控制所述数据驱动电路的操作定时和所述扫描驱动电路的操作定时。

[0010] 定时控制器缩短了由输入定时信号限定的数据使能周期,并且将经延长的垂直消隐周期控制成比输入定时信号所限定的垂直消隐周期长。

附图说明

[0011] 附图被包括进来以提供对本发明的进一步理解,并且被并入本说明书且构成本说明书的一部分,附图示出了本发明的实施方式,并且与本说明书一起来解释本发明的原理。附图中:

[0012] 图1示出了有机发光二极管 (OLED) 的结构和发光原理;

[0013] 图2是根据本发明的示例性实施方式的有机发光二极管 (OLED) 显示器的框图;

[0014] 图3示出了子像素;

[0015] 图4是像素的等效电路图;

[0016] 图5是示出了用于感测驱动特性的变化的信号的波形图;

[0017] 图6是示出了基于视频电子标准协会 (VESA) 的显示定时的波形图;

[0018] 图7和图8是详细示出了图2所示的定时控制器的框图;

[0019] 图9示出了驱动特性的变化的感测时间的延长;

[0020] 图10示出了与现有技术相比根据本发明的示例性实施方式的感测时间的改进效果;以及

[0021] 图11是示出了定时控制器的频率转换操作的示例的波形图。

具体实施方式

[0022] 现在将详细地参照本发明的实施方式,在附图中例示了这些实施方式的示例。在任何可能的情况下,在整个附图中使用相同的附图标记指代相同或相似的部件。将要注意的是,如果确定公知技术会误导本发明的实施方式,则将省略这些公知技术的详细描述。

[0023] 如图2至图4所示,根据本发明的示例性实施方式的有机发光二极管 (OLED) 显示器包括显示面板10和显示面板驱动电路。

[0024] 输入图像的数据被显示在显示面板10的像素阵列上。显示面板10的像素阵列包括多条数据线14、与所述数据线14交叉的多条扫描线15以及布置成矩阵形式的多个像素P。各个像素P可以包括用于颜色表示的红色子像素R、绿色子像素G和蓝色子像素B。如图3所示,各个像素P还可以包括白色子像素W。用于感测像素的驱动特性的变化量的基准线16形成在

显示面板10上。在图3中,DL1至DL4表示数据线14,并且SL1和SL2表示扫描线15。一对扫描线可以连接到各个子像素,使得第一扫描脉冲Scan A和第二扫描脉冲Scan B可以被施加到各个子像素。

[0025] 像素的驱动特性的变化量包括驱动薄膜晶体管(TFT)的特性的变化(诸如驱动TFT的阈值电压的变化量 ΔV_{th} 和驱动TFT的迁移率的变化量 $\Delta \mu$)。可以基于各种颜色的子像素中的驱动TFT的源极电压的变化来感测像素的驱动特性的变化。

[0026] 如图4所示,各个像素P可以包括三个TFT T1、T2和T3、存储电容器Cst以及OLED,但不限于此。如图1所示,OLED可以被构造为使得包括空穴注入层HIL、空穴传输层HTL、发射层EML、电子传输层ETL、电子注入层EIL等的有机化合物层被层叠。第一TFT T1通过第一节点A向第二TFT T2的栅极施加数据电压,该数据电压是响应于第一扫描脉冲Scan A通过数据线14被输入的。第一TFT T1的栅极连接到被施加有第一扫描脉冲Scan A的第一扫描线15。第一TFT T1的漏极连接到数据线14,并且第一TFT T1的源极经由第一节点A连接到第二TFT T2的栅极。第二TFT T2是根据栅极电压调节流入OLED的电流的驱动TFT。高电位像素电源电压VDD被施加到第二TFT T2的漏极。第二TFT T2的源极经由第二节点B,连接到OLED的阳极。响应于第二扫描脉冲Scan B,第三TFT T3将第二节点B连接到第三节点C。第三节点C连接到基准线16。第三TFT T3在数据使能周期AA(参照图6)(其中,数据被施加到像素P)期间保持截止状态,并且在垂直消隐周期VB'(参照图6)(其中,像素P中的各种颜色的子像素的驱动特性被感测)期间响应于第二扫描脉冲Scan B而导通。第三TFT T3的漏极连接到第二节点B,并且第三TFT T3的源极连接到第三节点C。第三TFT T3的栅极连接到被施加有第二扫描脉冲Scan B的第二扫描线15。存储电容器Cst通过第一节点A和第二节点B连接在第二TFT T2的栅极与源极之间。OLED的阳极连接到驱动元件DRTFT的源极,并且OLED的阴极连接到地电平电压源GND。

[0027] 参照图2,显示面板驱动电路包括数据驱动电路12、扫描驱动电路13以及定时控制器11。显示面板驱动电路向显示面板10的像素阵列施加输入图像的数据。

[0028] 数据驱动电路12包括至少一个源驱动集成电路(IC)。数据驱动电路12利用数字-模拟转换器(DAC)将从定时控制器11接收到的输入图像的像素数据DATA'转换成模拟伽玛补偿电压,并且产生数据电压。数据驱动电路12将所述数据电压输出到数据线14。各个像素数据DATA'包括红色数据、绿色数据、蓝色数据和白色数据。

[0029] 数据驱动电路12向定时控制器11发送通过模拟-数字转换器(ADC)和基准线16接收到的驱动特性的变化值。图4所示的DAC、ADC和开关S1被嵌入在数据驱动电路12中。

[0030] 扫描驱动电路13在数据使能周期AA期间在定时控制器11的控制下向扫描线15提供与数据驱动电路12的输出电压同步的扫描脉冲(或选通脉冲)。扫描驱动电路13在垂直消隐周期VB'期间向扫描线15提供用于感测驱动特性的变化的扫描脉冲。因此,扫描驱动电路13顺序地移位扫描脉冲并顺序地选择被施加有数据的像素。此外,扫描驱动电路13基于每行顺序地选择将被感测驱动特性的变化的像素。

[0031] 一般而言,感测一次像素的驱动特性的变化所需的时间比一个水平周期(horizontal period)长。相反,被分配为利用新的数据电压对像素进行充电的时间是一个水平周期。因此,在垂直消隐周期VB'中产生的扫描脉冲的宽度被设定为比在数据使能周期AA中产生的扫描脉冲的宽度大。

[0032] 定时控制器11从主机系统(未示出)接收输入图像的像素数据DATA和输入定时信号。输入定时信号包括垂直同步信号Vsync、水平同步信号Hsync、数据使能信号DE、主时钟MCLK等。定时控制器11基于输入定时信号Vsync、Hsync、DE和DCLK产生用于分别控制数据驱动电路12和扫描驱动电路13的操作定时的定时控制信号DDC和GDC。

[0033] 定时控制器11缩短了由输入定时信号限定的数据使能周期AA并延长了垂直消隐周期VB,从而在各帧中增加了能够感测像素的驱动特性的变化的时间。定时控制器11利用帧存储器和行存储器通过提高数据使能周期AA的频率来缩短数据使能周期AA,并且相对地延长了能够感测各种颜色的子像素的驱动特性的变化的垂直消隐周期VB。定时控制器11在经过延长的垂直消隐周期VB'期间产生了图5所示的信号,并且使得数据驱动电路12能够在各帧中感测两种或更多种颜色的子像素的驱动特性的变化。

[0034] 定时控制器11执行用于基于从数据驱动电路12接收到的驱动特性的变化值来计算补偿值的图像质量补偿算法。该图像质量补偿算法可以使用补偿OLED显示器的驱动特性的变化的任何已知的算法。图像质量补偿算法利用补偿值对输入图像的像素数据DATA进行调制。补偿值包括被加到像素数据DATA和从像素数据DATA被减去并补偿驱动TFT的阈值电压的偏移值、以及乘以像素数据DATA并补偿驱动TFT的迁移率的增益值。定时控制器11向数据驱动电路12发送通过图像质量补偿算法修正的像素数据DATA'。

[0035] 主机系统可以被实现为电视系统、机顶盒、导航系统、DVD播放器、蓝光播放器、个人计算机(PC)、家庭影院系统和电话系统中的一个。

[0036] 本发明的实施方式利用定时控制器11和数据驱动电路12来施加用于补偿像素的各种颜色的子像素的驱动特性的变化的外部补偿方法,从而增加了OLED显示器的产量和寿命。此外,本发明的实施方式可以利用外部补偿方法省略或最小化像素中的内部补偿电路,并且将像素实现为图4所示的简单构造,从而提高了孔径比和像素产率。

[0037] 图4是像素的等效电路图。图5是示出了用于感测驱动特性的变化的信号的波形图。

[0038] 如图4和图5所示,定时控制器11在垂直消隐周期VB'期间产生第一扫描脉冲Scan A和第二扫描脉冲Scan B以及初始化脉冲INIT。第一扫描脉冲Scan A的宽度比第二扫描脉冲Scan B的宽度小。初始化脉冲INIT的宽度大于第一扫描脉冲Scan A的宽度并小于第二扫描脉冲Scan B的宽度。在第二扫描脉冲Scan B上升之后,初始化脉冲INIT和第一扫描脉冲Scan A顺序上升。随后,在第一扫描脉冲Scan A下降之后,初始化脉冲INIT和第二扫描脉冲Scan B顺序下降。

[0039] 数据驱动电路12向数据线14提供被预先确定以在垂直消隐周期VB'期间感测驱动特性的变化的预定的数据电压。该数据电压被设定为预定的电压,而不论输入图像的数据电压如何。

[0040] 第三TFT T3响应于第二扫描脉冲Scan B而导通,并且连接第二节点B与第三节点C。随后,初始化脉冲INIT接通开关S1,并且向第三节点C提供预定的初始化电压Vinit。初始化电压Vinit将第二节点B和第三节点C初始化。随后,第一扫描脉冲Scan A被产生,并且预定的数据电压被施加到第二TFT T2的栅极。因此,第二节点B的电压和第三节点C的电压上升。ADC将上升了感测时间ts的第三节点C的电压变化转换为数字值,并且产生驱动特性的变化值。驱动特性的所述变化值被发送给定时控制器11。

[0041] 图6是示出了基于视频电子标准协会 (VESA) 的显示定时的波形图。

[0042] 如图6所示,由输入定时信号限定的一个帧周期被划分成数据使能周期AA和垂直消隐周期VB。

[0043] 数据使能信号DE与输入图像的数据同步。数据使能信号DE的一个脉冲的周期为一个水平周期,并且数据使能信号DE的高逻辑周期(即,脉冲宽度)表示一行的数据定时。一个水平周期是向显示面板10的一行上的像素施加数据所需的水平寻址时间。

[0044] 数据使能信号DE和输入图像的数据在数据使能周期AA期间被输入,并且在垂直消隐周期VB期间不被输入。数据使能周期AA是在像素阵列的所有像素上显示与一帧对应的像素数据所需的垂直寻址时间。

[0045] 垂直消隐周期VB包括垂直同步时间VS、垂直前沿FP和垂直后沿BP。

[0046] 垂直同步时间VS是从垂直同步信号Vsync的下降沿到上升沿的范围的时间,并且指示一个画面(screen)的开始(或结束)定时。垂直前沿FP是从指示一帧数据的最后一行的数据定时的数据使能信号DE的最后一个脉冲的下降沿到垂直消隐周期VB的开始时间点的范围的时间。垂直后沿BP是从垂直消隐周期VB的结束时间点到指示一帧数据的第一行的数据定时的数据使能信号DE的第一个脉冲的上升沿的范围的时间。

[0047] 在图6中,VB' 指示由定时控制器11延长的垂直消隐周期,并且“IDE”指示由定时控制器11产生的内部数据使能信号。

[0048] 图7和图8是详细示出了定时控制器11的框图。

[0049] 如图7和图8所示,定时控制器11包括帧存储器70、频率转换器72、算法执行单元74、驱动电路控制器76等。

[0050] 帧存储器70通过频率转换器72读出或写入内部存储空间上的输入图像的像素数据。帧存储器70可以包括两个帧存储器70#1和70#2,以便减少在数据读取处理和数据写入处理中的延迟时间。帧存储器70可以被实现为双数据速率同步动态随机存取存储器(DDR SDRAM)。

[0051] 频率转换器72使用至少两个输入行存储器#1和#2提高了输入图像的数据频率(其中,读频率比写频率高),并且缩短了数据使能周期AA。

[0052] 如图8所示,频率转换器72包括输入行存储器82、存储器控制器84以及输出行存储器86。

[0053] 输入行存储器82包括第一行存储器82#1和第二行存储器82#2,其中,读频率比写频率高。输出行存储器86包括第一行存储器86#1和第二行存储器86#2,其中,读频率等于写频率。

[0054] 输入行存储器82#1和82#2被用于减少数据使能信号。帧存储器70以高的写速度存储对应于一帧的数据(其通过输入行存储器82被输入),并且缩短了数据使能周期AA。在一个帧周期中,帧存储器70缩短了数据使能周期AA并相对延长了垂直消隐周期VB。

[0055] 输出行存储器86#1和86#2被用于防止当从帧存储器70读取像素数据时所产生的延迟时间的问题。如果当从帧存储器70读取像素数据时不存在延迟时间的问题,则可以省略输出行存储器86。

[0056] 第一频率的输入点时钟DCLK被施加到输入行存储器82的写时钟端子WRTCLK。比第一频率高的第二频率的内部点时钟iDCLK被施加到输入行存储器82的读时钟端子READ

CLK。第二频率的内部点时钟iDCLK被施加到输出行存储器86的写时钟端子WRT CLK和读时钟端子READ CLK。

[0057] 在下文中,作为示例,基于如下假设来描述本发明的实施方式:第一频率是80MHz,第二频率是90MHz,并且帧存储器70的写频率是736MHz。然而,本发明的实施方式不限于此。

[0058] 第一频率的输入点时钟DCLK被施加到输入行存储器82的写时钟端子WRTCLK。比第一频率高的第二频率的内部点时钟iDCLK被施加到输入行存储器82的读时钟端子READ CLK。

[0059] 存储器控制器84将输入行存储器82的读频率控制成比输入行存储器82的写频率高。此外,存储器控制器84控制输入行存储器82和帧存储器70中的每一个的读操作定时和写操作定时。为此,存储器控制器84产生频率比输入点时钟DCLK的频率高的内部点时钟iDCLK,并且还产生频率比数据使能信号DE的频率高的频率的内部数据使能信号iDE。存储器控制器84使用时钟发生器(例如,锁相环(PLL))产生高频的内部点时钟iDCLK。时钟发生器将从内部振荡器OSC输入的高速时钟OSC CLK除以预定的分频比(division ratio),并且产生具有稳定频率和锁定相位的内部点时钟iDCLK。

[0060] 算法执行单元74执行预先确定的图像质量补偿算法,并且计算用于补偿通过数据驱动电路12的ADC输入的像素的驱动特性的变化量的补偿值。补偿值包括用于补偿第二TFT T2的阈值电压的变化量 ΔV_{th} 的偏移值和用于补偿第二TFT T2的迁移率的变化量 $\Delta \mu$ 的增益值中的至少一个。例如,算法执行单元74可以在垂直消隐周期VB期间补偿第二TFT T2的迁移率的变化,或者可以在垂直消隐周期VB期间补偿第二TFT T2的阈值电压的变化和迁移率的变化二者。

[0061] 驱动电路控制器76基于内部点时钟iDCLK和内部数据使能信号iDE产生用于分别控制数据驱动电路12和扫描驱动电路13的操作定时的定时控制信号DDC和GDC,内部点时钟iDCLK和内部数据使能信号iDE中的每一个是按照比输入频率高的频率产生的。

[0062] 图9示出了驱动特性的变化的感测时间的延长。图10示出了与现有技术相比根据本发明的实施方式的感测时间的改进效果。在图10中,(A)指示了现有技术的示例,并且(B)指示了本发明的实施方式。

[0063] 如图9和图10所示,本发明的实施方式可以缩短OLED显示器的一个帧周期中的数据使能周期AA,并且可以延长在垂直消隐周期VB内被分配的感测时间。结果,本发明的实施方式可以在一个垂直消隐周期VB内感测被包括在一行中的n个颜色的子像素的驱动特性的变化,其中n是等于或大于2的正整数。此外,本发明的实施方式可以迅速更新用于补偿所有像素的各个子像素的驱动特性的变化的补偿值,并且可以缩短驱动特性的补偿周期。

[0064] 当点时钟的频率从80MHz增加到92MHz时,一个水平周期1H的时间从3.625 μ s减少到3.15 μ s,并且在UD分辨率下基于行数(即,2160行)从7830 μ s减少到6808.7 μ s。290点时钟被输入到数据使能信号的一个脉冲周期。当点时钟的频率是基于一个帧周期的80MHz时,垂直消隐周期VB是对应于90个水平周期的大约326.25 μ s。然而,当点时钟的频率增加到基于一个帧周期的92MHz时,垂直消隐周期VB是大约1347.55 μ s并增加至大约四倍。结果,本发明的实施方式可以在各个帧周期中感测四种颜色的子像素中的每一个的驱动特性的变化。

[0065] 当按照120Hz的帧速率驱动的显示面板的分辨率是UD(3840 $\times$ 2160)并且一个像素包括四个子像素R、G、B和W时,现有技术可以在一个垂直消隐周期VB期间感测一种颜色的子

像素的驱动特性的变化。因此,在现有技术中,感测显示面板的所有行上的四种颜色的子像素的驱动特性的变化所需的时间为 $4(\text{个子像素}) \times 2160(\text{行}) / 120(\text{Hz}) = 72(\text{秒})$ 。另一方面,由于本发明的实施方式能够在一个垂直消隐周期VB期间感测四种颜色的子像素的驱动特性的变化,所以感测显示面板的所有行上的四种颜色的子像素的驱动特性的变化所需的时间被减少到 $4(\text{个子像素}) \times 2160(\text{行}) / 120(\text{Hz}) / 4(\text{倍}) = 18(\text{秒})$ 。因此,本发明的实施方式可以减少补偿更新时间。

[0066] 图11是示出了定时控制器的频率转换操作的示例的波形图。更具体地,图11示出了输入行存储器82#1和82#2以及帧存储器的读操作和写操作。

[0067] 如图11所示,输入行存储器82#1和82#2在存储器控制器84的控制下交替地读取或写入输入图像的像素数据DATA。当输入点时钟DCLK为80MHz时,输入行存储器82#1和82#2按照80MHz的频率写入像素数据DATA并且按照92MHz的频率读取像素数据DATA。帧存储器70在存储器控制器84的控制下读取和写入按照与8倍92MHz对应736MHz的频率从输入行存储器82#1和82#2交替地输入的像素数据DATA。

[0068] 输入行存储器82被用于提高数据使能信号的频率。当第N(其中N为正整数)行的像素数据表示为第N行,第一输入行存储器82#1的读操作表示为Line mem_in#1 Read,第一输入行存储器82#1的写操作表示为Line mem_in#1 Write,第二输入行存储器82#2的读操作表示为Line mem_in#2 Read,并且第二输入行存储器82#2的写操作表示为Line mem_in#2 Write时,输入行存储器82的操作如下:

[0069] 第N行:Line mem_in#1 Read(92MHz),Line mem_in#2 Write(80MHz);

[0070] 第(N+1)行:Line mem_in#1 Write(80MHz),Line mem_in#2 Read(92MHz);

[0071] 第(N+2)行:Line mem_in#1 Read(92MHz),Line mem_in#2 Write(80MHz);

[0072] 第(N+3)行:Line mem_in#1 Write(80MHz),Line mem_in#2 Read(92MHz)。

[0073] 来自第一输入行存储器82#1和第二输入行存储器82#2的像素数据被交替地输入至帧存储器70。帧存储器70可以包括交替地执行像素数据的读操作和写操作的两个帧存储器。存储器控制器84将从输入行存储器82#1和82#2读取的像素数据DATA交替地写到这两个帧存储器上。例如,在奇数帧周期期间,像素数据DATA可以从第一帧存储器被读取,并且可以被写到第二帧存储器上。随后,在偶数帧周期期间,像素数据DATA可以从第二帧存储器被读取,并且可以被写到第一帧存储器上。

[0074] 当第N个帧周期表示为第N帧,第一帧存储器70#1的读操作表示为DDR#1Read,第一帧存储器70#1的写操作表示为DDR#1Write,第二帧存储器70#2的读操作表示为DDR#1Read,并且第二帧存储器70#2的写操作表示为DDR#2 Write时,帧存储器70的操作如下:

[0075] 第N帧:DDR#1 Write(736MHz),DDR#2 Read(736MHz);

[0076] 第(N+1)帧:DDR#1 Read(736MHz),DDR#2 Write(736MHz);

[0077] 第(N+2)帧:DDR#1 Write(736MHz),DDR#2 Read(736MHz);

[0078] 第(N+3)帧:DDR#1 Read(736MHz),DDR#2 Write(736MHz)。

[0079] 输出行存储器86临时存储从帧存储器70读取的像素数据。输出行存储器86被用于向数据驱动电路12连续发送像素数据。输出行存储器86按照与图8所示的输入行存储器82的写频率相同的频率执行读操作和写操作。当第N行的像素数据表示为第N行,第一输出行存储器86#1的读操作表示为Line mem_out#1 Read,第一输出行存储器86#1的写操作表示

为Line mem_out#1 Write,第二输出行存储器86#2的读操作表示为Line mem_out#2 Read,并且第二输出行存储器86#2的写操作表示为Line mem_out#2 Write时,输出行存储器86的操作如下:

[0080] 第N行:Line mem_out#1 Read (92MHz),Line mem_out#2 Write (80MHz);

[0081] 第(N+1)行:Line mem_out#1 Write (92MHz),Line mem_out#2 Read (92MHz);

[0082] 第(N+2)行:Line mem_out#1 Read (92MHz),Line mem_out#2 Write (92MHz);

[0083] 第(N+3)行:Line mem_out#1 Write (92MHz),Line mem_out#2 Read (92MHz)。

[0084] 如上所述,本发明的实施方式可以使用行存储器和帧存储器来延长包括用于感测像素的驱动特性的感测时间在内的垂直消隐周期。结果,本发明的实施方式能够减少感测OLED显示器的所有像素的驱动特性的变化所需的总感测时间,并且因此能够缩短补偿值的更新周期。

[0085] 尽管已经参照本公开的多个示例性实施方式描述了实施方式,但是应该理解的是,本领域技术人员能够设计出将落入本公开的原理的范围内的许多其它修改和实施方式。更具体地,在本公开、附图和所附权利要求的范围内,能够对主题组合布置的组成部分和/或布置进行各种变型和修改。除了对这些组成部分和/或布置的变型和修改之外,对于本领域技术人员而言替代使用也将是显而易见的。

[0086] 本申请要求2013年12月16日申请的韩国专利申请No.10-2013-0156370的权益,通过引用将其全部内容并入本文,如同在本文中充分阐述一样。

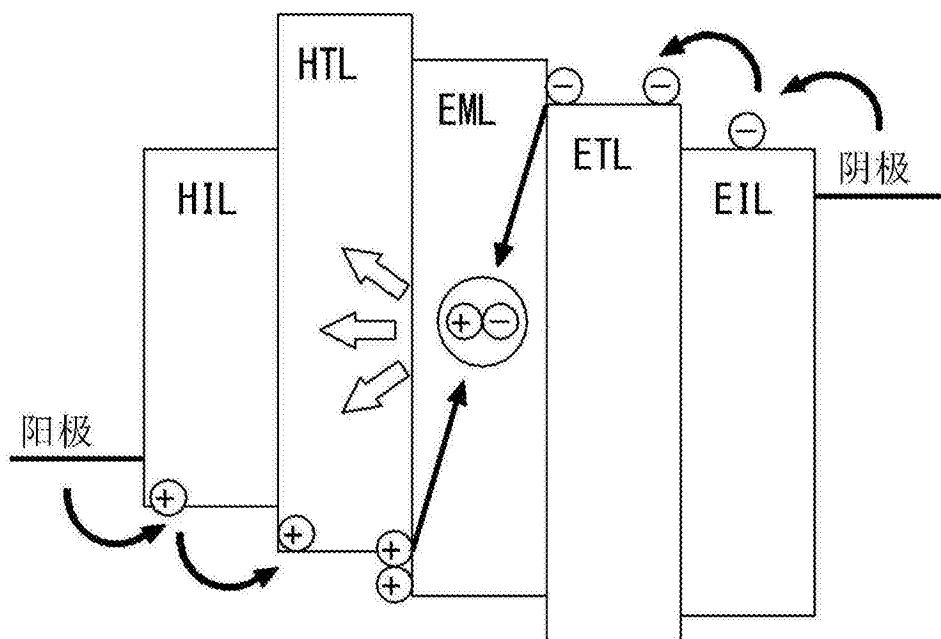


图1

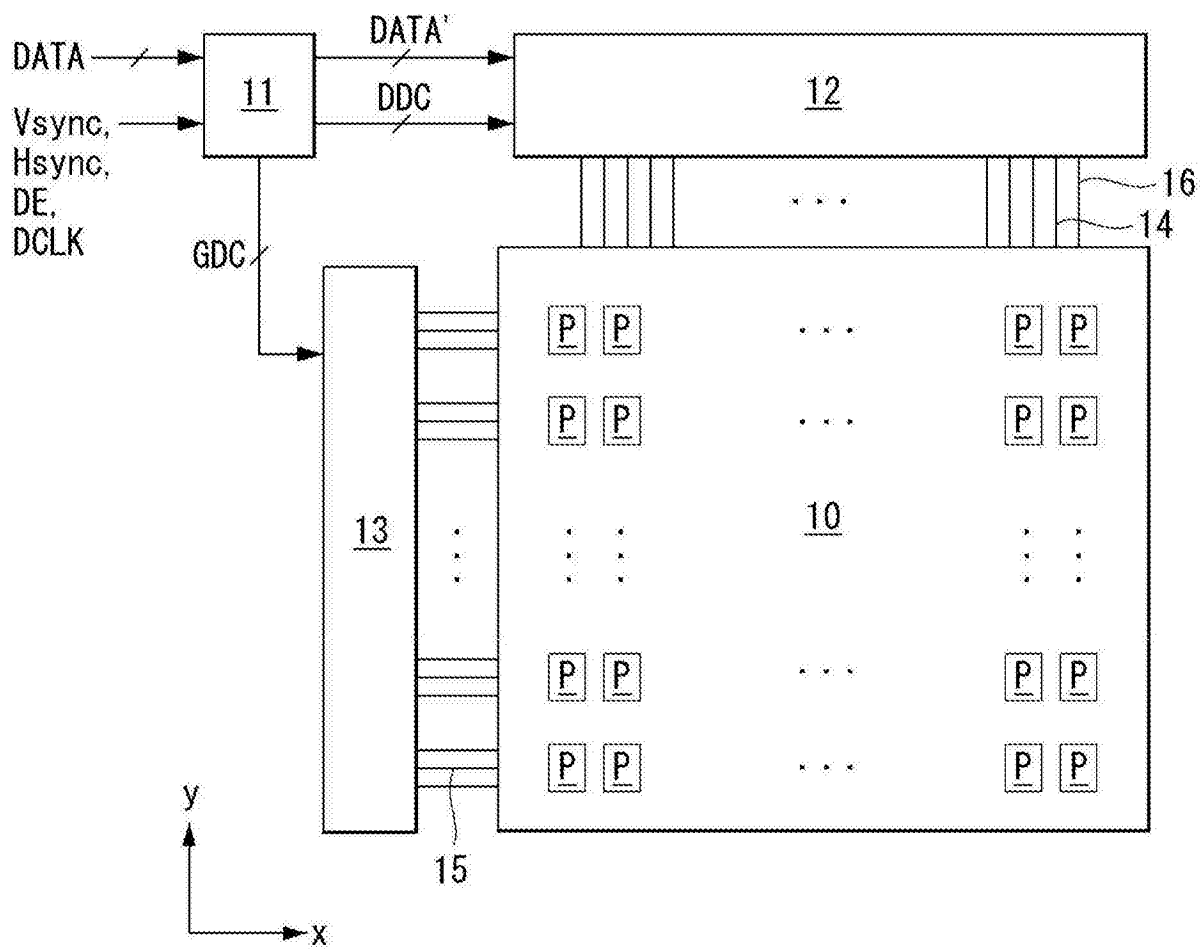


图2

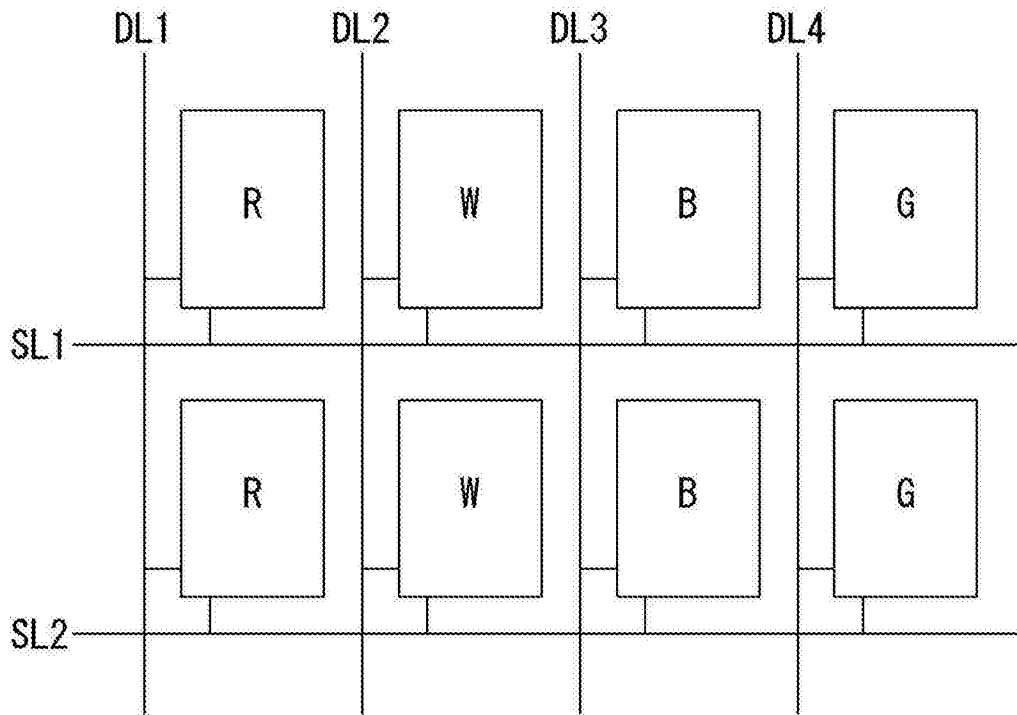


图3

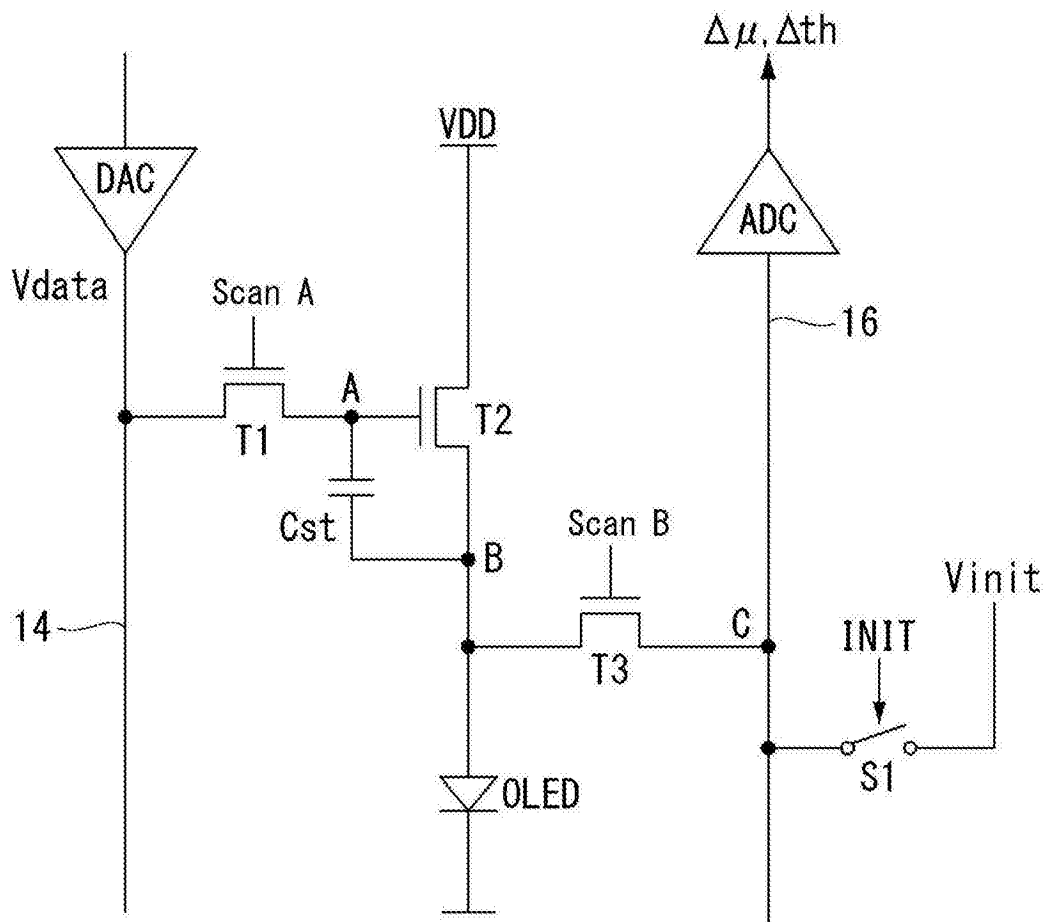


图4

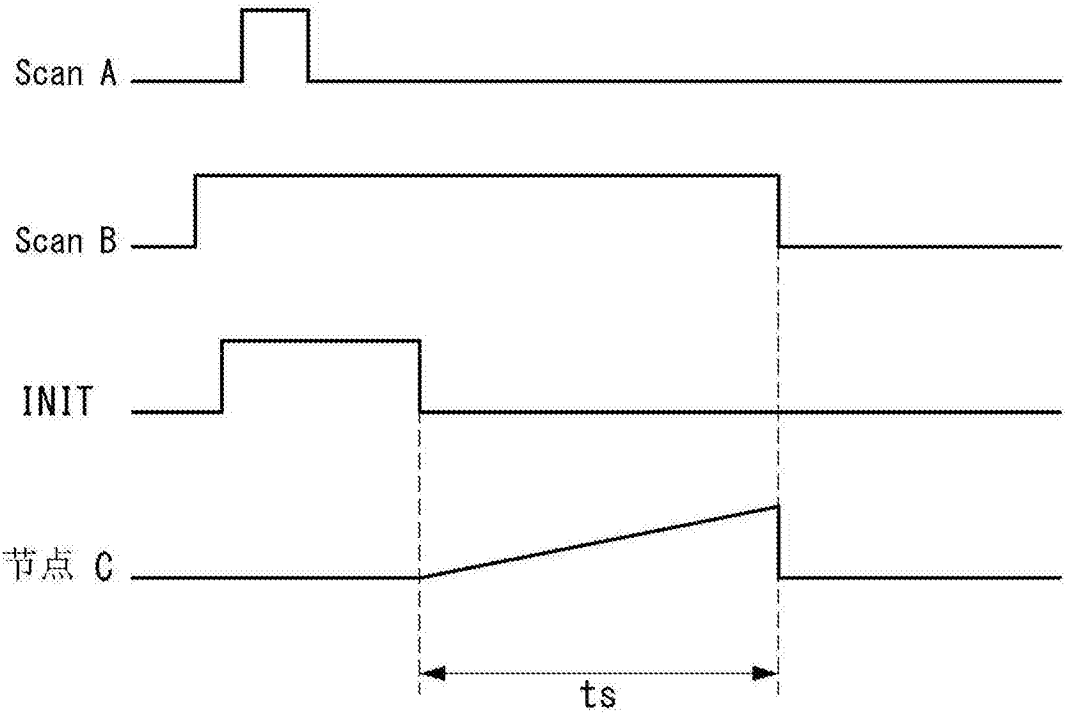


图5

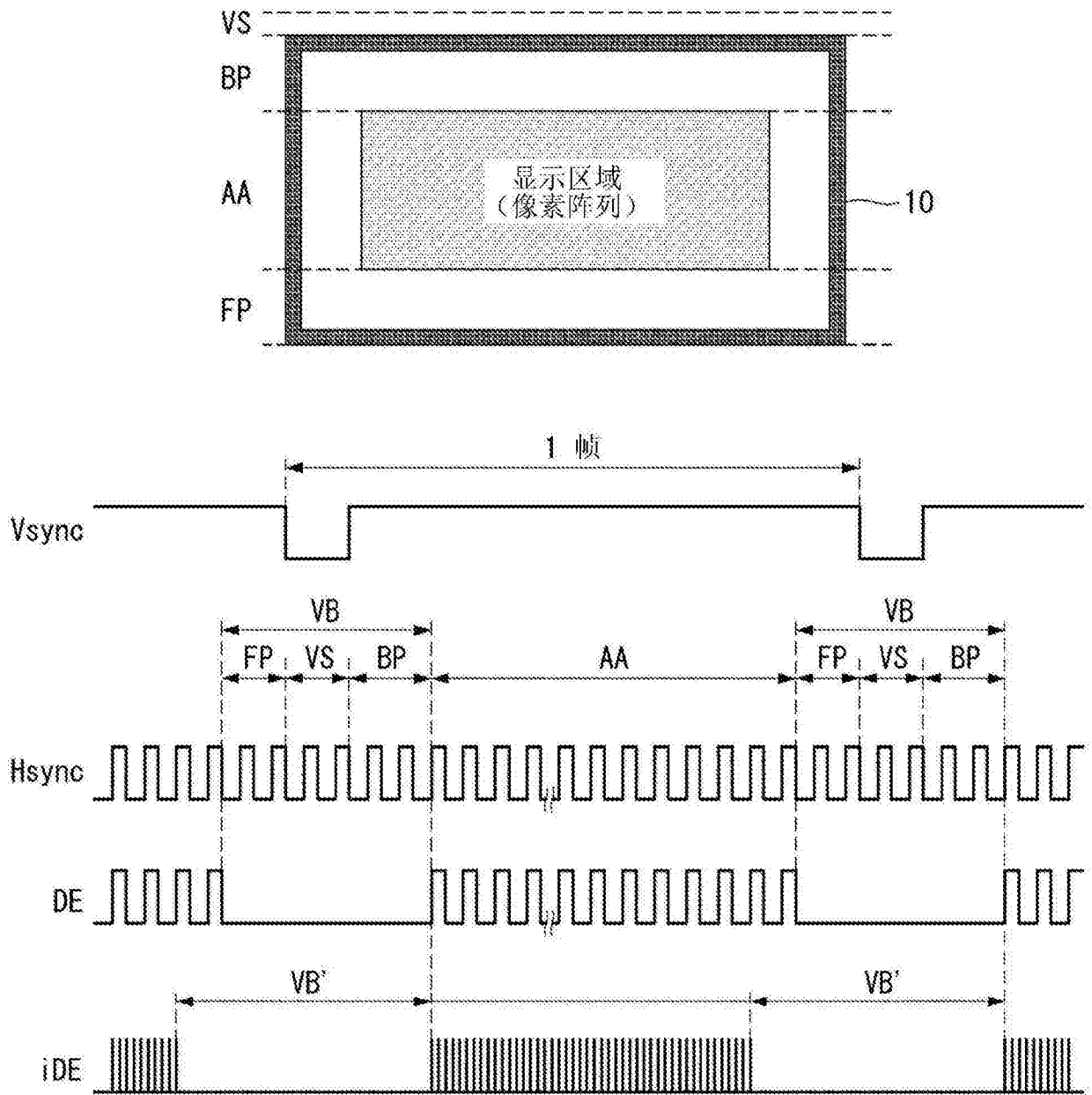


图6

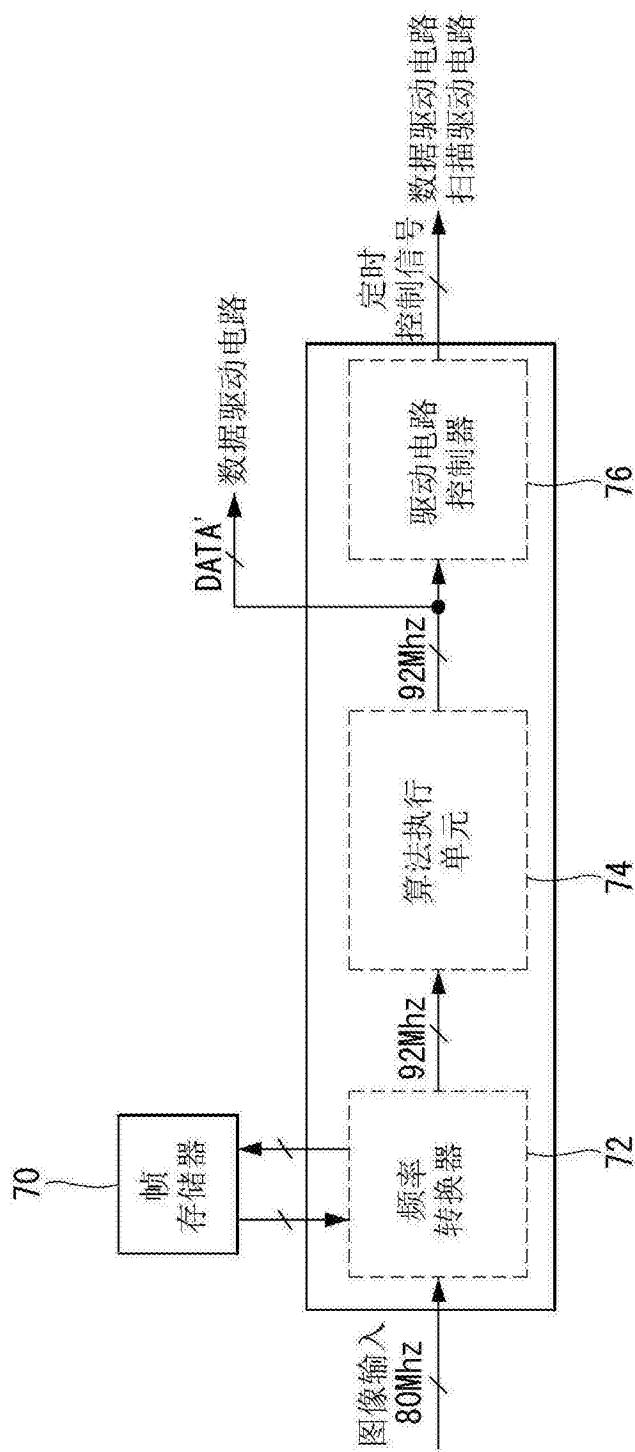


图7

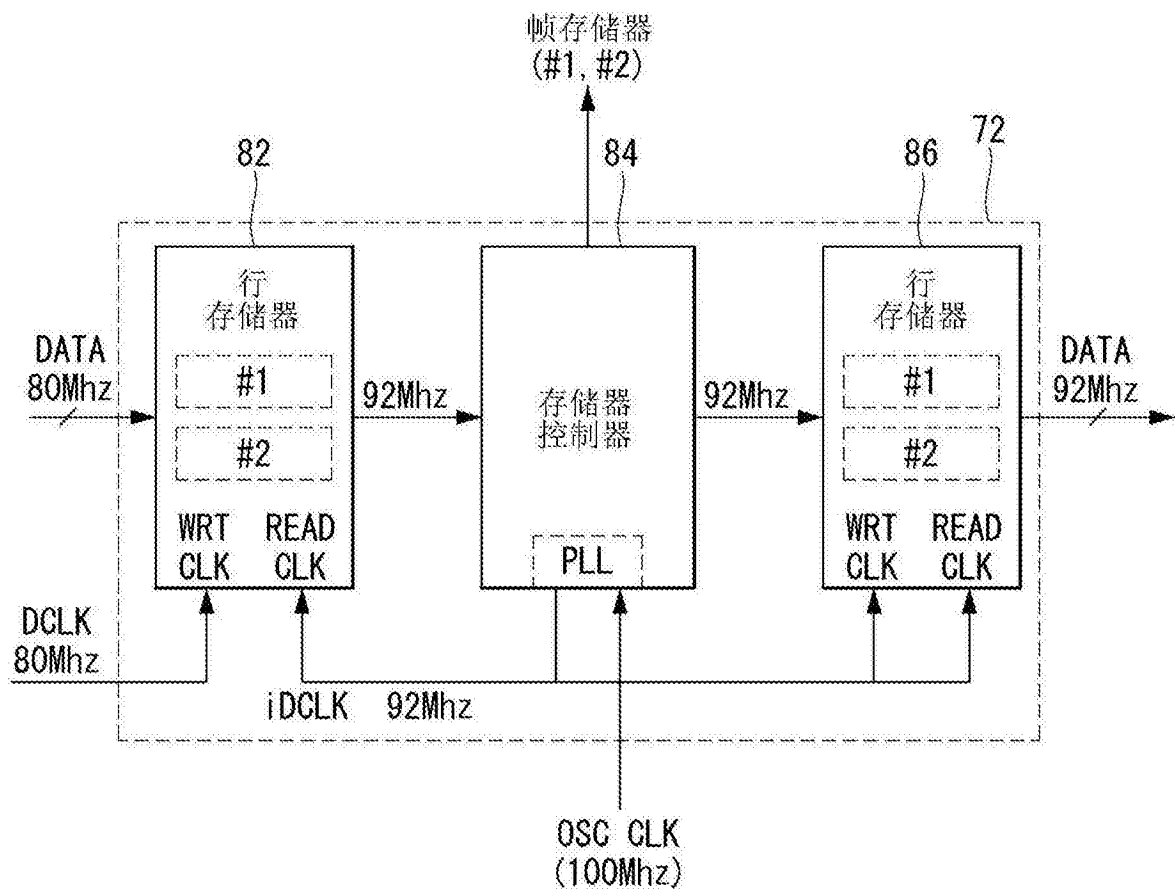


图8

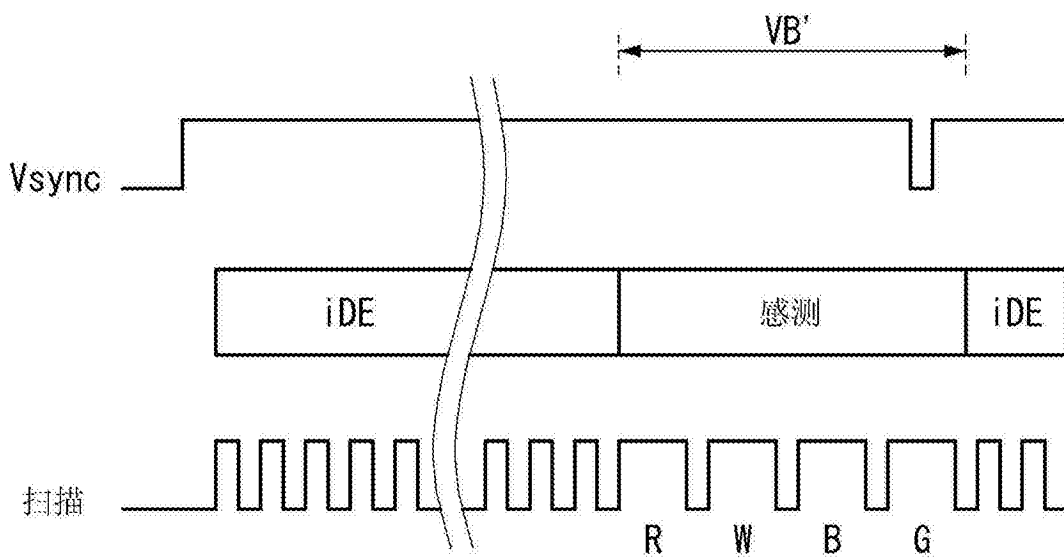
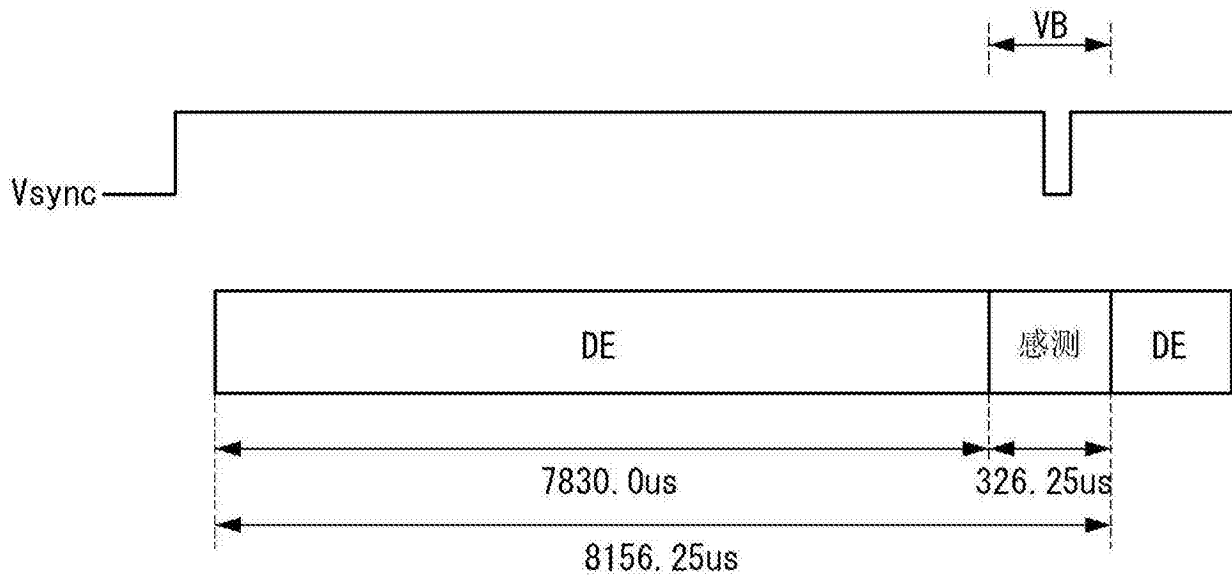
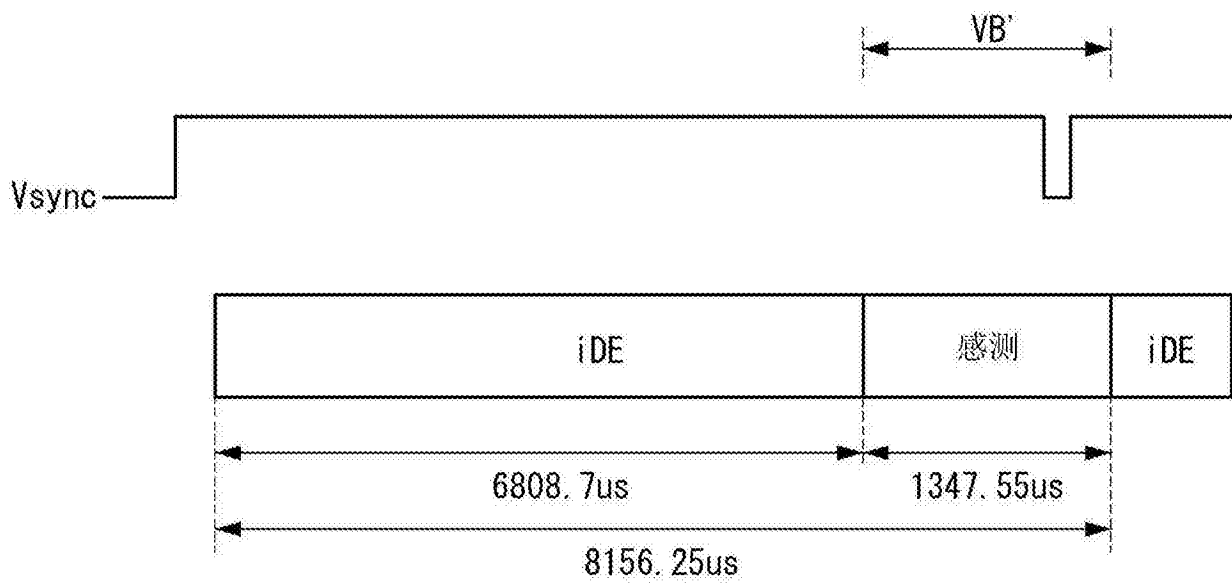


图9



(A)



(B)

图10

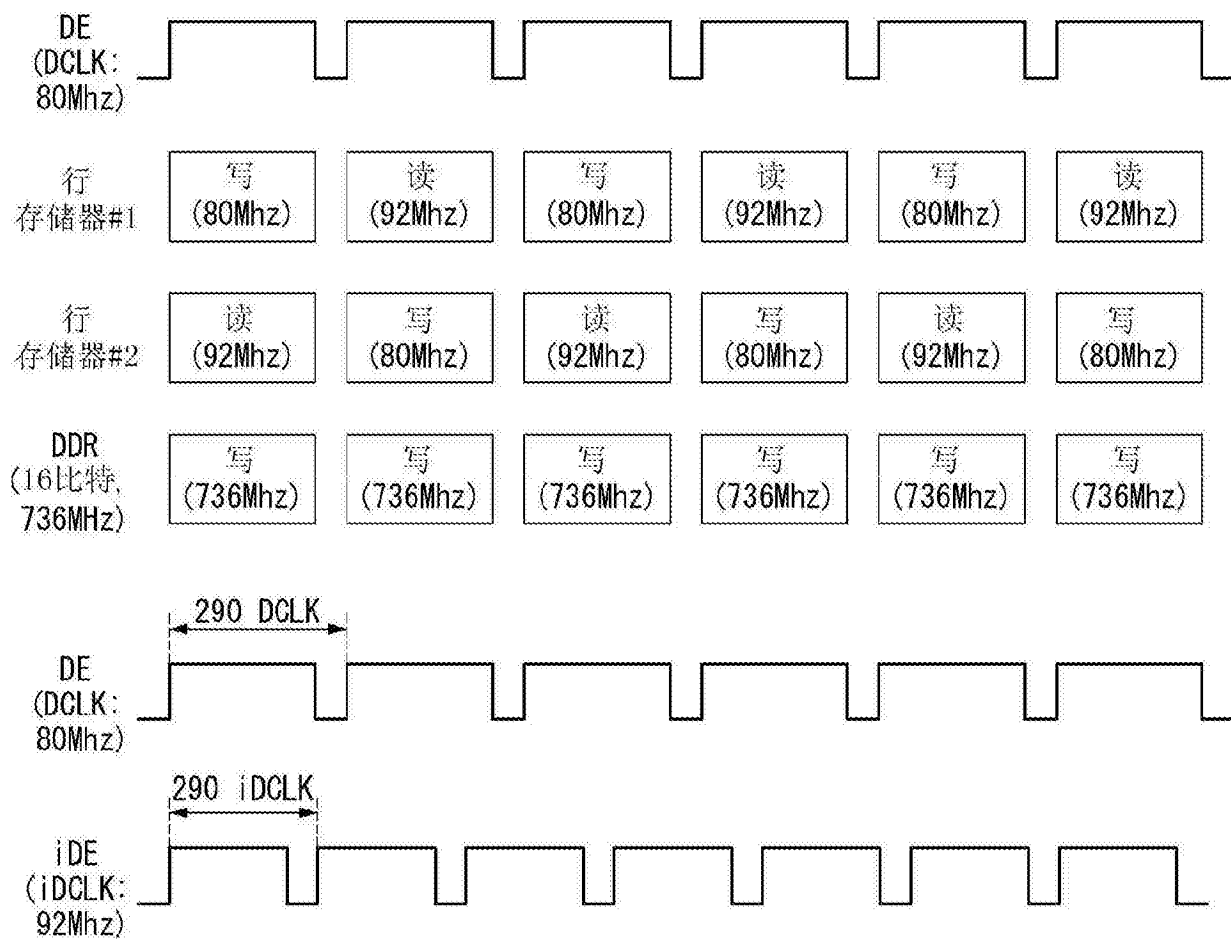


图11

专利名称(译)	有机发光二极管显示器		
公开(公告)号	CN104715720B	公开(公告)日	2017-06-06
申请号	CN201410784533.3	申请日	2014-12-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔倾植		
发明人	崔倾植		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2310/0262 G09G2320/0233 G09G2340/0435 G09G2360/18		
代理人(译)	刘久亮		
优先权	1020130156370 2013-12-16 KR		
其他公开文献	CN104715720A		
外部链接	Espacenet SIPO		

摘要(译)

一种有机发光二极管显示器，该有机发光二极管显示器包括：数据驱动电路，其在数据使能周期期间将像素数据转换成数据电压并向数据线提供所述数据电压，并且在经延长的垂直消隐周期内感测显示面板的驱动特性的变化；扫描驱动电路，其在所述数据使能周期期间向扫描线提供与所述数据电压同步的扫描脉冲，并且在所述经延长的垂直消隐周期内输出扫描脉冲；以及定时控制器，其利用基于所述驱动特性的所述变化确定的补偿值来补偿输入图像的数据，向所述数据驱动电路发送所述经补偿的数据，并且控制所述数据驱动电路的操作定时和所述扫描驱动电路的操作定时。

