



(10) 授权公告号 CN 103107183 B

(45) 授权公告日 2015.09.09

CN 1582461 A, 2005. 02. 16, 全文.

CN 101416231 A, 2009. 04. 22, 全文.

W0 2011065045 A1, 2011. 06. 03, 说明书第
0041-0056 段、图 1-5.

10-2011-0116683 2011. 11. 09 KR

审查员 周辉辉

地址 韩国首尔

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

H01L 27/32(2006.01)

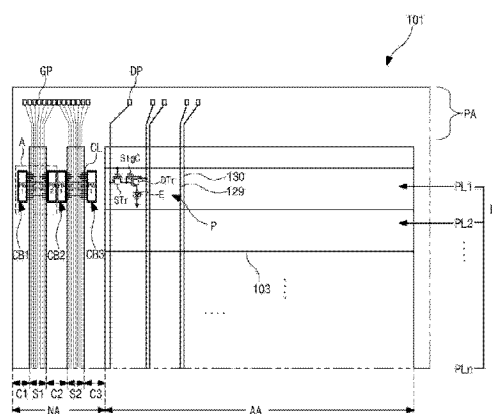
G09G 3/32(2006.01)

US 2011043508 A1, 2011. 02. 24, 说明书第 0057-0067 段、图 5.

权利要求书1页 说明书8页 附图6页

面板内栅极型有机发光二极管显示装置的阵列基板

本发明公开一种面板内栅极型有机发光二极
管显示装置的阵列基板。多个电路块形成在栅极
电路单元上并被分离成多个像素行，在像素行中
设置有各栅极线，并且多条时钟线形成在每个信
号输入单元中。每个所述信号输入单元包括至少
一个组。每个组包括多条时钟线。每个电路块包
括沿着栅极线的长度方向在每个像素行中依次设
置成一行的一个或两个局部电路块。每个局部电
路块包含在与其最靠近的信号输入单元中并且通
过多条第一连接线与形成在与其最靠近的一个组
中的时钟线连接。



1. 一种面板内栅极型有机发光二极管显示装置的阵列基板, 包括:

基板, 在所述基板上限定用于显示图像的显示区域、设置在所述显示区域的外部的第一非显示区域以及具有焊盘的第二非显示区域, 所述第一非显示区域具有彼此交替的多个信号输入单元和多个栅极电路单元;

栅极线和数据线, 所述栅极线和数据线设置在所述显示区域上并彼此交叉以限定像素区域;

多个电路块, 所述多个电路块分别设置在所述栅极电路单元中并设置于多个像素行中, 在所述像素行中设置有相应栅极线; 以及

多条时钟线, 所述多条时钟线形成在每个所述信号输入单元中,

其中每个所述信号输入单元包括至少两个组, 每个组包括多条时钟线, 每个所述电路块包括沿着所述栅极线的长度方向在每个所述像素行中依次设置成一行的至少两个局部电路块, 所述信号输入单元中的至少一个信号输入单元位于所述电路块的所述局部电路块之间, 且每个所述局部电路块通过多条第一连接线与形成在与其最靠近的一组信号输入单元中的时钟线连接。

2. 如权利要求 1 所述的阵列基板, 其中形成在相同像素行中的每个所述电路块包括一个局部电路块, 每个所述信号输入单元包括一个组。

3. 如权利要求 1 所述的阵列基板, 其中每个所述信号输入单元包括第一组和第二组, 以及

其中, 在形成在相同像素行中的电路块之中, 所述信号输入单元设置在两侧上的电路块包括彼此邻近的两个局部电路块, 并且所述信号输入单元设置在一侧或另一侧上的电路块包括一个局部电路块。

4. 如权利要求 3 所述的阵列基板, 其中, 在所述栅极电路单元之中, 包括两个局部电路块的栅极电路单元包括形成在所述局部电路块之间的栅极高信号线和栅极低信号线。

5. 如权利要求 1 所述的阵列基板, 其中每个所述信号输入单元包括邻近于所述多条时钟线的栅极高信号线、栅极低信号线和存储线。

6. 如权利要求 5 所述的阵列基板, 其中在每个所述信号输入单元包括两个组时, 所述栅极高信号线、所述栅极低信号线和所述存储线形成在邻近的组之间, 或者分别形成为邻近于每个组。

7. 如权利要求 1 至 3 中任一项所述的阵列基板, 还包括:

开关薄膜晶体管, 所述开关薄膜晶体管形成在每个所述像素区域中并连接到所述栅极线和数据线;

电源线, 所述电源线形成为远离所述栅极线或所述数据线;

驱动薄膜晶体管, 所述驱动薄膜晶体管形成在每个所述像素区域中并连接到所述开关薄膜晶体管和所述电源线; 以及

有机发光二极管, 所述有机发光二极管连接到所述驱动薄膜晶体管和所述电源线, 并且所述有机发光二极管包括第一电极、有机发光层和第二电极。

8. 如权利要求 1 至 3 中任一项所述的阵列基板, 其中设置在相同像素行中的电路块与设置在相应像素行中的栅极线连接。

面板内栅极型有机发光二极管显示装置的阵列基板

[0001] 本申请要求 2011 年 11 月 9 日提交的韩国专利申请 No. 10-2011-0116683 的优先权,在此以参考的方式援引该专利申请的全部内容。

技术领域

[0002] 本发明涉及一种有机发光二极管(OLED)显示装置,更具体地,涉及一种面板内栅极(GIP)型 OLED 显示装置的阵列基板,其可以使信号输入单元的寄生电容最小化。

背景技术

[0003] 作为平板显示器(FPD)的有机发光二极管(OLED)显示装置具有高亮度和低工作电压。此外,OLED 显示装置是自发光显示器,其具有高对比度、可以实现超薄显示器、具有大约几微妙(μs)的响应时间以便于形成运动图像、具有不受限制的视角、即使在低温下也可被稳定地驱动、并且可以在大约 5V 至大约 15V 的低直流(DC)电压下被驱动。因此,OLED 显示装置可便于制造和设计驱动器电路。

[0004] 相应地,最近已经采用具有上述优点的 OLED 显示装置用于各种信息和技术(IT)设备,例如电视(TV)、监视器和移动电话等。

[0005] 下文将进一步详细地描述 OLED 显示装置的基本结构。

[0006] 图 1 是现有技术的 OLED 显示装置的示意剖视图。

[0007] 典型的 OLED 显示装置 1 可大致包括:阵列基板 10,包括阵列装置和 OLEDE;以及相对基板 70,设置为与阵列基板 10 相对并起着封装作用。阵列装置可包括连接到栅极和数据线(未示出)的开关薄膜晶体管(TFT)(未示出)以及连接到 OLED E 的驱动 TFT(DTr)。OLED E 可包括连接到驱动 TFT DTr 的第一电极 47、有机发光层(EML)55 和第二电极 58。

[0008] 为了实现具有上述构造的 OLED 显示装置 1,需要具有用于驱动 OLED E 的驱动器电路的驱动器单元。

[0009] 一般地,在印刷电路板(PCB)(未示出)上实施驱动器单元。在这种情况下,PCB 划分为与形成在阵列基板 10 上的多条栅极线(未示出)连接的栅极 PCB(未示出)以及与多条数据线(未示出)连接的数据 PCB。

[0010] 同时,通过使用载带封装(TCP)或者通过在其间插入柔性印刷电路(FPC),可将栅极 PCB 和数据 PCB 分别安装在栅极焊盘部和数据焊盘部上。栅极焊盘部可形成在 OLED 显示装置的阵列基板 10 的一个侧表面上,并连接到栅极线。此外,数据焊盘部通常形成在与上面形成有栅极焊盘的那个侧表面正交的顶侧表面上,并连接到数据线。

[0011] 但是,当如现有技术中那样将 PCB 划分为栅极 PCB 和数据 PCB 并安装在栅极焊盘部和数据焊盘部上时,PCB 的体积和重量会增加。

[0012] 因此,为了解决上述问题,已经提出了一种面板内栅极(GIP)型 OLED 显示装置,其中栅极和数据 PCB 集成为单个 PCB 并且仅安装在阵列基板的一个侧表面上。

[0013] 图 2 是现有技术的 GIP 型 OLED 显示装置的阵列基板的平面图;图 3 是图 2 的区域 A 的放大视图。

[0014] 参照图 2 和图 3, GIP 型 OLED 显示装置的阵列基板 40 可大致包括: 用于显示图像的显示区域 AA; 设置在显示区域 AA 上方的焊盘部 PA; 设置在位于显示区域 AA 一侧上的非显示区域 NA 中的第一和第二栅极电路单元 C1 和 C2; 以及连接到栅极电路单元 C1 和 C2 的第一和第二信号输入单元 S1 和 S2。

[0015] 更具体地, 可在显示区域 AA 上设置栅极线 73、数据线 76、TFT Tr 以及第一电极。栅极线 73 和数据线 76 可彼此交叉并限定像素区域 P。TFT Tr 可连接到每条栅极线 73 和数据线 76, 并用作开关装置。第一电极连接到 TFT Tr。

[0016] 此外, 可在位于显示区域 AA 上方的焊盘部 PA 上形成数据焊盘 DP 和多个栅极焊盘 GP。数据焊盘 DP 可连接到形成在显示区域 AA 上的数据线 76, 并连接到外部 PCB(未示出)。栅极焊盘 GP 可连接到形成在第一和第二信号输入单元 S1 和 S2 中的多条时钟信号线 CLK1 至 CLK13 以及多条栅极信号线 V_{GH} 、 V_{GL} 和 V_{ST} 。

[0017] 此外, 可在第一和第二栅极电路单元 C1 和 C2 上设置多个电路块 CB1 和 CB2。电路块 CB1 和 CB2 可彼此连接, 并被分离成包括与相同栅极线 73 连接的多个像素区域 P 的各像素行 PL。多个电路块 CB1 和 CB2 的每一个可包括多个开关装置、多个驱动器装置和多个电容器的组合。属于每个像素行 PL 的每个电路块 CB1、CB2 可以再次内部划分为一个或两个局部电路块 PB1 和 PB2。在这种情况下, 设置在相同像素行 PL 中的多个电路块 CB1 和 CB2 可通过栅极线 73 以及设置在像素行 PL 中的辅助线(未示出)彼此连接。

[0018] 将进一步详细地描述栅极电路单元 C1 和 C2 以及信号输入单元 S1 和 S2。

[0019] 在现有技术的 GIP 型 OLED 显示装置的阵列基板 40 中, 第一信号输入单元 S1 和第一栅极电路单元 C1 可以与位于显示区域 AA 一侧上的非显示区域 NA 上的第二信号输入单元 S2 和第二栅极电路单元 C2 依次交替。

[0020] 此外, 可在属于每个像素行 PL 的第一栅极电路单元 C1 中沿着相应像素行 PL 的宽度方向设置第一局部电路块 PB1 和第二局部电路块 PB2。

[0021] 在这种情况下, 第一局部电路块 PB1 变为需要 8 个不同时钟信号的 8 相型, 而第二局部电路块 PB2 变为需要 5 个不同时钟信号的 5 相型。

[0022] 此外, 第一信号输入单元 S1 可包括用于向第一局部电路块 PB1 输入信号的第一到第八时钟线 CLK1 至 CLK8、用于向第二局部电路块 PB2 输入信号的第九到第十三时钟线 CLK9 至 CLK13、栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及用于施加存储电压的存储信号线 V_{ST} 。

[0023] 尽管未呈现放大视图, 第二栅极电路单元 C2 和第二信号输入单元 S2 可分别具有与第一栅极电路单元 C1 和第一信号输入单元 S1 相同的构造。

[0024] 但是, 在上述现有技术的 GIP 型 OLED 显示装置的阵列基板 40 中, 属于每个像素行 PL 的每个第一、第二电路块 CB1、CB2 沿着相应像素行 PL 的宽度方向内部划分为第一和第二局部电路块 PB1 和 PB2。因此, 由于在时钟线 CLK1 至 CLK13 与用于连接设置在第一和第二信号输入单元 S1 和 S2 中的时钟线 CLK1 至 CLK13 的多条第一连接线 CL 之间的大量交叉、重叠的部分, 第一和第二信号输入单元 S1 和 S2 会具有非常大的寄生电容。

[0025] 在一个具体的例子中, 8 相型第一局部电路块 PB1 可连接到第一到第八时钟线 CLK1 至 CLK8, 而 5 相型第二局部电路块 PB2 可连接到第九到第十三时钟线 CLK9 至 CLK13。在这种情况下, 参照附图, 与包含在第一局部电路块 PB1 内的多个元件(未示出)连接的所有

的多条第一连接线 CL 基本上与连接到第二局部电路块 PB2 的第九到第十三时钟线 CLK9 至 CLK13 交叉,从而会产生相对较大的寄生电容。

[0026] 因此,由于在多条时钟线 CLK1 至 CLK13 与多条第一连接线 CL 之间产生的寄生电容,使得寄生电容从第一像素行 PL1 朝着第 n 像素行 PLn 积聚,从而在经过每条时钟线 CLK1 至 CLK13 的时钟信号之间会产生差异。

[0027] 结果,距上面安装有外部 PCB(未示出)的焊盘部 PA 相对较近的第一和第二栅极电路单元 C1 和 C2 可能会被正常地驱动,以通过连接到第一和第二栅极电路单元 C1 和 C2 的像素行 PL 向显示区域 AA 输出正常图像。但是,距焊盘部 PA 相对较远的第一和第二栅极电路单元 C1 和 C2 由于积聚的寄生电容而不能正常地输出信号,从而连接到第一和第二栅极电路单元 C1 和 C2 的像素行 PL 不能向显示区域 AA 输出正常图像,从而降低了显示质量。

发明内容

[0028] 因此,本发明旨在提出一种基本上克服了由于现有技术的限制和缺点而导致的一个或多个问题的面板内栅极(GIP)型有机发光二极管(OLED)显示装置的阵列基板。

[0029] 本发明的一个目的是提供一种 GIP 型 OLED 显示装置的阵列基板,其可以使设置在第一和第二信号输入单元中的多条时钟线与连接到包含在第一和第二电路块中的多个元件的多条连接线之间的交叉部分最小化,并使多条时钟线与多条连接线之间的寄生电容最小化,从而防止在显示区域上显示的图像质量恶化。

[0030] 在下面的描述中将列出本发明的附加特点和优点,这些特点和优点的一部分从下面的描述将是显而易见的,或者可从本发明的实践中领会到。通过说明书、权利要求书以及附图中具体指出的结构可实现和获得本发明的目的和其他优点。

[0031] 为了实现这些和其他优点,根据本发明的用途,如在此具体化和概括描述的,一种 GIP 型 OLED 显示装置的阵列基板包括:基板,在所述基板上限定用于显示图像的显示区域、设置在所述显示区域的外部的第一非显示区域以及具有焊盘的第二非显示区域,所述第一非显示区域具有彼此交替的多个信号输入单元和多个栅极电路单元;栅极线和数据线,所述栅极线和数据线设置在所述显示区域上并彼此交叉以限定像素区域;多个电路块,所述多个电路块形成在所述栅极电路单元上并被分离成多个像素行,在所述像素行中设置有各栅极线;以及多条时钟线,所述多条时钟线形成在每个所述信号输入单元中。每个所述信号输入单元包括至少一个组,每个组包括多条时钟线,每个所述电路块包括沿着所述栅极线的长度方向在每个所述像素行中依次设置成一行的一个或两个局部电路块,每个所述局部电路块包含在与其最靠近的信号输入单元中并且通过多条第一连接线与形成在与其最靠近的一个组中的时钟线连接。

[0032] 应当理解,前面的大体描述和下面的详细描述都是例示性的和解释性的,意在对本发明提供进一步的解释。

附图说明

[0033] 为本发明提供进一步理解并包含在本申请中以组成本申请的一部分的附图示出了本发明的实施方式,并与说明书一起用于解释本发明的原理。在附图中:

[0034] 图 1 是现有技术的有机发光二极管(OLED)显示装置的剖视图;

[0035] 图 2 是现有技术的面板内栅极(GIP)型 OLED 显示装置的阵列基板的显示区域部分和非显示区域部分的平面图;

[0036] 图 3 是图 2 的区域 A 的放大视图;

[0037] 图 4 是根据本发明第一实施方式的 GIP 型 OLED 显示装置的阵列基板的显示区域部分和非显示区域部分的平面图;

[0038] 图 5 是图 4 的区域 A 的放大视图;

[0039] 图 6 是根据本发明第一实施方式的第一修改例子的 GIP 型 OLED 显示装置的阵列基板的非显示区域部分的放大平面图;

[0040] 图 7 是根据本发明第一实施方式的第二修改例子的 GIP 型 OLED 显示装置的阵列基板的非显示区域部分的放大平面图;以及

[0041] 图 8 是根据本发明第二实施方式的 GIP 型 OLED 显示装置的阵列基板的非显示区域部分的平面图。

具体实施方式

[0042] 现在将详细参考优选实施方式进行描述,其中的一些例子在附图中示出。

[0043] 图 4 是根据本发明第一实施方式的面板内栅极(GIP)型 OLED 显示装置的阵列基板的显示区域部分和非显示区域部分的平面图,图 5 是图 4 的区域 A 的放大视图。

[0044] 参照图 4 和图 5,根据本发明第一实施方式的 GIP 型 OLED 显示装置的阵列基板 101 可大致包括:用于显示图像的显示区域 AA;设置在显示区域 AA 上方的焊盘部 PA(或具有焊盘的非显示区域);以及设置在显示区域 AA 的外部例如显示区域 AA 的一侧上的非显示区域 NA。非显示区域 NA 可包括可彼此交替的多个栅极电路单元和多个信号输入单元,例如彼此交叉的多个栅极电路单元 C1、C2、C3 和信号输入单元 S1、S2。阵列基板 101 可包括形成在每个信号输入单元中的多条时钟线。

[0045] 更具体地,多条栅极线 103 和多条数据线 130 可设置在显示区域 AA 上,并彼此交叉以限定多个像素区域 P。此外,可在显示区域 AA 中与栅极线 103 或数据线 130 相远离地设置电源线 129。

[0046] 同时,可在每个像素区域 P 中形成开关薄膜晶体管(TFT)STr,并且开关 TFT STr 可连接到每条栅极线 103 和数据线 130。此外,可在每个像素区域 P 中形成驱动 TFT DTr 和存储电容器 StgC,驱动 TFT DTr 和存储电容器 StgC 可连接到开关 TFT STr。可在像素区域 P 中进一步形成至少一个 TFT。

[0047] 此外,可在每个像素区域 P 中设置第一电极(未示出),第一电极可连接到驱动 TFT DTr。可在第一电极上方设置有机发光层(EML),并且可在整个显示区域上形成覆盖有机 EML 的第二电极(未示出)。在这种情况下,第一电极、有机 EML 和第二电极可形成有机发光二极管(OLED)E,OLED E 可连接到驱动 TFT DTr 和电源线 129。

[0048] 相应地,当通过栅极线 103 施加信号时,开关 TFT STr 可导通。此外,数据线 130 的信号可传送到驱动 TFT DTr 的栅极,从而驱动 TFT DTr 可导通以通过 OLED E 发射光。在这种情况下,当驱动 TFT DTr 导通时,可确定从电源线 129 流到 OLED E 的电流的电平,以便 OLED E 能够实现灰度级。当开关 TFT STr 截止时,存储电容器 StgC 可用于保持驱动 TFT DTr 的恒定栅极电压。因此,即使当开关 TFT STr 截止时,提供到 OLED E 的电流的电平也可

保持恒定,直到下一帧为止。

[0049] 同时,可在位于显示区域 AA 上方的焊盘部 PA 中设置数据焊盘 DP 和栅极焊盘 GP。数据焊盘 DP 可连接到形成在显示区域 AA 中的数据线 130,并用于连接外部印刷电路板(PCB)(未示出)。栅极焊盘 GP 可将包含在多个栅极电路单元 C1、C2 和 C3 中的多条时钟线 CLK1 至 CLK13 以及栅极信号线 V_{GH} 、 V_{GL} 和 V_{ST} 与外部 PCB 连接。

[0050] 此外,多个栅极电路单元 C1、C2 和 C3 可在显示区域 AA 的一侧与多个信号输入单元 S1 和 S2 交替。在这种情况下,尽管例示性地示出了多个信号输入单元 S1 和 S2 包括第一和第二信号输入单元 S1 和 S2,但是可进一步设置与第二信号输入单元 S2 相远离并与显示区域 AA 相邻的第三信号输入单元(未示出)。

[0051] 可在第一和第二信号输入单元 S1 和 S2 中设置多条信号线,例如第一到第十三时钟线 CLK1 至 CLK13、栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及存储信号线 V_{ST} 。尽管未在图中示出,除了栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及存储信号线 V_{ST} 之外,可在第一和第二信号输入单元 S1 和 S2 中进一步设置电源线(未示出),例如 VDD 线(未示出)和 VSS 线(未示出)。可选地,电源线可以不设置在第一和第二信号输入单元 S1 和 S2 中,但是可与数据线 130 相远离地形成,从而使电源可从外部 PCB 通过数据焊盘 DP 直接施加到每个像素区域 P。时钟线 CLK1 至 CLK13 以及栅极信号线 V_{GH} 、 V_{GL} 和 V_{ST} 中的每一条的一端可连接到栅极焊盘 GP。在这种情况下,可设置一条或两条存储信号线 V_{ST} 。

[0052] 同时,可在位于显示区域 AA 一侧上的非显示区域 NA 中设置第一到第三栅极电路单元 C1、C2 和 C3。第一到第三栅极电路单元 C1、C2 和 C3 可与第一和第二信号输入单元 S1 和 S2 交替,并分别设置在第一信号输入单元 S1 的一侧上、第一和第二信号输入单元 S1 和 S2 之间、以及第二信号输入单元 S2 的另一侧上。尽管未在图中示出,当在位于显示区域 AA 一侧上的非显示区域 NA 中进一步设置第三信号输入单元时,可在第三信号输入单元的另一侧上进一步设置第四栅极电路单元(未示出)。

[0053] 在这种情况下,电路块 CB1、CB2 和 CB3 可分别逐个地设置在第一到第三栅极电路单元 C1、C2 和 C3 中。电路块 CB1、CB2 和 CB3 的每一个可包括一个或两个局部电路块 PB1 和 PB2。优选地,电路块 CB1、CB2 和 CB3 可分离成多个像素行,在像素行中设置各栅极线。优选地,设置在相同像素行中的电路块与设置在相应像素行中的栅极线连接。

[0054] 在这种情况下,本发明的一个显著特点是提供包含在每个电路块 CB1、CB2 和 CB3 中的局部电路块 PB1 和 PB2,其可对应于每个像素行 PL 的宽度,并可沿栅极线 103 的长度方向依次设置成一行。

[0055] 优选地,每个信号输入单元 S1 和 S2 包括至少一个组,每个组包括多条时钟线,每个电路块 CB1、CB2 和 CB3 包括沿着栅极线的长度方向在每个像素行中依次设置成一行的一个或两个局部电路块,每个局部电路块包含在与其最靠近的信号输入单元中并且通过多条第一连接线与形成在与其最靠近的一个组中的时钟线连接。优选地,每个信号输入单元 S1 和 S2 包括第一组和第二组,其中,在形成在相同像素行中的电路块之中,信号输入单元设置在两侧上的电路块包括彼此邻近的两个局部电路块,并且信号输入单元设置在一侧或另一侧上的电路块包括一个局部电路块。优选地,在栅极电路单元 C1、C2 和 C3 之中,包括两个局部电路块的栅极电路单元包括形成在局部电路块之间的栅极高信号线 V_{GH} 和栅极低信号线 V_{GL} 。优选地,每个信号输入单元 S1 和 S2 包括邻近于多条时钟线的栅极高信号线 V_{GH} 、

栅极低信号线 V_{GL} 和存储信号线 V_{ST} 。优选地,在每个信号输入单元 S1 和 S2 包括两个组时,栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 和存储信号线 V_{ST} 形成在邻近的组之间,或者分别形成成为邻近于每个组。在一个例子中,8 相型第一局部电路块 PB1 可设置在第一栅极电路单元 C1 中,而 8 相型第一局部电路块 PB1 和 5 相型第二局部电路块 PB2 可设置在第二栅极电路单元 C2 中。此外,5 相型第一局部电路块 PB1 可设置在位于第二信号输入单元 S2 另一侧上的第三栅极电路单元 C3 中。

[0056] 尽管例示性地示出了 8 相或 5 相型局部电路块 PB1 和 PB2,每个局部电路块 PB1 和 PB2 可以是用于接收二到十个栅极信号的 2 相到 10 相型中的一种,并且局部电路块 PB1 和 PB2 的位置可在电路块 CB1、CB2 和 CB3 的每一个中交换。此外,当第三栅极电路单元 C3 进一步包括第三信号输入单元时,第三栅极电路单元 C3 可进一步包括两个局部电路块 PB1 (以及未示出)。

[0057] 在这种情况下,在第一到第三栅极电路单元 C1、C2 和 C3 中包括的每个电路块 CB1、CB2 和 CB3 可通过多条第一连接线 CL 连接到多条信号线(即时钟线 CLK1 至 CLK13、栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及存储信号线 V_{ST})。

[0058] 在这种情况下,最靠近显示区域 AA 形成的栅极电路单元(例如第三栅极电路单元 C3)可连接到形成在显示区域 AA 中的栅极线 103。此外,位于相同像素行 PL 中并设置在电路块 CB1、CB2 和 CB3 的其中之一中的相邻局部电路块 PB1 和 PB2 可彼此电连接。

[0059] 同时,在根据本发明实施方式的 GIP 型 OLED 显示装置的阵列基板 101 中,局部电路块 PB1 和 PB2 可沿着栅极线 103 的长度方向依次布置在相同像素行 PL 中。此外,包含在栅极电路单元 C2 中的第一和第二局部电路块 PB1 和 PB2 可与包含在分别最靠近第一和第二局部电路块 PB1 和 PB2 的不同信号输入单元 S1 和 S2 中的信号线 CLK1 至 CLK13 以及 V_{GH} 、 V_{GL} 和 V_{ST} 连接。结果,在连接到每个局部电路块 PB1 和 PB2 的多条第一连接线 CL 与包含在信号输入单元 S1 和 S2 中的多条信号线 CLK1 至 CLK13 以及 V_{GH} 、 V_{GL} 和 V_{ST} 之间的交叉可被最小化。

[0060] 因此,由于相比现有技术的 GIP 型 OLED 显示装置的阵列基板(参见图 2 中的 40),可以大大减小在多条第一连接线 CL 与多条信号线 CLK1 至 CLK13 以及 V_{GH} 、 V_{GL} 和 V_{ST} 之间的重叠部分,因此由彼此交叉的多条第一连接线 CL 与多条信号线 CLK1 至 CLK13 以及 V_{GH} 、 V_{GL} 和 V_{ST} 之间的重叠导致的寄生电容可被最小化。

[0061] 参照图 4,在根据本发明实施方式的 GIP 型 OLED 显示装置的阵列基板 101 中,包含在第一栅极电路单元 CB1 中的 8 相型第一局部电路块 PB1 可连接到邻近于第一局部电路块 PB1 的第一到第八时钟线 CLK1 至 CLK8,并依次布置在邻近于第一局部电路块 PB1 的第一信号输入单元 S1 中。此外,可以看到,8 相型第一局部电路块 PB1 不与连接到远离于第一到第八时钟线 CLK1 至 CLK8 的第二局部电路块 PB2 的第九到第十三时钟线 CLK9 至 CLK13 交叉。

[0062] 此外,可以看到,横跨第一信号输入单元 S1 而与第一局部电路块 PB1 相对设置的第二局部电路块 PB2 可连接到第九到第十三时钟线 CLK9 至 CLK13,其中第九到第十三时钟线 CLK9 至 CLK13 邻近于第二局部电路块 PB2 并且不与第一到第八时钟线 CLK1 至 CLK8 交叉。

[0063] 因此,在根据本发明实施方式的 GIP 型 OLED 显示装置的阵列基板 101 中,每个局部电路块 PB1 和 PB2 可连接到时钟线 CLK1 至 CLK8 或 CLK9 至 CLK13,其中时钟线 CLK1 至

CLK8 或 CLK9 至 CLK13 可设置在邻近于相应局部电路块并位于相应局部电路块一侧或另一侧上的信号输入单元 S1 和 S2 中,并属于第一组 gr1 或第二组 gr2,其中第一组 gr1 或第二组 gr2 可根据每个局部电路块 PB1 和 PB2 的相位类型而属于 8 或 5 的组。因此,相比现有技术的 GIP 型 OLED 显示装置的阵列基板(参见图 2 中的 40),可以大大减小在第一连接线 CL 与时钟线 CLK1 至 CLK13 之间的交叉部分。

[0064] 此外,在根据本发明的实施方式具有上述构造的 GIP 型 OLED 显示装置中,在时钟线 CLK1 至 CLK8 或 CLK9 至 CLK13 与连接线 CL 之间的寄生电容可被减小,从而能够缩短对传送到显示装置的数据信号进行充电和放电所需的时间。因此,可减少显示一个图像所需的帧时长。此外,当显示一个图像所需的帧时长被调整为与现有技术的 GIP 型 OLED 显示装置相同的水平时,由于可提高驱动频率,因此可提供具有良好显示质量和高分辨率的大面积显示装置。

[0065] 下文为了简明起见,将包含在信号输入单元 S1 和 S2 中的两个时钟线组分别定义为第一和第二组 gr1 和 gr2。

[0066] 除了时钟线 CLK1 至 CLK13 之外,可在每个信号输入单元 S1 和 S2 中的第一组 gr1 与第二组 gr2 之间设置栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及存储信号线 V_{ST} ,如图 5 所示。可选地,如图 6 所示(图 6 是根据本发明第一实施方式的第一修改例子的 GIP 型 OLED 显示装置的阵列基板的非显示区域部分的放大平面图),可在包含在每个信号输入单元 S1 和 S2 中的每个第一组 gr1 和第二组 gr2 中设置栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及存储信号线 V_{ST} 。

[0067] 同时,如图 7 所示(图 7 是根据本发明第一实施方式的第二修改例子的 GIP 型 OLED 显示装置的阵列基板的非显示区域部分的放大平面图),栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及存储信号线 V_{ST} (不包括时钟线 CLK1 至 CLK13)可以不设置在第一和第二信号输入单元 S1 和 S2 中,而是可以彼此邻近地设置在包含两个局部电路块 PB1 和 PB2 的栅极电路单元 C2 中的局部电路块 PB1 和 PB2 之间。在另一种情况下,存储信号线 V_{ST} 可以设置在每个信号输入单元 S1 和 S2 的每个第一组 gr1 和第二组 gr2 中,并且仅栅极高信号线 V_{GH} 和栅极低信号线 V_{GL} 可设置在位于相同电路块 CB2 中的邻近局部电路块 PB1 和 PB2 之间。

[0068] 同时,在根据本发明第一实施方式的 GIP 型 OLED 显示装置的阵列基板 101 中,在多条时钟线 CLK1 至 CLK13 与多条第一连接线 CL 之间的交叉部分可被减小。因此,可以实验性地例证,由所有第一和第二信号输入单元 S1 和 S2 产生的寄生电容相比现有技术的 GIP 型 OLED 显示装置的阵列基板的所有第一和第二信号输入单元(参见图 2 中的 S1 和 S2)产生的寄生电容减少了大约 38.4%。

[0069] 也就是说,在现有技术的 GIP 型 OLED 显示装置的阵列基板(图 2 中的 40) (其中,设置在每个像素行 PL 中并且还设置在栅极电路单元 C1、C2 和 C3 的每个电路块 CB1、CB2 和 CB3 中的局部电路块 PB1 和 PB2 位于垂直于栅极线 103 的长度方向的方向上,即位于数据线 130 的长度方向上)中,假设设置四个局部电路块来接收四个分离的栅极信号,并且提供 1080 个像素行 PL,则由第一和第二信号输入单元(参见图 2 中的 S1 和 S2)产生的寄生电容的总和是 535.6pF。与此相对照,在根据本发明第一实施方式的 GIP 型 OLED 显示装置的阵列基板 101 中,假设与现有技术的 GIP 型 OLED 显示装置的阵列基板 40 类似地设置四个局部电路块 PB1 和 PB2 来接收四个分离的栅极信号,并且提供 1080 个像素行 PL,则由第一和

第二信号输入单元 S1 和 S2 产生的寄生电容的总和是 329.89pF。

[0070] 因此,可以看到,根据本发明第一实施方式的 GIP 型 OLED 显示装置的阵列基板 101 的寄生电容比现有技术的 GIP 型 OLED 显示装置的阵列基板 40 的寄生电容少了大约 38.4%。

[0071] 图 8 是根据本发明第二实施方式的 GIP 型 OLED 显示装置的阵列基板的非显示区域部分的平面图。这里,将简明地描述根据第一和第二实施方式的构造之间的差别。

[0072] 参照图 8,在根据本发明第二实施方式的 GIP 型 OLED 显示装置的阵列基板 201 中,信号输入单元 S1 (以及未示出)和栅极电路单元 C1、C2 (以及未示出)可彼此交替,并且可以以相同的方式设置。每个栅极电路单元 C1、C2 (以及未示出)可包括位于相同像素行 PL 中的一个电路块 CB1、CB2 (或未示出)。在这种情况下,每个电路块 CB1、CB2 (或未示出)可包括设置为 5 相或 8 相型的仅一个局部电路块 PB1。

[0073] 因此,每个信号输入单元 S1、S2 (以及未示出)可仅连接到设置在相应信号输入单元一侧上的电路块 CB1、CB2 (或未示出)。此外,根据设置在电路块 CB1 中的局部电路块 PB1 的相位类型,每个信号输入单元 S1、S2 (以及未示出)可包括第一到第五时钟线 CLK1 至 CLK5 或第一到第八时钟线 CLK1 至 CLK8、栅极高信号线 V_{GH} 、栅极低信号线 V_{GL} 以及一条存储信号线 V_{ST} 。

[0074] 由于其余的元件与根据第一实施方式的 GIP 型 OLED 显示装置的阵列基板 101 的那些相同,因此省略其说明。

[0075] 类似地,在根据本发明第二实施方式的 GIP 型 OLED 显示装置的阵列基板 201 中,局部电路块 CB1、CB2 (以及未示出)可沿栅极线 203 的长度方向在相同像素行 PL 中布置成一行,并且第一连接线 CL1 可连接到最靠近每个局部电路块 PB1 的信号输入单元 S1、S2 (或未示出)的时钟线 CLK1 至 CLK5 或 CLK1 至 CLK8。因此,由于与现有技术的 GIP 型 OLED 显示装置的阵列基板 (参见图 2 中的 40) 相比,在多条第一连接线 CL 与时钟线 CLK1 至 CLK5 或 CLK1 至 CLK8 之间的交叉被大大减小,因此在多条第一连接线 CL 与时钟线 CLK1 至 CLK5 或 CLK1 至 CLK8 之间的寄生电容可被最小化。

[0076] 在根据本发明的 GIP 型 OLED 显示装置中,可以沿像素行的长度方向设置第一到第六局部块,其中第一到第六局部块包含在被分离成第一到第三栅极电路单元的各像素行的每个电路块中。由此,在第一到第三栅极电路单元中形成的多条时钟线与连接到第一和第二电路块的多条连接线之间的交叉可被最小化,从而使其间的寄生电容最小化。

[0077] 此外,由于在时钟线与连接线之间的寄生电容的减小,栅极信号可从第一像素行平滑地提供到第 n 像素行,从而可减小信号延迟,由此提高了在显示区域上显示的图像质量。

[0078] 此外,由于在时钟线与连接线之间的寄生电容被减小,能够缩短对传送到显示区域的数据信号进行充电和放电所需的时间,从而可减少显示一个图像所需的帧时长。此外,当显示一个图像所需的帧时长被调整为与现有技术的 GIP 型 OLED 显示装置相同的水平时,由于可提高驱动频率,因此可提供具有良好显示质量和高分辨率的大面积显示装置。

[0079] 在不脱离本发明的精神或范围的情况下,在本发明的显示装置中可进行各种修改和变化,这对于所属领域技术人员来说是显而易见的。因而,本发明意在覆盖落入所附权利要求书范围及其等效范围内的对本发明的所有修改和变化。

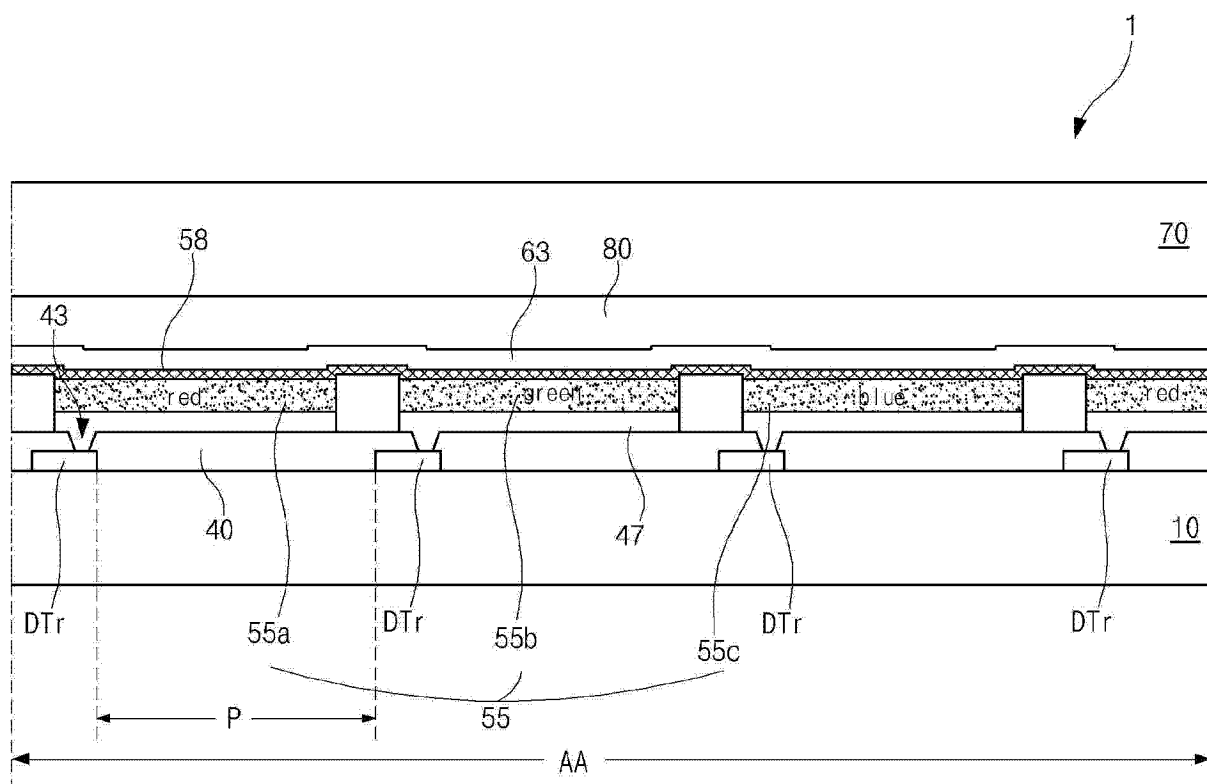


图 1

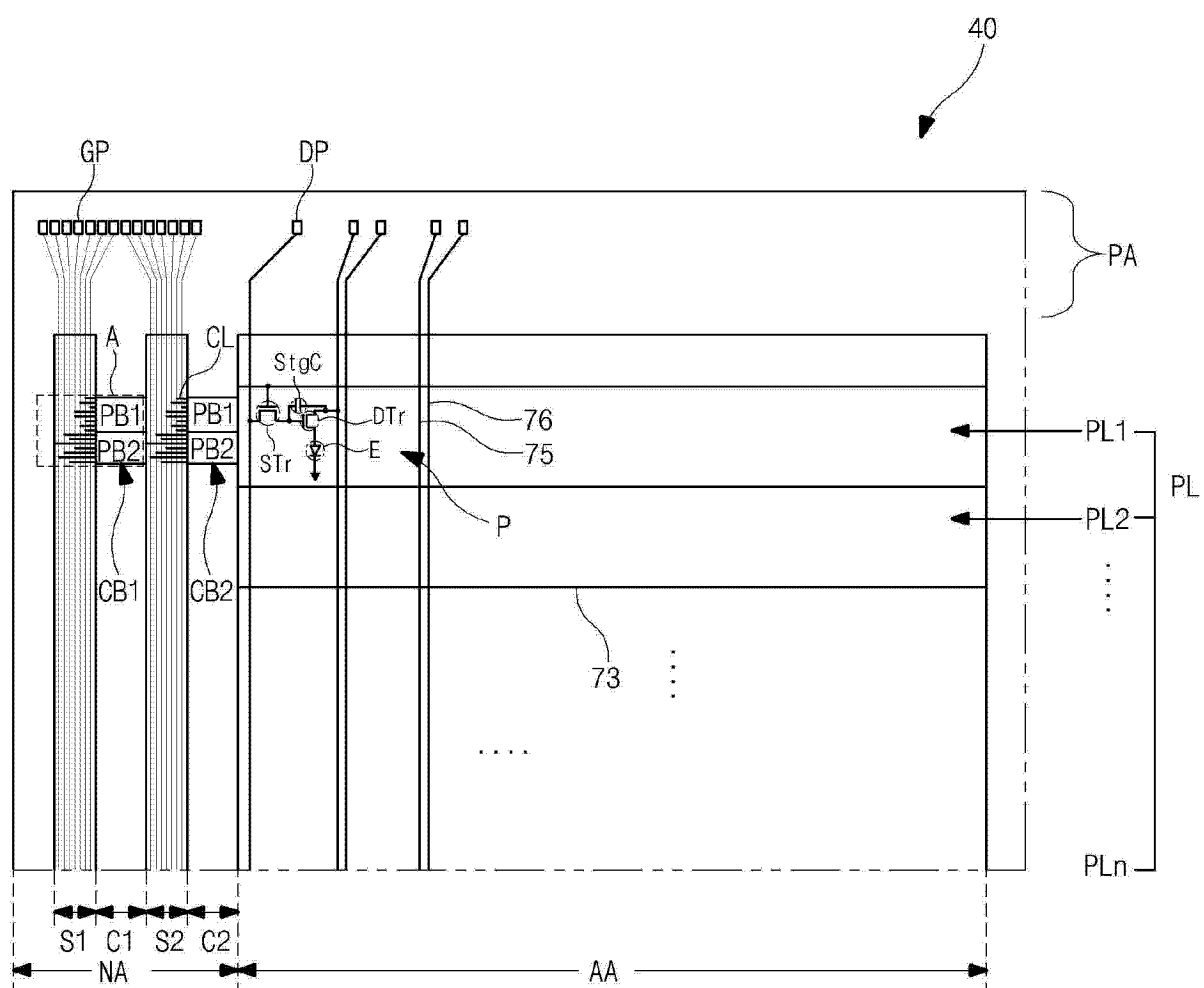


图 2

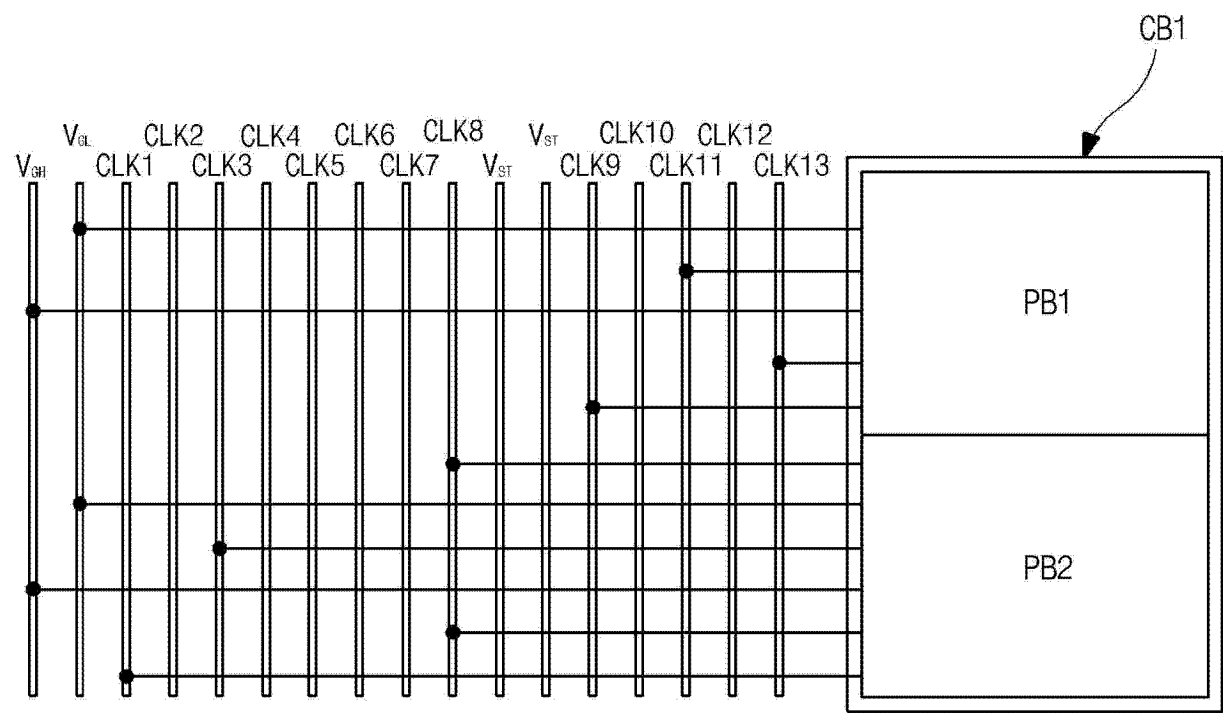


图 3

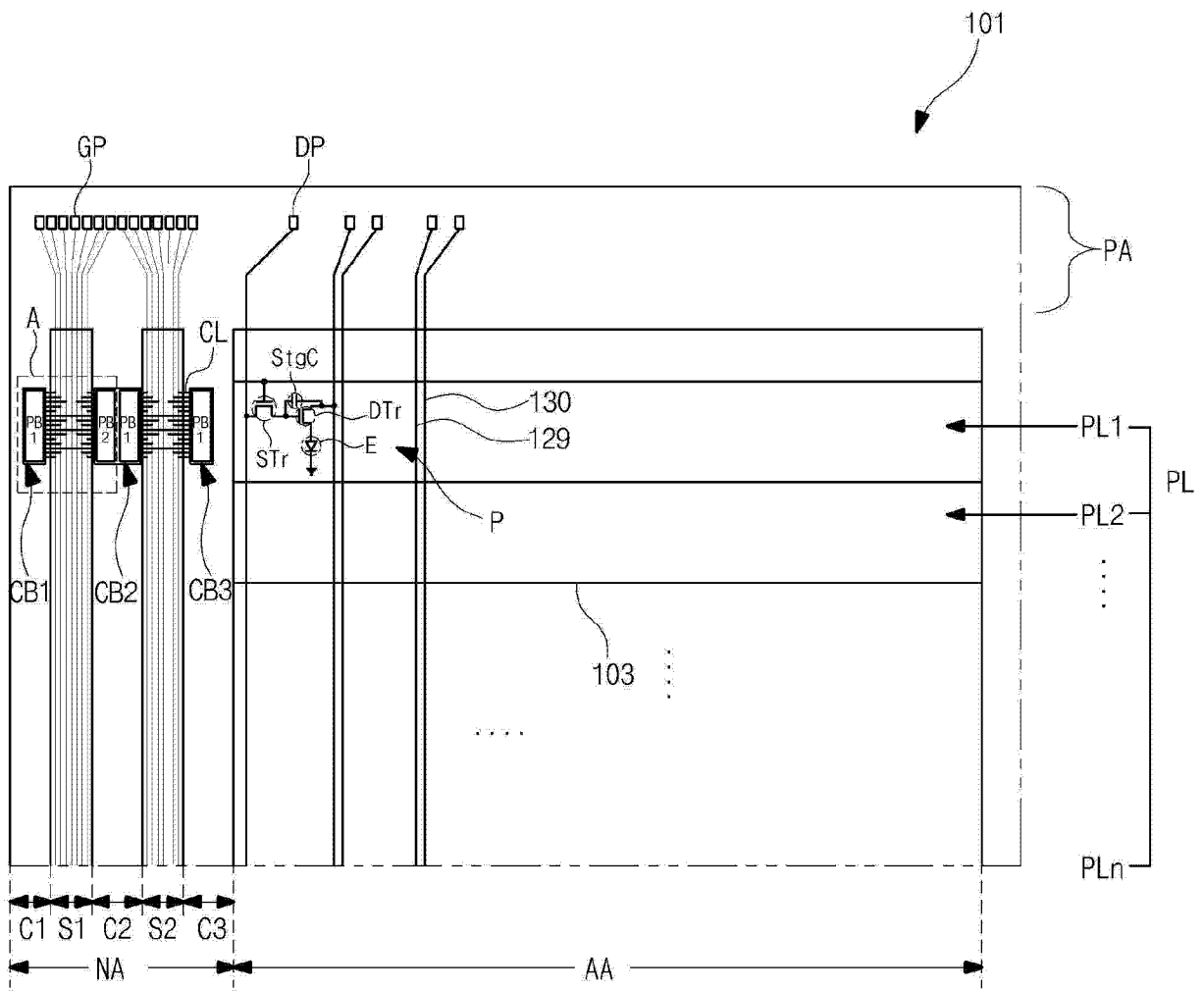


图 4

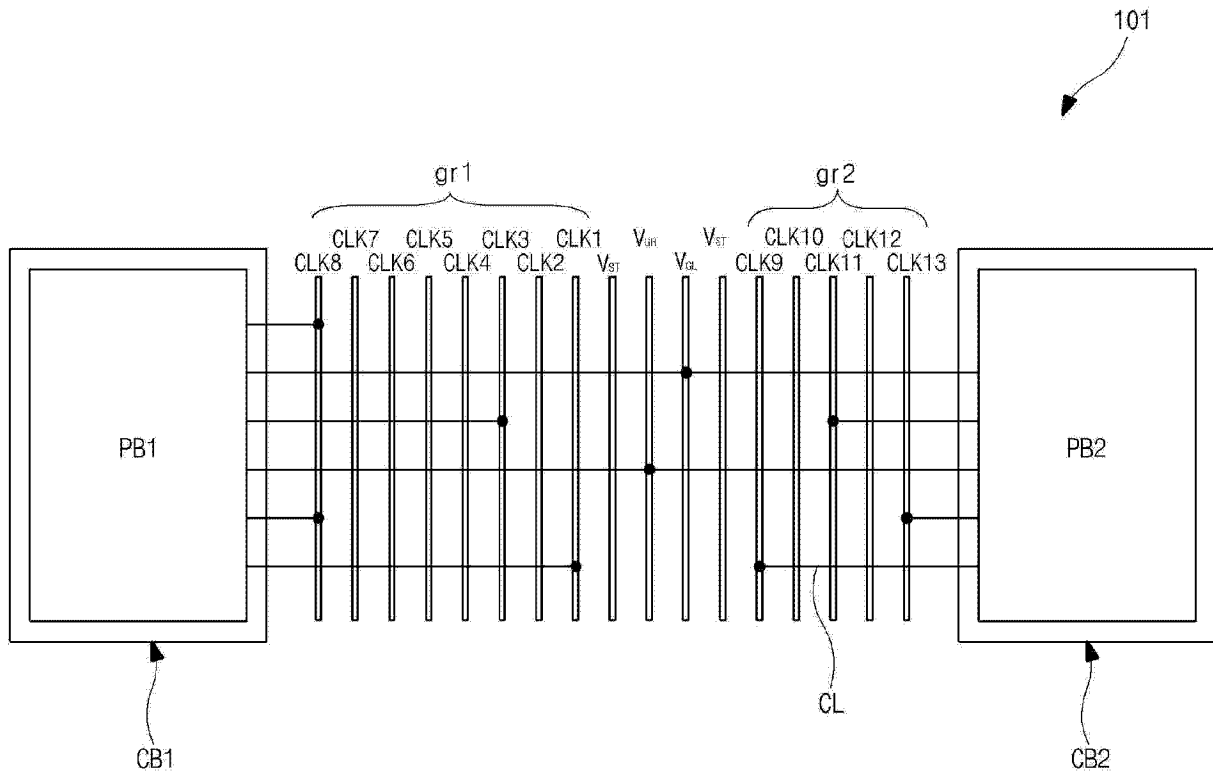


图 5

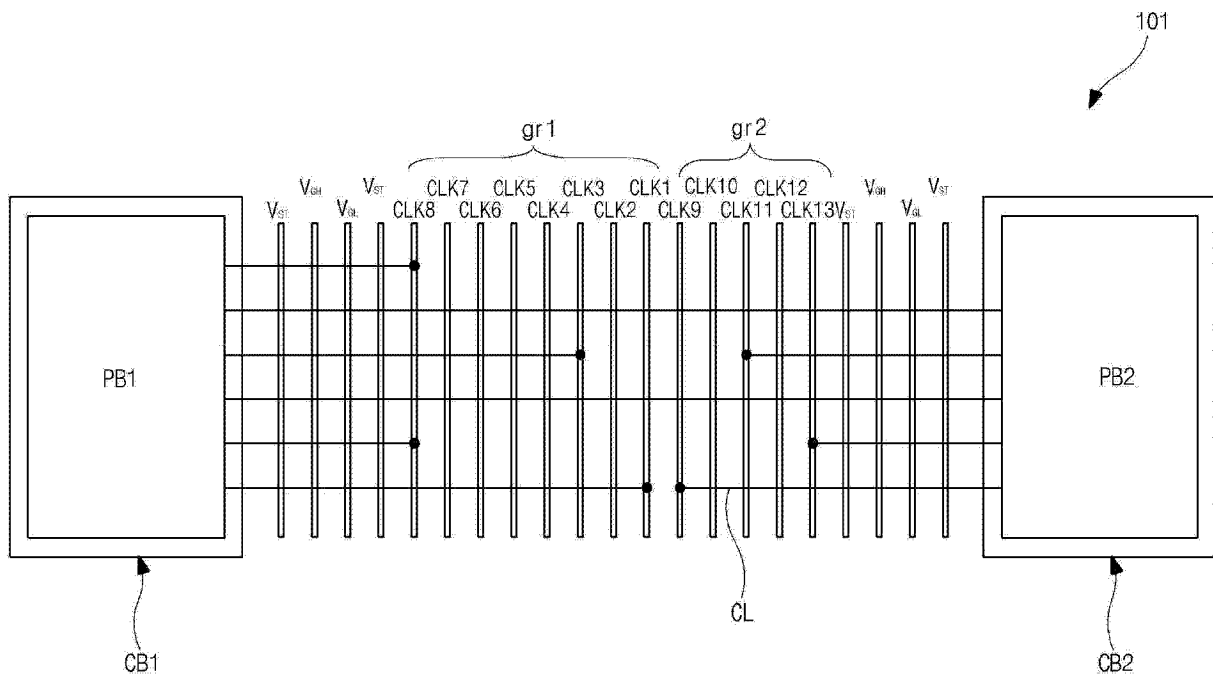


图 6

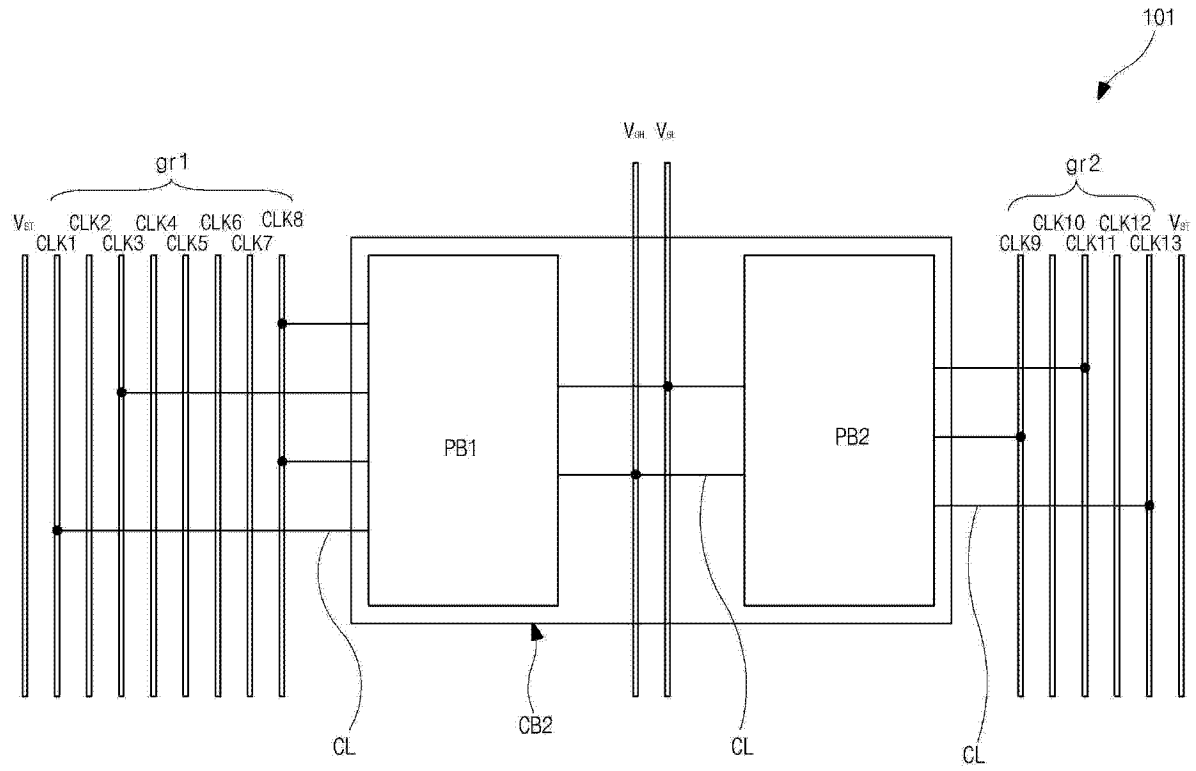


图 7

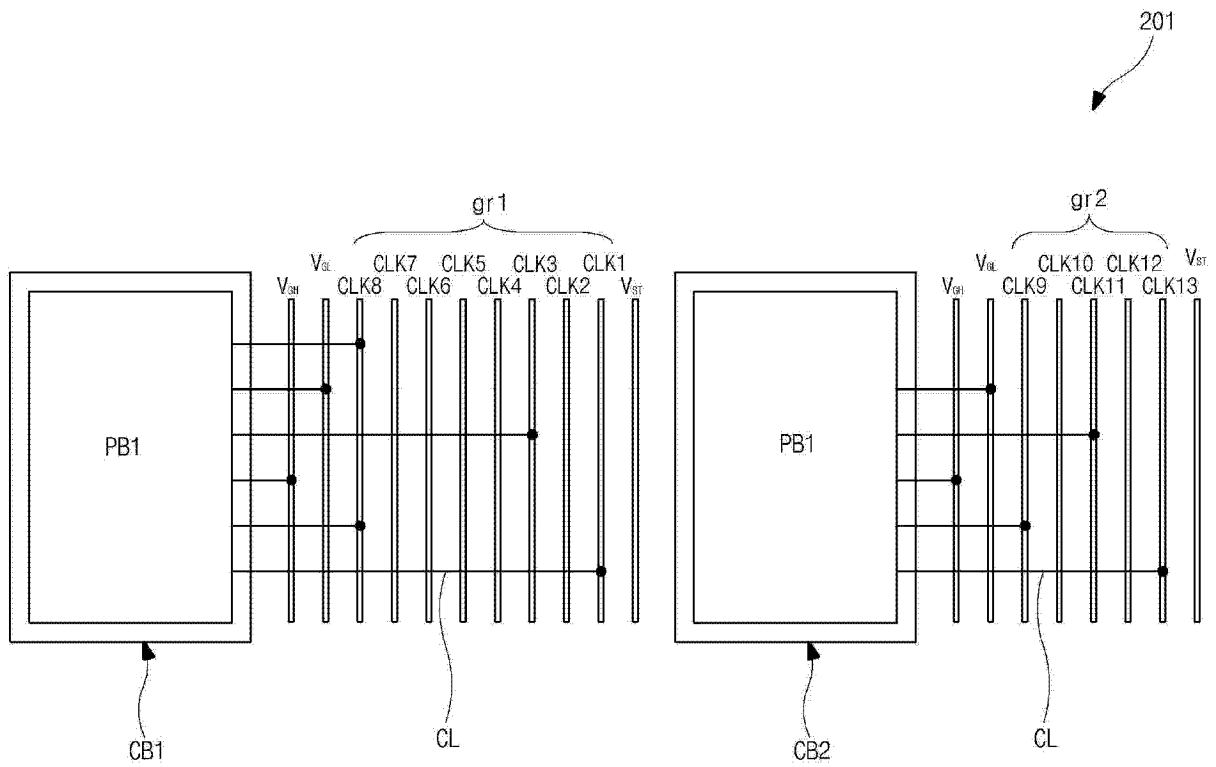


图 8

专利名称(译)	面板内栅极型有机发光二极管显示装置的阵列基板		
公开(公告)号	CN103107183B	公开(公告)日	2015-09-09
申请号	CN201210448114.3	申请日	2012-11-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔基敏 韩仁孝 韩成晚		
发明人	崔基敏 韩仁孝 韩成晚		
IPC分类号	H01L27/32 G09G3/32		
CPC分类号	G09G2300/0426 G09G2300/0408 G09G3/3266 G09G3/3233		
代理人(译)	徐金国		
审查员(译)	周辉辉		
优先权	1020110116683 2011-11-09 KR		
其他公开文献	CN103107183A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种面板内栅极型有机发光二极管显示装置的阵列基板。多个电路块形成在栅极电路单元上并被分离成多个像素行，在像素行中设置有各栅极线，并且多条时钟线形成在每个信号输入单元中。每个所述信号输入单元包括至少一个组。每个组包括多条时钟线。每个电路块包括沿着栅极线的长度方向在每个像素行中依次设置成一行的一个或两个局部电路块。每个局部电路块包含在与其最靠近的信号输入单元中并且通过多条第一连接线与形成在与其最靠近的一个组中的时钟线连接。

