



(12)实用新型专利

(10)授权公告号 CN 206574457 U

(45)授权公告日 2017. 10. 20

(21)申请号 201621465321.X

(22)申请日 2016.12.29

(73)专利权人 上海天马微电子有限公司
地址 201201 上海市浦东新区汇庆路888、889号

专利权人 天马微电子股份有限公司

(72)发明人 翟应腾 刘刚

(74)专利代理机构 北京品源专利代理有限公司
11332

代理人 孟金喆 胡彬

(51)Int.Cl.

G09G 3/3208(2016.01)

(ESM)同样的发明创造已同日申请发明专利

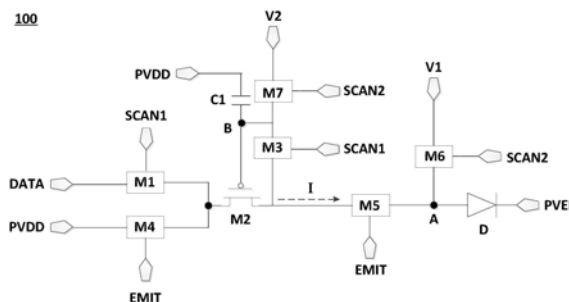
权利要求书4页 说明书16页 附图8页

(54)实用新型名称

一种像素驱动电路、像素阵列及有机发光显示面板

(57)摘要

本实用新型描述了一种像素驱动电路、像素阵列、驱动方法及有机发光显示面板。像素驱动电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管和第一电容，其中，第六晶体管用于响应第二扫描线信号而向所述发光元件传输具有第一电位的信号；第七晶体管用于响应所述第二扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号，所述第二电位大于所述第一电位。



1. 一种像素驱动电路,其特征在于,包括:
 - 第一晶体管,用于响应第一扫描线信号而传送数据信号电压;
 - 第二晶体管,用于根据通过所述第一晶体管传送的所述数据信号电压而生成驱动电流;
 - 第三晶体管,用于检测和自补偿所述第二晶体管的阈值电压偏差;
 - 第四晶体管,用于响应发光线信号而向所述第二晶体管传送第一电源电压;
 - 第五晶体管,用于响应所述发光线信号,将所述第二晶体管生成的所述驱动电流传输至发光元件,所述发光元件用于发出相应于所述驱动电流的光;
 - 第六晶体管,用于响应第二扫描线信号而向所述发光元件传输具有第一电位的信号;
 - 第七晶体管,用于响应所述第二扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号,所述第二电位大于所述第一电位;
 - 第一电容,用于存储传送到所述第二晶体管的所述数据信号电压。
2. 如权利要求1所述的像素驱动电路,其特征在于,所述第一电位的数值范围在-4.5V~-3.5V之间,包括端点值;所述第二电位的数值范围在-2.0V~1.0V之间,包括端点值。
3. 如权利要求1所述的像素驱动电路,其特征在于,所述第六晶体管的栅极电连接第二扫描线,所述第二扫描线用于传输所述第二扫描线信号;所述第六晶体管的第一极电连接参考信号线,所述参考信号线用于传输参考信号;所述第六晶体管的第二极电连接所述发光元件,所述具有第一电位的信号为通过所述第六晶体管的所述参考信号。
4. 如权利要求3所述的像素驱动电路,其特征在于,所述第六晶体管的第二极与所述发光元件的第一极直接相连。
5. 如权利要求3所述的像素驱动电路,其特征在于,所述第七晶体管的栅极电连接所述第二扫描线;所述第七晶体管的第一极电连接所述第六晶体管的第二极;所述第七晶体管的第二极电连接所述第二晶体管的栅极,所述具有第二电位的信号为通过所述第七晶体管的所述参考信号。
6. 如权利要求5所述的像素驱动电路,其特征在于,所述第七晶体管的第一极与所述第六晶体管的第二极直接相连。
7. 如权利要求1-4任一项所述的像素驱动电路,其特征在于,所述第七晶体管的栅极电连接所述第二扫描线;所述第七晶体管的第一极电连接附加参考信号线,所述附加参考信号线用于提供附加参考信号;所述第七晶体管的第二极电连接所述第二晶体管的栅极,所述具有第二电位的信号为通过所述第七晶体管的所述附加参考信号。
8. 如权利要求7所述的像素驱动电路,其特征在于,所述附加参考信号的电位大小与所述参考信号的电位大小相同。
9. 如权利要求8所述的像素驱动电路,其特征在于,所述第六晶体管的沟道宽长比大于所述第七晶体管的沟道宽长比。
10. 如权利要求9所述的像素驱动电路,其特征在于,所述第六晶体管的沟道宽长比为所述第七晶体管的沟道宽长比的6倍及以上。
11. 如权利要求8所述的像素驱动电路,其特征在于,所述第六晶体管的栅极的数量为P,所述第七晶体管的栅极的数量为Q,所述P和Q均为大于等于1的正整数,并且所述Q大于所述P。

12. 如权利要求11所述的像素驱动电路,其特征在于,P等于1,Q等于3。

13. 如权利要求1所述的像素驱动电路,其特征在于,还包括第二电容,所述第二电容的第一极电连接所述第一晶体管的栅极,所述第二电容的第二极电连接所述第二晶体管的栅极。

14. 如权利要求3所述的像素驱动电路,其特征在于,所述第一晶体管至所述第七晶体管均为P型晶体管,或者均为N型晶体管。

15. 如权利要求14所述的像素驱动电路,其特征在于,当所述第一晶体管至所述第七晶体管均为P型晶体管时,所述参考信号为低电位信号;当所述第一晶体管至所述第七晶体管均为N型晶体管时,所述参考信号为高电位信号。

16. 如权利要求1所述的像素驱动电路,其特征在于,所述第一晶体管的栅极电连接第一扫描线,所述第一扫描线用于传输所述第一扫描线信号;所述第一晶体管的第一极电连接数据信号线,所述数据信号线用于传输所述数据信号电压;所述第一晶体管的第二极电连接所述第二晶体管的第一极。

17. 如权利要求1所述的像素驱动电路,其特征在于,所述第二晶体管的栅极电连接所述第七晶体管的第二极;所述第二晶体管的第一极电连接所述第一晶体管的第二极;所述第二晶体管的第二极电连接所述第五晶体管的第一极。

18. 如权利要求1所述的像素驱动电路,其特征在于,所述第三晶体管的栅极电连接第一扫描线,所述第一扫描线用于传输所述第一扫描线信号;所述第三晶体管的第一极电连接所述第二晶体管的第二极;所述第三晶体管的第二极电连接所述第二晶体管的栅极。

19. 如权利要求1所述的像素驱动电路,其特征在于,所述第四晶体管的栅极电连接发光线,所述发光线用于传输所述发光线信号;所述第四晶体管的第一极电连接第一电源线,所述第一电源线用于传输所述第一电源电压;所述第四晶体管的第二极电连接所述第二晶体管的第一极。

20. 如权利要求1所述的像素驱动电路,其特征在于,所述第五晶体管的栅极电连接发光线,所述发光线用于传输所述发光线信号;所述第五晶体管的第一极电连接所述第二晶体管的第二极;所述第五晶体管的第二极电连接所述第六晶体管的第二极。

21. 如权利要求1所述的像素驱动电路,其特征在于,所述第一电容的第一极电连接第一电源线,所述第一电源线用于传输所述第一电源电压;所述第一电容的第二极电连接所述第二晶体管的栅极。

22. 一种像素阵列,其特征在于,包括多个像素驱动电路,所述多个像素驱动电路按照N行乘以M列的矩阵形式排布,所述N和M均为大于等于2的正整数,其中,位于第N行的像素驱动电路包括:

第一晶体管,用于响应第N行的扫描线信号而传送数据信号电压;

第二晶体管,用于根据通过所述第一晶体管传送的所述数据信号电压而生成驱动电流;

第三晶体管,用于检测和自补偿所述第二晶体管的阈值电压偏差;

第四晶体管,用于响应第N行的发光线信号而向所述第二晶体管传送第一电源电压;

第五晶体管,用于响应所述第N行的发光线信号,将所述第二晶体管生成的所述驱动电流传输至发光元件,所述发光元件用于发出相应于所述驱动电流的光;

第六晶体管,用于响应所述第N行的扫描线信号而向所述发光元件传输具有第一电位的信号;

第七晶体管,用于响应第N-1行的扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号,其中,在同一所述像素驱动电路中,所述第二电位大于所述第一电位;

第一电容,用于存储传送到所述第二晶体管的所述数据信号电压。

23.如权利要求22所述的像素阵列,其特征在于,所述第二电位与所述第一电位的电位差大于等于0.2V。

24.如权利要求22所述的像素阵列,其特征在于,所述第六晶体管的栅极电连接第N行的扫描线,所述第N行的扫描线用于传输所述第N行的扫描线信号;所述第六晶体管的第一极电连接参考信号线,所述参考信号线用于传输参考信号;所述第六晶体管的第二极电连接所述发光元件,所述具有第一电位的信号为通过所述第六晶体的所述参考信号。

25.如权利要求24所述的像素阵列,其特征在于,所述第六晶体管的第二极与所述发光元件的第一极直接相连。

26.如权利要求24所述的像素阵列,其特征在于,所述第七晶体管的栅极电连接第N-1行的扫描线,所述第N-1行的扫描线用于传输所述第N-1行的扫描线信号;所述第七晶体管的第一极电连接位于同一列上的第N-1行的像素驱动电路中的第六晶体管的第二极;所述第七晶体管的第二极电连接所述第二晶体管的栅极,所述具有第二电位的信号为通过所述第七晶体的所述参考信号。

27.如权利要求26所述的像素阵列,其特征在于,所述第七晶体管的第一极与位于同一列上的第N-1行的像素驱动电路中的第六晶体管的第二极直接相连。

28.如权利要求27所述的像素阵列,其特征在于,位于第N-1行的像素驱动电路中的第六晶体管的沟道宽长比大于位于第N行的像素驱动电路中的第七晶体管的沟道宽长比。

29.如权利要求28所述的像素阵列,其特征在于,位于第N-1行的像素驱动电路中的第六晶体管的沟道宽长比为所述位于第N行的像素驱动电路中的第七晶体管的沟道宽长比的6倍及以上。

30.如权利要求27所述的像素阵列,其特征在于,位于第N-1行的像素驱动电路中的第六晶体管的栅极的数量为P,位于第N行的像素驱动电路中的第七晶体管的栅极的数量为Q,所述P和Q均为大于等于1的正整数,并且所述Q大于所述P。

31.如权利要求30所述的像素阵列,其特征在于,P等于1,Q等于3。

32.如权利要求22所述的像素阵列,其特征在于,还包括第二电容,所述第二电容的第一极电连接所述第一晶体管的栅极,所述第二电容的第二极电连接所述第二晶体管的栅极。

33.如权利要求24所述的像素阵列,其特征在于,所述第一晶体管至所述第七晶体管均为P型晶体管,或者均为N型晶体管。

34.如权利要求33所述的像素阵列,其特征在于,当所述第一晶体管至所述第七晶体管均为P型晶体管时,所述参考信号为低电位信号;当所述第一晶体管至所述第七晶体管均为N型晶体管时,所述参考信号为高电位信号。

35.如权利要求22所述的像素阵列,其特征在于,所述第一晶体管的栅极电连接第一扫描线,所述第一扫描线用于传输所述第一扫描线信号;所述第一晶体管的第一极电连接数

据信号线,所述数据信号线用于传输所述数据信号电压;所述第一晶体管的第二极电连接所述第二晶体管的第一极。

36.如权利要求22所述的像素阵列,其特征在于,所述第二晶体管的栅极电连接所述第七晶体管的第二极;所述第二晶体管的第一极电连接所述第一晶体管的第二极;所述第二晶体管的第二极电连接所述第五晶体管的第一极。

37.如权利要求22所述的像素阵列,其特征在于,所述第三晶体管的栅极电连接第一扫描线,所述第一扫描线用于传输所述第一扫描线信号;所述第三晶体管的第一极电连接所述第二晶体管的第二极;所述第三晶体管的第二极电连接所述第二晶体管的栅极。

38.如权利要求22所述的像素阵列,其特征在于,所述第四晶体管的栅极电连接发光线,所述发光线用于传输所述发光线信号;所述第四晶体管的第一极电连接第一电源线,所述第一电源线用于传输所述第一电源电压;所述第四晶体管的第二极电连接所述第二晶体管的第一极。

39.如权利要求22所述的像素阵列其特征在于,所述第五晶体管的栅极电连接发光线,所述发光线用于传输所述发光线信号;所述第五晶体管的第一极电连接所述第二晶体管的第二极;所述第五晶体管的第二极电连接所述第六晶体管的第二极。

40.如权利要求22所述的像素阵列,其特征在于,所述第一电容的第一极电连接第一电源线,所述第一电源线用于传输所述第一电源电压;所述第一电容的第二极电连接所述第二晶体管的栅极。

41.一种有机发光显示面板,其特征在于,包括如权利要求22所述的像素阵列。

一种像素驱动电路、像素阵列及有机发光显示面板

技术领域

[0001] 本实用新型涉及显示技术领域，特别是涉及一种像素驱动电路、像素阵列及有机发光显示面板。

背景技术

[0002] 在显示技术中，有机发光二极管显示器(Organic Light Emitting Diode,OLED)以其轻薄、主动发光、快响应速度、广视角、色彩丰富及高亮度、低功耗、耐高低温等众多优点而被业界公认为是继液晶显示器(Liquid Crystal Display,LCD)之后的第三代显示技术。

[0003] 目前OLED显示器主要为电流控制型发光，发光均匀性受相应的电流控制。但是，由于OLED显示器各个像素的驱动晶体管的阈值电压随着时间的变化易发生漂移，使得在相同的数据信号下，流过OLED的电流发生偏差导致显示亮度不均。

[0004] 在实际产品应用现有技术优化的像素电路时，仍会产生OLED发光元件暗态不暗和驱动管阈值电压补偿不充分而产生mura的问题，现有技术就解决暗态不暗以及驱动管阈值电压补偿不充分的方案有很多，例如专利公开号为CN106097964A的实用新型专利申请，提出了一种象素电路及驱动方法，该象素电路既可以进行阈值电压补偿又可以减小漏电流以保证黑态时的高对比度(暗态不暗)。但该技术同时存在版图设计复杂、晶体管以及信号引线的数量较多的缺点。因此，如何寻找到一种既能有效解决暗态不暗和驱动管阈值电压补偿不充分，也不存在版图设计复杂的副作用是迫在眉睫的。

实用新型内容

[0005] 有鉴于此，本实用新型提供一种像素驱动电路、驱动方法及有机发光显示面板，以解决现有技术中因阈值电压漂移等原因造成显示不均的问题。

[0006] 一方面，本实用新型提供一种像素驱动电路，包括：第一晶体管，用于响应第一扫描线信号而传送数据信号电压；第二晶体管，用于根据通过所述第一晶体管传送的所述数据信号电压而生成驱动电流；第三晶体管，用于检测和自补偿所述第二晶体管的阈值电压偏差；第四晶体管，用于响应发光信号而向所述第二晶体管传送第一电源电压；第五晶体管，用于响应所述发光信号，将所述第二晶体管生成的所述驱动电流传输至发光元件，所述发光元件用于发出相应于所述驱动电流的光；第六晶体管，用于响应第二扫描线信号而向所述发光元件传输具有第一电位的信号；第七晶体管，用于响应所述第二扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号，所述第二电位大于所述第一电位；第一电容，用于存储传送到所述第二晶体管的所述数据信号电压。

[0007] 另一方面，本实用新型提供一种像素驱动电路的驱动方法，其特征在于，所述像素驱动电路包括：第一晶体管，用于响应第一扫描线信号而传送数据信号电压；第二晶体管，用于根据通过所述第一晶体管传送的所述数据信号电压而生成驱动电流；第三晶体管，用于检测和自补偿所述第二晶体管的阈值电压偏差；第四晶体管，用于响应发光信号而向

所述第二晶体管传送第一电源电压；第五晶体管，用于响应所述发光信号，将所述第二晶体管生成的所述驱动电流传输至发光元件，所述发光元件用于发出相应于所述驱动电流的光；第六晶体管，用于响应第二扫描线信号而向所述发光元件传输具有第一电位的信号；第七晶体管，用于响应所述第二扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号，所述第二电位大于所述第一电位；所述第二参考信号的电位大于所述第一参考信号的电位；第一电容，用于存储传送到所述第二晶体管的所述数据信号电压；所述驱动方法包括：

[0008] 初始化阶段，所述第六晶体管和所述第七晶体管均响应于所述第二扫描线信号而开启，通过所述第六晶体管向所述发光元件传输具有第一电位的信号，通过所述第七晶体管向所述第二晶体管的栅极传输具有第二电位的信号；

[0009] 数据写入阶段，所述第一晶体管和所述第三晶体管均响应于所述第一扫描线信号而开启，所述数据信号电压通过所述第一晶体管和所述第三晶体管向所述第二晶体管的栅极传输；

[0010] 发光阶段，所述第四晶体管和所述第五晶体管响应于所述发光信号而开启，通过所述第五晶体管向所述发光元件提供响应施加到所述第二晶体管的所述数据信号电压而生成的所述驱动电流，使得所述发光元件发光。

[0011] 再一方面，本实用新型提供一种像素阵列，其特征在于，包括多个像素驱动电路，所述多个像素驱动电路按照N行乘以M列的矩阵形式排布，所述N和M均为大于等于2的正整数，其中，位于第N行的像素驱动电路包括：第一晶体管，用于响应第N行的扫描线信号而传送数据信号电压；第二晶体管，用于根据通过所述第一晶体管传送的所述数据信号电压而生成驱动电流；第三晶体管，用于检测和自补偿所述第二晶体管的阈值电压偏差；第四晶体管，用于响应第N行的发光信号而向所述第二晶体管传送第一电源电压；第五晶体管，用于响应所述第N行的发光信号，将所述第二晶体管生成的所述驱动电流传输至发光元件，所述发光元件用于发出相应于所述驱动电流的光；第六晶体管，用于响应所述第N行的扫描线信号而向所述发光元件传输具有第一电位的信号；第七晶体管，用于响应第N-1行的扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号，其中，在同一所述像素驱动电路中，所述第二电位大于所述第一电位；第一电容，用于存储传送到所述第二晶体管的所述数据信号电压。

[0012] 又一方面，本实用新型提供一种像素阵列的驱动方法，其特征在于，所述像素阵列包括：多个像素驱动电路，所述多个像素驱动电路按照N行乘以M列的矩阵形式排布，所述N和M均为大于等于2的正整数，其中，位于第N行的像素驱动电路包括：第一晶体管，用于响应第N行的扫描线信号而传送数据信号电压；第二晶体管，用于根据通过所述第一晶体管传送的所述数据信号电压而生成驱动电流；第三晶体管，用于检测和自补偿所述第二晶体管的阈值电压偏差；第四晶体管，用于响应第N行的发光信号而向所述第二晶体管传送第一电源电压；第五晶体管，用于响应所述第N行的发光信号，将所述第二晶体管生成的所述驱动电流传输至发光元件，所述发光元件用于发出相应于所述驱动电流的光；第六晶体管，用于响应所述第N行的扫描线信号而向所述发光元件传输具有第一电位的信号；第七晶体管，用于响应第N-1行的扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号，其中，在同一所述像素驱动电路中，所述第二电位大于所述第一电位；第一电容，用于存储

传送到所述第二晶体管的所述数据信号电压。所述像素阵列的驱动方法包括：

[0013] 初始化阶段,所述第七晶体管响应于所述第N-1行的扫描线信号而开启,通过所述第七晶体管和位于同一列上的第N-1行的像素驱动电路中的第六晶体管向所述第二晶体管的栅极传输具有第二电位的信号;

[0014] 数据写入阶段,所述第一晶体管、所述第三晶体管和所述第六晶体管响应于所述第N行的扫描线信号而开启,所述数据信号电压通过所述第一晶体管和所述第三晶体管向所述第二晶体管的栅极传输;通过所述第六晶体管向所述发光元件传输具有第一电位的信号;

[0015] 发光阶段,所述第四晶体管和所述第五晶体管响应于所述第N行的发光线信号而开启,通过所述第五晶体管向所述发光元件提供响应施加到所述第二晶体管的所述数据信号电压而生成的所述驱动电流,使得所述发光元件发光。

[0016] 一方面,本实用新型提供一种有机发光显示面板,其特征在于,包括前述的像素阵列。

[0017] 本实用新型通过大量实验和劳动发现了一种能有效解决象素电路暗态不暗和阈值补偿不充分的技术难题,并且电路结构简单,节省版图面积。

附图说明

[0018] 为了更清楚地说明本实用新型实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0019] 图1为本实用新型实施例提供的一种像素驱动电路示意图;

[0020] 图2为本实用新型实施例提供的又一种像素驱动电路示意图;

[0021] 图3为本实用新型实施例提供的又一种像素驱动电路示意图;

[0022] 图4为本实用新型实施例提供的又一种像素驱动电路示意图;

[0023] 图5为本实用新型实施例提供的又一种像素驱动电路示意图;

[0024] 图6为本实用新型实施例提供的又一种像素驱动电路示意图;

[0025] 图7为本实用新型实施例提供的又一种像素驱动电路示意图;

[0026] 图8为本实用新型实施例提供的又一种像素驱动电路示意图;

[0027] 图9为本实用新型实施例提供的一种像素驱动电路的驱动方法;

[0028] 图10为本实用新型实施例提供又一种像素阵列示意图;

[0029] 图11为图10所示像素阵列中的虚线框的放大图;

[0030] 图12为本实用新型实施例提供的一种像素阵列的驱动方法;

[0031] 图13为本实用新型实施例提出的一种有机发光显示面板。

具体实施方式

[0032] 为使本实用新型的上述目的、特征和优点能够更为明显易懂,下面将结合附图和实施例对本实用新型做进一步说明。

[0033] 本实用新型人通过在像素电路领域的大量实验和研究发现,在像素驱动电路对驱动

管(例如图4中的第二晶体管M2)进行阈值补偿的阶段,对驱动管栅极进行补偿的电压的电位(例如图4中的第二电位V2)必须低于数据信号电压(例如图4中的DATA),并且其与驱动管的阈值电压的差值需要大于驱动管的阈值电压。在满足以上条件的基础上,对驱动管栅极进行补偿的电压与数据信号电压越接近越能得到好的补偿效果,如果二者之间的电位大小相差越大,会因补偿不充分而产生mura。因此,实用新型人在通常的工艺条件下进行大量实验,确认了,对驱动管栅极进行补偿的电压既要满足像素驱动电路的限制条件,不能过高,同时也需要尽量接近数据信号电压电压,不能过低,最终确认,对驱动管栅极进行补偿的电压设在 $-2V\sim 1V$ 较为合适(纯P型晶体管构成的像素驱动电路)。此外,本实用新型在像素驱动电路进行发光前,一般需要对电路中的发光二极管的阳极进行重置(复位),使得在非发光阶段,发光二极管的阳极与阴极的电位差远小于发光二极管的启亮电压(启亮电压为发光二极管发光时的电压)。实用新型人通过实验发现,发光二极管在阴极和阳极之间存在寄生电容,在发光阶段显示黑画面时,即使驱动管(例如图4中的第二晶体管M2)有漏电,在发光阶段的黑画面也不会发光。一般的,对于阳极进行重置(复位)的电压大小的选择是越低越好。但实用新型人在实际试验研究中发现,对电路中的发光二极管的阳极进行重置除了要让重置电压越低越好,还需要考虑到显示器的充电信号的充电功耗、IC的耐压能力、重置晶体管(例如图4中的第六晶体管M6)漏电所产生的额外电流以及不同像素具体设计因素(例如发光二极管寄生电容的大小,与漏流相关的驱动管宽度等因素),因此需要将发光二极管的阳极重置的电压设定在一个比较合理的范围,使得在黑画面发光时段内。发光二极管的阳极电压不会被驱动管漏流充电至起亮电压,也不会过低增加显示器功耗。实用新型人通过对不同型号的有机发光显示面板进行实验,最终确定,对发光二极管的阳极重置的电压设定在 $-3.5\sim -4.5V$ 较为合适(纯P型晶体管构成的像素驱动电路)。

[0034] 因此,实用新型人通过上述两方面的研究发现,得出设计:对驱动管的栅极初始化的电位(第二电位)大于对发光二极管OLED的阳极输入的电位(第一电位),能够实现对同一个像素驱动电路中的两个重要节点分别进行最优的初始化,解决前述诸多技术难题。

[0035] 具体实现上述技术效果的像素驱动电路请参见下述实施例的方案。

[0036] 图1所示为本实用新型实施例提供的一种像素驱动电路100,像素驱动电路100具体包括:第一晶体管M1,第一晶体管M1用于响应第一扫描线信号SCAN1而传送数据信号电压DATA;第二晶体管M2,用于根据通过第一晶体管M1传送的数据信号电压DATA而生成驱动电流I;第三晶体管M3,用于检测和自补偿第二晶体管M2的阈值电压偏差;第四晶体管M4,用于响应发光信号EMIT而向第二晶体管M2传送第一电源电压VDD;第五晶体管M5,用于响应发光信号EMIT,将第二晶体管M2生成的驱动电流I传输至发光元件D,发光元件D用于发出相应于驱动电流I的光;第六晶体管M6,用于响应第二扫描线信号SCAN2而向发光元件D传输具有第一电位的信号V1;第七晶体管M7,用于响应第二扫描线信号SCAN2而向第二晶体管M2的栅极传输具有第二电位的信号V2,其中,第二电位大于第一电位;第一电容C1,用于存储传送到第二晶体管M2的数据信号电压DATA。

[0037] 对于图1所示的实施例而言,信号V1和信号V2均代表了一种电信号,该电信号从信号源输出时可以具有任意大小的电位,在本实施例中不做任何限定,只需要保证:当信号V1通过第六晶体管M6传输至发光元件D时,即信号V1通过第六晶体管M6传输至节点A时,信号V1的电位数值大小为第一电位 v_1 ,当信号V2通过第七晶体管M7传输至第二晶体管M2的栅极

时,即信号V1通过第七晶体管M7传输至节点B时,信号第V2的电位数值大小为第二电位v2,并且,第二电位v2大于第一电位v1。其中,节点A为第六晶体管M6的信号输出端与发光元件D的输入端(发光元件D为OLED元件时,其输入端为阳极)的电连接的节点,节点B为第七晶体管M7的信号输出端与第二晶体管M2的栅极的电连接的节点。

[0038] 对于图1所示的实施例而言,第二晶体管M2为P型晶体管,但是并不对其晶体管的类型做限定,具体的,第一晶体管M1~第七晶体管M7可以均同时为P型晶体管,也可以均同时为N型晶体管,或者一部分为P型晶体管、一部分为N型晶体管。当第一晶体管M1~第七晶体管M7均同时为P型晶体管的情况下,第一晶体管M1~第七晶体管M7的信号输入端一般为源极,其信号输出端一般为漏极,此种情况下,信号V1和信号V2均为低电位信号;当第一晶体管M1~第七晶体管M7均同时为N型晶体管的情况下,第一晶体管M1~第七晶体管M7的信号输入端一般为漏极,其信号输出端一般为源极,此种情况下,信号V1和信号V2均为高电位信号。

[0039] 图2所示为本实用新型实施例提供的又一种像素驱动电路101,像素驱动电路101与图1所示的实用新型实施例的像素驱动电路100的相同之处较多,在此处不再赘述,可以参考前述内容,此处仅重点描述两个实用新型实施例之间的区别点。

[0040] 在图2实施例给出的像素驱动电路101中,第六晶体管M6的栅极电连接第二扫描线,第二扫描线用于传输第二扫描线信号SCAN2,第六晶体管M6的第一极(输入端)电连接参考信号线,参考信号线用于传输参考信号REF,第六晶体管M6的第二极(输出端)电连接发光元件D,第六晶体管M6用于响应第二扫描线信号SCAN2而向发光元件D传输具有第一电位的参考信号 REF。第七晶体管M7,用于响应第二扫描线信号SCAN2而向第二晶体管M2的栅极传输具有第二电位的信号V2,其中,第二电位大于第一电位。

[0041] 对于图2所示的实施例而言,参考信号REF仅代表了一种电信号,该电信号可以具有任意大小的电位,在本实施例中不做任何限定,只需要保证:当参考信号REF通过第六晶体管M6传输至发光元件D时,即参考信号REF通过第六晶体管M6传输至节点A时,参考信号REF的电位数值大小为第一电位v1,当信号V2通过第七晶体管M7传输至第二晶体管M2的栅极时,即信号V2通过第七晶体管M7传输至节点B时,信号V2的电位数值大小为第二电位v2,第二电位v2大于第一电位v1。

[0042] 需要说明的是,对于图2所示的实施例的像素驱动电路101,第六晶体管M6的第二极(输出端)电连接发光元件D的方式可以为直接相连,即第六晶体管M6的第二极(输出端)与发光元件D的输入端(发光元件为OLED发光元件时,其输入端为阳极)为直接相连;也可以为非直接相连,例如在两个连接点之间还包括了除连接导线之外的其他元件或者器件等等,只要保证:当参考信号REF通过第六晶体管M6传输至发光元件D时,即参考信号REF通过第六晶体管M6传输至节点A时,参考信号REF的电位数值大小为第一电位v1,第二电位v2大于第一电位v1即可。

[0043] 图3所示为本实用新型实施例提供的又一种像素驱动电路102,像素驱动电路102与图1和图2所示的实用新型实施例的像素驱动电路的相同之处较多,此处不再赘述,可以参考前述内容,此处仅重点描述与图2所示的像素驱动电路101之间的区别点(其中,部分内容也可以理解为与图1区别):

[0044] 第七晶体管M7的栅极电连接第二扫描线,第二扫描线用于传输第二扫描线信号

SCAN2,第七晶体管M7的输入端电连接附加参考信号线,附加参考信号线用于提供附加参考信号V3;第七晶体管M7的第二极电连接第二晶体管M2的栅极。对于图3所示的实施例而言,附加参考信号V3仅代表了一种信号,该信号可以具有任意大小的电位,在本实施例中不做任何限定,只需要保证:当参考信号REF通过第六晶体管M6传输至发光元件D时,即参考信号REF通过第六晶体管M6传输至节点A时,参考信号REF的电位数值大小为第一电位 v_1 ,同时,当附加参考信号V3通过第七晶体管M7传输至第二晶体管M2的栅极时,即附加参考信号V3通过第七晶体管M7传输至节点B时,附加参考信号V3的电位数值大小为第二电位 v_2 ,第二电位 v_2 大于第一电位 v_1 。

[0045] 需要说明的是,对于图3所示的实施例的像素驱动电路102,第七晶体管M7的第一极(输入端)可以直接电连接一信号源,该信号源输出一附加参考信号V3,或者,第七晶体管M7的第一极(输入端)与信号源为非直接相连,例如在两个连接点之间还包括了除连接导线之外的其他元件或者器件等等,同样的,第六晶体管M6的第一极可以直接电连接一信号源,该信号源输出一参考信号REF,或者,第六晶体管M6的第一极(输入端)与信号源为非直接相连,例如在两个连接点之间还包括了除连接导线之外的其他元件或者器件等等,只要保证:当附加参考信号V3通过第七晶体管M7传输至第二晶体管M2的栅极时,即附加参考信号V3通过第七晶体管M7传输至节点B时,附加参考信号V3的电位数值大小为第二电位 v_2 ,参考信号REF通过第六晶体管M6传输至节点A时,参考信号REF的电位数值大小为第一电位 v_1 ,第二电位 v_2 大于第一电位 v_1 。具体的,可以设置第六晶体管M6和第七晶体管M7的结构完全相同(沟道宽长比、分立的栅极的数量相同),附加参考信号线与参考信号线为两条单独存在的信号线,分别通过参考信号线向节点A传输参考信号REF、通过附加参考信号线向节点B传输附加参考信号V3,再通过设置附加参考信号V3的初始电位值大于参考信号REF的初始电位值,通过这样的设计,即可以实现第二电位 v_2 大于第一电位 v_1 。

[0046] 对于本实用新型,实用新型人通过实验进一步研究了第六晶体管M6的沟道宽长比和第七晶体管M7的沟道宽长比,以及,第六晶体管M6的栅极(分立的栅极)的数量和第七晶体管M7的栅极(分立的栅极)的数量对第二电位 v_2 和第一电位 v_1 的影响,参见如下表1。在表1中,实用新型人重点对10组数据进行了模拟、仿真,每组数据分别包括:第六晶体管分立栅极的数量P、第七晶体管分立栅极的数量Q、第七晶体管的沟道宽长比 $W(\mu\text{m})/L(\mu\text{m})$ 、参考信号REF的电位 $V_{\text{REF}}(\text{V})$ 、信号充电时间(μs)、节点B电位(V)和空余空间占比(%)。需要说明的是,在实验过程中,实用新型人固定了第六晶体管M6分立栅极的数量 $P=1$ 、参考信号REF的电位 $V_{\text{REF}}=-4\text{V}$ 、信号充电时间 $=3\mu\text{s}$ 。

[0047] 表1第七晶体管M7的不同沟道宽长比 W/L 、不同分立栅极数量Q对节点B电位和空余空间占比的影响

	P	Q	W(um)/L(um)	VREF(V)	充电时间 (us)	节点 B 电 位(V)	空余空间 占比(%)
[0048]	1	1	3/4	-4	3	-3.7	33
	1	4	3/4	-4	3	-3.4	133
	1	1	3/24	-4	3	-3.4	99
	1	2	3/4	-4	3	-3.6	66
	1	5	3/4	-4	3	-3.4	142
	1	1	3/14	-4	3	-3.6	66
	1	1	3/40	-4	3	-3.3	133
	1	2	3/40	-4	3	-3.9	139
	1	3	3/4	-4	3	-3.5	99
	1	1	3/34	-4	3	-3.2	133

[0049] 实用新型人在处理表1中的数据时发现,不同的第七晶体管M7分立的栅极的数量Q以及不同第七晶体管M7的沟道宽长比对节点B电位(第二电位v2)的影响较大,同时,以每一个像素驱动电路包括七个晶体管和一个电容的设计为例,不同的第七晶体管M7分立的栅极的数量Q以及不同第七晶体管M7的沟道宽长比还影响着整个显示面板的空余空间占比。并且,实用新型人注意到,当第六晶体管M6分立栅极的数量P=1、第七晶体管M7分立栅极的数量Q=1、第七晶体管M7沟道宽长比W/L等于3/24时,节点B电位为-3.4V,空余空间占比接近100%,这组数据相较于其它数据,在保证节点B电位相对较高的基础上,还能够最大的利用空余空间占比,属于实用新型人想要的最佳设计。另外,实用新型人还注意到,当第六晶体管M6分立栅极的数量P=1、第七晶体管M7分立栅极的数量Q=3、第七晶体管M7沟道宽长比W/L等于3/4时,节点B电位为-3.5V,空余空间占比接近100%,这组数据相较于其它数据,在保证节点B电位相对较高的基础上,也同样能够最大的利用空余空间占比,属于实用新型人想要的另一种最佳设计。

[0050] 实用新型人还注意到,在表1中存在空余空间占比超过100%的设计方案,这意味着,对于一固定大小的显示面板,不能再增加像素(晶体的数量),而只能选择增大晶体的尺寸,这将导致PPI的降低,这是实用新型人所不希望看到的。在整理数据时实用新型人惊喜的发现,透过数据组(1)、(6)、(3)、(10),随着第七晶体管M7沟道宽长比的减小,节点B的电位(第二电位v2)越大,越有利于前述实施例中提到的解决补偿不充分的问题,但是,当第七晶体管M7沟道宽长比大于3/24时,空余空间占比大于100%,这将导致PPI的降低。因此,优选的,第七晶体管M7沟道宽长比为3/24最佳,也即第六晶体管M6沟道宽长比与第七晶体管M7沟道宽长比的比值接近6/1为最佳设计,这种最佳设计的结果是,更好的改善第一电位v1和第二电位v2的数值大小,还能够改善整个显示面板的空余空间占比。同时,透过数据组(1)、(4)、(9)、(2),实用新型人还确定,随着第七晶体管M7分立栅极的数量Q的增多,节点B的电位(第二电位v2)越大,越有利于前述实施例中提到的解决补偿不充分的问题,但是,当第七晶体管M7分立栅极的数量Q大于3时,空余空间占比大于100%,这将导致PPI的降低。因此,优选的,第七晶体管M7分立栅极的数量Q为3最佳,这种最佳设计的结果是,更好的改善第一电位v1和第二电位v2的数值大小,还能够改善整个显示面板的空余空间占比。

[0051] 通过采用这样的设计,在保证对像素驱动电路完成阈值补偿的同时,可以实现对

整个像素驱动电路完成节点初始化,改善暗态不暗的问题,改善补偿不充分的问题,并且这种改善方式没有过多的设置晶体管的数量以及信号线的数量,能够达到节省版图面积的目的。

[0052] 图4所示为本实用新型实施例提供的又一种像素驱动电路103,像素驱动电路103与图3所示的实用新型实施例的像素驱动电路的相同之处较多,此处不再赘述,可以参考前述内容,此处仅重点描述与图3所示的像素驱动电路102之间的区别点。

[0053] 第七晶体管M7的栅极电连接第二扫描线,第二扫描线用于传输第二扫描线信号SCAN2,第七晶体管M7的第一极(输入端)电连接第六晶体管M6的第一极,第七晶体管M7的第二极电连接第二晶体管M2的栅极。对于图4所示的实施例而言,参考信号REF仅代表了一种信号,该信号可以具有任意大小的电位,在本实施例中不做任何限定,只需要保证:当参考信号REF通过第六晶体管M6传输至发光元件D时,即参考信号REF通过第六晶体管M6传输至节点A时,参考信号REF的电位数值大小为第一电位 v_1 ,同时,当参考信号REF通过第七晶体管M7传输至第二晶体管M2的栅极时,即参考信号REF通过第七晶体管M7传输至节点B时,参考信号REF的电位数值大小为第二电位 v_2 ,第二电位 v_2 大于第一电位 v_1 。具体的,本实施例中与图3所示的实施例不同的地方在于:采用一条参考信号线同时对第六晶体管M6和第七晶体管M7提供信号,节省了版图面积,同时,为了达到第二电位 v_2 大于第一电位 v_1 的目的,可以通过将第六晶体管M6和第七晶体管M7设置为不同的结构,具体方式如下:

[0054] 在图4所示实施例中,为了实现第二电位 v_2 大于第一电位 v_1 ,一种可选的方案是,通过设计第六晶体管M6的沟道宽长比大于第七晶体管M7的沟道宽长比,实用新型人实验发现,沟道宽长比较大的晶体管,其驱动能力相对较强,因此,相同初始电位的参考信号REF(以纯P型晶体管电路、参考信号为低电位信号为例)在经过第六晶体管M6之后,较强的驱动能力使得参考信号在单位时间内能更容易的传输至节点A,因此第一电位 v_1 的电位越接近初始参考信号REF的低电位;而初始电位的参考信号REF在经过较弱驱动能力第七晶体管M7管之后,较弱的驱动能力使得参考信号在单位时间内能更难于传输至节点B,因此第二电位 v_2 的电位值越不接近初始参考信号REF的低电位,第二电位 v_2 大于第一电位 v_1 。例如,在上一帧的发光阶段结束后,节点A的电位高于参考信号REF的初始电位,参考信号REF的初始电位为-3.0V左右,经过驱动能力较强的第六晶体管M6后,在节点A的第一电位 v_1 为-2.0V左右,而经过驱动能力较弱的第七晶体管M7后,在节点B的第二电位 v_2 为-1.0V左右,因此,第二电位 v_2 大于第一电位 v_1 。

[0055] 在图4所示实施例中,为了实现第二电位 v_2 大于第一电位 v_1 ,另一种可选的方案是,通过设计第六晶体管M6的栅极(分立的栅极)的数量为P,第七晶体管M7的栅极(分立的栅极)的数量为Q,P和Q均为大于等于1的正整数,并且Q大于P。例如,可以如图5所示本实用新型实施例的一种像素驱动电路1031,P=1,Q=2。实用新型人实验发现,将一个晶体管中栅极的数量设置为多个时,随着栅极数量的增多,晶体管的驱动能力减弱,即,对于一相同的初始电位的参考信号REF,经过了栅极数量相对较少的第六晶体管M6后到达节点A的第一电位 v_1 小于经过了栅极数量相对较多的第七晶体管M7后到达节点B的第二电位 v_2 。例如,在上一帧的发光阶段结束后,节点A的电位高于参考信号REF的初始电位,参考信号REF的初始电位为-3.0V左右,经过栅极数量较少的第六晶体管M6后,在节点A的第一电位 v_1 为-2.0V左右,而经过栅极数量较多的第七晶体管M7后,在节点B的第二电位 v_2 为-1.0V左右,因此,第

二电位 v_2 大于第一电位 v_1 。

[0056] 图6所示为本实用新型实施例提供的又一种像素驱动电路104,像素驱动电路104与图1、图2、图3和图4所示的实用新型实施例的像素驱动电路的相同之处较多,此处不再赘述,可以参考前述内容,此处仅重点描述与前述像素驱动电路102、103之间的区别点。

[0057] 图6中第七晶体管M7的栅极电连接第二扫描线,第二扫描线用于传输第二扫描线信号SCAN2,第七晶体管M7的(输入端)电连接第六晶体管M6的第二极(输出端),二者电连接于节点A,第七晶体管M7的第二极电连接第二晶体管M2的栅极。对于图6所示的实施例而言,参考信号REF仅代表了一种信号,该信号可以具有任意大小的电位,在本实施例中不做任何限定,只需要保证:当参考信号REF通过第六晶体管M6传输至发光元件D时,即参考信号REF通过第六晶体管M6传输至节点A时,参考信号REF的电位数值大小为第一电位 v_1 ,该具有第一电位 v_1 的参考信号REF再通过第七晶体管M7传输至第二晶体管M2的栅极,即具有第一电位 v_1 的参考信号REF通过第七晶体管M7传输至节点B,参考信号REF的电位大小从第一电位 v_1 变为第二电位 v_2 ,第二电位 v_2 大于第一电位 v_1 。

[0058] 对于图6所示的实施例的像素驱动电路104,第二电位 v_2 大于第一电位 v_1 的原因在此进行解释:参考信号REF(初始电位大小不限定)经过第六晶体管M6传输至节点A,由于信号在传输至节点A之前经过了一个晶体管,由于晶体管本身的存在(可以被视作为一个具有一定阻抗的元件或者器件)以及晶体管自身驱动能力等原因使得信号在到达节点A之后相较于未经过晶体管之前,电位发生了变化,变为第一电位 v_1 。进一步的,参考信号REF在到达节点A后又继续经过第七晶体管M7传输至节点B,电位再一次发生了变化,此时的电位从第一电位 v_1 变为第二电位 v_2 。以图6中第六晶体管M6和第六晶体管M7均为P型晶体管为例,在上一帧的发光阶段结束后,节点A的电位高于参考信号REF的初始电位,参考信号REF初始为一任意大小的低电位信号,经过第六晶体管M6后到达节点A时需要经过一个晶体管变为第一电位 v_1 ,再到达节点B时,该参考信号REF一共经过两个晶体管,因此,虽然是相同的信号,但是在两个节点处的电位大小完全不同,即第二电位 v_2 大于第一电位 v_1 。

[0059] 通过采用这样的设计,在保证对像素驱动电路完成阈值补偿的同时,可以实现对整个像素驱动电路中发光元件的阳极和驱动晶体管的栅极完成不同节点的不同电位大小的初始化,改善亮态不亮、暗态不暗的问题,并且这种改善方式相较于前述实施例,只需要通过设计一条参考信号线,因此能进一步达到节省版图面积的目的。即,图6所示的实施例相较于图3所示的实施例的进一步的好处在于:图3实施例可以通过设置两条信号线(一条参考信号线,一条附加参考信号线),以实现传输初始电位不同的两个信号,从而在节点A的电位比在节点B的电位更低。而图6所示实施例只设计了一条参考信号线,利用信号先经过第六晶体管、再经过第七晶体管,从而实现在节点A的电位比在节点B的电位更低,达到解决前述问题的同时进一步节省版图面积。

[0060] 需要说明的是,对于图6所示的实施例,并不对第一晶体管M1至第七晶体管M7的沟道宽长比以及每个晶体管分立的栅极的数量进行限定,可以任意调整,只要保证,当参考信号REF通过第六晶体管M6传输至发光元件D时,即参考信号REF通过第六晶体管M6传输至节点A时,参考信号REF的电位数值大小为第一电位 v_1 ,该具有第一电位 v_1 的参考信号REF再通过第七晶体管M7传输至第二晶体管M2的栅极时,即具有第一电位 v_1 的参考信号REF通过第七晶体管M7传输至节点B时参考信号REF的电位大小从第一电位 v_1 变为第二电位 v_2 ,第二电

位 v_2 大于第一电位 v_1 即可。

[0061] 可以理解的是,对于图6所示的实施例,也可以对第一晶体管M1至第七晶体管M7的沟道宽长比以及每个晶体管分立的栅极的数量进行额外设置,尤其是对第六晶体管M6和第七晶体管M7,具体的,可以参考图4和图5所对应的实施例,在将电路的结构设计为图6中像素驱动电路104的基础上,再将第六晶体管M6的沟道宽长比大于第七晶体管的沟道宽长比,或者将第六晶体管M6的栅极(分立的栅极)的数量为P,第七晶体管M7的栅极(分立的栅极)的数量为Q,P和Q均为大于等于1的正整数,并且Q大于P。可以进一步的实现第二电位 v_2 大于第一电位 v_1 。具体的设计方式,可以参考前述内容,此处不再赘述。

[0062] 图7示为本实用新型实施例提供的又一种像素驱动电路105,像素驱动电路105与前述诸多实用新型实施例的像素驱动电路的相同之处较多,此处不再赘述,可以参考前述内容,此处仅重点描述与前述像素驱动电路105之间的区别点。

[0063] 具体的,像素驱动电路105还包括第二电容C2,第二电容C2的第一极电连接第一晶体管的栅极(信号控制端),第二电容C2的第二极电连接第二晶体管M2的栅极。

[0064] 可以理解的是,对于图7实施例中第二电容的设计方式,同样适用于图1至图6任一实施例中的电路结构,在此处不再赘述。

[0065] 图8所示为本实用新型实施例提供的又一种像素驱动电路106,像素驱动电路106,包括:第一晶体管M1至第七晶体管M7,第一晶体管M1的栅极电连接第一扫描线,第一扫描线用于传输第一扫描线信号SCAN1,第一晶体管M1的第一极电连接数据信号线,数据信号线用于传输数据信号电压DATA;第一晶体管M1的第二极电连接第二晶体管M2的第一极。第二晶体管M2的栅极电连接第七晶体管M7的第二极,第二晶体管M2的第一极电连接第一晶体管M1的第二极,第二晶体管M2的第二极电连接第五晶体管M5的第一极。第三晶体管M3的栅极电连接第一扫描线,第一扫描线用于传输第一扫描线信号SCAN1;第三晶体管M3的第一极电连接第二晶体管M2的第二极,第三晶体管M3的第二极电连接第二晶体管M2的栅极。第四晶体管M4的栅极电连接发光线,所述发光线用于传输所述发光线信号EMIT;第四晶体管M4的第一极电连接第一电源线,第一电源线用于传输所述第一电源电压PVDD;第四晶体管M4的第二极电连接第二晶体管的第一极。第五晶体管M5的栅极电连接发光线,发光线用于传输所述发光线信号EMIT,第五晶体管M5的第一极电连接第二晶体管M2的第二极,第五晶体管M5的第二极电连接第六晶体管M6的第二极。第一电容C1的第一极电连接第一电源线,第一电源线用于传输第一电源电压PVDD,第一电容C1的第二极电连接第二晶体管M2的栅极。第六晶体管M6的栅极电连接第二扫描线,第二扫描线用于传输第二扫描线信号SCAN2,第六晶体管M6的第一极(输入端)电连接参考信号线,参考信号线用于传输参考信号REF,第六晶体管M6的第二极(输出端)电连接发光元件D,第六晶体管M6用于响应第二扫描线信号SCAN2而向发光元件D传输具有第一电位的参考信号REF。第七晶体管M7的栅极电连接第二扫描线,第二扫描线用于传输第二扫描线信号SCAN2,第七晶体管M7的(输入端)电连接第六晶体管M6的第二极(输出端),二者电连接于节点A,第七晶体管M7的第二极电连接第二晶体管M2的栅极,二者电连接于节点B。

[0066] 需要说明的是,在图8所示实施例中,第一晶体管M1至第五晶体管的电连接关系同样适用于图1~图7所对应的实施例中的像素驱动电路,具体不再赘述。

[0067] 需要说明的是,在图8所示实施例中,第六晶体管M6和第七晶体管的电连接方式可

以参考图1-图7所示实施例中的任意一种方案,而限于图8所示的方案,只要保证第二电位大于第一电位即可。

[0068] 图9所示为本实用新型实施例提供的一种像素驱动电路的驱动方法,接下来,以图8所示的像素驱动电路为例结合图9来说明本实用新型实施例提出的像素驱动电路的工作原理和技术效果。

[0069] 图9所示的驱动方法包括以下三个阶段:初始化阶段T1、数据写入阶段T2和发光阶段T3。

[0070] 首先,在初始化阶段T1,第六晶体管M6和第七晶体管M7均响应于第二扫描线信号SCAN2而开启,一具有任意初始电位的参考信号REF通过第六晶体管M6传输至节点A,对发光元件D的阳极进行电位初始化,此时参考信号REF的电位大小为第一电位 v_1 。由于第七晶体管M7开启,具有第一电位 v_1 的参考信号REF再经过第七晶体管M7传输至第二节点B,对第二晶体管M2的栅极进行电位初始化,此时参考信号REF的电位大小从第一电位 v_1 变为第二电位 v_2 (电位变化的原因在前述实施例中已经进行详细的解释,此处不再赘述,可以参考前述内容),此阶段,初始化已存储在第一电容C1中的数据信号以及初始化发光元件D的阳极。

[0071] 在数据写入阶段T2,第一晶体管M1和第三晶体管M3均响应于第一扫描线信号SCAN1而开启,由于第三晶体管M3的开启,以二极管连接的方式连接第二晶体管M2。此阶段,形成数据信号传输途径,数据线信号DATA先后通过第一晶体管M1和第三晶体管M3并最终传输至第二晶体管M2的栅极。由于第二晶体管M2处于二极管连接,因此,当第二晶体管M2栅极的电位达到 $V_{DATA}+V_{th}$ 时,第二晶体管M2截止,数据信号写入阶段完毕, $V_{DATA}+V_{th}$ 被存储在第一电容C1中, V_{DATA} 是数据线信号的电位大小, V_{th} 是第二晶体管M2的阈值电压。

[0072] 在发光阶段T3,第四晶体管M4和第五晶体管M5响应于发光信号EMIT而开启,因此,在第四晶体管M4、第二晶体管M2和第五晶体管M5之间形成了电流通路,第一电源电压PVDD传输至第二晶体管M2的输入端,第二晶体管生成一驱动电流,该驱动电流通过第五晶体管M2流向发光元件D,使得发光元件D发光。具体的,在发光阶段的驱动电流的大小,可以参考如下公式:

$$[0073] \quad I_{oled} = K (V_{GS} - V_{th})^2 = K (V_{DATA} - V_{DD})^2$$

[0074] 其中, I_{oled} 代表流入发光元件D的电流大小,K代表与第二晶体管结构相关的本征参数, V_{DD} 代表第一电源电压PVDD的电位大小。

[0075] 从上述公式可以看出,流入发光元件D的电流与数据线信号和第一电源电压相关,而与第二晶体管M2的阈值电压无关,因此,可以实现像素电路的阈值侦测和补偿。另外,在本驱动方法中,由于在初始化阶段对发光二极管的阳极(节点A)和第二晶体管M2的栅极(节点B)分别进行了节点的不同电位大小的初始化,解决前述实施例中提到的诸多技术难题。进一步的,在本实施例中,由于采用的一条REF线实现对节点A和节点B提供不同电位大小的初始化电压,能够更进一步的节省版图面积。

[0076] 需要说明的是,图9所示的像素驱动电路的驱动方法是对应于图8所示的像素驱动电路106,但像素驱动电路的结构不局限于图8所示的实施例,例如,也可以是一个纯N型晶体管构成的电路,那么在这种情况下,与之相对应的驱动方法中的驱动波形应该与图9中的相位相反,具体不再赘述。如果对应是既包括N型晶体管又包括P型晶体管的电路,驱动方法中的驱动波形做适应性调整即可,具体不再赘述。

[0077] 可以理解的是,对于图9所给出的驱动方法,同样适用于图1-图5中实用新型实施例的像素驱动电路,区别点在于参考信号以及附加参考信号的输入方式,具体内容可以参考前述实施例,此处不再赘述。只要保证:在初始化阶段分别对发光二极管的阳极(节点A)和第二晶体管M2的栅极(节点B)进行节点电位初始化,初始化的电位大小不同,第一电位 v_1 小于第二电位 v_2 即可,能够达到完成阈值补偿、实现初始化并更有效的节省版图面积的目的。

[0078] 图10为本实用新型实施例提供一种像素阵列1000,包括多个像素驱动电路1001,这些像素驱动电路1001按照N行乘以M列的矩阵形式排布,N和M均为大于等于2的正整数。在像素阵列1000中还包括多条信号线:扫描信号线 $scan[1] \sim scan[N]$ 、数据信号线data、发光信号线(图中未给出)和电源信号线(图中未给出),每一个像素驱动电路同时连接两条扫描信号线 $scan[N-1]$ 和 $scan[N]$ 、一条数据线data、一条发光信号线(图中未给出)和电源信号线(图中未给出)。像素阵列的具体结构属于现有技术,并不做特殊的限定,可以与图10所示的示意图有所不同,以具体的结构为准。为了说明在该像素阵列1000中像素驱动电路1001的具体结构,我们以阵列中任意在列方向上相邻的三个像素驱动电路101(图10中虚线框出的)为例进行说明,具体的可以参考图11,为本实用新型实施例提供的任意在列方向上相邻的三个像素驱动电路200。由于三个像素驱动电路200彼此之间的结构是相同或相近的,在此,以其中的位于第N行的一个像素驱动电路为例,主要进行介绍。

[0079] 第N行的像素驱动电路的电路结构可以参考图8所对应实施例中的像素电路结构,包括:第一晶体管M1至第七晶体管M7,第一晶体管M1的栅极电连接第N行扫描线,第N行扫描线用于传输第N行扫描线信号SCAN[N],第一晶体管M1的第一极电连接数据信号线,数据信号线用于传输数据信号电压DATA;第一晶体管M1的第二极电连接第二晶体管M2的第一极。第二晶体管M2的栅极电连接第七晶体管M7的第二极,第二晶体管M2的第一极电连接第一晶体管M1的第二极,第二晶体管M2的第二极电连接第五晶体管M5的第一极。第三晶体管M3的栅极电连接第N行扫描线,第N行扫描线用于传输第N行扫描线信号SCAN[N];第三晶体管M3的第一极电连接第二晶体管M2的第二极,第三晶体管M3的第二极电连接第二晶体管M2的栅极。第四晶体管M4的栅极电连接第N行的发光线,第N行的发光线用于传输N行发光线信号EMIT[N];第四晶体管M4的第一极电连接第一电源线,第一电源线用于传输所述第一电源电压PVDD;第四晶体管M4的第二极电连接第二晶体管的第一极。第五晶体管M5的栅极电连接第N行的发光线,第N行的发光线用于传输第N行发光线信号EMIT[N],第五晶体管M5的第一极电连接第二晶体管M2的第二极,第五晶体管M5的第二极电连接第六晶体管M6的第二极。第一电容C1的第一极电连接第一电源线,第一电源线用于传输第一电源电压PVDD,第一电容C1的第二极电连接第二晶体管M2的栅极。第六晶体管M6的栅极电连接第N行扫描线,第N行扫描线用于传输第N行扫描线信号SCAN[N],第六晶体管M6的第一极(输入端)电连接参考信号线,参考信号线用于传输参考信号REF,第六晶体管M6的第二极(输出端)电连接发光元件D。第七晶体管M7的栅极电连接第N-1行扫描线,第N-1行扫描线用于传输第N-1行扫描线信号SCAN[N-1],第七晶体管M7的第一极电连接第N-1行的像素驱动电路中的第六晶体管M6的第二极(输出端),二者电连接于节点A[N-1],第七晶体管M7的第二极电连接第二晶体管M2的栅极,二者电连接于节点B[N]。其中,在图11中,A[N-1]代表第N-1行像素驱动电路中的第六晶体管M6的第二极与发光元件的电连接节点,B[N-1]代表第N-1行像素驱动电路中的

第七晶体管M6的第二极与第二晶体管M2的栅极的电连接节点；A[N]代表第N行像素驱动电路中的第六晶体管M6的第二极与发光元件的电连接节点，B[N]代表第N行像素驱动电路中的第七晶体管M6的第二极与第二晶体管M2的栅极的电连接节点。A[N+1]代表第N+1行像素驱动电路中的第六晶体管M6的第二极与发光元件的电连接节点，B[N+1]代表第N+1行像素驱动电路中的第七晶体管M6的第二极与第二晶体管M2的栅极的电连接节点。以此类推的，A[N-2]代表第N-2行像素驱动电路中的第六晶体管M6的第二极与发光元件的电连接节点……

[0080] 对于图11所示的像素驱动电路，当具有一任意初始电位的参考信号REF通过第N-1行的像素驱动电路中的第六晶体管传输至节点A[N-1]时，参考信号的电位变为第一电位v1，由于第N-1行像素驱动电路的第六晶体管M6的栅极和第N行像素驱动电路中的第七晶体管M7的栅极均连接第N-1行扫描信号线SCAN[N-1]，因此，第N-1行像素驱动电路的第六晶体管M6和第N行像素驱动电路中的第七晶体管M7同时开启，此种情况下，传递至节点A[N-1]的具有第一电位v1的参考信号VREF会继续通过第N行像素驱动电路中的第七晶体管M7传递至节点B[N]，此时参考信号VREF的电位变为v2，第二电位v2大于第一电位v1。（第二电位v2大于第一电位v1的原因可以参考前述实施例，此处不再赘述）同理，传输至节点B[N+1]的第二电位v2大于节点A[N]的第一电位v1（N为大于等于2的正整数），以此类推。通过采用如图11所示的像素驱动电路的设计方案，利用位于前一行（第N-1行）像素驱动电路中的发光元件的阳极与本行（第N行）像素驱动电路中第七晶体管的输入端电连接，在实现像素电路的阈值侦测和补偿的目的基础上，分别对发光二极管的阳极（节点A）和第二晶体管M2的栅极（节点B）分别进行了不同电位大小的节点电位初始化，解决前述实施例中提到的诸多技术难题，并且能够更有效的节省版图面积、便于像素的排布。

[0081] 需要说明的是，对于图10和图11中的任意在列方向上相邻的三个像素驱动电路中的具体的某一个像素驱动电路的电路结构并不局限于图11中所示的那样，即，对于任一行的像素驱动电路中的与第六晶体管M6的输入端、输出端和栅极电连接的节点或者信号线，可以是直接相连，也可以是非直接相连，对于任一行的像素驱动电路中的与第七晶体管M7的输入端、输出端和栅极电连接的节点或者信号线，可以是直接相连，也可以是非直接相连，并不做限定，只要保证传输至节点B[N+1]的第二电位v2大于节点A[N]的第一电位v1（N为大于等于2的正整数）即可。

[0082] 需要说明的是，对于图10和图11中的任意在列方向上相邻的三个像素驱动电路中的具体的某一个像素驱动电路的电路结构并不局限于图11中所示的那样，即，对于任一行的像素驱动电路中的第一晶体管M1至第五晶体管M5的具体连接关系并不限定于图11中所示的情况，可以参考图1至图7所示实施例的情况。另外，第六晶体管M6和第七晶体管M7的沟道宽长比或者分立的栅极的数量并不做限定，可以参考前述实施例的诸多种实施方式，只要保证传输至节点B[N+1]的第二电位v2大于节点A[N]的第一电位v1（N为大于等于2的正整数）即可。

[0083] 图12所示为本实用新型实施例提出的一种像素阵列的驱动方法，接下来，结合图11所示的像素驱动电路200来解释本实用新型实施例中像素驱动电路的工作原理和技术效果。

[0084] 图12所示的驱动方法包括以下三个阶段：初始化阶段T1、数据写入阶段T2和发光

阶段T3。

[0085] 首先,在初始化阶段T1,位于第N-1行的像素驱动电路中的第六晶体管M6和位于第N行的像素驱动电路中的第七晶体管M7均响应于第N-1行扫描线信号SCAN[N-1]而开启。一具有任意初始电位的参考信号REF通过第N-1行像素驱动电路中的第六晶体管M6传输至节点A[N-1],对第N-1行的发光元件D的阳极进行电位初始化,此时参考信号REF的电位大小为第一电位v1。由于位于第N行的像素驱动电路中的第七晶体管M7也开启,具有第一电位v1的参考信号REF再经过该位于第N行的像素驱动电路中的第七晶体管M7传输至第二节点B[N],对位于第N行像素驱动电路中的第二晶体管M2的栅极进行电位初始化,此时参考信号REF的电位大小从第一电位v1变为第二电位v2(电位变化的原因在前述实施例中已经进行详细的解释,此处不再赘述,可以参考前述内容),此阶段,初始化已存储在第N行像素驱动电路中的第一电容C1中的数据信号以及第N-1行像素驱动电路中的发光元件的阳极电位。

[0086] 在数据写入阶段T2,第N行像素驱动电路中的第一晶体管M1和第三晶体管M3均响应于第N行扫描线信号SCAN[N]而开启,由于第三晶体管M3的开启,以二极管连接的方式连接第N行像素驱动电路中的第二晶体管M2。此阶段,形成数据信号传输途径,数据线信号DATA先后通过第N行像素驱动电路中的第一晶体管M1、第三晶体管M3并最终传输至第二晶体管M2的栅极。由于第二晶体管M2处于二极管连接状态,因此,当第二晶体管M2栅极的电位达到 $V_{DATA}+V_{th}$ 时,第二晶体管M2截止,数据信号写入阶段完毕, $V_{DATA}+V_{th}$ 被存储在第N行像素驱动电路中的第一电容C1中, V_{DATA} 是数据线信号的电位大小, V_{th} 是第二晶体管M2的阈值电压。同时,在本阶段,位于第N行的像素驱动电路中的第六晶体管M6响应于第N行扫描线信号SCAN[N]而开启,一具有任意初始电位的参考信号REF通过第N行像素驱动电路中的第六晶体管M6传输至节点A[N],对第N行的发光元件D的阳极进行电位初始化,此时参考信号REF的电位大小为第一电位v1

[0087] 在发光阶段T3,第N行像素驱动电路中的第四晶体管M4和第五晶体管M5响应于第N行发光线信号EMIT[N]而开启,因此,在第四晶体管M4、第二晶体管M2和第五晶体管之间形成了电流通路,第一电源电压PVDD传输至第二晶体管M2的输入端,第N行像素驱动电路中的第二晶体管生成一驱动电流,该驱动电流通过第五晶体管M2流向第N行像素驱动电路中的发光元件D,使得发光元件D发光。具体的,在发光阶段的驱动电流的大小,可以参考如下公式:

$$[0088] \quad I_{oled} = K (V_{GS} - V_{th})^2 = K (V_{DATA} - V_{DD})^2$$

[0089] 其中, I_{oled} 代表流入发光元件D的电流大小,K代表与第二晶体管结构相关的本征参数, V_{DD} 代表第一电源电压PVDD的电位大小。

[0090] 从上述公式可以看出,流入第N行像素驱动电路中的发光元件D的电流与数据线信号和第一电源电压相关,而与第N行像素驱动电路中的第二晶体管M2的阈值电压无关,因此,可以实现像素电路的阈值侦测和补偿。另外,在本驱动方法中,由于在初始化阶段分别对第N-1行像素驱动电路中发光二极管的阳极(节点A[N-1])和第N行像素驱动电路中第二晶体管M2的栅极(节点B[N])分别进行了节点电位初始化,解决前述实施例中提到的诸多技术难题。进一步的,在本实施例中,由于采用位于前一行(第N-1行)像素驱动电路中的发光元件的阳极与本行(第N行)像素驱动电路中第七晶体管的输入端电连接,能够实现利用一条参考信号线对节点A[N]和节点B[N]提供不同电位大小的初始化电压,能够更有效的节省

版图面积。

[0091] 需要说明的是,图12所示的像素驱动电路的驱动方法是对应于图11所示的像素驱动电路106,但像素驱动电路的结构不局限于图11所示的实施例,例如,也可以是一个纯N型晶体管构成的电路,那么在这种情况下,与之相对应的驱动方法中的驱动波形应该与图12中的相位相反,具体不再赘述。如果该像素驱动电路既包括N型晶体管又包括P型晶体管,那么与之相对应的驱动方法中的驱动波形可以根据晶体管的类型做适当的调整,只要保证能实现前述技术目的即可,在此不再赘述。

[0092] 可以理解的是,对于图12所给出的驱动方法,同样适用于前述实用新型实施例的像素驱动电路,即并不对第一晶体管M1至第七晶体管M7的沟道宽长比以及每个晶体管分立的栅极的数量进行限定,可以任意调整,只要保证,在初始化阶段分别对发光二极管的阳极(节点A[N-1])和第二晶体管M2的栅极(节点B[N])进行节点电位初始化,初始化的电位大小不同,第一电位 v_1 小于第二电位 v_2 即可,能够保证完成阈值补偿、实现初始化并更有效的节省版图面积。

[0093] 可以理解的是,对于图12所示的实施例,也可以对第一晶体管M1至第七晶体管M7的沟道宽长比以及每个晶体管分立的栅极的数量进行额外设置,尤其是对第六晶体管M6和第七晶体管M7,具体的,将位于第N-1行像素驱动电路中的第六晶体管M6的沟道宽长比大于第N行的像素驱动电路中的第七晶体管的沟道宽长比,或者将位于第N-1行像素驱动电路中的第六晶体管M6的栅极(分立的栅极)的数量为P,位于第N行像素驱动电路中的第七晶体管M7的栅极(分立的栅极)的数量为Q,P和Q均为大于等于1的正整数,并且Q大于P。具体的设计方式,可以参考前述内容,此处不再赘述。只要保证:在初始化阶段分别对发光二极管的阳极(节点A[N-1])和第二晶体管M2的栅极(节点B[N])进行节点电位初始化,初始化的电位大小不同,第一电位 v_1 小于第二电位 v_2 即可,能够保证完成阈值补偿、实现初始化并更有效的节省版图面积。

[0094] 需要说明的是,对于前述任一实施例而言,像素驱动电路的晶体管均是以P型晶体管为例进行的说明,但是并不对其晶体管的类型做限定,具体的,第一晶体管M1~第七晶体管M7可以均同时为P型晶体管,也可以均同时为N型晶体管,或者一部分为P型晶体管、一部分为N型晶体管。当第一晶体管M1~第七晶体管M7均同时为P型晶体管的情况下,第一晶体管M1~第七晶体管M7的信号输入端一般为源极,其信号输出端一般为漏极,此种情况下,信号V1、信号V2、附加参考信号V3、参考信号VREF均为低电位信号;当第一晶体管M1~第七晶体管M7均同时为N型晶体管的情况下,第一晶体管M1~第七晶体管M7的信号输入端一般为漏极,其信号输出端一般为源极,此种情况下,信号V1、信号V2、附加参考信号V3、参考信号VREF均为高电位信号。

[0095] 图13为本实用新型实施例提出的一种有机发光显示面板,该有机发光显示面板可以为图13所示的手机,也可以为电脑等触摸装置,具体的,该有机发光显示面板包括前述任意实施例中提到的象素阵列。

[0096] 需要说明的是,在以下描述中阐述了具体细节以便于充分理解本实用新型。但是本实用新型能够以多种不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本实用新型内涵的情况下做类似推广。因此本实用新型不受下面公开的具体实施方式的限制。

[0097] 需要说明的是,本实用新型实施例所描述的“上”、“下”、“左”、“右”等方位词是以附图所示的角度来进行描述的,不应理解为对本实用新型实施例的限制。此外,在上下文中,还需要理解的是,当提到一个元件被形成在另一元件“上”或“下”时,其不仅能够直接形成在另一元件“上”或者“下”,其也可以通过中间元件间接形成在另一元件“上”或者“下”。

[0098] 需要说明的是,有机发光显示面板除了包括图13所示出以及所描述到的组件外,还包括集成电路IC、信号线等一些必要的结构,此为本领域的公知常识,在此亦不作赘述。

[0099] 以上内容是结合具体的优选实施方式对本实用新型所作的进一步详细说明,不能认定本实用新型的具体实施只局限于这些说明。对于本实用新型所属技术领域的普通技术人员来说,在不脱离本实用新型构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本实用新型的保护范围。

1031

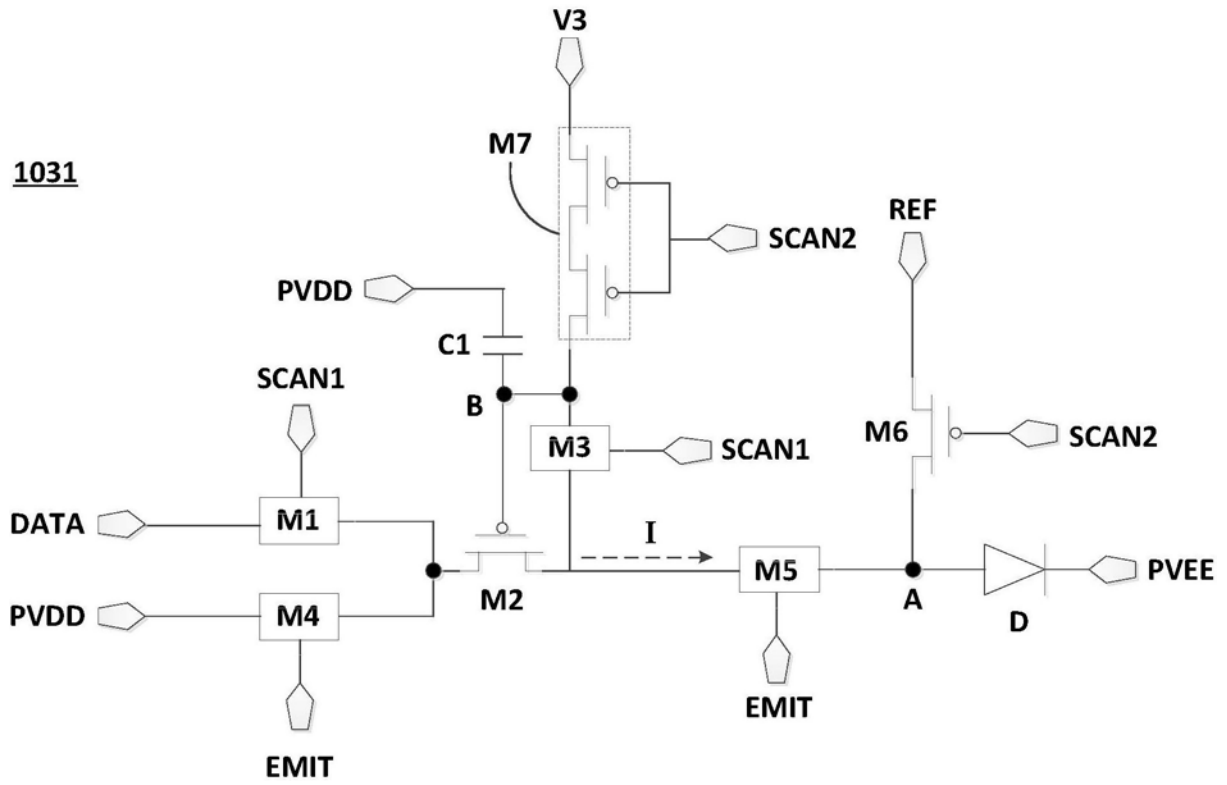


图5

104

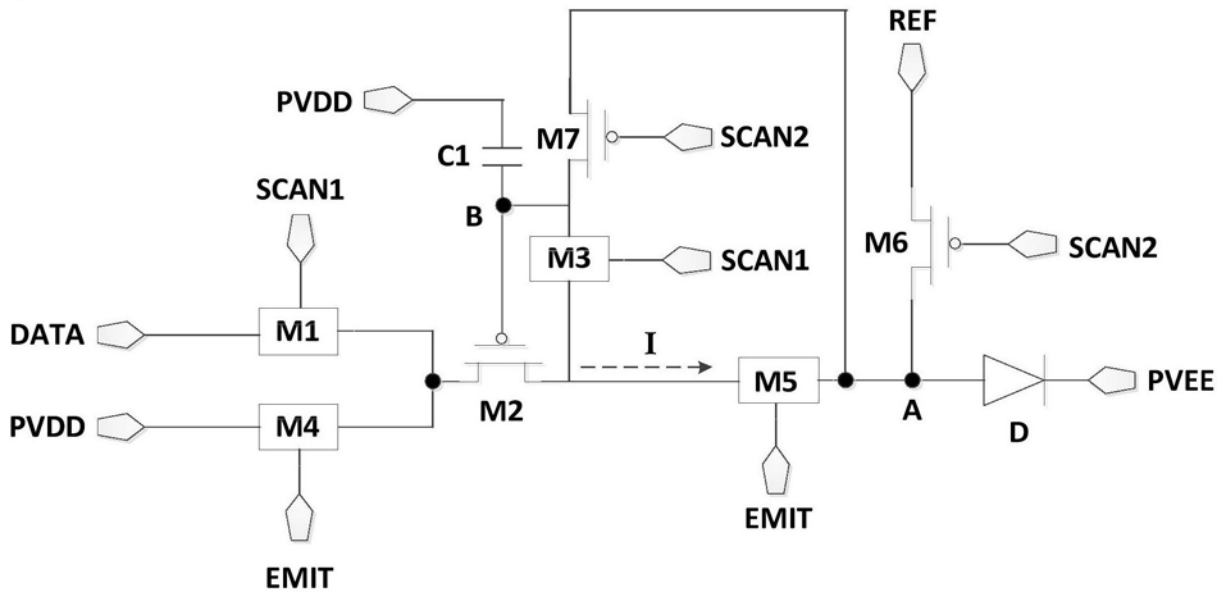


图6

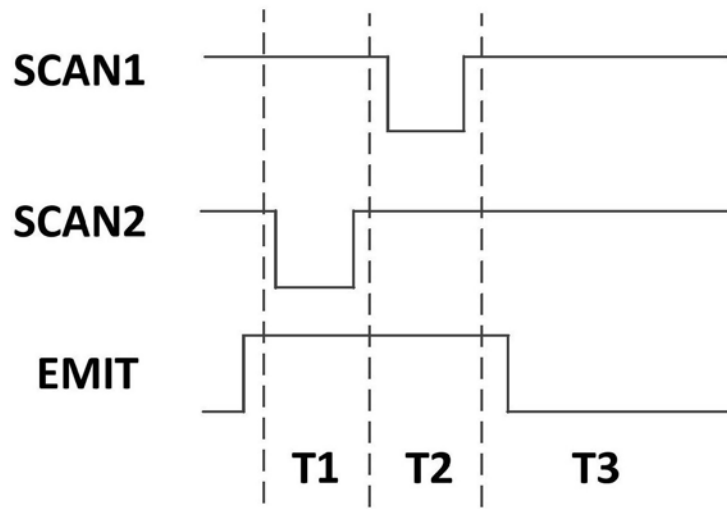


图9

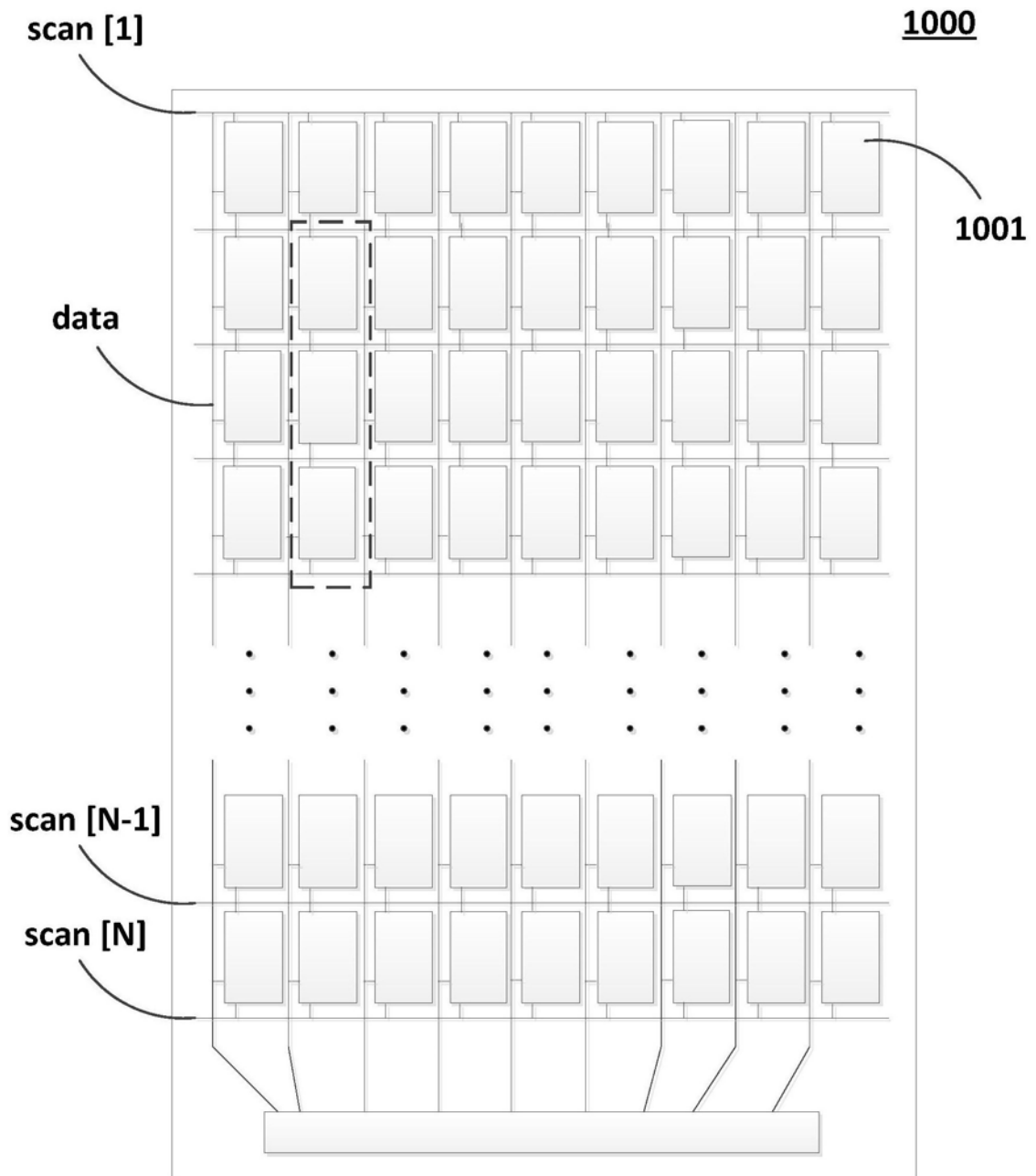


图10

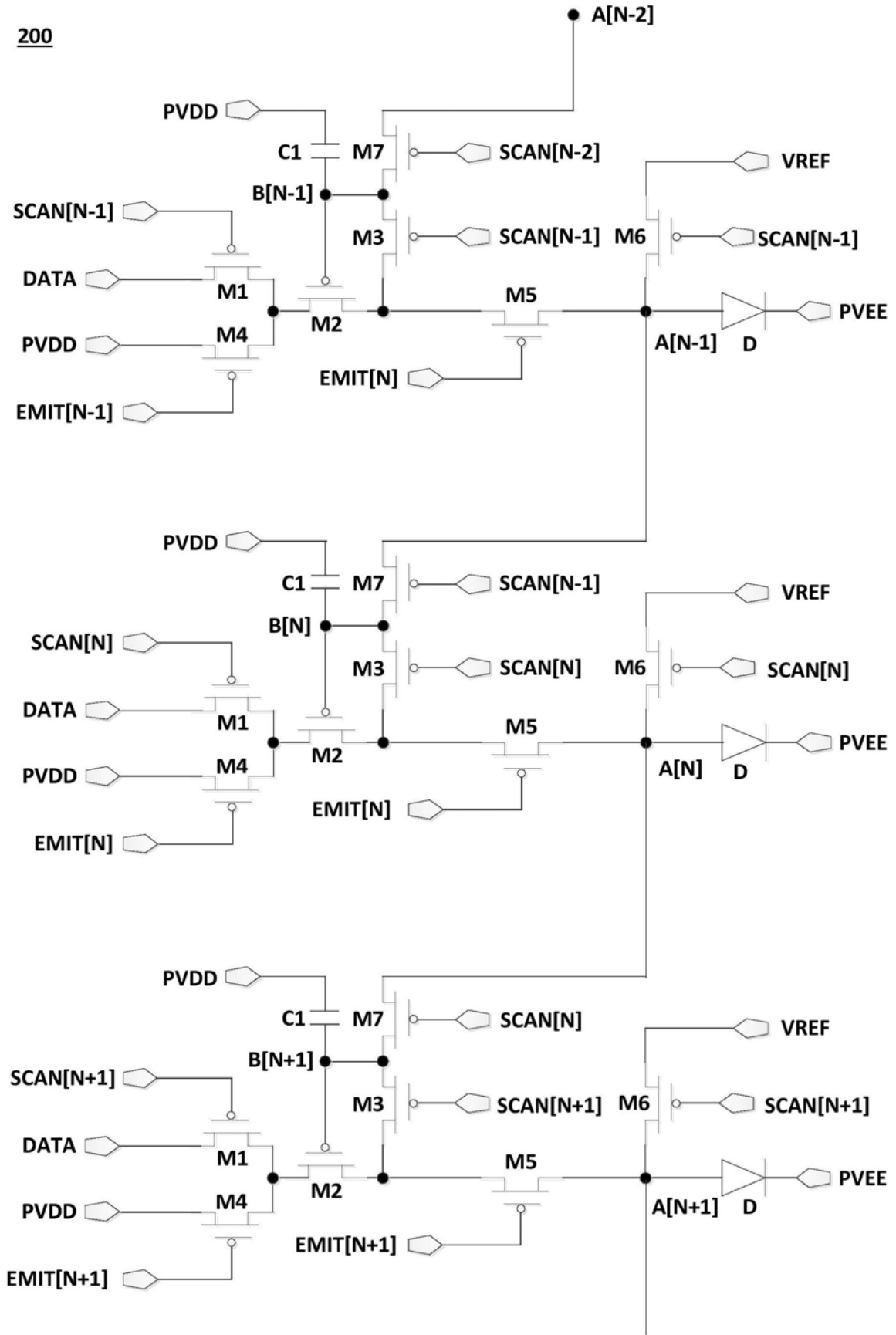


图11

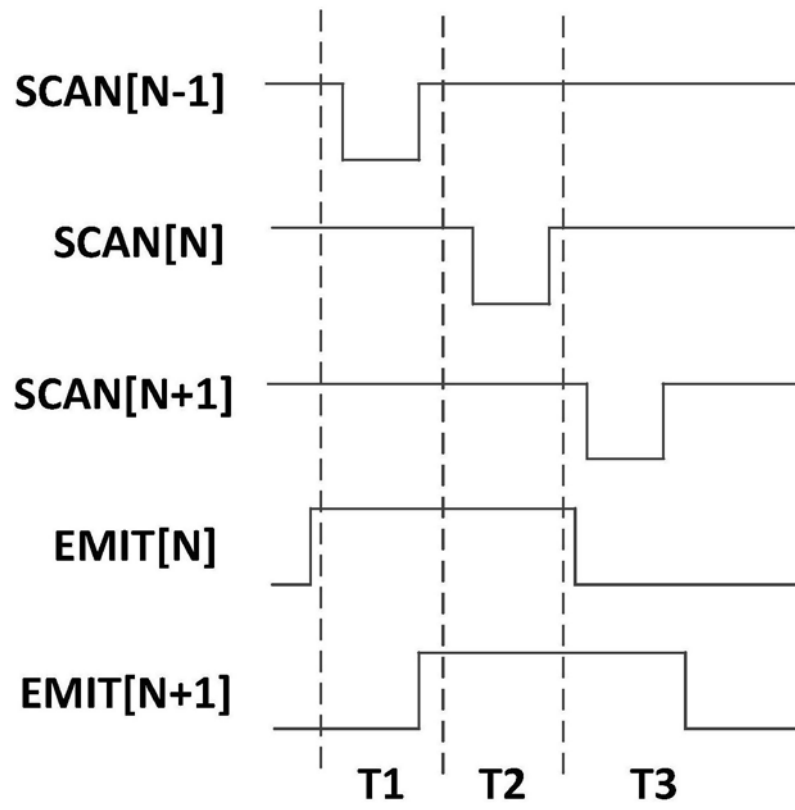


图12

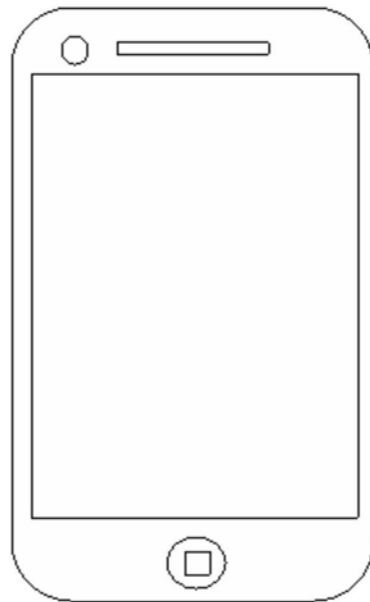


图13

专利名称(译)	一种像素驱动电路、像素阵列及有机发光显示面板		
公开(公告)号	CN206574457U	公开(公告)日	2017-10-20
申请号	CN201621465321.X	申请日	2016-12-29
[标]申请(专利权)人(译)	上海天马微电子有限公司 天马微电子股份有限公司		
申请(专利权)人(译)	上海天马微电子有限公司 天马微电子股份有限公司		
当前申请(专利权)人(译)	上海天马微电子有限公司 天马微电子股份有限公司		
[标]发明人	翟应腾 刘刚		
发明人	翟应腾 刘刚		
IPC分类号	G09G3/3208		
代理人(译)	胡彬		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型描述了一种像素驱动电路、像素阵列、驱动方法及有机发光显示面板。像素驱动电路包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管和第一电容，其中，第六晶体管用于响应第二扫描线信号而向所述发光元件传输具有第一电位的信号；第七晶体管用于响应所述第二扫描线信号而向所述第二晶体管的栅极传输具有第二电位的信号，所述第二电位大于所述第一电位。

