



(12)实用新型专利

(10)授权公告号 CN 205810345 U

(45)授权公告日 2016.12.14

(21)申请号 201620727845.5

(22)申请日 2016.07.11

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 王志良 马占洁

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3233(2016.01)

G09G 3/3291(2016.01)

(ESM)同样的发明创造已同日申请发明专利

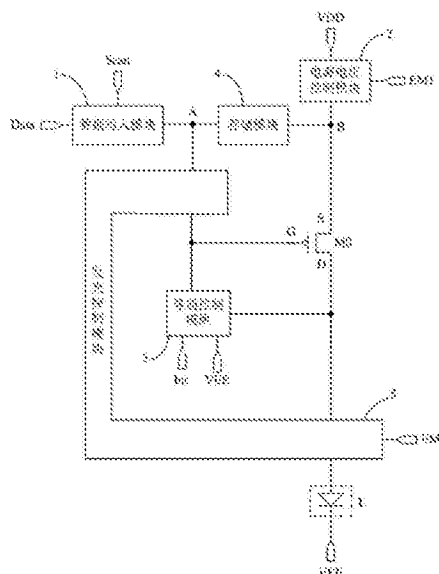
权利要求书2页 说明书11页 附图8页

(54)实用新型名称

一种像素电路、有机电致发光显示面板及显示装置

(57)摘要

本实用新型公开了一种像素电路、有机电致发光显示面板及显示装置,包括:数据写入模块、电源电压控制模块、导通控制模块、存储模块、发光控制模块、驱动晶体管以及发光器件;其中,通过上述五个模块以及驱动晶体管的相互配合,可以使像素电路中的驱动晶体管驱动发光器件发光的工作电流仅与数据信号端的电压和初始信号端的电压有关,而与驱动晶体管的阈值电压和第一电源端的电压无关,可以避免驱动晶体管的阈值电压与IR Drop对流过发光器件的工作电流的影响,从而使驱动发光器件发光的工作电流保持稳定,进而提高显示装置中显示区域画面亮度的均匀性。



1. 一种像素电路,其特征在于,包括:数据写入模块、电源电压控制模块、导通控制模块、存储模块、发光控制模块、驱动晶体管以及发光器件;其中,

所述数据写入模块的第一端与扫描信号端相连,第二端与数据信号端相连,第三端与第一节点相连;所述数据写入模块用于在所述扫描信号端的控制下将所述数据信号端的信号提供给所述第一节点;

所述电源电压控制模块的第一端与第一发光控制信号端相连,第二端与第一电源端相连,第三端分别与第二节点和所述驱动晶体管的源极相连;所述电源电压控制模块用于在所述第一发光控制信号端的控制下将所述第一电源端的信号提供给所述第二节点;

所述导通控制模块的第一端与初始信号端相连,第二端与第二电源端相连,第三端与所述驱动晶体管的栅极相连,第四端与所述驱动晶体管的漏极相连;所述导通控制模块用于通过所述初始信号端和所述第二电源端控制所述驱动晶体管处于二极管状态;

所述存储模块的第一端与所述第一节点相连,第二端与所述第二节点相连;所述存储模块用于在所述第一节点的信号和所述第二节点的信号的共同控制下进行充电或放电,以及在所述第一节点处于浮接状态时保持所述第一节点和所述第二节点之间的电压差稳定;

所述发光控制模块的第一端与第二发光控制信号端相连,第二端与所述第一节点相连,第三端与所述驱动晶体管的栅极相连,第四端与所述驱动晶体管的漏极相连,第五端与所述发光器件的第一端相连,所述发光器件的第二端与所述第二电源端相连;所述发光控制模块用于在所述第二发光控制信号端的控制下导通所述第一节点和所述驱动晶体管的栅极以及导通所述驱动晶体管的漏极和所述发光器件,以控制所述驱动晶体管驱动所述发光器件发光。

2. 如权利要求1所述的像素电路,其特征在于,所述导通控制模块包括:第一导通控制子模块和第二导通控制子模块;其中,

所述第一导通控制子模块的第一端与所述扫描信号端相连,第二端与初始信号端相连,第三端与所述驱动晶体管的栅极相连;所述第一导通控制子模块用于在所述扫描信号端的控制下将所述初始信号端的信号提供给所述驱动晶体管的栅极;

所述第二导通控制子模块的第一端与所述扫描信号端相连,第二端与所述第二电源端相连,第三端与所述驱动晶体管的漏极相连;所述第二导通控制子模块用于在所述扫描信号端的控制下将所述第二电源端的信号提供给所述驱动晶体管的漏极。

3. 如权利要求2所述的像素电路,其特征在于,所述第一导通控制子模块包括:第一开关晶体管;其中,

所述第一开关晶体管的栅极与所述扫描信号端相连,源极与所述初始信号端相连,漏极与所述驱动晶体管的栅极相连。

4. 如权利要求2所述的像素电路,其特征在于,所述第二导通控制子模块包括:第二开关晶体管;其中,

所述第二开关晶体管的栅极与所述扫描信号端相连,源极与所述第二电源端相连,漏极与所述驱动晶体管的漏极相连。

5. 如权利要求1所述的像素电路,其特征在于,所述数据写入模块包括:第三开关晶体管;其中,

所述第三开关晶体管的栅极与所述扫描信号端相连,源极与所述数据信号端相连,漏

极与所述第一节点相连。

6.如权利要求1所述的像素电路,其特征在于,所述电源电压控制模块包括:第四开关晶体管;其中,

所述第四开关晶体管的栅极与所述第一发光控制信号端相连,源极与所述第一电源端相连,漏极与所述第二节点相连。

7.如权利要求1所述的像素电路,其特征在于,所述发光控制模块包括:第五开关晶体管和第六开关晶体管;其中,

所述第五开关晶体管的栅极与所述第二发光控制信号端相连,源极与所述第一节点相连,漏极与所述驱动晶体管的栅极相连;

所述第六开关晶体管的栅极与所述第二发光控制信号端相连,源极与所述驱动晶体管的漏极相连,所述第六开关晶体管的漏极与所述发光器件的第一端相连。

8.如权利要求1所述的像素电路,其特征在于,所述存储模块包括:电容;其中,所述电容的第一端与所述第一节点相连,第二端与所述第二节点相连。

9.如权利要求1-8任一项所述的像素电路,其特征在于,所述驱动晶体管为P型晶体管。

10.如权利要求9所述的像素电路,其特征在于,所有开关晶体管均为P型晶体管。

11.一种有机电致发光显示面板,其特征在于,包括如权利1-10任一项所述的像素电路。

12.一种显示装置,其特征在于,包括如权利要求11所述的有机电致发光显示面板。

一种像素电路、有机电致发光显示面板及显示装置

技术领域

[0001] 本实用新型涉及显示技术领域,特别涉及一种像素电路、有机电致发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今平板显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前,在手机、平板电脑、数码相机等显示领域,OLED显示器已经开始取代传统的LCD显示器。

[0003] 与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制其发光。由于工艺制程和器件老化等原因,会使像素电路的驱动晶体管的阈值电压 V_{th} 存在不均匀性,这样就导致了流过每个OLED的电流发生变化使得显示亮度不均,从而影响整个图像的显示效果。并且由于流过每个OLED的电流与驱动管源极即电源电压相关,由于1R Drop原因,也会造成不同区域的电流差异,进而造成不同区域的OLED出现亮度不均匀现象。

实用新型内容

[0004] 本实用新型实施例提供一种像素电路、有机电致发光显示面板及显示装置,用以使驱动发光器件发光的工作电流保持稳定,提高图像显示亮度的均匀性。

[0005] 本实用新型实施例提供了一种像素电路,包括:数据写入模块、电源电压控制模块、导通控制模块、存储模块、发光控制模块、驱动晶体管以及发光器件;其中,

[0006] 所述数据写入模块的第一端与扫描信号端相连,第二端与数据信号端相连,第三端与第一节点相连;所述数据写入模块用于在所述扫描信号端的控制下将所述数据信号端的信号提供给所述第一节点;

[0007] 所述电源电压控制模块的第一端与第一发光控制信号端相连,第二端与第一电源端相连,第三端分别与第二节点和所述驱动晶体管的源极相连;所述电源电压控制模块用于在所述第一发光控制信号端的控制下将所述第一电源端的信号提供给所述第二节点;

[0008] 所述导通控制模块的第一端与初始信号端相连,第二端与第二电源端相连,第三端与所述驱动晶体管的栅极相连,第四端与所述驱动晶体管的漏极相连;所述导通控制模块用于通过所述初始信号端和所述第二电源端控制所述驱动晶体管处于二极管状态;

[0009] 所述存储模块的第一端与所述第一节点相连,第二端与所述第二节点相连;所述存储模块用于在所述第一节点的信号和所述第二节点的信号的共同控制下进行充电或放电,以及在所述第一节点处于浮接状态时保持所述第一节点和所述第二节点之间的电压差稳定;

[0010] 所述发光控制模块的第一端与第二发光控制信号端相连,第二端与所述第一节点相连,第三端与所述驱动晶体管的栅极相连,第四端与所述驱动晶体管的漏极相连,第五端与所述发光器件的第一端相连,所述发光器件的第二端与所述第二电源端相连;所述发光

控制模块用于在所述第二发光控制信号端的控制下导通所述第一节点和所述驱动晶体管的栅极以及导通所述驱动晶体管的漏极和所述发光器件,以控制所述驱动晶体管驱动所述发光器件发光。

[0011] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述导通控制模块包括:第一导通控制子模块和第二导通控制子模块;其中,

[0012] 所述第一导通控制子模块的第一端与所述扫描信号端相连,第二端与初始信号端相连,第三端与所述驱动晶体管的栅极相连;所述第一导通控制子模块用于在所述扫描信号端的控制下将所述初始信号端的信号提供给所述驱动晶体管的栅极;

[0013] 所述第二导通控制子模块的第一端与所述扫描信号端相连,第二端与所述第二电源端相连,第三端与所述驱动晶体管的漏极相连;所述第二导通控制子模块用于在所述扫描信号端的控制下将所述第二电源端的信号提供给所述驱动晶体管的漏极。

[0014] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述第一导通控制子模块包括:第一开关晶体管;其中,

[0015] 所述第一开关晶体管的栅极与所述扫描信号端相连,源极与所述初始信号端相连,漏极与所述驱动晶体管的栅极相连。

[0016] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述第二导通控制子模块包括:第二开关晶体管;其中,

[0017] 所述第二开关晶体管的栅极与所述扫描信号端相连,源极与所述第二电源端相连,漏极与所述驱动晶体管的漏极相连。

[0018] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述数据写入模块包括:第三开关晶体管;其中,

[0019] 所述第三开关晶体管的栅极与所述扫描信号端相连,源极与所述数据信号端相连,漏极与所述第一节点相连。

[0020] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述电源电压控制模块包括:第四开关晶体管;其中,

[0021] 所述第四开关晶体管的栅极与所述第一发光控制信号端相连,源极与所述第一电源端相连,漏极与所述第二节点相连。

[0022] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述发光控制模块包括:第五开关晶体管和第六开关晶体管;其中,

[0023] 所述第五开关晶体管的栅极与所述第二发光控制信号端相连,源极与所述第一节点相连,漏极与所述驱动晶体管的栅极相连;

[0024] 所述第六开关晶体管的栅极与所述第二发光控制信号端相连,源极与所述驱动晶体管的漏极相连,所述第六开关晶体管的漏极与所述发光器件的第一端相连。

[0025] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述存储模块包括:电容;其中,

[0026] 所述电容的第一端与所述第一节点相连,第二端与所述第二节点相连。

[0027] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所述驱动晶体管为P型晶体管。

[0028] 在一种可能的实施方式中,在本实用新型实施例提供的上述像素电路中,所有开

关晶体管均为P型晶体管。

[0029] 相应地,本实用新型实施例还提供了一种有机电致发光显示面板,包括本实用新型实施例提供的上述任一种像素电路。

[0030] 相应地,本实用新型实施例还提供了一种显示装置,包括本实用新型实施例提供的上述任一种有机电致发光显示面板。

[0031] 本实用新型实施例提供的像素电路、有机电致发光显示面板及显示装置,包括:数据写入模块、电源电压控制模块、导通控制模块、存储模块、发光控制模块、驱动晶体管以及发光器件;其中,数据写入模块用于在扫描信号端的控制下将数据信号端的信号提供给第一节点;电源电压控制模块用于在第一发光控制信号端的控制下将第一电源端的信号提供给第二节点;导通控制模块用于通过初始信号端和第二电源端控制驱动晶体管处于二极管状态;存储模块用于在第一节点的信号和第二节点的信号的共同控制下进行充电或放电,以及在第一节点处于浮接状态时保持第一节点和第二节点之间的电压差稳定;发光控制模块用于在第二发光控制信号端的控制下导通第一节点和驱动晶体管的栅极以及导通驱动晶体管的漏极和发光器件,以控制驱动晶体管驱动发光器件发光。本实用新型实施例提供的像素电路、有机电致发光显示面板及显示装置,通过上述五个模块以及驱动晶体管的相互配合,可以使像素电路中的驱动晶体管驱动发光器件发光的工作电流仅与数据信号端的电压和初始信号端的电压有关,而与驱动晶体管的阈值电压和第一电源端的电压无关,可以避免驱动晶体管的阈值电压与1R Drop对流过发光器件的工作电流的影响,从而使驱动发光器件发光的工作电流保持稳定,进而提高显示装置中显示区域画面亮度的均匀性。

附图说明

[0032] 图1a为本实用新型实施例提供的像素电路的结构示意图之一;

[0033] 图1b为本实用新型实施例提供的像素电路的结构示意图之二;

[0034] 图2a为本实用新型实施例提供的像素电路的具体结构示意图之一;

[0035] 图2b为本实用新型实施例提供的像素电路的具体结构示意图之二;

[0036] 图2c为本实用新型实施例提供的像素电路的具体结构示意图之三;

[0037] 图2d为本实用新型实施例提供的像素电路的具体结构示意图之四;

[0038] 图3a为图2a所示的像素电路的电路时序图;

[0039] 图3b为图2b所示的像素电路的电路时序图;

[0040] 图4为本实用新型实施例提供的像素电路的驱动方法的流程图。

具体实施方式

[0041] 为了使本实用新型的目的,技术方案和优点更加清楚,下面结合附图,对本实用新型实施例提供的像素电路、有机电致发光显示面板及显示装置的具体实施方式进行详细地说明。

[0042] 本实用新型实施例提供一种像素电路,如图1a所示,包括:数据写入模块1、电源电压控制模块2、导通控制模块3、存储模块4、发光控制模块5、驱动晶体管M0以及发光器件L;其中,

[0043] 数据写入模块1的第一端与扫描信号端Scan相连,第二端与数据信号端Data相连,

第三端与第一节点A相连;数据写入模块1用于在扫描信号端Scan的控制下将数据信号端Data的信号提供给第一节点A;

[0044] 电源电压控制模块2的第一端与第一发光控制信号端EM1相连,第二端与第一电源端VDD相连,第三端分别与第二节点B和驱动晶体管M0的源极S相连;电源电压控制模块2用于在第一发光控制信号端EM1的控制下将第一电源端VDD的信号提供给第二节点B;

[0045] 导通控制模块3的第一端与初始信号端Int相连,第二端与第二电源端VEE相连,第三端与驱动晶体管M0的栅极G相连,第四端与驱动晶体管M0的漏极D相连;导通控制模块3用于通过初始信号端Int和第二电源端VEE控制驱动晶体管M0处于二极管状态;

[0046] 存储模块4的第一端与第一节点A相连,第二端与第二节点B相连;存储模块4用于在第一节点A的信号和第二节点B的信号的控制下进行充电或放电,以及在第一节点A处于浮接状态时保持第一节点A和第二节点B之间的电压差稳定;

[0047] 发光控制模块5的第一端与第二发光控制信号端EM2相连,第二端与第一节点A相连,第三端与驱动晶体管M0的栅极G相连,第四端与驱动晶体管M0的漏极D相连,第五端与发光器件L的第一端相连,发光器件L的第二端与第二电源端VEE相连;发光控制模块5用于在第二发光控制信号端EM2的控制下导通第一节点A和驱动晶体管M0的栅极G以及导通驱动晶体管M0的漏极D和发光器件L,以控制驱动晶体管M0驱动发光器件L发光。

[0048] 本实用新型实施例提供的上述像素电路,包括:数据写入模块、电源电压控制模块、导通控制模块、存储模块、发光控制模块、驱动晶体管以及发光器件;其中,数据写入模块用于在扫描信号端的控制下将数据信号端的信号提供给第一节点;电源电压控制模块用于在第一发光控制信号端的控制下将第一电源端的信号提供给第二节点;导通控制模块用于通过初始信号端和第二电源端控制驱动晶体管处于二极管状态;存储模块用于在第一节点A的信号和第二节点B的信号的控制下进行充电或放电,以及在第一节点A处于浮接状态时保持第一节点A和第二节点B之间的电压差稳定;发光控制模块用于在第二发光控制信号端的控制下导通第一节点A和驱动晶体管的栅极以及导通驱动晶体管的漏极和发光器件,以控制驱动晶体管驱动发光器件发光。本实用新型实施例提供的像素电路通过上述五个模块以及驱动晶体管的相互配合,可以使像素电路中的驱动晶体管驱动发光器件发光的工作电流仅与数据信号端的电压和初始信号端的电压有关,而与驱动晶体管的阈值电压和第一电源端的电压无关,可以避免驱动晶体管的阈值电压与 $1R_{\text{Drop}}$ 对流过发光器件的工作电流的影响,从而使驱动发光器件发光的工作电流保持稳定,进而提高显示装置中显示区域画面亮度的均匀性。

[0049] 在具体实施时,在本实用新型实施例提供的上述像素电路中,如图1a所示,驱动晶体管M0为P型晶体管。由于P型晶体管的阈值电压 V_{th} 一般为负值,为了保证驱动晶体管M0能正常工作,对应的第一电源端的电压 V_{dd} 一般为正值,第二电源端的电压 V_{ee} 一般接地或为负值。

[0050] 在具体实施时,在本实用新型实施例提供的上述像素电路中,第一电源端的电压 V_{dd} 均大于第二电源端的电压 V_{ee} 以及初始信号端的电压 V_{Int} 。并且第一电源端的电压 V_{dd} 与初始信号端的电压 V_{Int} 需要满足公式: $V_{\text{dd}} > V_{\text{Int}} - V_{\text{th}}$ 。

[0051] 在具体实施时,在本实用新型实施例提供的上述像素电路中,发光器件一般为有机电致发光二极管,其在驱动晶体管处于饱和状态时的电流的作用下实现发光。

[0052] 在具体实施时,在本实用新型实施例提供的上述像素电路中,如图1b所示,导通控制模块3具体可以包括:第一导通控制子模块31和第二导通控制子模块32;其中,

[0053] 第一导通控制子模块31的第一端与扫描信号端Scan相连,第二端与初始信号端Int相连,第三端与驱动晶体管M0的栅极G相连;第一导通控制子模块31用于在扫描信号端Scan的控制下将初始信号端Int的信号提供给驱动晶体管M0的栅极G;

[0054] 第二导通控制子模块32的第一端与扫描信号端Scan相连,第二端与第二电源端VEE相连,第三端与驱动晶体管M0的漏极D相连;第二导通控制子模块32用于在扫描信号端Scan的控制下将第二电源端VEE的信号提供给驱动晶体管M0的漏极D。

[0055] 下面结合具体实施例,对本实用新型进行详细说明。需要说明的是,本实施例仅是为了更好的解释本实用新型,但不限制本实用新型。

[0056] 具体地,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a至图2d所示,第一导通控制子模块31具体可以包括:第一开关晶体管M1;其中,

[0057] 第一开关晶体管M1的栅极与扫描信号端Scan相连,源极与初始信号端Int相连,漏极与驱动晶体管M0的栅极G相连。

[0058] 在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a和图2c所示,第一开关晶体管M1可以为P型开关晶体管;或者,如图2b和图2d所示,第一开关晶体管M1也可以为N型开关晶体管,在此不作限定。

[0059] 在具体实施时,在本实用新型实施例提供的上述像素电路中,第一开关晶体管在扫描信号端的控制下处于导通状态时,将初始信号端的信号提供给驱动晶体管的栅极。

[0060] 以上仅是举例说明本实用新型实施例提供的像素电路中第一导通控制子模块的具体结构,在具体实施时,第一导通控制子模块的具体结构不限于本实用新型实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0061] 具体地,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a至图2d所示,第二导通控制子模块32具体可以包括:第二开关晶体管M2;其中,

[0062] 第二开关晶体管M2的栅极与扫描信号端Scan相连,源极与第二电源端VEE相连,漏极与驱动晶体管M0的漏极D相连。

[0063] 在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a和图2c所示,第二开关晶体管M2可以为P型开关晶体管;或者,如图2b和图2d所示,第二开关晶体管M2也可以为N型开关晶体管,在此不作限定。

[0064] 在具体实施时,在本实用新型实施例提供的上述像素电路中,第二开关晶体管在扫描信号端的控制下处于导通状态时,将第二电源端的信号提供给驱动晶体管的漏极。

[0065] 以上仅是举例说明本实用新型实施例提供的像素电路中第二导通控制子模块的具体结构,在具体实施时,第二导通控制子模块的具体结构不限于本实用新型实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0066] 具体地,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a至图2d所示,数据写入模块1具体可以包括:第三开关晶体管M3;其中,

[0067] 第三开关晶体管M3的栅极与扫描信号端Scan相连,源极与数据信号端Data相连,漏极与第一节点A相连。

[0068] 在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a和图2c所示,

第三开关晶体管M3可以为P型开关晶体管;或者,如图2b和图2d所示,第三开关晶体管M3也可以为N型开关晶体管,在此不作限定。

[0069] 在具体实施时,在本实用新型实施例提供的上述像素电路中,第三开关晶体管在扫描信号端的控制下处于导通状态时,将数据信号端的信号提供给第一节点。

[0070] 以上仅是举例说明本实用新型实施例提供的像素电路中数据写入模块的具体结构,在具体实施时,数据写入模块的具体结构不限于本实用新型实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0071] 具体地,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a至图2d所示,电源电压控制模块2具体可以包括:第四开关晶体管M4;其中,

[0072] 第四开关晶体管M4的栅极与第一发光控制信号端EM1相连,源极与第一电源端VDD相连,漏极与第二节点B相连。

[0073] 在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a和图2d所示,第四开关晶体管M4可以为P型开关晶体管;或者,如图2b和图2c所示,第四开关晶体管M4也可以为N型开关晶体管,在此不作限定。

[0074] 在具体实施时,在本实用新型实施例提供的上述像素电路中,第四开关晶体管在第一发光控制信号端的控制下处于导通状态时,将第一电源端的信号提供给第二节点。

[0075] 以上仅是举例说明本实用新型实施例提供的像素电路中电源电压控制模块的具体结构,在具体实施时,电源电压控制模块的具体结构不限于本实用新型实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0076] 具体地,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a至图2d所示,发光控制模块5具体可以包括:第五开关晶体管M5和第六开关晶体管M6;其中,

[0077] 第五开关晶体管M5的栅极与第二发光控制信号端EM2相连,源极与第一节点A相连,漏极与驱动晶体管M0的栅极G相连;

[0078] 第六开关晶体管M6的栅极与第二发光控制信号端EM2相连,源极与驱动晶体管M0的漏极D相连,第六开关晶体管M6的漏极与发光器件L的第一端相连。

[0079] 在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a和图2d所示,第五开关晶体管M5和第六开关晶体管M6可以为P型开关晶体管;或者,如图2b和图2c所示,第五开关晶体管M5和第六开关晶体管M6也可以为N型开关晶体管,在此不作限定。

[0080] 在具体实施时,在本实用新型实施例提供的上述像素电路中,第五开关晶体管在第二发光控制信号端的控制下处于导通状态时,导通第一节点和第二节点,以将第一节点的信号提供给第二节点,以至少将驱动晶体管的阈值电压和第一电源端的电压提供给驱动晶体管的栅极;第六开关晶体管在第二发光控制信号端的控制下处于导通状态时,导通驱动晶体管的漏极与发光器件,以控制驱动晶体管驱动发光器件发光。

[0081] 以上仅是举例说明本实用新型实施例提供的像素电路中发光控制模块的具体结构,在具体实施时,发光控制模块的具体结构不限于本实用新型实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0082] 具体地,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a至图2d所示,存储模块4具体可以包括:电容C;其中,

[0083] 电容C的第一端与第一节点A相连,第二端与第二节点C相连。

[0084] 在具体实施时,在本实用新型实施例提供的上述像素电路中,电容在第一节点的信号和第二节点的信号的共同控制下进行充电;并在第一节点的信号和第二节点的信号的共同控制下进行放电;以及在第一节点处于浮接状态时,保持第一节点和第二节点之间的电压差稳定,以将驱动晶体管的阈值电压 V_{th} 和第一电源端的电压 V_{dd} 存储于第一节点。

[0085] 以上仅是举例说明本实用新型实施例提供的像素电路中存储模块的具体结构,在具体实施时,存储模块的具体结构不限于本实用新型实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0086] 进一步地,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a所示,所有的开关晶体管可以均为P型晶体管,或如图2b所示,所有的开关晶体管可以均为N型晶体管,在此不作限定。

[0087] 较佳地,由于驱动晶体管M0为P型晶体管,在具体实施时,在本实用新型实施例提供的上述像素电路中,如图2a所示,所有开关晶体管为P型晶体管。这样可以简化像素电路的制作工艺流程。

[0088] 在具体实施时,在本实用新型实施例提供的上述像素电路中,P型开关晶体管在高电位作用下截止,在低电位作用下导通;N型开关晶体管在高电位作用下导通,在低电位作用下截止。

[0089] 需要说明的是,在本实用新型实施例提供的上述像素电路中,驱动晶体管和开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。在具体实施时,这些开关晶体管的源极和漏极根据开关晶体管类型以及信号端的信号的不同,其功能可以互换,在此不做具体区分。在描述具体实施例时,均是以驱动晶体管和开关晶体管为薄膜晶体管为例进行说明的。

[0090] 下面以图2a和图2b所示的像素电路为例,结合电路时序图对本实用新型实施例提供的上述像素电路的工作过程作以描述。下述描述中以1表示高电位,0表示低电位。需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本实用新型实施例的具体工作过程,而不是在具体实施时施加在各开关晶体管的栅极上的电位。

[0091] 实施例一、

[0092] 如图2a所示,驱动晶体管M0为P型晶体管,所有开关晶体管均为P型晶体管;各开关晶体管在高电平作用下截止,在低电平作用下导通;对应的输入时序图如图3a所示。具体地,选取如图3a所示的输入时序图中的T1、T2、T3和T4四个阶段。

[0093] 在T1阶段,Scan=0,EM1=0,EM2=1。

[0094] 由于Scan=0,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均导通;由于EM1=0,因此第四开关晶体管M4导通;由于EM2=1,因此第五开关晶体管M5和第六开关晶体管M6均截止。导通的第三开关晶体管M3将数据信号端Data的电压 V_{Data} 提供给第一节点A,即电容C的第一端,因此电容C的第一端的电压为 V_{Data} ;导通的第四开关晶体管M4将第一电源端VDD的电压 V_{dd} 提供给第二节点B,即驱动晶体管M0的源极S与电容C的第二端,因此电容C的第二端的电压为 V_{dd} ;导通的第一开关晶体管M1将初始信号端Int的电压 V_{Int} 提供给驱动晶体管M0的栅极G;导通的第二开关晶体管M2将第二电源端VEE的电压 V_{ee} 提供给驱动晶体管M0的漏极D,以控制驱动晶体管M0处于二极管状态,以控制驱动晶体管M0具有从其

源极流向其漏极的稳定电流。但是由于第六开关晶体管M6截止,因此发光器件L不发光。

[0095] 在T2阶段,Scan=0,EM1=1,EM2=1。

[0096] 由于Scan=0,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均导通;由于EM2=1,因此第五开关晶体管M5和第六开关晶体管M6均截止;由于EM1=1,因此第四开关晶体管M4截止。导通的第三开关晶体管M3将数据信号端Data的电压 V_{Data} 提供给第一节点A,即电容C的第一端,因此电容C的第一端的电压为 V_{Data} ;截止的第四开关晶体管M4使第一电源端VDD与第二节点B断开,因此第二节点B处于浮接状态;导通的第一开关晶体管M1将初始信号端Int的电压 V_{Int} 提供给驱动晶体管M0的栅极G;导通的第二开关晶体管M2将第二电源端VEE的电压 V_{ee} 提供给驱动晶体管M0的漏极D以控制驱动晶体管M0处于二极管状态,由于驱动晶体管M0的栅源电压大于其阈值电压 V_{th} 使驱动晶体管M0开启;由于驱动晶体管M0处于二极管状态,因此电容C通过驱动晶体管M0进行放电,直至第二节点B的电压,即电容的第二端的电压变为: $V_{Int}-V_{th}$,驱动晶体管M0截止,电容C停止放电,因此电容两端的电压差为: $V_{Data}-V_{Int}+V_{th}$ 。

[0097] 在T3阶段,前时间段,Scan=1,EM1=1,EM2=1。

[0098] 由于Scan=1,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止;由于EM1=1,因此第四开关晶体管M4截止;由于EM2=1,因此第五开关晶体管M5和第六开关晶体管M6均截止。

[0099] 后时间段,Scan=1,EM1=0,EM2=1。由于Scan=1,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止;由于EM2=1,因此第五开关晶体管M5和第六开关晶体管M6均截止;由于EM1=0,因此第四开关晶体管M4导通。导通的第四开关晶体管M4将第一电源端VDD的电压 V_{dd} 提供给第二节点B,因此第二节点B的电压,即电容的第二端的电压为 V_{dd} 。截止的第三开关晶体管M3使数据信号端Data与第一节点A断开,因此第一节点A处于浮接状态;由于第一节点A处于浮接状态,根据电容耦合原理,为了保持电容两端的电压差仍为: $V_{Data}-V_{Int}+V_{th}$,因此电容C的第一端的电压由 V_{Data} 跳变为 $V_{Data}+V_{dd}-V_{Int}+V_{th}$ 。

[0100] 在T4阶段,Scan=1,EM1=0,EM2=0。

[0101] 由于Scan=1,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止;由于EM2=0,因此第五开关晶体管M5和第六开关晶体管M6均导通;由于EM1=0,因此第四开关晶体管M4导通。导通的第五开关晶体管M5将第一节点A的电压,即电容第一端的电压 $V_{Data}+V_{dd}-V_{Int}+V_{th}$ 提供给第二节点B,因此驱动晶体管M0的栅极G的电压为 $V_{Data}+V_{dd}-V_{Int}+V_{th}$;导通的第四开关晶体管M4将第一电源端VDD的电压 V_{dd} 提供给第二节点B,因此驱动晶体管M0的源极S的电压为 V_{dd} ;由于驱动晶体管M0处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0的工作电流 I_L 满足公式: $I_L=K(V_{GS}-V_{th})^2=K[(V_{Data}+V_{dd}-V_{Int}+V_{th}-V_{dd})-V_{th}]^2=K(V_{Data}-V_{Int})^2$,其中, V_{GS} 为驱动晶体管M0的栅源电压; K 为结构参数,相同结构中此数值相对稳定,可以算作常量。通过上式可知,驱动晶体管M0处于饱和状态时的电流仅与初始信号端Int的电压 V_{Int} 和数据信号端Data的电压 V_{Data} 相关,而与驱动晶体管M0的阈值电压 V_{th} 和第一电源端VDD的电压 V_{dd} 无关,彻底解决了由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 V_{th} 漂移,以及1R Drop对流过发光器件的电流的影响,从而使发光器件L的工作电流保持稳定,进而保证了发光器件L的正常工作。

[0102] 实施例二、

[0103] 如图2b所示,驱动晶体管M0为P型晶体管,所有开关晶体管均为N型开关晶体管;各开关晶体管在高电平作用下导通,在低电平作用下截止;对应的输入时序图如图3b所示。具体地,选取如图3b所示的输入时序图中的T1、T2、T3和T4四个阶段。

[0104] 在T1阶段,Scan=1,EM1=1,EM2=0。

[0105] 由于Scan=1,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均导通;由于EM1=1,因此第四开关晶体管M4导通;由于EM2=0,因此第五开关晶体管M5和第六开关晶体管M6均截止。导通的第三开关晶体管M3将数据信号端Data的电压 V_{Data} 提供给第一节点A,即电容C的第一端,因此电容C的第一端的电压为 V_{Data} ;导通的第四开关晶体管M4将第一电源端VDD的电压 V_{dd} 提供给第二节点B,即驱动晶体管M0的源极S与电容C的第二端,因此电容C的第二端的电压为 V_{dd} ;导通的第一开关晶体管M1将初始信号端Int的电压 V_{Int} 提供给驱动晶体管M0的栅极G;导通的第二开关晶体管M2将第二电源端VEE的电压 V_{ee} 提供给驱动晶体管M0的漏极D,以控制驱动晶体管M0处于二极管状态,以控制驱动晶体管M0具有从其源极流向其漏极的稳定电流。但是由于第六开关晶体管M6截止,因此发光器件L不发光。

[0106] 在T2阶段,Scan=1,EM1=0,EM2=0。

[0107] 由于Scan=1,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均导通;由于EM2=0,因此第五开关晶体管M5和第六开关晶体管M6均截止;由于EM1=0,因此第四开关晶体管M4截止。导通的第三开关晶体管M3将数据信号端Data的电压 V_{Data} 提供给第一节点A,即电容C的第一端,因此电容C的第一端的电压为 V_{Data} ;截止的第四开关晶体管M4使第一电源端VDD与第二节点B断开,因此第二节点B处于浮接状态;导通的第一开关晶体管M1将初始信号端Int的电压 V_{Int} 提供给驱动晶体管M0的栅极G;导通的第二开关晶体管M2将第二电源端VEE的电压 V_{ee} 提供给驱动晶体管M0的漏极D以控制驱动晶体管M0处于二极管状态,由于驱动晶体管M0的栅源电压大于其阈值电压 V_{th} 使驱动晶体管M0开启;由于驱动晶体管M0处于二极管状态,因此电容C通过驱动晶体管M0进行放电,直至第二节点B的电压,即电容的第二端的电压变为: $V_{Int}-V_{th}$,驱动晶体管M0截止,电容C停止放电,因此电容两端的电压差为: $V_{Data}-V_{Int}+V_{th}$ 。

[0108] 在T3阶段,前时间段,Scan=0,EM1=0,EM2=0。

[0109] 由于Scan=0,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止;由于EM1=0,因此第四开关晶体管M4截止;由于EM2=0,因此第五开关晶体管M5和第六开关晶体管M6均截止。

[0110] 后时间段,Scan=0,EM1=1,EM2=0。

[0111] 由于Scan=0,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均截止;由于EM2=0,因此第五开关晶体管M5和第六开关晶体管M6均截止;由于EM1=1,因此第四开关晶体管M4导通。导通的第四开关晶体管M4将第一电源端VDD的电压 V_{dd} 提供给第二节点B,因此第二节点B的电压,即电容的第二端的电压为 V_{dd} 。截止的第三开关晶体管M3使数据信号端Data与第一节点A断开,因此第一节点A处于浮接状态;由于第一节点A处于浮接状态,根据电容耦合原理,为了保持电容两端的电压差仍为: $V_{Data}-V_{Int}+V_{th}$,因此电容C的第一端的电压由 V_{Data} 跳变为 $V_{Data}+V_{dd}-V_{Int}+V_{th}$ 。

[0112] 在T4阶段,Scan=0,EM1=1,EM2=1。

[0113] 由于Scan=0,因此第一开关晶体管M1、第二开关晶体管M2和第三开关晶体管M3均

截止;由于 $EM2=1$,因此第五开关晶体管M5和第六开关晶体管M6均导通;由于 $EM1=1$,因此第四开关晶体管M4导通。导通的第五开关晶体管M5将第一节点A的电压,即电容第一端的电压 $V_{Data}+V_{dd}-V_{Int}+V_{th}$ 提供给第二节点B,因此驱动晶体管M0的栅极G的电压为 $V_{Data}+V_{dd}-V_{Int}+V_{th}$;导通的第四开关晶体管M4将第一电源端VDD的电压 V_{dd} 提供给第二节点B,因此驱动晶体管M0的源极S的电压为 V_{dd} ;由于驱动晶体管M0处于饱和状态,根据饱和状态电流特性可知,流过驱动晶体管M0的工作电流 I_L 满足公式: $I_L=K(V_{GS}-V_{th})^2=K[(V_{Data}+V_{dd}-V_{Int}+V_{th}-V_{dd})-V_{th}]^2=K(V_{Data}-V_{Int})^2$,其中, V_{GS} 为驱动晶体管M0的栅源电压; K 为结构参数,相同结构中此数值相对稳定,可以算作常量。通过上式可知,驱动晶体管M0处于饱和状态时的电流仅与初始信号端Int的电压 V_{Int} 和数据信号端Data的电压 V_{Data} 相关,而与驱动晶体管M0的阈值电压 V_{th} 和第一电源端VDD的电压 V_{dd} 无关,彻底解决了由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 V_{th} 漂移,以及 I_R Drop对流过发光器件的电流的影响,从而使发光器件L的工作电流保持稳定,进而保证了发光器件L的正常工作。

[0114] 在本实用新型实施例一和实施例二中,由于在T1阶段,会有一个稳定的电流通过驱动晶体管,避免了迟滞效应的产生,改善了驱动晶体管的响应时间,并且能降低暗态亮度。

[0115] 基于同一实用新型构思,本实用新型实施例还提供了一种本实用新型实施例提供的上述任一种像素电路的驱动方法,如图4所示,包括:第一阶段、第二阶段、第三阶段和第四阶段;其中,

[0116] S401、在第一阶段,数据写入模块在扫描信号端的控制下将数据信号端的信号提供给第一节点;电源电压控制模块在第一发光控制信号端的控制下将第一电源端的信号提供给第二节点;存储模块在第一节点的信号和第二节点的信号的共同控制下进行充电;导通控制模块通过初始信号端和第二电源端控制驱动晶体管处于二极管状态;

[0117] S402、在第二阶段,数据写入模块在扫描信号端的控制下将数据信号端的信号提供给第一节点;导通控制模块通过初始信号端和第二电源端控制驱动晶体管处于二极管状态;存储模块在第一节点的信号和第二节点的信号的共同控制下进行放电;

[0118] S403、在第三阶段,电源电压控制模块在第一发光控制信号端的控制下将第一电源端的信号提供给第二节点;存储模块在第一节点处于浮接状态时保持第一节点和第二节点之间的电压差稳定;

[0119] S404、在第四阶段,电源电压控制模块在第一发光控制信号端的控制下将第一电源端的信号提供给第二节点;发光控制模块在第二发光控制信号端的控制下导通第一节点和驱动晶体管的栅极以及导通驱动晶体管的漏极和发光器件,以控制驱动晶体管驱动发光器件发光。

[0120] 本实用新型实施例提供的上述驱动方法可以使像素电路中的驱动晶体管驱动发光器件发光的工作电流仅与数据信号端的电压和初始信号端的电压有关,而与驱动晶体管的阈值电压和第一电源端的电压无关,可以避免驱动晶体管的阈值电压与 I_R Drop对流过发光器件的工作电流的影响,从而使驱动发光器件发光的工作电流保持稳定,进而提高显示装置中显示区域画面亮度的均匀性。

[0121] 基于同一实用新型构思,本实用新型实施例还提供了一种有机电致发光显示面板,包括:本实用新型实施例提供的上述任一种像素电路。该有机电致发光显示面板解决问

题的原理与前述的像素电路相似,因此该有机电致发光显示面板的实施可以参见上述像素电路的实施,重复之处不再赘述。

[0122] 基于同一实用新型构思,本实用新型实施例还提供了一种显示装置,包括本实用新型实施例提供的上述有机电致发光显示面板。该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本实用新型的限制。该显示装置的实施可以参见上述像素电路的实施例,重复之处不再赘述。

[0123] 本实用新型实施例提供的像素电路、有机电致发光显示面板及显示装置,包括:数据写入模块、电源电压控制模块、导通控制模块、存储模块、发光控制模块、驱动晶体管以及发光器件;其中,数据写入模块用于在扫描信号端的控制下将数据信号端的信号提供给第一节点;电源电压控制模块用于在第一发光控制信号端的控制下将第一电源端的信号提供给第二节点;导通控制模块用于通过初始信号端和第二电源端控制驱动晶体管处于二极管状态;存储模块用于在第一节点的信号和第二节点的信号的共同控制下进行充电或放电,以及在第一节点处于浮接状态时保持第一节点和第二节点之间的电压差稳定;发光控制模块用于在第二发光控制信号端的控制下导通第一节点和驱动晶体管的栅极以及导通驱动晶体管的漏极和发光器件,以控制驱动晶体管驱动发光器件发光。本实用新型实施例提供的像素电路、有机电致发光显示面板及显示装置,通过上述五个模块以及驱动晶体管的相互配合,可以使像素电路中的驱动晶体管驱动发光器件发光的工作电流仅与数据信号端的电压和初始信号端的电压有关,而与驱动晶体管的阈值电压和第一电源端的电压无关,可以避免驱动晶体管的阈值电压与1R Drop对流过发光器件的工作电流的影响,从而使驱动发光器件发光的工作电流保持稳定,进而提高显示装置中显示区域画面亮度的均匀性。

[0124] 显然,本领域的技术人员可以对本实用新型进行各种改动和变型而不脱离本实用新型的精神和范围。这样,倘若本实用新型的这些修改和变型属于本实用新型权利要求及其等同技术的范围之内,则本实用新型也意图包含这些改动和变型在内。

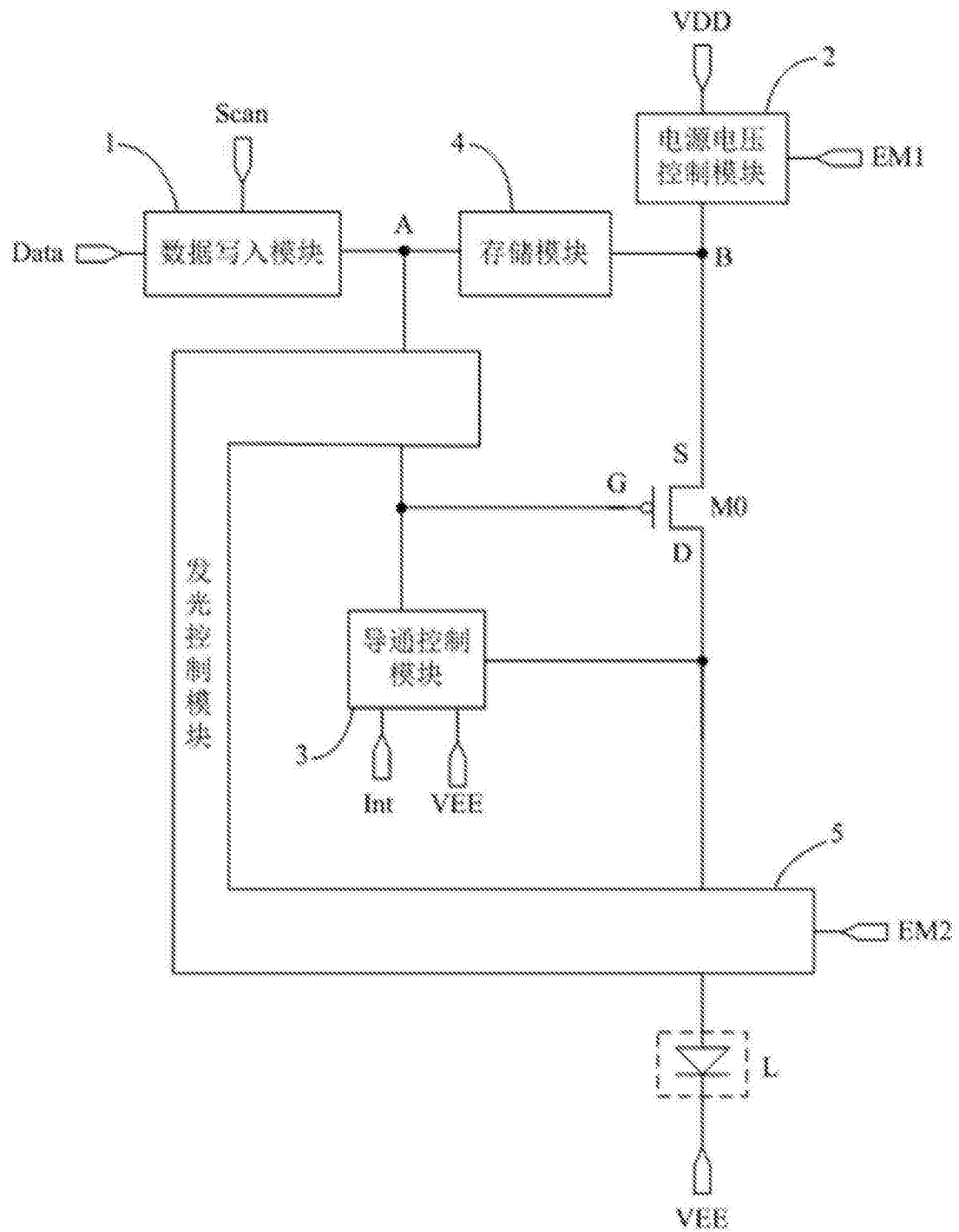


图1a

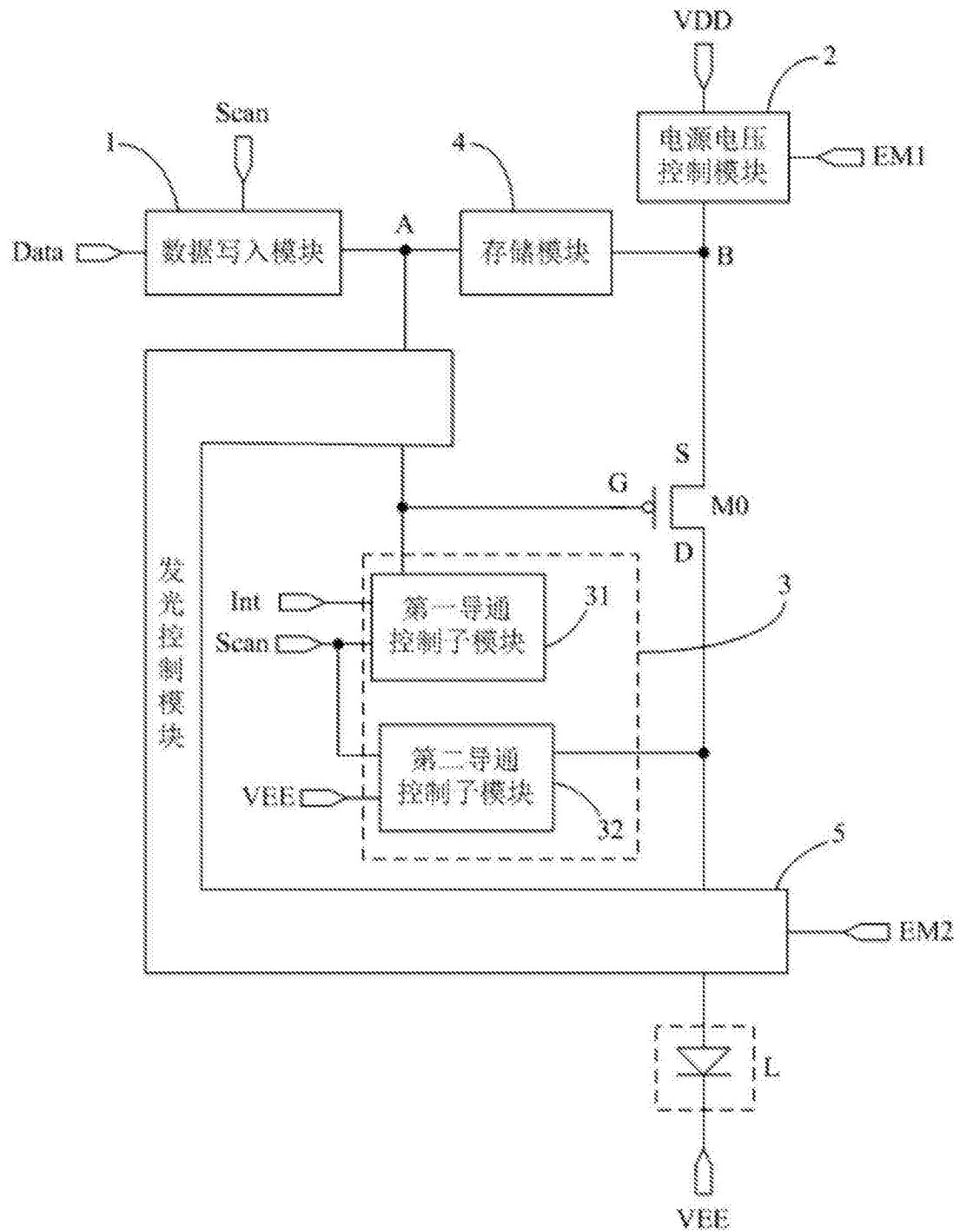


图1b

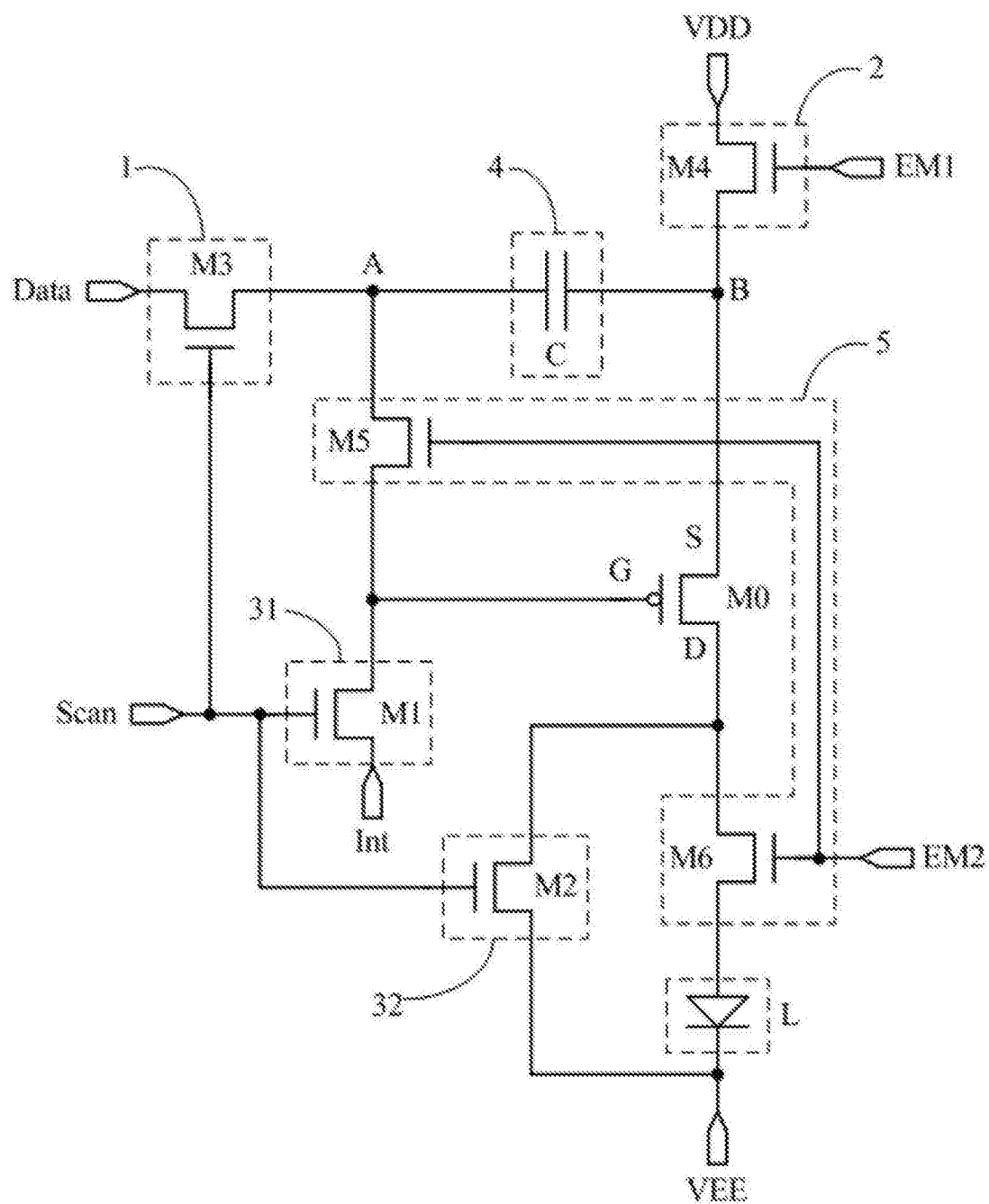


图2b

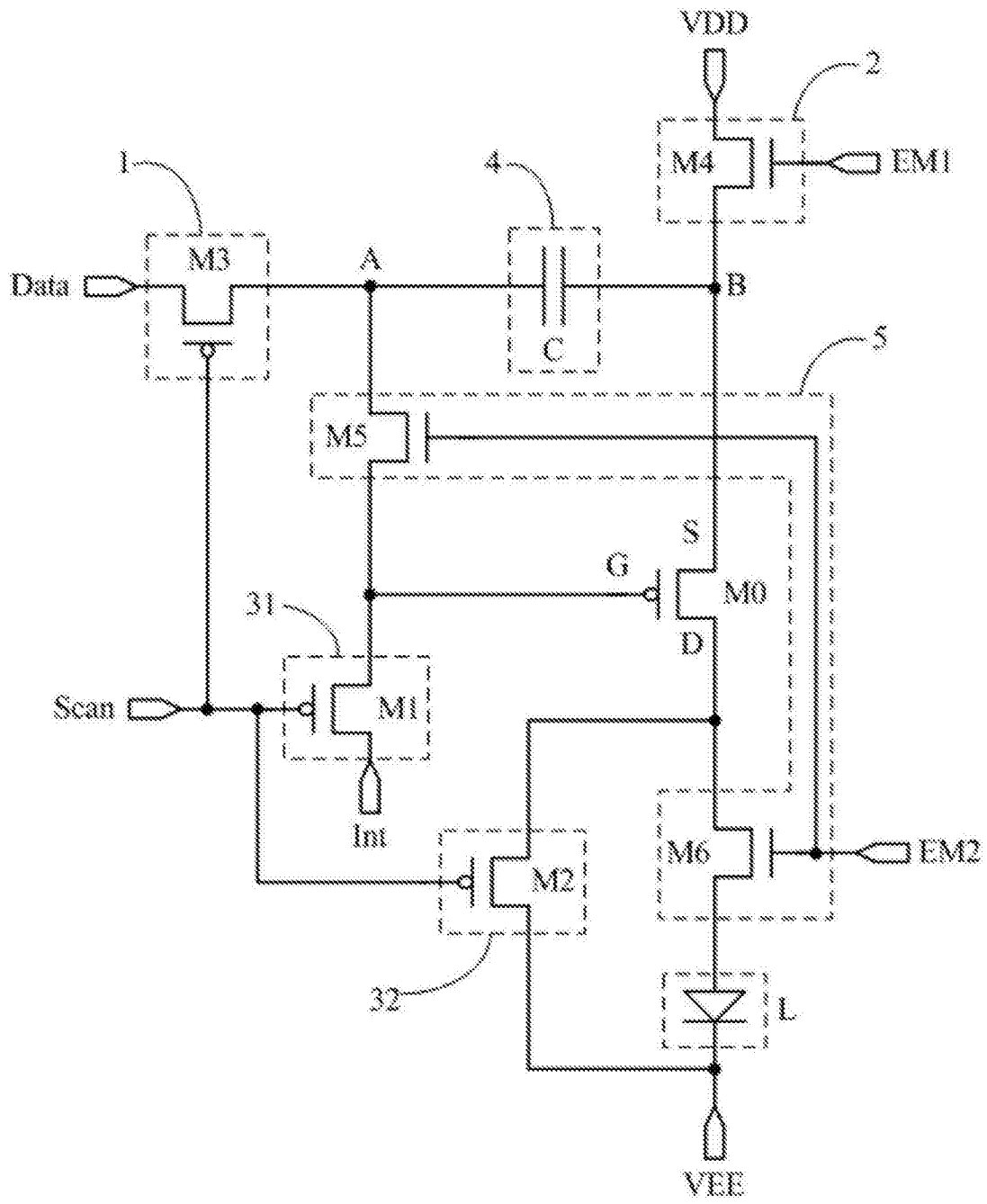


图2c

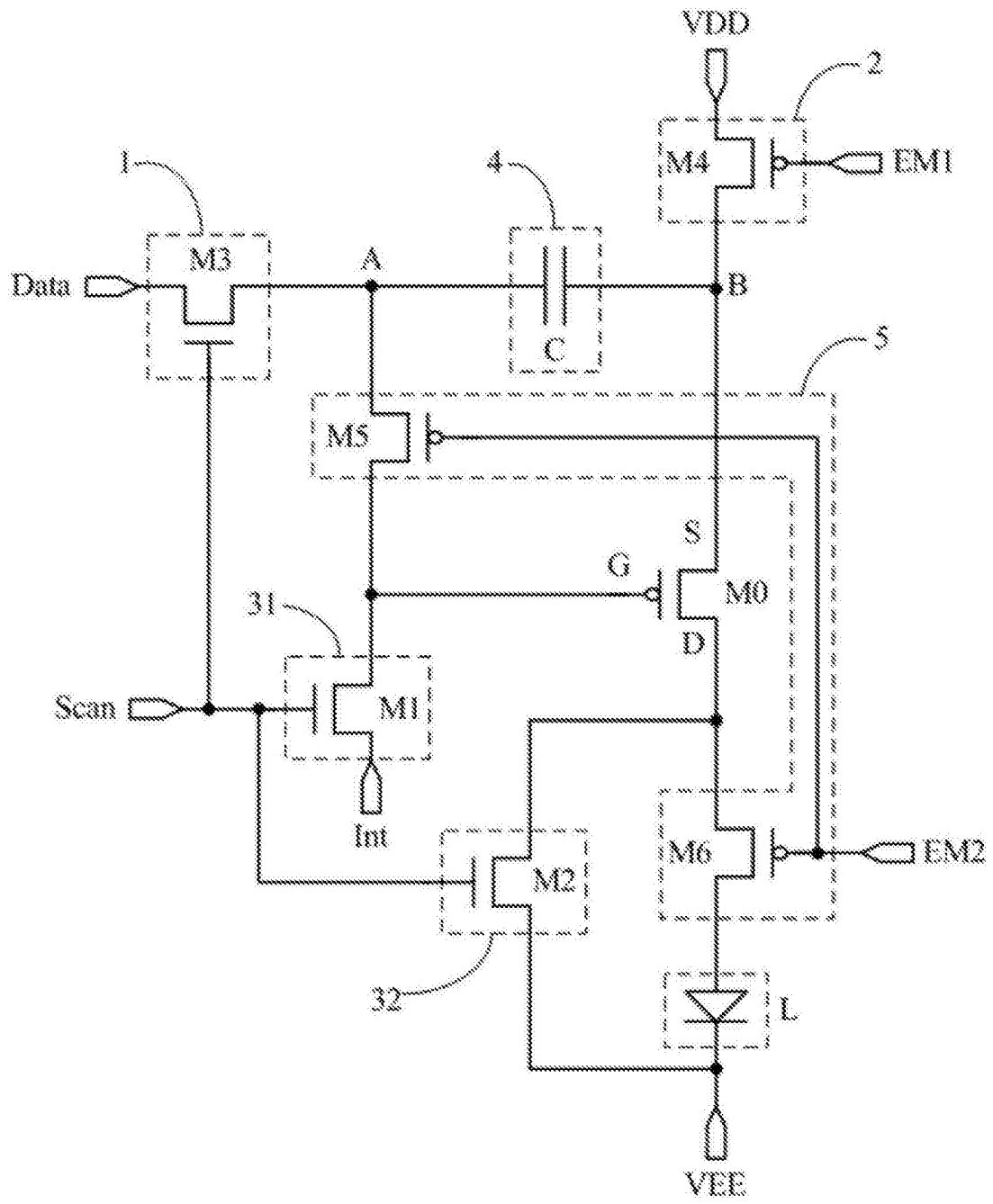


图2d

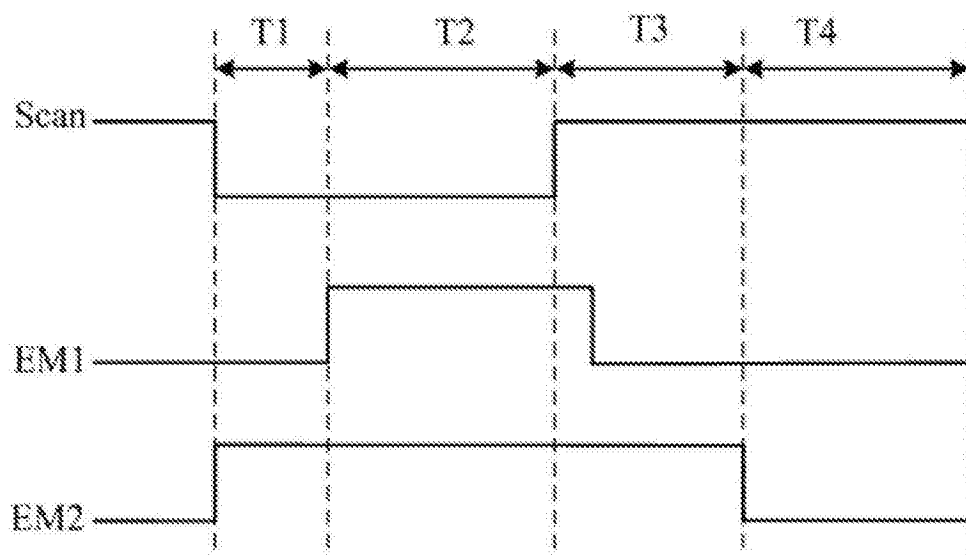


图3a

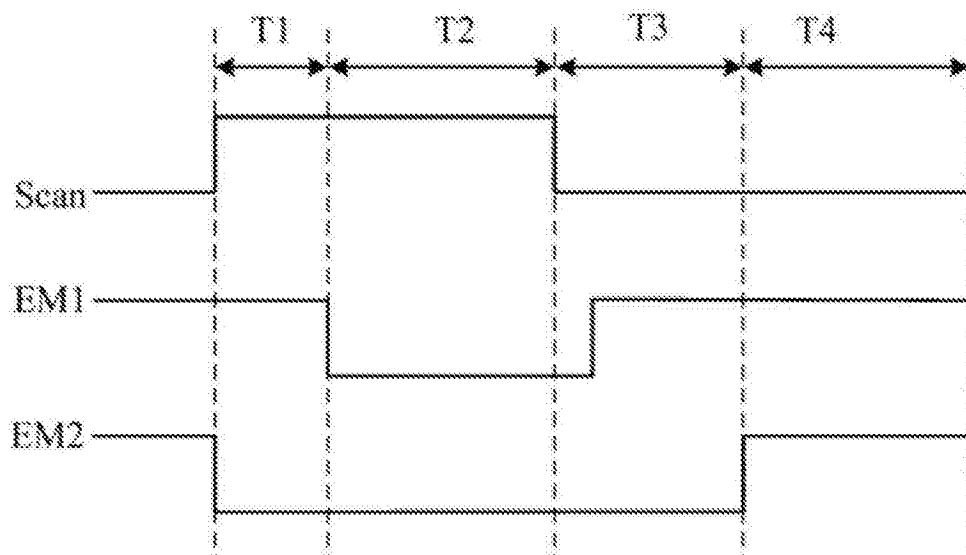


图3b

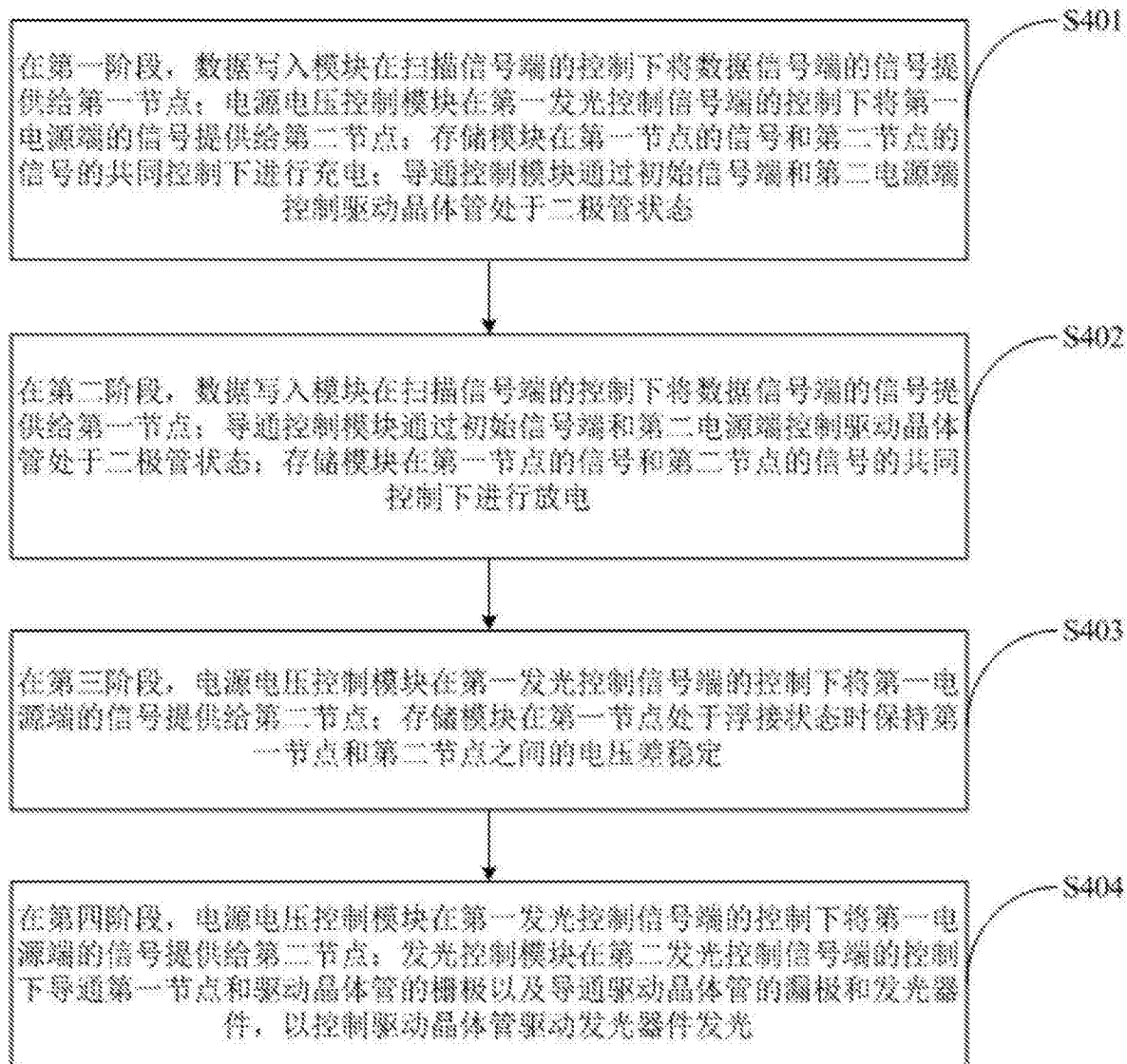


图4

本实用新型公开了一种像素电路、有机电致发光显示面板及显示装置，包括：数据写入模块、电源电压控制模块、导通控制模块、存储模块、发光控制模块、驱动晶体管以及发光器件；其中，通过上述五个模块以及驱动晶体管的相互配合，可以使像素电路中的驱动晶体管驱动发光器件发光的工作电流仅与数据信号端的电压和初始信号端的电压有关，而与驱动晶体管的阈值电压和第一电源端的电压无关，可以避免驱动晶体管的阈值电压与IR Drop对流过发光器件的工作电流的影响，从而使驱动发光器件发光的工作电流保持稳定，进而提高显示装置中显示区域画面亮度的均匀性。

