



(12)发明专利申请

(10)申请公布号 CN 109427301 A

(43)申请公布日 2019.03.05

(21)申请号 201810436464.5

(22)申请日 2018.05.09

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 杨盛际 董学 陈小川 王辉

卢鹏程

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G09G 3/3233(2016.01)

G09G 3/00(2006.01)

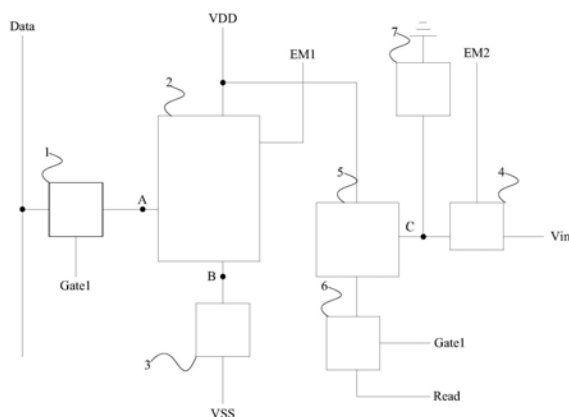
权利要求书3页 说明书11页 附图5页

(54)发明名称

像素电路和电致发光显示面板、其驱动方法及显示装置

(57)摘要

本发明公开了一种像素电路和电致发光显示面板、其驱动方法及显示装置,在像素电路中增加了初始化模块、感光驱动模块、感光输出模块和感光器件,在第二控制信号端的控制下通过初始化模块将初始化信号端提供的初始化信号传输至第三节点,在第三节点的电位控制下感光驱动模块输出对应的电信号,在第一栅极信号端的控制下感光输出模块将感光驱动模块输出的电信号传输至读取信号端,可以在控制像素电路发光时,完成在像素电路内的外部环境亮度探测,实现自带屏内光学检测功能,便于显示屏根据检测到的外部环境亮度调整显示模式。在像素电路内部实现光学检测功能,不会占用面板面积,有利于窄边框或全面屏设计;且不用单独设置外部探测器件以节省成本。



1. 一种像素电路,其特征在于,包括:数据写入模块、发光驱动模块、发光器件、初始化模块、感光驱动模块、感光输出模块和感光器件;其中,

所述数据写入模块的输入端与数据信号端相连,控制端与第一栅极信号端相连,输出端与第一节点相连;所述数据写入模块用于在所述第一栅极信号端的控制下,将所述数据信号端提供的数据信号传输至第一节点;

所述发光驱动模块的输入端与第一参考信号端相连,第一控制端与所述第一节点相连,第二控制端与第一控制信号端相连,输出端与第二节点相连;所述发光器件连接于所述第二节点与第二参考信号端之间;所述发光驱动模块用于在所述第一节点的电位和所述第一控制信号端的控制下,驱动所述发光器件发光;

所述初始化模块的输入端与初始化信号端相连,控制端与第二控制信号端相连,输出端与第三节点相连;所述初始化模块用于在所述第二控制信号端的控制下,将所述初始化信号端提供的初始化信号传输至所述第三节点;

所述感光器件的一端与所述第三节点相连,另一端接地;所述感光器件用于根据接收到的光照强度,控制所述第三节点的电位;

所述感光驱动模块的输入端与所述第一参考信号端相连,控制端与所述第三节点相连,输出端与所述感光输出模块的输入端相连;所述感光驱动模块用于在所述第三节点的电位控制下,输出对应的电信号;

所述感光输出模块的控制端与所述第一栅极信号端相连,输出端与读取信号端相连;所述感光输出模块用于在所述第一栅极信号端的控制下,将所述感光驱动模块输出的电信号传输至所述读取信号端。

2. 如权利要求1所述的像素电路,其特征在于,所述数据写入模块,包括:第一薄膜晶体管;

所述第一薄膜晶体管的栅极与所述第一栅极信号端相连,源极与所述数据信号端相连,漏极与所述第一节点相连。

3. 如权利要求2所述的像素电路,其特征在于,所述数据写入模块,还包括:第二薄膜晶体管;

所述第二薄膜晶体管的栅极与第二栅极信号端相连,源极与所述数据信号端相连,漏极与所述第一节点相连;

所述第一薄膜晶体管为N型晶体管,所述第二薄膜晶体管为P型晶体管;或,所述第二薄膜晶体管为N型晶体管,所述第一薄膜晶体管为P型晶体管;

所述第二栅极信号端和所述第一栅极信号端提供相反的电信号。

4. 如权利要求2所述的像素电路,其特征在于,所述感光输出模块包括:第三薄膜晶体管;

所述第三薄膜晶体管的栅极与所述第一栅极信号端相连,源极与所述感光驱动模块的输出端相连,漏极与所述读取信号端相连;

所述第一薄膜晶体管为N型晶体管,所述第三薄膜晶体管为N型晶体管;或,所述第一薄膜晶体管为P型晶体管,所述第三薄膜晶体管为P型晶体管。

5. 如权利要求1所述的像素电路,其特征在于,所述发光驱动模块包括:第四薄膜晶体管、第一驱动晶体管和第一电容;其中,

所述第四薄膜晶体管的栅极与所述第一控制信号端相连,源极与所述第一参考信号端相连,漏极与所述第一驱动晶体管的源极相连;

所述第一驱动晶体管的栅极与所述第一节点相连,漏极与所述第二节点相连;

所述第一电容与所述第一节点相连。

6.如权利要求5所述的像素电路,其特征在于,所述初始化模块包括:第五薄膜晶体管;

所述第五薄膜晶体管的栅极与所述初始化信号端相连,源极与所述第二控制信号端相连,漏极与所述第三节点相连。

7.如权利要求6所述的像素电路,其特征在于,所述第一控制信号端和所述第二控制信号端为同一信号端;

所述第四薄膜晶体管为N型晶体管,所述第五薄膜晶体管为P型晶体管;或,所述第五薄膜晶体管为N型晶体管,所述第四薄膜晶体管为P型晶体管。

8.如权利要求6所述的像素电路,其特征在于,还包括:与所述第五薄膜晶体管类型相同的第六薄膜晶体管;

所述第六薄膜晶体管的栅极与所述第二控制信号端相连,源极与公共信号端相连,漏极与所述第二节点相连。

9.如权利要求1-8任一项所述的像素电路,其特征在于,所述感光驱动模块包括:第二驱动晶体管和第二电容;其中,

所述第二驱动晶体管的栅极与所述第三节点相连,源极与所述第一参考信号端相连,漏极与所述感光输出模块的输入端相连;

所述第二电容与所述第三节点相连。

10.一种如权利要求1-9任一项所述的像素电路的驱动方法,其特征在于,包括:

在第一时段,初始化模块在第二控制信号端的控制下,将初始化信号端提供的初始化信号传输至第三节点;

在第二时段,数据写入模块在第一栅极信号端的控制下,将数据信号端提供的数据信号传输至第一节点;感光器件根据接收到的光照强度,控制所述第三节点的电位,感光驱动模块在所述第三节点的电位控制下,输出对应的电信号,感光输出模块在所述第一栅极信号端的控制下,将所述感光驱动模块输出的电信号传输至读取信号端;

在第三时段,发光驱动模块在所述第一节点的电位和所述第一控制信号端的控制下,驱动所述发光器件发光;

所述第一时段、第二时段和第三时段为顺序连接的时段。

11.如权利要求10所述的驱动方法,其特征在于,还包括:所述第一时段,第六薄膜晶体管在所述第二控制信号端的控制下,将公共信号端的公共电位信号提供至第二节点。

12.一种电致发光显示面板,其特征在于,包括多个发光像素,至少部分所述发光像素中包括如权利要求1-9任一项所述的像素电路。

13.如权利要求12所述的电致发光显示面板,其特征在于,所述电致发光显示面板的衬底基板为硅晶片。

14.一种如权利要求12或13所述的电致发光显示面板的驱动方法,其特征在于,包括:

通过读取感光驱动模块输出的电信号强度,确定感光器件接收到的外部光照强度;

根据所述外部光照强度,在高亮度和高对比度之间各发光像素的工作模式。

15. 一种显示装置, 其特征在于, 包括如权利要求12或13所述的电致发光显示面板。

像素电路和电致发光显示面板、其驱动方法及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路和电致发光显示面板、其驱动方法及显示装置。

背景技术

[0002] 目前,有机发光二极管(Organic Light Emitting Display,OLED)按照驱动方式可以分为无源矩阵型OLED(Passive Matrix OLED,PMOLED)和有源矩阵型OLED(Active Matrix OLED,AMOLED)两大类,其中,AMOLED具有呈阵列式排布的像素电路,属于主动显示类型,具有发光效能高、对比度高、视角宽等优点,通常被用于高清晰的大尺寸显示装置。目前,常用的AMOLED像素电路为电流型驱动电路,当有电流经过有机发光二极管时,有机发光二极管发光,且像素灰阶亮度可以通过控制流经有机发光二极管自身的电流大小来实现亮度的变化。

[0003] 在OLED显示屏中,有机发光二极管的显示亮度可以根据外界环境光的大小实时调节,如果外部环境亮度较高,则系统可以根据测试得到的光亮度,选择器件高亮模式,反之亦然。但是这种方式的探测器件(Sensor)一般都是设置在显示屏的主板或者单独的功能区,会占用额外的面板面积,并采用单独探测器件会增加额外的成本。

发明内容

[0004] 有鉴于此,本发明实施例提供了一种像素电路和电致发光显示面板、其驱动方法及显示装置,用以实现自带屏内光学检测功能。

[0005] 因此,本发明实施例提供了一种像素电路,包括:数据写入模块、发光驱动模块、发光器件、初始化模块、感光驱动模块、感光输出模块和感光器件;其中,

[0006] 所述数据写入模块的输入端与数据信号端相连,控制端与第一栅极信号端相连,输出端与第一节点相连;所述数据写入模块用于在所述第一栅极信号端的控制下,将所述数据信号端提供的数据信号传输至第一节点;

[0007] 所述发光驱动模块的输入端与第一参考信号端相连,第一控制端与所述第一节点相连,第二控制端与第一控制信号端相连,输出端与第二节点相连;所述发光器件连接于所述第二节点与第二参考信号端之间;所述发光驱动模块用于在所述第一节点的电位和所述第一控制信号端的控制下,驱动所述发光器件发光;

[0008] 所述初始化模块的输入端与初始化信号端相连,控制端与第二控制信号端相连,输出端与第三节点相连;所述初始化模块用于在所述第二控制信号端的控制下,将所述初始化信号端提供的初始化信号传输至所述第三节点;

[0009] 所述感光器件的一端与所述第三节点相连,另一端接地;所述感光器件用于根据接收到的光照强度,控制所述第三节点的电位;

[0010] 所述感光驱动模块的输入端与所述第一参考信号端相连,控制端与所述第三节点相连,输出端与所述感光输出模块的输入端相连;所述感光驱动模块用于在所述第三节点

的电位控制下,输出对应的电信号;

[0011] 所述感光输出模块的控制端与所述第一栅极信号端相连,输出端与读取信号端相连;所述感光输出模块用于在所述第一栅极信号端的控制下,将所述感光驱动模块输出的电信号传输至所述读取信号端。

[0012] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,所述数据写入模块,包括:第一薄膜晶体管;

[0013] 所述第一薄膜晶体管的栅极与所述第一栅极信号端相连,源极与所述数据信号端相连,漏极与所述第一节点相连。

[0014] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,所述数据写入模块,还包括:第二薄膜晶体管;

[0015] 所述第二薄膜晶体管的栅极与第二栅极信号端相连,源极与所述数据信号端相连,漏极与所述第一节点相连;

[0016] 所述第一薄膜晶体管为N型晶体管,所述第二薄膜晶体管为P型晶体管;或,所述第二薄膜晶体管为N型晶体管,所述第一薄膜晶体管为P型晶体管;

[0017] 所述第二栅极信号端和所述第一栅极信号端提供相反的电信号。

[0018] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,所述感光输出模块包括:第三薄膜晶体管;

[0019] 所述第三薄膜晶体管的栅极与所述第一栅极信号端相连,源极与所述感光驱动模块的输出端相连,漏极与所述读取信号端相连;

[0020] 所述第一薄膜晶体管为N型晶体管,所述第三薄膜晶体管为N型晶体管;或,所述第一薄膜晶体管为P型晶体管,所述第三薄膜晶体管为P型晶体管。

[0021] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,所述发光驱动模块包括:第四薄膜晶体管、第一驱动晶体管和第一电容;其中,

[0022] 所述第四薄膜晶体管的栅极与所述第一控制信号端相连,源极与所述第一参考信号端相连,漏极与所述第一驱动晶体管的源极相连;

[0023] 所述第一驱动晶体管的栅极与所述第一节点相连,漏极与所述第二节点相连;

[0024] 所述第一电容与所述第一节点相连。

[0025] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,所述初始化模块包括:第五薄膜晶体管;

[0026] 所述第五薄膜晶体管的栅极与所述初始化信号端相连,源极与所述第二控制信号端相连,漏极与所述第三节点相连。

[0027] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,所述第一控制信号端和所述第二控制信号端为同一信号端;

[0028] 所述第四薄膜晶体管为N型晶体管,所述第五薄膜晶体管为P型晶体管;或,所述第五薄膜晶体管为N型晶体管,所述第四薄膜晶体管为P型晶体管。

[0029] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,还包括:与所述第五薄膜晶体管类型相同的第六薄膜晶体管;

[0030] 所述第六薄膜晶体管的栅极与所述第二控制信号端相连,源极与公共信号端相连,漏极与所述第二节点相连。

[0031] 在一种可能的实现方式中,在本发明实施例提供的上述像素电路中,所述感光驱动模块包括:第二驱动晶体管和第二电容;其中,

[0032] 所述第二驱动晶体管的栅极与所述第三节点相连,源极与所述第一参考信号端相连,漏极与所述感光输出模块的输入端相连;

[0033] 所述第二电容与所述第三节点相连。

[0034] 另一方面,本发明实施例还提供了一种上述像素电路的驱动方法,包括:

[0035] 在第一时段,初始化模块在第二控制信号端的控制下,将初始化信号端提供的初始化信号传输至第三节点;

[0036] 在第二时段,数据写入模块在第一栅极信号端的控制下,将数据信号端提供的数据信号传输至第一节点;感光器件根据接收到的光照强度,控制所述第三节点的电位,感光驱动模块在所述第三节点的电位控制下,输出对应的电信号,感光输出模块在所述第一栅极信号端的控制下,将所述感光驱动模块输出的电信号传输至读取信号端;

[0037] 在第三时段,发光驱动模块在所述第一节点的电位和所述第一控制信号端的控制下,驱动所述发光器件发光;

[0038] 所述第一时段、第二时段和第三时段为顺序连接的时段。

[0039] 在一种可能的实现方式中,在本发明实施例提供的上述驱动方法中,还包括:所述第一时段,第六薄膜晶体管在所述第二控制信号端的控制下,将公共信号端的公共电位信号提供至第二节点。

[0040] 另一方面,本发明实施例还提供了一种电致发光显示面板,包括多个发光像素,至少部分所述发光像素中包括上述像素电路。

[0041] 在一种可能的实现方式中,在本发明实施例提供的上述电致发光显示面板中,所述电致发光显示面板的衬底基板为硅晶片。

[0042] 另一方面,本发明实施例还提供了一种所述电致发光显示面板的驱动方法,包括:

[0043] 通过读取感光驱动模块输出的电信号强度,确定感光器件接收到的外部光照强度;

[0044] 根据所述外部光照强度,在高亮度和高对比度之间各发光像素的工作模式。

[0045] 另一方面,本发明实施例还提供了一种显示装置,包括所述电致发光显示面板。

[0046] 本发明实施例的有益效果包括:

[0047] 本发明实施例提供一种像素电路和电致发光显示面板、其驱动方法及显示装置,在像素电路中增加了初始化模块、感光驱动模块、感光输出模块和感光器件,在第二控制信号端的控制下,通过初始化模块将初始化信号端提供的初始化信号传输至第三节点,在第三节点的电位控制下,感光驱动模块输出对应的电信号,在第一栅极信号端的控制下,感光输出模块将感光驱动模块输出的电信号传输至读取信号端,可以在控制像素电路发光的同时,完成在像素电路内的外部环境亮度探测,实现自带屏内光学检测功能,便于显示屏根据检测到的外部环境亮度调整显示模式。在像素电路内部实现光学检测功能,不会占用面板面积,有利于窄边框或全面屏设计;并且,不用单独设置外部探测器件,可以节省成本。

附图说明

[0048] 图1为本发明实施例提供的像素电路的结构示意图;

- [0049] 图2a为本发明实施例提供的像素电路的一种具体结构示意图；
- [0050] 图2b为图2a对应的输入输出信号时序图；
- [0051] 图3a为本发明实施例提供的像素电路的另一种具体结构示意图；
- [0052] 图3b为图3a对应的输入输出信号时序图；
- [0053] 图4a为本发明实施例提供的像素电路的另一种具体结构示意图；
- [0054] 图4b为图4a对应的输入输出信号时序图；
- [0055] 图5a和图5b分别为本发明实施例提供的电致发光显示面板的结构示意图。

具体实施方式

[0056] 为了使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明作进一步地详细描述，显然，所描述的实施例仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，都属于本发明保护的范围。

[0057] 附图中各部件的形状和大小不反映真实比例，目的只是示意说明本发明内容。

[0058] 本发明实施例提供的一种像素电路，如图1所示，包括：数据写入模块1、发光驱动模块2、发光器件3、初始化模块4、感光驱动模块5、感光输出模块6和感光器件7；其中，

[0059] 数据写入模块1的输入端与数据信号端Data相连，控制端与第一栅极信号端Gate1相连，输出端与第一节点A相连；数据写入模块1用于在第一栅极信号端Gate1的控制下，将数据信号端Data提供的数据信号传输至第一节点A；

[0060] 发光驱动模块2的输入端与第一参考信号端VDD相连，第一控制端与第一节点A相连，第二控制端与第一控制信号端EM1相连，输出端与第二节点B相连；发光器件3连接于第二节点B与第二参考信号端VSS之间；发光驱动模块2用于在第一节点A的电位和第一控制信号端EM1的控制下，驱动发光器件3发光；

[0061] 初始化模块4的输入端与初始化信号端Vint相连，控制端与第二控制信号端EM2相连，输出端与第三节点C相连；初始化模块4用于在第二控制信号端EM2的控制下，将初始化信号端Vint提供的初始化信号传输至第三节点A；

[0062] 感光器件7的一端与第三节点C相连，另一端接地；感光器件7用于根据接收到的光照强度，控制第三节点C的电位；

[0063] 感光驱动模块5的输入端与第一参考信号端VDD相连，控制端与第三节点C相连，输出端与感光输出模块6的输入端相连；感光驱动模块5用于在第三节点C的电位控制下，输出对应的电信号；

[0064] 感光输出模块6的控制端与第一栅极信号端Gate1相连，输出端与读取信号端Read相连；感光输出模块6用于在第一栅极信号端Gate1的控制下，将感光驱动模块5输出的电信号传输至读取信号端Read。

[0065] 具体地，在本发明实施例提供的上述像素电路中，增加了初始化模块4、感光驱动模块5、感光输出模块6和感光器件7，在第二控制信号端EM2的控制下，通过初始化模块4将初始化信号端Vint提供的初始化信号传输至第三节点A，在第三节点C的电位控制下，感光驱动模块5输出对应的电信号，在第一栅极信号端Gate1的控制下，感光输出模块6将感光驱动模块5输出的电信号传输至读取信号端Read，可以在控制像素电路发光的同时，完成在像

素电路内的外部环境亮度探测,实现自带屏内光学检测功能,便于显示屏根据检测到的外部环境亮度调整显示模式。在像素电路内部实现光学检测功能,不会占用面板面积,有利于窄边框或全面屏设计;并且,不用单独设置外部探测器件,可以节省成本。

[0066] 可选地,在本发明实施例提供的上述像素电路中,如图2a和图3a所示,数据写入模块1,可以包括:第一薄膜晶体管T1;

[0067] 第一薄膜晶体管T1的栅极与第一栅极信号端Gate1相连,源极与数据信号端Data相连,漏极与第一节点A相连。

[0068] 具体地,在本发明实施例提供的上述像素电路中,第一薄膜晶体管T1在第一栅极信号端Gate1的控制下处于导通状态时,将数据信号端Data的数据信号提供给第一节点A。并且,如图2a所示,第一薄膜晶体管T1可以为P型晶体管,此时第一栅极信号端Gate1加载低电平的有效脉冲信号时,第一薄膜晶体管T1处于导通状态。或者,如图3a所示,第一薄膜晶体管T1也可以为N型晶体管,在此不做限定,此时第一栅极信号端Gate1加载高电平的有效脉冲信号时,第一薄膜晶体管T1处于导通状态。

[0069] 可选地,在本发明实施例提供的上述像素电路中,数据写入模块1,还可以包括:第二薄膜晶体管T2;

[0070] 第二薄膜晶体管T2的栅极与第二栅极信号端Gate2相连,源极与数据信号端Data相连,漏极与第一节点A相连;

[0071] 第一薄膜晶体管T1为N型晶体管,第二薄膜晶体管T2为P型晶体管;或,第二薄膜晶体管T2为N型晶体管,第一薄膜晶体管T1为P型晶体管;

[0072] 第二栅极信号端Gate2和第一栅极信号端Gate1提供相反的电信号。

[0073] 具体地,在本发明实施例提供的上述像素电路中,第二薄膜晶体管T2在第二栅极信号端Gate2的控制下处于导通状态时,将数据信号端Data的数据信号提供给第一节点A。并且,如图3a所示,第二薄膜晶体管T2可以为P型晶体管,此时第二栅极信号端Gate2加载低电平的有效脉冲信号时,第二薄膜晶体管T2处于导通状态。或者,如图2a所示,第二薄膜晶体管T2也可以为N型晶体管,在此不做限定,此时第二栅极信号端Gate2加载高电平的有效脉冲信号时,第二薄膜晶体管T2处于导通状态。

[0074] 具体地,在本发明实施例提供的上述像素电路中,在数据写入模块1中采用第一薄膜晶体管T1和第二薄膜晶体管T2可以构成CMOS(Complementary Metal-Oxide Semiconductor,互补性金属氧化物半导体)。CMOS由PMOS和NMOS管共同构成,由于NMOS和PMOS是互补的,因此叫互补型MOS,即CMOS。由于CMOS中一对MOS组成的门电路在瞬间要么PMOS导通,要么NMOS导通,要么都截止,所以比晶体管效率高得多,因此功耗很低。因此,数据写入模块1采用第一薄膜晶体管T1和第二薄膜晶体管T2构成的CMOS结构,可以降低功耗,提高数据信号写入效率。

[0075] 可选地,在本发明实施例提供的上述像素电路中,感光输出模块6,如图2a和图3a所示,可以包括:第三薄膜晶体管T3;

[0076] 第三薄膜晶体管T3的栅极与第一栅极信号端Gate1相连,源极与感光驱动模块5的输出端相连,漏极与读取信号端Read相连;

[0077] 如图3a所示,第一薄膜晶体管T1为N型晶体管,第三薄膜晶体管T3为N型晶体管;或,如图2a所示,第一薄膜晶体管T1为P型晶体管,第三薄膜晶体管T3为P型晶体管。

[0078] 具体地,在本发明实施例提供的上述像素电路中,第三薄膜晶体管T3在第一栅极信号端Gate1的控制下处于导通状态时,将感光驱动模块5输出的电信号传输至读取信号端Read。并且,如图2a所示,第三薄膜晶体管T3可以为P型晶体管,此时第一栅极信号端Gate1加载低电平的有效脉冲信号时,第三薄膜晶体管T3处于导通状态。或者,如图3a所示,第三薄膜晶体管T3也可以为N型晶体管,在此不做限定,此时第一栅极信号端Gate1加载高电平的有效脉冲信号时,第三膜晶体管T3处于导通状态。

[0079] 可选地,在本发明实施例提供的上述像素电路中,发光驱动模块2,如图2a和图3a所示,可以包括:第四薄膜晶体管T4、第一驱动晶体管DTFT1和第一电容C1;其中,

[0080] 第四薄膜晶体管T4的栅极与第一控制信号端EM1相连,源极与第一参考信号端VDD相连,漏极与第一驱动晶体管DTFT1的源极相连;

[0081] 第一驱动晶体管DTFT1的栅极与第一节点A相连,漏极与第二节点B相连;

[0082] 第一电容C1与第一节点A相连。

[0083] 具体地,在本发明实施例提供的上述像素电路中,第四薄膜晶体管T4在第一控制信号端EM1的控制下处于导通状态时,将第一参考信号端VDD的第一参考信号提供给第一驱动晶体管DTFT1的源极。并且,如图2a所示,第四薄膜晶体管T4可以为P型晶体管,此时第一控制信号端EM1加载低电平的有效脉冲信号时,第四薄膜晶体管T4处于导通状态。或者,如图3a所示,第四薄膜晶体管T4也可以为N型晶体管,在此不做限定,此时第一控制信号端EM1加载高电平的有效脉冲信号时,第四薄膜晶体管T4处于导通状态。

[0084] 具体地,在本发明实施例提供的上述像素电路中,第一驱动晶体管DTFT1在第一节点A的电位控制下,控制第一驱动晶体管DTFT1的漏极输出电流量。并且,第一驱动晶体管DTFT1可以为P型晶体管,此时第一节点A为低电位时,第一驱动晶体管DTFT1处于导通状态。或者,如图2a至图3a所示,第一驱动晶体管DTFT1也可以为N型晶体管,在此不做限定,此时第一节点A为高电位时,第一驱动晶体管DTFT1处于导通状态。

[0085] 具体地,在本发明实施例提供的上述像素电路中,第一电容C1用于保持第一节点A的电位,以保证第一驱动晶体管DTFT1持续导通。

[0086] 可选地,在本发明实施例提供的上述像素电路中,感光驱动模块5,如图2a和图3a所示,可以包括:第二驱动晶体管DTFT2和第二电容C2;其中,

[0087] 第二驱动晶体管DTFT2的栅极与第三节点C相连,源极与第一参考信号端VDD相连,漏极与感光输出模块6的输入端相连;

[0088] 第二电容C2与第三节点C相连。

[0089] 具体地,在本发明实施例提供的上述像素电路中,第二驱动晶体管DTFT2在第三节点C的电位控制下,控制第二驱动晶体管DTFT2的漏极输出电流量。并且,如图2a至图3a所示,第二驱动晶体管DTFT2可以为P型晶体管,此时第三节点C为低电位时,第二驱动晶体管DTFT2处于导通状态。或者,第二驱动晶体管DTFT2也可以为N型晶体管,在此不做限定,此时第三节点C为高电位时,第二驱动晶体管DTFT2处于导通状态。

[0090] 具体地,在本发明实施例提供的上述像素电路中,第二电容C2用于保持第三节点C的电位,以保证第二驱动晶体管DTFT2持续导通。

[0091] 具体地,在本发明实施例提供的上述像素电路中,发光驱动模块2中的第一驱动晶体管DTFT1和感光驱动模块5中的第二驱动晶体管DTFT2可以构成CMOS结构,以降低功耗,提

高发光驱动和感光驱动效率。

[0092] 可选地,在本发明实施例提供的上述像素电路中,初始化模块4,如图2a和图3a所示,可以包括:第五薄膜晶体管T5;

[0093] 第五薄膜晶体管T5的栅极与初始化信号端Vint相连,源极与第二控制信号端EM2相连,漏极与第三节点C相连。

[0094] 具体地,在本发明实施例提供的上述像素电路中,第五薄膜晶体管T5在第二控制信号端EM2的控制下处于导通状态时,将始化信号端Vint的初始化信号提供给第三节点C。并且,如图3a所示,第五薄膜晶体管T5可以为P型晶体管,此时第二控制信号端EM2加载低电平的有效脉冲信号时,第五薄膜晶体管T5处于导通状态。或者,如图2a所示,第五薄膜晶体管T5也可以为N型晶体管,在此不做限定,此时第二控制信号端EM2加载高电平的有效脉冲信号时,第五薄膜晶体管T5处于导通状态。

[0095] 可选地,在本发明实施例提供的上述像素电路中,如图4a所示,第一控制信号端EM1和第二控制信号端EM2可以为同一信号端,以便节省布线复杂程度;

[0096] 第四薄膜晶体管T4可以为N型晶体管,第五薄膜晶体管T5可以为P型晶体管;在第一控制信号端EM1和第二控制信号端EM2加载高电平的有效脉冲信号时,第四薄膜晶体管T4处于导通状态,第五薄膜晶体管T5处于截止状态;在第一控制信号端EM1和第二控制信号端EM2加载低电平的有效脉冲信号时,第四薄膜晶体管T4处于截止状态,第五薄膜晶体管T5处于导通状态;

[0097] 或者,如图4a所示,第五薄膜晶体管T5可以为N型晶体管,第四薄膜晶体管T4可以为P型晶体管;如图4b所示,在第一控制信号端EM1和第二控制信号端EM2加载低电平的有效脉冲信号时,第四薄膜晶体管T4处于导通状态,第五薄膜晶体管T5处于截止状态;在第一控制信号端EM1和第二控制信号端EM2加载高电平的有效脉冲信号时,第四薄膜晶体管T4处于截止状态,第五薄膜晶体管T5处于导通状态。

[0098] 具体地,在本发明实施例提供的上述像素电路中,发光驱动模块2中的第四薄膜晶体管T4和初始化模块4中的第五薄膜晶体管T5可以构成CMOS结构,以降低功耗,提高发光驱动和感光初始化效率。

[0099] 或者,在本发明实施例提供的上述像素电路中,第一控制信号端EM1和第二控制信号端EM2也可以为不同的信号端,加载相同的控制信号或如图2a和图3b所示,加载不同的控制信号,在此不做限定。在第一控制信号端EM1和第二控制信号端EM2加载不同的控制信号时,可以保证在感光信号读取的时段,发光器件3不发光,以使此时感光器件7检测到的外部光亮度信息更加准确。

[0100] 可选地,在本发明实施例提供的上述像素电路中,如图2a至图4a所示,还可以包括:与第五薄膜晶体管T5类型相同的第六薄膜晶体管T6;

[0101] 第六薄膜晶体管T6的栅极与第二控制信号端EM2相连,源极与公共信号端Vcom相连,漏极与第二节点B相连。

[0102] 具体地,在本发明实施例提供的上述像素电路中,第六薄膜晶体管T6在第二控制信号端EM2的控制下处于导通状态时,将公共信号端Vcom的公共电位信号提供给第二节点B,以对发光器件3的阳极电位进行重置,保证发光前第二节点B的电位固定,从而改善动态模糊(Motion Blur)问题。并且,如图3a所示,第六薄膜晶体管T6可以为P型晶体管,此时第

二控制信号端EM2加载低电平的有效脉冲信号时,第六薄膜晶体管T6处于导通状态。或者,如图2a所示,第六薄膜晶体管T6也可以为N型晶体管,在此不做限定,此时第二控制信号端EM2加载高电平的有效脉冲信号时,第六薄膜晶体管T6处于导通状态。

[0103] 具体地,在本发明实施例提供的上述像素电路中,感光输出模块6中的第三薄膜晶体管T3和第六薄膜晶体管T6可以构成CMOS结构,以降低功耗,提高减小功耗。

[0104] 以上仅是举例说明本发明实施例提供的上述像素电路中各模块的具体结构,在具体实施时,上述各模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0105] 下面分别以图2a和图4a所示的像素电路的结构为例,结合电路时序图对本发明实施例提供的上述像素电路的工作过程进行描述。下述描述中以1表示高电位信号,以0表示低电位信号,其中,1和0代表逻辑电位,仅是为了更好的解释本发明实施例提供的上述像素电路的工作过程,而不是在具体实施时施加在各晶体管的栅极的电位。

[0106] 实施例一

[0107] 以图2a所示的像素电路的结构为例,第一参考信号端VDD为高电位,第二参考信号端VSS为低电位,对应的输入输出时序图如图2b所示,具体地,主要选取图2b所示的输入输出时序图中的连续的第一时段、第二时段和第三时段进行描述。

[0108] 在第一时段 t_1 ,即初始化时段, $Gate1=1, Gate2=0, EM1=1, EM2=1$ 。

[0109] 由于 $Gate1=1$,因此第一薄膜晶体管T1和第三薄膜晶体管T3处于截止状态,由于 $Gate2=0$,因此第二薄膜晶体管T2处于截止状态,由于 $EM1=1$,因此,第四薄膜晶体管T4处于截止状态。由于 $EM2=1$,因此,第五薄膜晶体管T5处于导通状态,以将初始化信号端Vint的初始化信号提供给第三节点C,对第三节点C的电位进行初始化;第六薄膜晶体管T6处于导通状态,以将公共信号端Vcom的公共电位信号提供给第二节点B,重置发光器件3的阳极电位。

[0110] 在第二时段 t_2 ,即数据写入和感光读取时段, $Gate1=0, Gate2=1, EM1=1, EM2=0$ 。

[0111] 由于 $Gate1=0$,因此第一薄膜晶体管T1和第三薄膜晶体管T3处于导通状态,由于 $Gate2=1$,因此第二薄膜晶体管T2处于导通状态。由于 $EM1=1$,因此,第四薄膜晶体管T4处于截止状态。由于 $EM2=0$,因此,第五薄膜晶体管T5和第六薄膜晶体管T6处于截止状态。

[0112] 导通的第一薄膜晶体管T1和第二薄膜晶体管T2将数据信号端Data的数据信号写入第一节点A,由第一电容C1,保证一帧时间内的持续发光。当感光器件7被外部环境入射光照射时,光量子激发感光器件7的PN结上产生电子空穴对,使PN结电容上的电荷发生复合,导致第三节点C的电势下降,并存储在第二电容C2的两端,此时第三节点C的电位变化导致第二驱动晶体管DTFT2的栅极电压变化,导致第二驱动晶体管DTFT2的漏极电流发生变化,同时导通的第三薄膜晶体管T3将第二驱动晶体管DTFT2的漏极电流提供至读取信号端Read导出。根据导出的电流信号,将光信号转变为电信号后,可以最终实现此时检测外部光强度信息。根据此时得到的外部光强度信息,可以确认此时显示器件所在环境为高亮环境,还是低亮度环境,根据这种探测方式,实现显示器件实时调节转换。并且,由于第四薄膜晶体管T4处于截止状态,可以保证发光器件3不发光,使探测到的外部光强度信息更准确。

[0113] 在第三时段 t_3 ,即发光时段, $Gate1=1, Gate2=0, EM1=0, EM2=0$ 。

[0114] 由于 $Gate1=1$,因此第一薄膜晶体管T1和第三薄膜晶体管T3处于截止状态,由于 $Gate2=0$,因此第二薄膜晶体管T2处于截止状态,由于 $EM1=0$,因此,第四薄膜晶体管T4处于导通状态,将第一参考信号端VDD的高电位第一参考信号提供至第一驱动晶体管DTFT1的源极,第一驱动晶体管DTFT1由源跟随器原理,在第一节点A的电位控制下,控制第二节点B的电位,以在发光器件3的阴极和阳极之间形成跨压,控制发光器件3的亮度。由于 $EM2=0$,因此,第五薄膜晶体管T5和第六薄膜晶体管T6处于截止状态。

[0115] 实施例二

[0116] 以图4a所示的像素电路的结构为例,第一参考信号端VDD为高电位,第二参考信号端VSS为低电位,对应的输入输出时序图如图4b所示,具体地,主要选取图4b所示的输入输出时序图中的连续的第一时段、第二时段和第三时段进行描述。

[0117] 在第一时段 $t1$,即初始化时段, $Gate1=1, Gate2=0, EM1=EM2=1$ 。

[0118] 由于 $Gate1=1$,因此第一薄膜晶体管T1和第三薄膜晶体管T3处于截止状态,由于 $Gate2=0$,因此第二薄膜晶体管T2处于截止状态,由于 $EM1=EM2=1$,因此,第四薄膜晶体管T4处于截止状态,第五薄膜晶体管T5处于导通状态,以将初始化信号端Vint的初始化信号提供给第三节点C,对第三节点C的电位进行初始化;第六薄膜晶体管T6处于导通状态,以将公共信号端Vcom的公共电位信号提供给第二节点B,重置发光器件3的阳极电位。

[0119] 在第二时段 $t2$,即数据写入和感光读取时段, $Gate1=0, Gate2=1, EM1=EM2=0$ 。

[0120] 由于 $Gate1=0$,因此第一薄膜晶体管T1和第三薄膜晶体管T3处于导通状态,由于 $Gate2=1$,因此第二薄膜晶体管T2处于导通状态。由于 $EM1=EM2=0$,因此,第四薄膜晶体管T4处于导通状态,第五薄膜晶体管T5和第六薄膜晶体管T6处于截止状态。

[0121] 导通的第一薄膜晶体管T1和第二薄膜晶体管T2将数据信号端Data的数据信号写入第一节点A,由第一电容C1,保证一帧时间内的持续发光。当感光器件7被外部环境入射光照射时,光量子激发感光器件7的PN结上产生电子空穴对,使PN结电容上的电荷发生复合,导致第三节点C的电势下降,并存储在第二电容C2的两端,此时第三节点C的电位变化导致第二驱动晶体管DTFT2的栅极电压变化,导致第二驱动晶体管DTFT2的漏极电流发生变化,同时导通的第三薄膜晶体管T3将第二驱动晶体管DTFT2的漏极电流提供至读取信号端Read导出。根据导出的电流信号,将光信号转变为电信号后,可以最终实现此时检测外部光强度信息。根据此时得到的外部光强度信息,可以确认此时显示器件所在环境为高亮环境,还是低亮度环境,根据这种探测方式,实现显示器件实时调节转换。

[0122] 在第三时段 $t3$,即发光时段, $Gate1=1, Gate2=0, EM1=EM2=0$ 。

[0123] 由于 $Gate1=1$,因此第一薄膜晶体管T1和第三薄膜晶体管T3处于截止状态,由于 $Gate2=0$,因此第二薄膜晶体管T2处于截止状态,由于 $EM1=EM2=0$,因此,第四薄膜晶体管T4处于导通状态,将第一参考信号端VDD的高电位第一参考信号提供至第一驱动晶体管DTFT1的源极,第一驱动晶体管DTFT1由源跟随器原理,在第一节点A的电位控制下,控制第二节点B的电位,以在发光器件3的阴极和阳极之间形成跨压,控制发光器件3的亮度;第五薄膜晶体管T5和第六薄膜晶体管T6处于截止状态。

[0124] 基于同一发明构思,本发明实施例还提供了一种上述像素电路的驱动方法,包括:

[0125] 在第一时段,初始化模块在第二控制信号端的控制下,将初始化信号端提供的初始化信号传输至第三节点;

[0126] 在第二时段,数据写入模块在第一栅极信号端的控制下,将数据信号端提供的数据信号传输至第一节点;感光器件根据接收到的光照强度,控制第三节点的电位,感光驱动模块在第三节点的电位控制下,输出对应的电信号,感光输出模块在第一栅极信号端的控制下,将感光驱动模块输出的电信号传输至读取信号端;

[0127] 在第三时段,发光驱动模块在第一节点的电位和第一控制信号端的控制下,驱动发光器件发光;

[0128] 第一时段、第二时段和第三时段为顺序连接的时段。

[0129] 可选地,在本发明实施例提供的上述驱动方法中,还可以包括:第一时段,第六薄膜晶体管在第二控制信号端的控制下,将公共信号端的公共电位信号提供至第二节点,以对发光器件的阳极进行重置,避免动态模糊。

[0130] 基于同一发明构思,本发明实施例还提供了一种电致发光显示面板,包括多个发光像素,至少部分发光像素中包括本发明实施例提供的上述像素电路。具体地,包括本发明实施例提供的上述像素电路的发光像素可以位于显示区域(AA)的侧边,例如可以按照如图5a所示的像素排布方式设置该发光像素,也可以按照如图5b所示的周边区域分割方式设置该发光像素,在此不做限定。如图5a和图5b所示的填充区域为该发光像素,当然也可以设置在显示区域的其他位置,在此不做限定。

[0131] 可选地,在本发明实施例提供的上述电致发光显示面板中,电致发光显示面板的衬底基板可以为硅晶片(Wafer)。即电致发光显示面板可以为硅基OLED。

[0132] 硅基OLED处于微电子技术和光电子技术的交叉点上,涉及的内容非常广泛,包括光电子学、微电子学、电子信息学和光学等领域,是一个涉及物理学、化学、材料学和电子学等多学科的研究领域。OLED技术和CMOS技术的结合,是光电子产业和微电子产业的交叉集成,促进了新一代的微型显示的发展,也推进了硅上有机电子,甚至是硅上分子电子的研究和发展。相比于DMD和LCOS微显示器,硅基OLED微显示器拥有非常优秀的显示特性。OLED亮度高、色彩丰富、驱动电压低、响应速度快、功耗低,具有非常优秀的用户体验;且OLED是一种全固态型器件,抗震性能好,工作温度范围宽($-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$),适合于军事和特殊应用;其亦属于自发光器件,不需要背光源,视角范围大,厚度薄,有利于减小系统体积,尤其适用于近眼显示系统。那么对应未来AR显示技术,其显示屏幕要求最核心的产品指标就是亮度,因为AR产品在不同的工作环境和场景下需要调节自身屏体亮度,来实现适宜人眼的感官体验,尤其是在户外直对太阳这种模式下,需要我们根据外界光强的变化,从而调节器件亮度。

[0133] 传统OLED模组是由TFT背板和发光器件(EL)两部分组成,其中TFT背板实现的是补偿电路以及周边GOA功能,EL部分实现发光功能。传统的玻璃基LTPS工艺想做高端的高亮高PPI方案很难(1500+以上),所以只能够通过高速高迁移率的硅基OLED显示器来实现。硅基OLED是在IC Wafer上制作驱动部分,包括像素驱动和GOA以及之前的IC驱动部分(全部集成到wafer上),wafer制作完毕后,在形成阳极及后续的EL部分,最后制作彩膜保护膜(CF cover)等。

[0134] 基于同一发明构思,本发明实施例还提供了一种上述电致发光显示面板的驱动方法,包括:

[0135] 通过读取感光驱动模块输出的电信号强度,确定感光器件接收到的外部光照强

度；

[0136] 根据外部光照强度,在高亮度和高对比度之间各发光像素的工作模式。

[0137] 具体地,本发明实施例提供的上述电致发光显示面板的驱动方法,通过在正常显示过程中,实时的检测外界环境光亮度,合理选择特定模式下的Gamma Code,从而实现了硅基OLED显示器件实时自动切换显示模式。

[0138] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述电致发光显示面板,该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置的实施可以参见上述电致发光显示面板的实施例,重复之处不再赘述。

[0139] 本发明实施例提供的上述像素电路和电致发光显示面板、其驱动方法及显示装置,在像素电路中增加了初始化模块、感光驱动模块、感光输出模块和感光器件,在第二控制信号端的控制下,通过初始化模块将初始化信号端提供的初始化信号传输至第三节点,在第三节点的电位控制下,感光驱动模块输出对应的电信号,在第一栅极信号端的控制下,感光输出模块将感光驱动模块输出的电信号传输至读取信号端,可以在控制像素电路发光的同时,完成在像素电路内的外部环境亮度探测,实现自带屏内光学检测功能,便于显示屏根据检测到的外部环境亮度调整显示模式。在像素电路内部实现光学检测功能,不会占用面板面积,有利于窄边框或全面屏设计;并且,不用单独设置外部探测器件,可以节省成本。

[0140] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

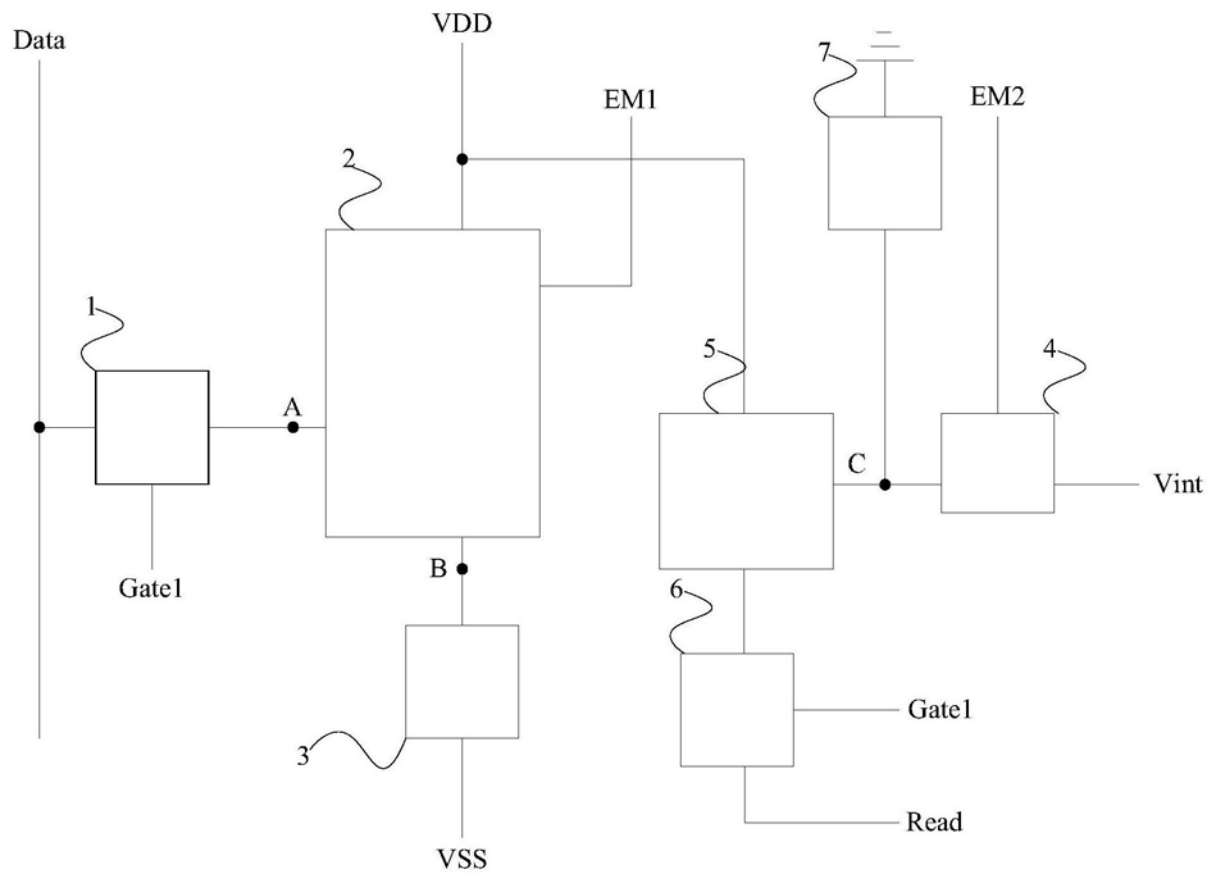


图1

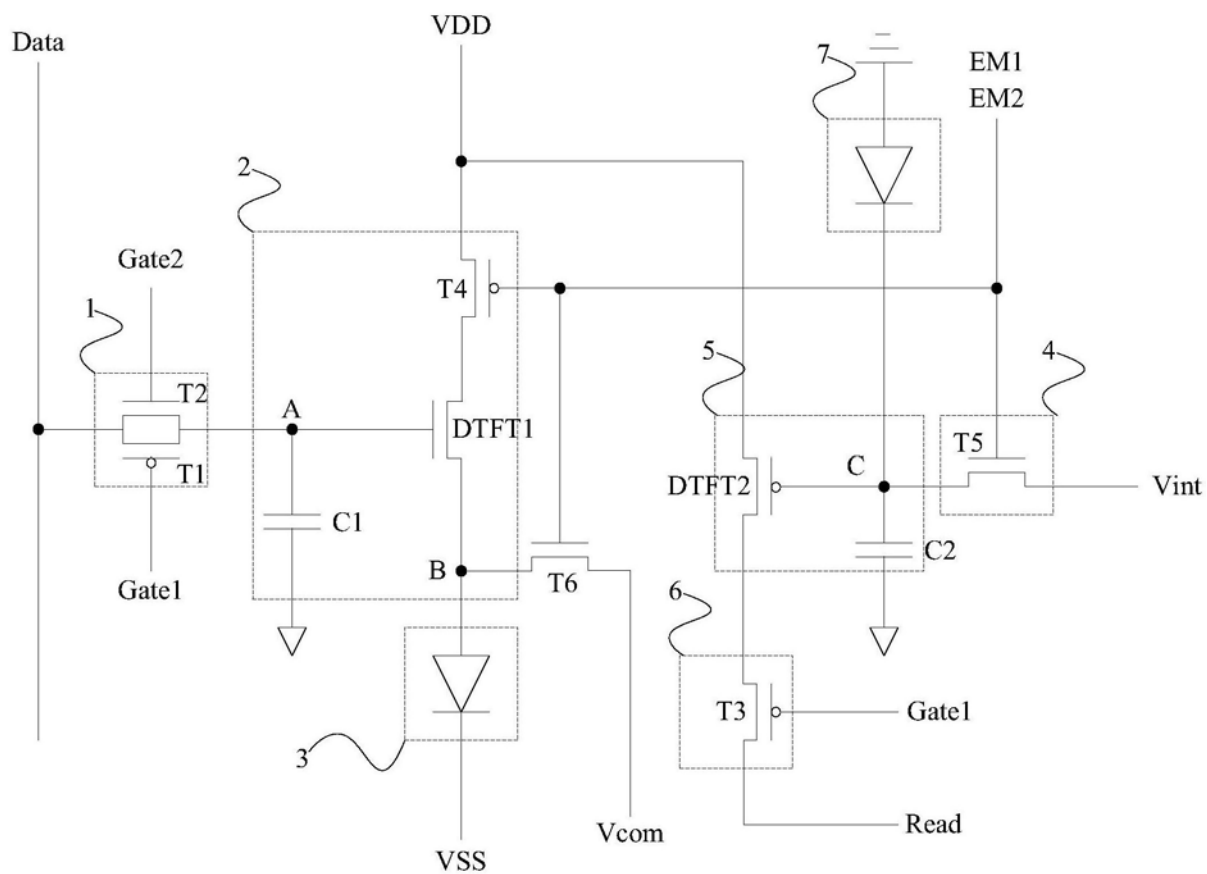


图4a

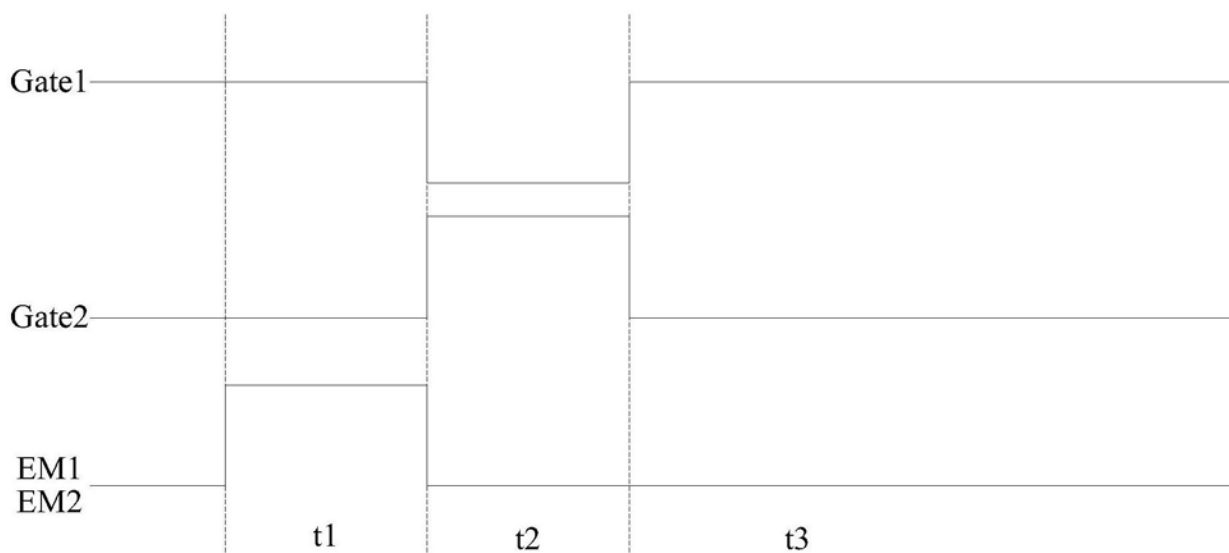


图4b

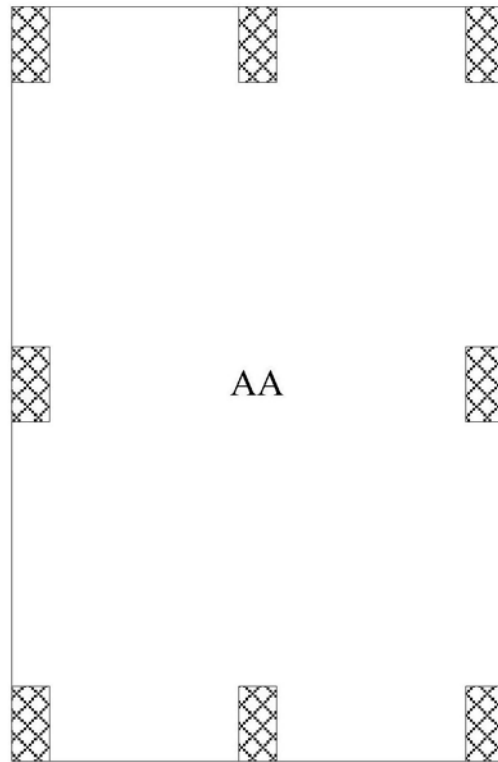


图5a



图5b

专利名称(译)	像素电路和电致发光显示面板、其驱动方法及显示装置		
公开(公告)号	CN109427301A	公开(公告)日	2019-03-05
申请号	CN201810436464.5	申请日	2018-05-09
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	杨盛际 董学 陈小川 王辉 卢鹏程		
发明人	杨盛际 董学 陈小川 王辉 卢鹏程		
IPC分类号	G09G3/3233 G09G3/00		
CPC分类号	G09G3/006 G09G3/3233		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路和电致发光显示面板、其驱动方法及显示装置，在像素电路中增加了初始化模块、感光驱动模块、感光输出模块和感光器件，在第二控制信号端的控制下通过初始化模块将初始化信号端提供的初始化信号传输至第三节点，在第三节点的电位控制下感光驱动模块输出对应的电信号，在第一栅极信号端的控制下感光输出模块将感光驱动模块输出的电信号传输至读取信号端，可以在控制像素电路发光时，完成在像素电路内的外部环境亮度探测，实现自带屏内光学检测功能，便于显示屏根据检测到的外部环境亮度调整显示模式。在像素电路内部实现光学检测功能，不会占用面板面积，有利于窄边框或全面屏设计；且不用单独设置外部探测器件以节省成本。

