



(43)申请公布日 2018.06.05

G09G 3/3266(2016.01)

1. 一种显示面板, 包括:

像素, 在所述像素中数据线和栅极线交叉并且所述像素以矩阵形式布置; 和

栅极驱动器, 所述栅极驱动器配置成向所述栅极线提供栅极脉冲,

其中所述像素的每个像素电路包括一个或多个n型晶体管以及两个或更多个p型晶体管,

其中所述栅极驱动器包括:

第一栅极驱动电路, 所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;

第二栅极驱动电路, 所述第二栅极驱动电路配置成使用多个p型晶体管向所述像素电路的p型晶体管中的一个提供第二栅极信号; 和

第三栅极驱动电路, 所述第三栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管中的另一个提供第三栅极信号。

2. 根据权利要求1所述的显示面板, 其中每个n型晶体管包括氧化物薄膜晶体管 (TFT)。

3. 根据权利要求1所述的显示面板, 其中每个p型晶体管包括低温多晶硅 (LTPS) 薄膜晶体管 (TFT)。

4. 根据权利要求1所述的显示面板, 其中所述第一栅极驱动电路、第二栅极驱动电路和第三栅极驱动电路的每一个包括移位寄存器, 所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位, 并且

其中所述第一栅极驱动电路和所述第三栅极驱动电路共享起始脉冲。

5. 根据权利要求1所述的显示面板, 其中所述第一栅极驱动电路、第二栅极驱动电路和第三栅极驱动电路的每一个包括移位寄存器, 所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位, 并且

其中所述第一栅极驱动电路和所述第三栅极驱动电路共享起始脉冲和移位时钟的一部分。

6. 根据权利要求4或5所述的显示面板, 其中所述移位时钟控制所述第一栅极信号、第二栅极信号和第三栅极信号的移位时序。

7. 根据权利要求4或5所述的显示面板, 其中所述移位寄存器包括多个级, 每个级包括: 上拉晶体管, 响应于Q节点电压将输出节点充电, 以增加输出电压; 下拉晶体管, 响应于QB节点电压将所述输出节点放电, 以减小输出电压; 以及用于将Q节点和QB节点充电和放电的开关电路, 其中每个级的输出节点连接至所述栅极线, 其中Q节点为所述上拉晶体管和所述开关电路之间的连接节点, QB节点是所述下拉晶体管和所述开关电路之间的连接节点。

8. 根据权利要求1所述的显示面板, 其中每个像素电路还包括发光元件和驱动元件, 被提供所述第一栅极信号的n型晶体管是响应于所述第一栅极信号向第一节点提供数据电压的开关元件, 包括连接至第一栅极线的栅极、连接至所述数据线的的第一电极、以及连接至第一节点的第二电极; 被提供所述第三栅极信号的p型晶体管是用于响应于所述第三栅极信号切换在所述发光元件中流动的电流的开关元件, 包括连接至第三栅极线的栅极、连接至被提供像素驱动电压的第一电源线的的第一电极、以及连接至第二节点的第二电极; 被提供所述第二栅极信号的p型晶体管是响应于所述第二栅极信号向第三节点提供初始化电压的开关元件, 包括连接至第二栅极线的栅极、连接至所述第三节点的第一电极、以及连接至被

提供像素驱动电压的第二电源线的第二电极;所述第一节点、第二节点和第三节点分别是所述驱动元件的栅极、第一电极和第二电极。

9. 一种显示面板,包括:

像素,在所述像素中数据线和栅极线交叉,并且所述像素的每个像素电路包括n型晶体管和p型晶体管;

第一栅极驱动电路,所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;和

第二栅极驱动电路,所述第二栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管提供第二栅极信号,

其中所述第一栅极驱动电路和所述第二栅极驱动电路共享一部分输入信号。

10. 根据权利要求9所述的显示面板,其中每个n型晶体管包括氧化物薄膜晶体管(TFT)。

11. 根据权利要求9所述的显示面板,其中每个p型晶体管包括低温多晶硅(LTPS)薄膜晶体管(TFT)。

12. 根据权利要求9所述的显示面板,其中所述第一栅极驱动电路和所述第二栅极驱动电路的每一个包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位,并且

其中所述第一栅极驱动电路和所述第二栅极驱动电路共享起始脉冲。

13. 根据权利要求9所述的显示面板,其中所述第一栅极驱动电路和所述第二栅极驱动电路的每一个包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位,并且

其中所述第一栅极驱动电路和所述第二栅极驱动电路共享起始脉冲和移位时钟的一部分。

14. 根据权利要求12或13所述的显示面板,其中所述移位寄存器包括多个级,每个级包括:上拉晶体管,响应于Q节点电压将输出节点充电,以增加输出电压;下拉晶体管,响应于QB节点电压将所述输出节点放电,以减小输出电压;以及用于将Q节点和QB节点充电和放电的开关电路,其中每个级的输出节点连接至所述栅极线,其中Q节点为所述上拉晶体管和所述开关电路之间的连接节点,QB节点是所述下拉晶体管和所述开关电路之间的连接节点。

15. 一种电致发光显示器,包括:

包括像素的有源区域,在所述像素中数据线和栅极线交叉并且所述像素以矩阵形式布置;

数据驱动器,所述数据驱动器配置成向所述数据线提供输入图像的数据信号;和

栅极驱动器,所述栅极驱动器配置成向所述栅极线提供栅极脉冲,

其中所述像素的每个像素电路包括一个或多个n型晶体管以及两个或更多个p型晶体管,

其中所述栅极驱动器包括:

第一栅极驱动电路,所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;

第二栅极驱动电路,所述第二栅极驱动电路配置成使用多个p型晶体管向所述像素电

路的p型晶体管中的一个提供第二栅极信号;和

第三栅极驱动电路,所述第三栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管中的另一个提供第三栅极信号。

16.根据权利要求15所述的电致发光显示器,其中所述第一栅极驱动电路、第二栅极驱动电路和第三栅极驱动电路的每一个包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位,并且

其中所述第一栅极驱动电路和所述第三栅极驱动电路共享起始脉冲。

17.根据权利要求15所述的电致发光显示器,其中所述第一栅极驱动电路、第二栅极驱动电路和第三栅极驱动电路的每一个包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位,并且

其中所述第一栅极驱动电路和所述第三栅极驱动电路共享起始脉冲和移位时钟的一部分。

18.根据权利要求16或17所述的电致发光显示器,其中所述移位寄存器包括多个级,每个级包括:上拉晶体管,响应于Q节点电压将输出节点充电,以增加输出电压;下拉晶体管,响应于QB节点电压将所述输出节点放电,以减小输出电压;以及用于将Q节点和QB节点充电和放电的开关电路,其中每个级的输出节点连接至所述栅极线,其中Q节点为所述上拉晶体管和所述开关电路之间的连接节点,QB节点是所述下拉晶体管和所述开关电路之间的连接节点。

19.根据权利要求15所述的电致发光显示器,其中每个像素电路还包括发光元件和驱动元件,被提供所述第一栅极信号的n型晶体管是响应于所述第一栅极信号向第一节点提供数据电压的开关元件,包括连接至第一栅极线的栅极、连接至所述数据线的的第一电极、以及连接至第一节点的第二电极;被提供所述第三栅极信号的p型晶体管是用于响应于所述第三栅极信号切换在所述发光元件中流动的电流的开关元件,包括连接至第三栅极线的栅极、连接至被提供像素驱动电压的第一电源线的的第一电极、以及连接至第二节点的第二电极;被提供所述第二栅极信号的p型晶体管是响应于所述第二栅极信号向第三节点提供初始化电压的开关元件,包括连接至第二栅极线的栅极、连接至所述第三节点的第一电极、以及连接至被提供像素驱动电压的第二电源线的第二电极;所述第一节点、第二节点和第三节点分别是所述驱动元件的栅极、第一电极和第二电极。

20.根据权利要求15所述的电致发光显示器,还包括用于通过数据时序控制信号控制所述数据驱动器的操作时序和通过栅极时序控制信号控制所述栅极驱动器的操作时序的时序控制器,其中在低刷新率模式下,所述数据驱动器和所述栅极驱动器分别具有在所述时序控制器的控制下降低的驱动频率。

21.根据权利要求20所述的电致发光显示器,还包括连接至所述第一栅极驱动电路的第一电平移位器以及连接至所述第二栅极驱动电路和所述第三栅极驱动电路的第二电平移位器,其中从所述时序控制器输出的栅极时序控制信号的电压电平分别通过所述第一电平移位器和所述第二电平移位器进行转换并提供至所述第一栅极驱动电路以及所述第二栅极驱动电路和所述第三栅极驱动电路。

22.一种电致发光显示器,包括:

包括像素的有源区域,在所述像素中数据线和栅极线交叉并且所述像素以矩阵形式布

置,所述像素的每个像素电路包括n型晶体管和p型晶体管;

数据驱动器,所述数据驱动器配置成向所述数据线提供输入图像的数据信号;

第一栅极驱动电路,所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;和

第二栅极驱动电路,所述第二栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管提供第二栅极信号,

其中所述第一栅极驱动电路和所述第二栅极驱动电路共享一部分输入信号。

23. 根据权利要求22所述的电致发光显示器,其中所述第一栅极驱动电路和所述第二栅极驱动电路的每一个包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位,并且

其中所述第一栅极驱动电路和所述第二栅极驱动电路共享起始脉冲。

24. 根据权利要求22所述的电致发光显示器,其中所述第一栅极驱动电路和所述第二栅极驱动电路的每一个包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位,并且

其中所述第一栅极驱动电路和所述第二栅极驱动电路共享起始脉冲和移位时钟的一部分。

25. 根据权利要求23或24所述的电致发光显示器,其中所述移位寄存器包括多个级,每个级包括:上拉晶体管,响应于Q节点电压将输出节点充电,以增加输出电压;下拉晶体管,响应于QB节点电压将所述输出节点放电,以减小输出电压;以及用于将Q节点和QB节点充电和放电的开关电路,其中每个级的输出节点连接至所述栅极线,其中Q节点为所述上拉晶体管和所述开关电路之间的连接节点,QB节点是所述下拉晶体管和所述开关电路之间的连接节点。

显示面板及使用该显示面板的电致发光显示器

[0001] 本申请要求于2016年11月29日提交的韩国专利申请No.10-2016-0160279的优先权,为了所有目的在此援引该专利申请的全部内容作为参考,如同在这里完全阐述一样。

技术领域

[0002] 本发明涉及一种显示面板及使用该显示面板的电致发光显示器,其中栅极驱动电路与显示输入图像的有源区域的电路元件一起布置在同一基板上。

背景技术

[0003] 平板显示装置包括液晶显示器(LCD)、电致发光显示器、场发射显示器(FED)、等离子体显示面板(PDP)等。

[0004] 电致发光显示装置根据发光层的材料而分为无机发光显示装置和有机发光显示装置。有源矩阵有机发光二极管显示器包括能够自身发光的有机发光二极管(OLED)并且具有诸如快速响应时间、高发光效率、高亮度、宽视角等之类的很多优点。

[0005] 有机发光显示装置的OLED包括阳极电极、阴极电极以及位于阳极电极与阴极电极之间的有机化合物层。有机化合物层包括空穴注入层HIL、空穴传输层HTL、发光层EML、电子传输层ETL和电子注入层EIL。当电源电压施加至阳极电极和阴极电极时,穿过空穴传输层HTL的空穴和穿过电子传输层ETL的电子移动至发光层EML并形成激子。结果,发光层EML产生可见光。

[0006] 平板显示器的驱动电路包括:用于给数据线提供数据信号的数据驱动电路、用于给栅极线(或扫描线)提供栅极信号(或扫描信号)的栅极驱动电路。栅极驱动电路可与构成屏幕的有源区域的薄膜晶体管(TFT)阵列一起直接形成在同一基板上。下文中,直接形成在显示面板的基板上的栅极驱动电路将称为“GIP电路”。GIP电路包括其中各级以级联连接方式连接的移位寄存器。GIP电路接收起始脉冲或从前级接收进位信号作为起始脉冲,并且当输入时钟时产生输出。GIP电路通过以移位时钟时序将输出移位,能够将栅极信号按顺序提供至栅极线。

[0007] 平板显示器的每个像素被划分为用于实现色彩的具有不同颜色的多个子像素。每个子像素包括被用作开关元件或驱动元件的晶体管。这种晶体管可由TFT实现。GIP电路给形成在每个像素中的晶体管的栅极提供栅极信号,以使晶体管导通/截止。

[0008] 有机发光显示器包括针对每个子像素设置的像素电路。每个像素电路包括多个晶体管。具有不同波形的栅极信号可施加至这些晶体管。需要与施加至像素电路的栅极信号的数量一样多的GIP电路。每个GIP电路包括移位寄存器,并且需要用于传输控制移位寄存器的起始脉冲、移位时钟等的配线。

[0009] 具有不同相位的两个或更多个栅极信号可施加至像素电路。在产生与其他栅极信号相比其相位反相的栅极信号的情形中,反相器电路连接至GIP电路的输出节点,反相器电路用于将GIP电路的输出信号反相。例如,当扫描信号和发光信号(下文中称为“栅极信号”)施加至像素电路时,GIP电路包括用于产生扫描信号的第一GIP电路、用于输出栅极信号的

第二GIP电路、以及反相器。GIP电路设置在边框区域中,边框区域位于有源区域(A/A)的外部,在有源区域中,在显示面板的基板上显示图像。因此,当GIP电路较大时,因为在显示面板上边框区域变大,所以不能实现窄边框。

发明内容

[0010] 本发明提供了一种能够减小GIP电路的尺寸的显示面板及使用该显示面板的电致发光显示器。

[0011] 在一个方面中,提供了一种显示面板,包括:像素,在所述像素中数据线和栅极线交叉并且所述像素以矩阵形式布置;和栅极驱动器,所述栅极驱动器配置成向所述栅极线提供栅极脉冲。所述像素的每个像素电路包括一个或多个n型晶体管以及两个或更多个p型晶体管。所述栅极驱动器包括:第一栅极驱动电路,所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;第二栅极驱动电路,所述第二栅极驱动电路配置成使用多个p型晶体管向所述像素电路的p型晶体管中的一个提供第二栅极信号;和第三栅极驱动电路,所述第三栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管中的另一个提供第三栅极信号。

[0012] 每个n型晶体管可包括氧化物薄膜晶体管(TFT)。

[0013] 每个p型晶体管可包括低温多晶硅(LTPS) TFT。

[0014] 所述第一栅极驱动电路、第二栅极驱动电路和第三栅极驱动电路的每一个可包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位。所述第一栅极驱动电路和所述第三栅极驱动电路可共享起始脉冲。

[0015] 所述第一栅极驱动电路、第二栅极驱动电路和第三栅极驱动电路的每一个可包括移位寄存器,所述移位寄存器接收起始脉冲和移位时钟并且将输出信号移位。所述第一栅极驱动电路和所述第三栅极驱动电路可共享起始脉冲和移位时钟的一部分。

[0016] 在另一个方面中,提供了一种显示面板,包括:像素,在所述像素中数据线和栅极线交叉,并且所述像素的每个像素电路包括n型晶体管和p型晶体管;第一栅极驱动电路,所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;和第二栅极驱动电路,所述第二栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管提供第二栅极信号。所述第一栅极驱动电路和所述第二栅极驱动电路共享一部分输入信号。

[0017] 本发明的电致发光显示器包括所述显示面板。

[0018] 在又一个方面中,提供了一种电致发光显示器,包括:包括像素的有源区域,在所述像素中数据线和栅极线交叉并且所述像素以矩阵形式布置;数据驱动器,所述数据驱动器配置成向所述数据线提供输入图像的数据信号;和栅极驱动器,所述栅极驱动器配置成向所述栅极线提供栅极脉冲,其中所述像素的每个像素电路包括一个或多个n型晶体管以及两个或更多个p型晶体管,其中所述栅极驱动器包括:第一栅极驱动电路,所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;第二栅极驱动电路,所述第二栅极驱动电路配置成使用多个p型晶体管向所述像素电路的p型晶体管中的一个提供第二栅极信号;和第三栅极驱动电路,所述第三栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管中的另一个提供第三栅极信号。

[0019] 在又一个方面中,提供了一种电致发光显示器,包括:包括像素的有源区域,在所述像素中数据线和栅极线交叉并且所述像素以矩阵形式布置,所述像素的每个像素电路包括n型晶体管和p型晶体管;数据驱动器,所述数据驱动器配置成向所述数据线提供输入图像的数据信号;第一栅极驱动电路,所述第一栅极驱动电路配置成使用多个n型晶体管向所述像素电路的n型晶体管提供第一栅极信号;和第二栅极驱动电路,所述第二栅极驱动电路配置成使用多个n型晶体管向所述像素电路的p型晶体管提供第二栅极信号,其中所述第一栅极驱动电路和所述第二栅极驱动电路共享一部分输入信号。

附图说明

[0020] 被包括来给本发明提供进一步理解且并入本申请构成本申请一部分的附图图解了本发明的实施方式,并与说明书一起用于解释本发明的原理。在附图中:

[0021] 图1是图解根据本发明实施方式的电致发光显示器的框图;

[0022] 图2是示意性图解图1中所示的有源区域的一部分的平面图;

[0023] 图3是图解施加至显示面板的n个行的栅极信号的示例的波形图;

[0024] 图4是图解像素电路的示例的电路图;

[0025] 图5是图解图4中所示的像素电路的输入信号的波形图;

[0026] 图6是示意性图解其中第二GIP电路由共享起始脉冲的两个GIP电路构成的示例的示图;

[0027] 图7是示意性图解GIP电路中的移位寄存器电路构造的示图;

[0028] 图8是图解图7中所示的移位寄存器中用于产生第n输出的第n级的电路图;

[0029] 图9是图解由n型TFT实现的第二GIP电路中的第n级的Q节点电压、QB节点电压和输出电压的波形图;

[0030] 图10是图解施加至GIP电路的移位时钟的波形图;

[0031] 图11是图解像素电路与GIP电路之间的连接关系的电路图;

[0032] 图12是图解第一GIP电路的电路图;

[0033] 图13是图解第2-1GIP电路的电路图;

[0034] 图14是图解第2-2GIP电路的电路图;

[0035] 图15是图解连接至第二GIP电路的VST配线和CLK配线的示图;以及

[0036] 图16和17是图解显示面板的TFT阵列基板中的TFT的剖面结构的示图。

具体实施方式

[0037] 本发明的优点和特征以及其实现方法将通过下面参照附图详细描述的实施方式变得显而易见。然而,本发明不限于下面描述的实施方式,本发明可以以各种形式实现。提供这些实施方式是为了详尽完整地描述本发明,并将本发明的范围充分地传递给本发明所属领域的技术人员。本发明仅由权利要求书的范围限定。

[0038] 为了描述本发明的实施方式而在附图中示出的形状、尺寸、比例、角度、数量等仅仅是示例性的,本发明不限于此。相似的参考标记在整个描述中表示相似的元件。在下面的描述中,当确定对与本发明相关的公知功能或构造的详细描述会不必要地使本发明的主旨模糊不清时,将省略该详细描述。

[0039] 在本发明中,当使用术语“包括”、“具有”、“包含”等时,可添加其他部件,除非使用了“仅”。

[0040] 在解释部件时,尽管没有单独的描述,但应解释为包括误差范围。

[0041] 在位置关系的描述中,当一结构被描述为位于另一结构“上或上方”、“下或下方”、在另一结构“之后”时,该描述应当解释为包括这些结构彼此接触的情形以及在之间设置第三结构的情形。

[0042] 可使用术语“第一”、“第二”等来描述各部件,但这些部件不应被这些术语限制。

[0043] 本发明各实施方式的特征能够彼此部分地组合或整体地组合,并且能够在技术上以各种方式进行互锁驱动。这些实施方式能够独立实施,或者能够彼此结合地实施。

[0044] 本发明的GIP电路和像素电路的每一个包括包含氧化物半导体的氧化物TFT和包含低温多晶硅(LTPS)的LTPS TFT。氧化物TFT可实现为n型TFT(NMOS),LTPS TFT可实现为p型TFT(PMOS)。

[0045] 本发明的GIP电路和像素电路的每一个包括n型TFT(NMOS)和p型TFT(PMOS)。TFT是包括栅极、源极和漏极的三电极元件。源极是给晶体管提供载流子的电极。在TFT中,载流子从源极开始流动。漏极是其中载流子离开TFT到外部的电极。TFT中的载流子从源极流到漏极。在n型TFT(NMOS)的情形中,因为载流子是电子,所以源极电压具有比漏极电压低的电压,使得电子能够从源极流到漏极。在n型TFT中,电流的方向是从漏极流到源极。在p型TFT(PMOS)的情形中,因为载流子是空穴,所以源极电压高于漏极电压,使得空穴能够从源极流到漏极。在p型TFT中,因为空穴从源极流到漏极,所以电流从源极流到漏极。应当注意,TFT的源极和漏极不是固定的。例如,根据施加的电压,源极和漏极可变化。因此,本发明不被TFT的源极和漏极限制。在下面的描述中,TFT的源极和漏极将分别称为第一电极和第二电极。

[0046] 从GIP电路输出的栅极信号在栅极导通电压与栅极截止电压之间摆动。栅极导通电压设为比TFT的阈值电压高的电压,栅极截止电压设为比TFT的阈值电压低的电压。TFT响应于栅极导通电压导通,同时TFT响应于栅极截止电压截止。在n型TFT的情形中,栅极导通电压可以是栅极高电压(VGH),栅极截止电压可以是栅极低电压(VGL)。在p型TFT的情形中,栅极导通电压可以是栅极低电压(VGL),栅极截止电压可以是栅极高电压(VGH)。

[0047] 下文中,将参照附图详细描述本发明的各实施方式。在下面的实施方式中,将主要针对包括有机发光材料的有机发光显示装置来描述电致发光显示装置。然而,应当注意,本发明的技术精神不限于有机发光显示装置,而是能够应用于包括无机发光材料的无机发光显示装置。

[0048] 图1是图解根据本发明实施方式的电致发光显示器的框图。图2是示意性图解图1中所示的有源区域的一部分的平面图。图3是图解施加至显示面板的n个行的栅极信号的示例的波形图。图4是图解像素电路的示例的电路图。

[0049] 参照图1到4,根据本发明实施方式的电致发光显示器包括显示面板100和显示面板驱动电路。

[0050] 显示面板100包括用于显示输入图像的有源区域A/A。像素阵列布置在有源区域A/A中。像素阵列包括多条数据线DL、与数据线DL交叉的多条栅极线GL、以及以矩阵形式布置的像素。

[0051] 每个像素可被划分为用来实现色彩的红色子像素、绿色子像素和蓝色子像素。每个像素可进一步包括白色子像素。每个子像素SP包括像素电路。像素电路包括发光元件、多个TFT、以及电容器。像素电路连接至数据线DL和栅极线GL。

[0052] 本发明的像素电路包括一个或多个n型晶体管以及两个或更多个p型晶体管,如图4的示例中所示。

[0053] 氧化物TFT可实现为n型TFT (NMOS)。氧化物TFT在截止状态中具有较小的漏电流。低温多晶硅 (LTPS) TFT可实现为p型TFT (PMOS)。LTPS TFT具有较高的载流子迁移率,因此在驱动效率和功耗方面具有优点。应当注意,像素电路可由图4中所示的电路实现,但并不限于此。

[0054] 在图4中所示的像素电路的情形中,诸如第一栅极信号SCAN1、第二栅极信号SCAN2和第三栅极信号EM之类的栅极信号施加至每个子像素SP。对于显示面板的每个行LINE#1到LINE#3来说,包括被提供第一栅极信号SCAN1的第一栅极线GL1、被提供第二栅极信号SCAN2的第二栅极线GL2以及被提供第三栅极信号EM的第三栅极线GL3的栅极线连接至子像素SP。

[0055] 在图2和3中,SCAN1 (1)、SCAN2 (1) 和EM (1) 是通过栅极线GL1 (1)、GL2 (1) 和GL3 (1) 施加至第一行LINE#1的子像素的栅极信号。SCAN1 (2)、SCAN2 (2) 和EM (2) 是通过栅极线GL1 (2)、GL2 (2) 和GL3 (2) 施加至第二行LINE#2的子像素的栅极信号。SCAN1 (3)、SCAN2 (3) 和EM (3) 是通过栅极线GL1 (3)、GL2 (3) 和GL3 (3) 施加至第三行LINE#3的子像素的栅极信号。在图2中,DATA1到DATA3是通过数据线DL1到DL3提供至子像素SP的数据信号。

[0056] 如图4中所示,显示面板100进一步包括:用于给予像素SP提供像素驱动电压VDD的第一电源线PL1、用于给予像素SP提供初始化电压VINI的第二电源线PL2、以及用于给予像素SP提供低电位电源电压VSS的VSS电极等。这些电源线连接至未示出的电源电路。

[0057] 触摸传感器可设置在显示面板100上。可使用单独的触摸传感器感测触摸输入或可通过像素感测触摸输入。触摸传感器可作为单元上型 (on-cell type) 或外挂型 (add-on type) 设置在显示面板的屏幕上,或者可实现为内置在像素阵列中的内嵌型 (in-cell) 触摸传感器。

[0058] 显示面板驱动电路在时序控制器 (TCON) 120的控制下给显示面板100的像素写入输入图像的数据。显示面板驱动电路包括在时序控制器120的控制下被驱动的数据驱动器110以及GIP电路200和300。显示面板100可设置有触摸传感器。在这种情形中,显示面板驱动电路进一步包括未示出的触摸传感器驱动单元。

[0059] 显示面板驱动电路可在低刷新率模式中进行操作。当输入图像在预设帧数不变化时,可设定低刷新率模式,以降低显示装置的功耗。换句话说,当输入静止图像预定时间或更长时间时,低刷新率模式能够降低像素的刷新率,由此通过将像素的数据写入周期控制为较长来降低功耗。低刷新率模式不限于当输入静止图像时。例如,当显示装置在待机模式中进行操作或者在预定时间或更长时间不给显示面板驱动电路输入用户指令或输入图像时,显示面板驱动电路可在低刷新率模式中进行操作。

[0060] 数据驱动器110将在正常驱动模式中在每一帧从时序控制器120接收的输入图像的数字数据DATA转换为数据电压,并且将数据电压提供至数据线DL。数据驱动器110使用将数字数据转换为伽马补偿电压的数字-模拟转换器 (下文中称为DAC) 来输出数据电压。在低刷新率模式中,在时序控制器120的控制下降低数据驱动器110的驱动频率。例如,数据驱动

器110在正常驱动模式中在每一帧时段都输出输入图像的数据电压。数据驱动器110在低刷新率模式周期中的一些帧时段中输出输入图像的数据电压,而在其余帧时段中不产生输出。因此,数据驱动器110在低刷新率模式中的驱动频率和功耗明显低于正常驱动模式中的驱动频率和功耗。

[0061] 多路复用器(未示出)可设置在数据驱动器110与显示面板100的数据线DL之间。多路复用器通过将经由数据驱动器110中的一个通道输出的数据电压分配至N(N是等于或大于2的正整数)条数据线DL,能够减少数据驱动器110的通道数量。根据显示装置的分辨率和用途,可省略多路复用器。

[0062] GIP电路200和300在时序控制器120的控制下通过栅极线GL输出栅极信号SCAN1、SCAN2和EM,以选择要被充入数据电压的像素。GIP电路200和300通过使用移位寄存器移位栅极信号SCAN1、SCAN2和EM,能够将这些信号按顺序提供至栅极线GL。

[0063] GIP电路200和300包括第一GIP电路200和第二GIP电路300。第一GIP电路200由p型TFT实现并且输出第二栅极信号SCAN2。第二GIP电路300由n型TFT实现并且输出第一栅极信号SCAN1和第三栅极信号EM。第一GIP电路200和第二GIP电路300可横跨有源区域A/A而分开。如图6中所示,第一GIP电路200可设置在显示面板100的一侧边框区域BZ上。第二GIP电路300可设置在显示面板100的另一侧边框区域BZ上。在没有边框的模型(model)的情形中,第一GIP电路200和第二GIP电路300可分布在有源区域A/A中。应当注意,第一GIP电路200和第二GIP电路300的布置不限于图6。

[0064] 在低刷新率模式中,栅极驱动器200和300具有在时序控制器120的控制下降低的驱动频率。因此,栅极驱动器200和300的驱动频率和功耗明显低于正常驱动模式中的驱动频率和功耗。

[0065] 时序控制器120从主机系统(未示出)接收输入视频的的数字视频数据DATA以及与数字视频数据DATA同步的时序信号。时序信号包括垂直同步信号Vsync、水平同步信号Hsync、时钟信号DCLK和数据使能信号DE。主机系统可以是电视(TV)系统、机顶盒、导航系统、个人电脑(PC)、家庭影院系统、电话系统和可穿戴装置系统中的任何一种。

[0066] 时序控制器120包括降低显示面板驱动电路110、200和300的驱动频率的低刷新率控制模块。应当注意,如上所述的低刷新率模式不限于静止图像。

[0067] 时序控制器120在正常驱动模式中将输入帧频乘以i并且能够以输入帧频 $\times i$ Hz的帧频控制显示面板驱动电路110、200和300的操作时序(i是大于0的正整数)。输入帧频在国家电视标准委员会(NTSC)系统中是60Hz,在PAL(逐行倒相)系统中是50Hz。

[0068] 时序控制器120在低刷新率模式中降低显示面板驱动电路110、200和300的驱动频率。例如,时序控制器120可将显示面板驱动电路的驱动频率降低至1Hz,使得在每秒(sec)给像素写入一次数据。低刷新率模式的频率不限于1Hz。结果,显示面板100的像素在低刷新率模式中在大部分时间保持已充入的数据电压而不充入新的数据电压。

[0069] 时序控制器120基于从主机系统接收的时序信号Vsync、Hsync和DE产生用于控制数据驱动器110的操作时序的数据时序控制信号DDC以及用于控制GIP电路200和300的操作时序的栅极时序控制信号GDC。从时序控制器120输出的栅极时序控制信号GDC的电压电平通过电平移位器(LS)210和310进行转换并提供至GIP电路200和300。电平移位器210和310将栅极时序控制信号GDC的低电平电压转换为栅极低电压VGL并且将栅极时序控制信号GDC

的高电平电压转换为栅极高电压VGH。

[0070] 栅极时序控制信号GDC包括起始脉冲(栅极起始脉冲)、移位时钟(栅极移位时钟)等。起始脉冲在帧周期开始时在每一帧周期产生一次并且输入至GIP电路200和300。栅极起始脉冲VST在每一帧周期控制GIP电路200和300的起始时序。移位时钟控制从GIP电路200和300输出的栅极信号的移位时序。

[0071] 图4是图解像素电路的示例的电路图。图5是图解图4中所示的像素电路的输入信号的波形图。

[0072] 参照图4和5,像素电路包括发光元件EL、多个薄膜晶体管(TFT)M1到M3、以及电容器Cst和Cvdd。

[0073] 发光元件EL可由OLED实现。OLED利用根据数据电压Vdata被第四TFT DT控制的电流而发光。通过第二TFT M2来切换OLED的电流通路。OLED包括形成在阳极与阴极之间的有机化合物层。有机化合物层可包括空穴注入层(HIL)、空穴传输层(HTL)、发光层(EML)、电子传输层(ETL)和电子注入层(EIL)。然而,并不限于此。OLED的阳极连接至第三节点n3,阴极连接至被提供低电位电源电压VSS的VSS电极。

[0074] 第一电容器Cst连接在第一节点n1与第二节点n2之间。第二电容器Cvdd连接在被提供像素驱动电压VDD的第一电源线PL1与第二节点n2之间。像素驱动电压VDD通过第一电源线PL1提供至子像素SP。

[0075] 因为第一TFT M1是具有较长截止周期(offperiod)的开关元件,所以第一TFT M1可由在截止状态中具有较小漏电流的n型氧化物TFT实现。当第一TFT M1由氧化物TFT实现时,因为能够减小漏电流以降低功耗,并且能够防止由于漏电流导致的像素的压降,所以能够增强闪烁防止效果。第二TFT M2、第三TFT M3和第四TFT DT可由p型LTPS TFT实现。当用作驱动元件的第四TFT DT和具有较短截止周期的第二TFT M2由LTPS TFT实现时,因为电荷迁移率较高,所以能够增加流经OLED的电流的量,以提高驱动效率并改善功耗。

[0076] 在一个水平时段(horizontal period)1H期间第一栅极信号SCAN1、第二栅极信号SCAN2和第三栅极信号EM施加至每个子像素并且定义开关元件M1、M2和M3的导通/截止时序。因为第一TFT M1由n型氧化物TFT实现,所以第一栅极信号SCAN1的栅极导通电压设为栅极高电压VGH并且其栅极截止电压设为栅极低电压VGL。因为第二到第四TFT M2、M3和DT由p型LTPS TFT实现,所以第二栅极信号SCAN2和第三栅极信号EM的栅极导通电压设为栅极低电压VGL并且其栅极截止电压设为栅极高电压VGH。

[0077] 第一栅极信号SCAN1在一个水平时段1H保持在栅极导通电压VGH,然后在其余帧时段保持在栅极截止电压VGL。第二栅极信号SCAN2在初始分配于一个水平时段1H中的初始化时段Ti内产生为栅极导通电压VGL,然后在其余帧时段保持在栅极截止电压VGH。第三栅极信号EM在一个水平时段1H内的初始化时段Ti中与第二栅极信号SCAN2同步地产生为栅极截止电压VGH,然后反转为栅极导通电压VGL。第三栅极信号EM在采样时段Ts和编程时段Tw期间产生为栅极截止电压VGH,然后反转为栅极导通电压VGL。第三栅极信号EM在一个水平时段1H之后的其余帧时段,即发光时段期间保持在栅极导通电压VGL,或者根据为了子像素的占空比驱动(duty driving)而预先设定的脉宽调制(PWM)的占空比而在栅极导通电压VGL与栅极截止电压VGH之间反转。

[0078] 第一TFT M1是响应于第一栅极信号SCAN1给第一节点n1提供数据电压Vdata的开

关元件。第一TFT M1包括连接至第一栅极线GL1的栅极、连接至数据线DL1的第一电极、以及连接至第一节点n1的第二电极。

[0079] 第二TFT M2是用于响应于第三栅极信号EM切换在OLED EL中流动的电流的开关元件。第二TFT M2的栅极连接至第三栅极线GL3。第二TFT M2的第一电极连接至被提供像素驱动电压VDD的第一电源线PL1。第二TFT M2的第二电极连接至第二节点n2。

[0080] 第三TFT M3响应于第二栅极信号SCAN2给第三节点n3提供初始化电压VINI。第三TFT M3包括连接至第二栅极线GL2的栅极、连接至第三节点n3的第一电极、以及连接至第二电源线PL2的第二电极。

[0081] 第四TFT DT是用于根据栅极-源极电压Vgs调整在OLED EL中流动的电流Ioled的驱动元件。第四TFT DT包括连接至第一节点n1的栅极、连接至第二节点n2的第一电极、以及连接至第三节点n3的第二电极。

[0082] 子像素针对一个水平时段1H来说在初始化时段Ti、采样时段Ts、编程时段Tw和发光时段Tem中操作,采样第四TFT DT(其是驱动元件)的阈值电压,并且通过阈值电压补偿在当前帧时段中输入的数据电压Vdata。

[0083] 在初始化时段Ti开始时,第一栅极信号SCAN1以栅极高电压VGH产生并且第二栅极信号SCAN2以栅极低电压VGL产生。同时,第三栅极信号EM以VGH产生且之后反转为VGL。在初始化时段Ti期间,第二TFT M2截止,以切断OLED的电流通路。第一TFT M1和第三TFT M3在初始化时段Ti期间导通。在初始化时段Ti期间,预定基准电压Vref提供至数据线DL1。在初始化时段Ti期间,第一节点n1的电压被初始化为基准电压Vref并且第三节点n3的电压被初始化为预定的初始化电压VINI。在初始化时段Ti之后,第二栅极信号SCAN2反转为VGH,第三TFT M3截止。

[0084] 在采样时段Ts期间,第一栅极信号SCAN1保持在VGH并且第二栅极信号SCAN2保持在VGH。第三栅极信号EM在采样时段Ts开始时反转为VGH。在采样时段Ts期间,第一TFT M1保持导通状态。第二TFT M2在采样时段Ts期间截止。第三TFT M3在采样时段Ts期间保持截止状态。在采样时段Ts期间,基准电压Vref提供至数据线DL1。在采样时段Ts期间,第一节点n1的电压保持在基准电压Vref,而第二节点n2和第三节点n3的电压通过第四TFT DT的漏极-源极电流而升高。通过这种源极跟随器电路,第四TFT DT的栅极-源极电压Vgs被采样作为第四TFT DT的阈值电压Vth。

[0085] 在编程时段Tw期间,第一TFT M1保持导通状态,其余的第二TFT M2和第三TFT M3保持截止状态。输入图像的数据电压Vdata在编程时段Tw期间提供至数据线DL1。数据电压提供至第一节点n1,针对第一节点n1的电压变化(Vdata-Vref)来说在电容器Cst和Cvdd之间的电压分配的结果反映在第二节点n2上,使得第四TFT DT的栅极-源极电压Vgs被编程。在编程时段Tw期间,第一节点n1的电压是数据电压Vdata,通过给经由采样时段Ts而设定的“Vref-Vth”加上电容器Cst和Cvdd之间的电压分配结果($C' \cdot (Vdata - Vref)$),第二节点n2的电压变为“Vref-Vth+C'*(Vdata-Vref)”。结果,第四TFT DT的栅极-源极电压Vgs通过编程时段Tw被编程为“Vdata-2Vref+Vth-C'*(Vdata-Vref)”。在此,C'是Cst/(Cst+Cvdd)。

[0086] 当发光时段Tem开始时,第一栅极信号SCAN1和第三栅极信号EM反转为VGL,而第二栅极信号SCAN2保持在VGH。在发光时段Tem期间,第二TFT M2保持导通状态,以形成OLED的电流通路。第一TFT M1和第三TFT M3保持截止状态。第四TFT DT在发光时段Tem期间根据数

据电压调整OLED的电流。

[0087] 在发光时段 T_{em} 期间在OLED中流动的电流 I_{oled} 由等式1表示。OLED通过该电流发光,以表现输入图像的亮度。

[0088] [等式1]

$$I_{oled} = \frac{k}{2} [(1-C')(V_{data} - V_{ref})]^2$$

[0090] 在此,k是由第四TFT DT的迁移率、寄生电容和沟道容量(channel capacity)确定的比例常数。

[0091] 因为通过编程时段 T_w 被编程的 V_{gs} 中包含 V_{th} ,所以从 I_{oled} 清除了 V_{th} 。因此,驱动元件,即第四TFT DT的阈值电压 V_{th} 不影响OLED的电流 I_{oled} 。

[0092] 图6是示意性图解第二GIP电路300由共享起始脉冲的两个GIP电路构成的示例的示图。

[0093] 参照图6,第一GIP电路200由移位寄存器构成,移位寄存器接收第一起始脉冲 $VST1$ 和移位时钟CLK (SCAN2) 并且按顺序输出第二栅极信号SCAN2。第一GIP电路200的晶体管可如图12中所示由p型TFT实现。

[0094] 第二GIP电路300包括共享第二起始脉冲 $VST2$ 的第2-1GIP电路310和第2-2GIP电路320。第2-1GIP电路310由移位寄存器构成,移位寄存器接收第二起始脉冲 $VST2$ 和移位时钟CLK (SCAN1) 并且按顺序输出第一栅极信号SCAN1。第2-2GIP电路320由移位寄存器构成,移位寄存器接收第二起始脉冲 $VST2$ 和移位时钟CLK (EM) 并且按顺序输出第三栅极信号EM。

[0095] 如图5中所示,第一栅极信号SCAN1和第三栅极信号EM在中间部分具有稍微不同的波形。然而,第一栅极信号SCAN1和第三栅极信号EM在一个水平时段内以具有相同的初始上升时序的相同相位产生。结果,可在第2-1GIP电路310和第2-2GIP电路320中共享第二起始脉冲 $VST2$ 。此外,如图13和14中所示,因为能够在第2-1GIP电路310和第2-2GIP电路320中共享起始脉冲 $VST2$ 以及移位时钟SC1_CLK3和SC1_CLK4,所以能够减小边框区域中配线的数量。因此,本发明能够减小在显示面板100中布置GIP电路的边框区域的尺寸。

[0096] 图7是示意性图解GIP电路200、310和320中的移位寄存器电路构造的示图。图8是图解图7中所示的移位寄存器中用于产生第n输出的第n级的电路图。

[0097] 参照图7和8,GIP电路200、310和320的每一个使用经由进位信号线以级联连接的方式连接的多个级ST (n) 到ST (n+3),以移位时钟CLK的时序将输出电压移位。

[0098] 级ST (n) 到ST (n+3) 的每一个接收起始脉冲或接收来自在前级(previous stage)的进位信号CAR作为起始脉冲,并且当输入移位时钟时产生输出。

[0099] 级ST (n) 到ST (n+3) 的每一个包括:上拉晶体管 T_u ,上拉晶体管 T_u 响应于Q节点电压将输出节点充电,以增加输出电压 $V_{out} (n)$ 到 $V_{out} (n+3)$;下拉晶体管 T_d ,下拉晶体管 T_d 响应于QB节点电压将输出节点放电,以减小输出电压;以及用于将Q节点和QB节点充电和放电的开关电路70。每个级的输出节点连接至显示面板的栅极线。

[0100] 当在Q节点被预充电的状态中输入移位时钟CLK时,上拉晶体管 T_u 将输出节点充电。当移位时钟CLK输入至上拉晶体管 T_u 时,通过上拉晶体管 T_u 的寄生电容而浮置的Q节点的电压通过自举(bootstrapping)上升为超过预充电的电压,使得上拉晶体管 T_u 导通。栅极信号SCAN1、SCAN2和EM可产生为施加至上拉晶体管 T_u 的移位时钟CLK的波形。当QB节点被充

电时下拉晶体管Td将输出节点连接至被施加栅极截止电压的节点,以将输出电压放电至栅极截止电压。

[0101] 开关电路70响应于通过VST端子输入的起始脉冲VST或从前级接收的进位信号将Q节点充电,并且响应于通过RST端子或VNEXT端子接收的信号将Q节点放电。用于将所有级ST(n-1)、ST(n)和ST(n+1)的Q节点同时放电的复位信号施加至RST端子。从在后级(next stage)产生的进位信号施加至VNEXT端子,以将Q节点放电。

[0102] 图9是图解由n型TFT实现的第二GIP电路310和320中的第n级的Q节点电压、QB节点电压和输出电压Vout(n)的波形图。在由p型TFT实现的第一GIP电路200的情形中,图9的波形被反相。

[0103] 图10是图解施加至GIP电路200、310和320的移位时钟的波形图。

[0104] 参照图10,第一移位时钟CLK(SCAN2)包括四相位时钟信号SC2_CLK1到SC2_CLK4,四相位时钟信号SC2_CLK1到SC2_CLK4以与第二栅极信号SCAN2的波形相同的波形产生并按顺序被移位。第一移位时钟CLK(SCAN2)被提供至第一GIP电路200。

[0105] 第2-1移位时钟CLK(SCAN1)包括四相位时钟信号SC1_CLK1到SC1_CLK4,四相位时钟信号SC1_CLK1到SC1_CLK4以与第一栅极信号SCAN1的波形相同的波形产生并按顺序被移位。第2-1移位时钟CLK(SCAN1)被提供至第2-1GIP电路310。

[0106] 第2-2移位时钟CLK(EM)包括四相位时钟信号EM_CLK1到EM_CLK4,四相位时钟信号EM_CLK1到EM_CLK4以与第三栅极信号EM的波形相同的波形产生并按顺序被移位。第2-2移位时钟CLK(EM)被提供至第2-2GIP电路320。

[0107] 第2-1移位时钟CLK(SCAN1)和第2-2移位时钟CLK(EM)在一个水平时段1H中在最初上升时序和最后下降时序中通过相位彼此同步而具有相同的相位。因此,在第2-1GIP电路310和第2-2GIP电路320中共享除了施加至GIP电路中的上拉晶体管的移位时钟以外的其他移位时钟。

[0108] 移位时钟CLK(SCAN1)、CLK(SCAN2)和CLK(EM)不限于四相位时钟。例如,根据栅极信号的交叠时段和脉冲宽度,这些移位时钟可产生为二相位时钟、六相位时钟或八相位时钟。

[0109] 图11是图解像素电路与GIP电路之间的连接关系的电路图。

[0110] 参照图11,第一GIP电路200使用多个p型TFT给像素电路的p型TFT M3提供栅极信号SCAN2。第一GIP电路200接收第一起始脉冲VST1和移位时钟CLK(SCAN2)并输出第二栅极信号SCAN2。第二栅极信号SCAN2通过第二栅极线GL2提供至子像素。

[0111] 第2-1GIP电路310使用多个n型TFT给像素电路的n型TFT M1提供栅极信号SCAN1。第2-2GIP电路320使用多个n型TFT给像素电路的p型TFT M2提供不同的栅极信号EM。

[0112] 第2-1GIP电路310接收第二起始脉冲VST2和移位时钟CLK(SCAN1)并输出第一栅极信号SCAN1。第一栅极信号SCAN1通过第一栅极线GL1提供至子像素。第2-2GIP电路320接收第二起始脉冲VST2和移位时钟CLK(EM)并输出第三栅极信号EM。第三栅极信号EM通过第三栅极线GL3提供至子像素。

[0113] GIP电路200、310和320可由如图12到14中所示的电路实现,但并不限于此。

[0114] 图12是图解第一GIP电路200的电路图。

[0115] 参照图12,第一GIP电路200由p型TFT构成。第一GIP电路200的第n级包括:上拉晶

体管PM6,上拉晶体管PM6用于响应于Q节点电压将输出节点充电并且将输出电压OUT充电至栅极导通电压VGL;下拉晶体管PM7,下拉晶体管PM7用于响应于QB节点电压将输出电压OUT调整为栅极截止电压VGH;以及用于将Q节点和QB节点充电和放电的开关电路。输出电压OUT作为第二栅极信号SCAN2提供至第二栅极线GL2并且还作为进位信号CAR传输至其他级。开关电路包括多个TFT PM1到PM5和PM8。第一GIP电路200的第n级包括被提供VGL的VGL节点;被提供VGH的VGH节点;被输入移位时钟SC2_CLK1、SC2_CLK3和SC2_CLK4的CLK节点;以及被输入第一起始脉冲VST1或在前级的进位信号的VST节点。

[0116] 第一TFT PM1和第二TFT PM2响应于通过VST节点和第一CLK节点输入的信号将VGL提供至Q节点,由此将Q节点预充电至VGL。当栅极电压是VGL时,第一TFT PM1和第二TFT PM2导通,以将Q节点预充电。第一CLK节点接收与Q节点的预充电时序同步的移位时钟SC2_CLK4。第一TFT PM1包括连接至VST节点的栅极、连接至VGL节点的第一电极、以及连接至第二TFT PM2的第二电极。第二TFT PM2包括连接至第一CLK节点的栅极、连接至第一TFT PM1的第一电极、以及连接至Q节点的第二电极。

[0117] 第三TFT PM3响应于QB节点电压将Q节点充电和放电。当QB节点电压是VGL时,第三TFT PM3导通。第三TFT PM3包括连接至QB节点的栅极、连接至Q节点的第一电极、以及连接至VGH节点的第二电极。

[0118] 第四TFT PM4响应于通过第二CLK节点输入的移位时钟SC2_CLK3的VGL导通,以将VGL提供至QB节点,从而将QB节点预充电。第四TFT PM4包括连接至第二CLK节点的栅极、连接至VGL节点的第一电极、以及连接至QB节点的第二电极。

[0119] 第五TFT PM5响应于通过VST节点输入的信号的VGL导通,以将QB节点连接至VGH节点,从而将QB节点的电压调整为VGH。第五TFT PM5包括连接至VST节点的栅极、连接至QB节点的第一电极、以及连接至VGH节点的第二电极。

[0120] 第六TFT PM6是上拉晶体管,当通过第三CLK节点输入移位时钟SC2_CLK1时上拉晶体管导通,以将输出节点的电压调整为VGL。当第六TFT PM6导通时,连接至输出节点的第二栅极线GL2的电压变为栅极导通电压VGL。当在Q节点被预充电至VGL的状态中移位时钟SC2_CLK1输入至具有VGL电压的第六TFT PM6时,Q节点的电压通过自举上升至2VGL,并且第六TFT PM6导通。第六TFT PM6包括连接至Q节点的栅极、连接至第三CLK节点的第一电极、以及连接至输出节点的第二电极。

[0121] 第七TFT PM7响应于QB节点的VGL导通,以将输出节点连接至VGH节点,从而将第二栅极线GL2的电压调整为栅极截止电压VGH。第七TFT PM7包括连接至QB节点的栅极、连接至输出节点的第一电极、以及连接至VGH节点的第二电极。

[0122] 图13是图解第2-1GIP310电路的电路图。图14是图解第2-2GIP320电路的电路图。如图13和14中所示,第2-1GIP310电路和第2-2GIP320电路可由相同的电路实现,但并不限于此。

[0123] 参照图13,第2-1GIP310电路由n型TFT构成。第2-1GIP310电路的第n级包括:上拉晶体管NM16,上拉晶体管NM16用于响应于Q节点电压将输出节点充电并且将输出电压OUT充电至栅极导通电压VGH;下拉晶体管NM17,下拉晶体管NM17用于响应于QB节点电压将输出电压OUT降低至栅极截止电压VGL;以及用于将Q节点和QB节点充电和放电的开关电路。开关电路包括多个TFT NM11到NM15和NM18。输出电压OUT作为第一栅极信号SCAN1提供至第一栅极

线GL1并且作为进位信号CAR传输至其他级。

[0124] 第2-1GIP310电路的第n级包括被提供VGL的VGL节点、被提供VGH的VGH节点、被输入移位时钟SC1_CLK1、SC1_CLK3和SC1_CLK4的CLK节点、以及被输入第二起始脉冲VST2或在前级的进位信号的VST节点。

[0125] 第一TFT NM11和第二TFT NM12响应于通过VST节点和第一CLK节点输入的信号将VGH提供至Q节点,由此将Q节点预充电至VGH。当栅极电压是VGH时,第一TFT NM11和第二TFT NM12导通,以将Q节点预充电。第一CLK节点接收与Q节点的预充电时序同步的移位时钟SC1_CLK4。第一TFT NM11包括连接至VST节点的栅极、连接至VGH节点的第一电极、以及连接至第二TFT NM12的第二电极。第二TFT NM12包括连接至第一CLK节点的栅极、连接至第一TFT NM11的第一电极、以及连接至Q节点的第二电极。

[0126] 第三TFT NM13响应于QB节点电压将Q节点充电和放电。当QB节点电压是VGH时,第三TFT NM13导通。第三TFT NM13包括连接至QB节点的栅极、连接至Q节点的第一电极、以及连接至VGL节点的第二电极。

[0127] 第四TFT NM14响应于通过第二CLK节点输入的移位时钟SC1_CLK3的VGH导通,以将VGH提供至QB节点,从而将QB节点预充电。第四TFT NM14包括连接至第二CLK节点的栅极、连接至VGH节点的第一电极、以及连接至QB节点的第二电极。

[0128] 第五TFT NM15响应于通过VST节点输入的信号将VGH导通,以将QB节点连接至VGL节点,从而将Q节点的电压放电至VGL。第五TFT NM15包括连接至VST节点的栅极、连接至QB节点的第一电极、以及连接至VGL节点的第二电极。

[0129] 第六TFT NM16是上拉晶体管,当通过第三CLK节点输入移位时钟SC1_CLK1时上拉晶体管导通,以将输出节点的电压升高至VGH。当第六TFT NM16导通时,连接至输出节点的第一栅极线GL1的电压变为栅极导通电压VGH。当在Q节点被预充电至VGH的状态中移位时钟SC1_CLK1输入至具有VGH电压的第六TFT NM16时,Q节点的电压通过自举上升至2VGH,并且第六TFT NM16导通。第六TFT NM16包括连接至Q节点的栅极、连接至第三CLK节点的第一电极、以及连接至输出节点的第二电极。

[0130] 第七TFT NM17响应于QB节点的VGH导通,以将输出节点连接至VGL节点,从而将第一栅极线GL1的电压降低至栅极截止电压VGL。第七TFT NM17包括连接至QB节点的栅极、连接至输出节点的第一电极、以及连接至VGL节点的第二电极。

[0131] 参照图14,第2-2GIP320电路由n型TFT构成。第2-2GIP320电路的第n级包括:上拉晶体管NM26,上拉晶体管NM26用于响应于Q节点电压将输出节点充电并且将输出电压OUT充电至栅极导通电压VGH;下拉晶体管NM27,下拉晶体管NM27用于响应于QB节点电压将输出电压OUT降低至栅极截止电压VGL;以及用于将Q节点和QB节点充电和放电的开关电路。开关电路包括多个TFT NM21到NM25和NM28。输出电压OUT作为第三栅极信号EM提供至第三栅极线GL3并且作为进位信号CAR传输至其他级。

[0132] 第2-2GIP320电路的第n级包括被提供VGL的VGL节点、被提供VGH的VGH节点、被输入移位时钟EM_CLK1、EM_CLK3和EM_CLK4的CLK节点、以及被输入第二起始脉冲VST2或在前级的进位信号的VST节点。

[0133] 从第2-1GIP电路310和第2-2GIP320电路输出的信号的相位是相同的并且移位时钟CLK (SCAN1) 和CLK (EM) 的相位是相同的。因此,如图15中所示,第2-1GIP电路310和第2-

2GIP320电路的起始脉冲VST被共享,使得能够减少VST配线151的数量并且能够减少时序控制器120的输出引脚的数量。

[0134] 第2-1移位时钟CLK (SCAN1) 和第2-2移位时钟CLK (EM) 在一个水平时段1H中具有相同的相位。施加至第2-1GIP电路310和第2-2GIP320电路的第一和第二CLK节点的移位时钟可被共享。例如,如图13和14中所示,施加至第2-2GIP320电路的第一和第二CLK节点的移位时钟被施加为SC1_CLK3和SC1_CLK4,使得第2-2GIP320电路可与第2-1GIP电路310共享移位时钟。

[0135] 第一TFT NM21和第二TFT NM22响应于通过VST节点和第一CLK节点输入的信号将VGH提供至Q节点,由此将Q节点预充电至VGH。当栅极电压是VGH时,第一TFT NM21和第二TFT NM22导通,以将Q节点预充电。第一CLK节点接收与Q节点的预充电时序同步的移位时钟EM_CLK4或SC1_CLK4。第一TFT NM21包括连接至VST节点的栅极、连接至VGH节点的第一电极、以及连接至第二TFT NM22的第二电极。第二TFT NM22包括连接至第一CLK节点的栅极、连接至第一TFT NM21的第一电极、以及连接至Q节点的第二电极。

[0136] 第三TFT NM23响应于QB节点电压将Q节点充电和放电。当QB节点电压是VGH时,第三TFT NM23导通。第三TFT NM23包括连接至QB节点的栅极、连接至Q节点的第一电极、以及连接至VGL节点的第二电极。

[0137] 第四TFT NM24响应于通过第二CLK节点输入的移位时钟EM_CLK3或SC1_CLK3的VGH导通,以将VGH提供至QB节点,从而将QB节点预充电。第四TFT NM24包括连接至第二CLK节点的栅极、连接至VGH节点的第一电极、以及连接至QB节点的第二电极。

[0138] 第五TFT NM25响应于通过VST节点输入的信号VGH导通,以将QB节点连接至VGL节点,从而将Q节点的电压放电至VGL。第五TFT NM25包括连接至VST节点的栅极、连接至QB节点的第一电极、以及连接至VGL节点的第二电极。

[0139] 第六TFT NM26是上拉晶体管,当通过第三CLK节点输入移位时钟EM_CLK1时上拉晶体管导通,以将输出节点的电压升高至VGH。当第六TFT NM26导通时,连接至输出节点的第三栅极线GL3的电压变为栅极导通电压VGH。当在Q节点被预充电至VGH的状态中移位时钟EM_CLK1输入至具有VGH电压的第六TFT NM26时,Q节点的电压通过自举上升至2VGH,并且第六TFT NM26导通。第六TFT NM26包括连接至Q节点的栅极、连接至第三CLK节点的第一电极、以及连接至输出节点的第二电极。

[0140] 第七TFT NM27响应于QB节点的VGH导通,以将输出节点连接至VGL节点,从而将第三栅极线GL3的电压降低至栅极截止电压VGL。第七TFT NM27包括连接至QB节点的栅极、连接至输出节点的第一电极、以及连接至VGL节点的第二电极。

[0141] 在图12到14中,GIP电路200、310和320的输出节点被显示为一个,但其可分离为栅极信号输出节点和进位信号输出节点。在这种情形中,增加连接至Q节点的上拉晶体管。此外,为了减小下拉晶体管的DC栅极偏压,QB节点可分离,并且可通过将下拉晶体管连接至每个QB节点,由交流电(AC)交替驱动QB节点。

[0142] 图15是图解连接至第二GIP电路的VST配线151和CLK配线的示图。在图15中,“SC11到SC15”显示了第2-1GIP电路310的级连接结构。“EM1到EM5”显示了第2-2GIP电路320的级连接结构。

[0143] 图16和17是图解显示面板100的TFT阵列基板中的TFT的剖面结构的示图。

[0144] 参照图16,有源区域A/A的子像素包括p型TFT PT1和n型TFT NT1。第一GIP电路200由p型TFT PT2构成,第二GIP电路310和320由n型TFT NT2构成。LTPS TFT可实现为顶栅结构的p型TFT (PT1,PT2)。氧化物TFT可实现为底栅结构的n型TFT (NT1,NT2)。

[0145] 缓冲层BUF形成在基板SUB的整个表面上。可省略缓冲层BUF。可在缓冲层BUF与基板SUB之间仅在所需的部分处选择性地形成遮光层。为了防止外部光进入设置于基板上的TFT的半导体层,可形成遮光层。

[0146] 第一半导体图案PACT1和PACT2形成在缓冲层BUF上。第一半导体图案PACT1和PACT2包括p型TFT PT1和PT2的沟道区域。沟道区域被定义为TFT的栅极与半导体图案的交叠区域。杂质被掺杂到第一半导体图案PACT1和PACT2的两侧中,以变为p型半导体区域。TFT PT1和PT2的源极或漏极连接至p型半导体区域。

[0147] 第一栅极绝缘层GI1形成在缓冲层BUF上,从而覆盖第一半导体图案PACT1和PACT2。第一栅极金属图案G11、G21、G31和G41形成在第一栅极绝缘层GI1上。第一栅极金属图案G11、G21、G31和G41包括p型TFT PT1和PT2以及n型TFT NT1和NT2的栅极。

[0148] 层间绝缘层ILD形成在第一栅极绝缘层GI1上,从而覆盖第一栅极金属图案G11、G21、G31和G41。第二栅极金属图案G12和G32形成在层间绝缘层ILD上。电容器形成在栅极金属图案G11-G12与栅极金属图案G31-G32之间(栅极金属图案G11-G12和栅极金属图案G31-G32与其间插入的层间绝缘层ILD交叠)。

[0149] 第二栅极绝缘层GI2形成在层间绝缘层ILD上,从而覆盖第二栅极金属图案G12和G32。第二半导体图案NACT1和NACT2以及源极-漏极金属图案SD11、SD12、SD21、SD31、SD32、SD41和SD42形成在第二栅极绝缘层GI2上。第二半导体图案NACT1和NACT2定义n型TFT NT1和NT2的沟道区域。源极-漏极金属图案SD11、SD12、SD31和SD32通过穿过绝缘层GI1、ILD和GI2的接触孔连接至p型TFT PT1和PT2的第一半导体图案PACT1和PACT2。源极-漏极金属图案SD11、SD12、SD21、SD31、SD32、SD41和SD42包括p型TFT PT1和PT2以及n型TFT NT1和NT2的源极和漏极。此外,源极-漏极金属图案SD12、SD21、SD41和SD42与第二半导体图案NACT1和NACT2中的n型半导体区域的被掺杂了杂质的两侧接触。

[0150] 钝化层PAS形成在第二栅极绝缘层GI2上,从而覆盖第二半导体图案NACT1和NACT2以及源极-漏极金属图案SD11、SD12、SD21、SD31、SD32、SD41和SD42。平坦化层PLN形成在钝化层PAS上。OLED的阳极ANO通过穿过平坦化层PLN和钝化层PAS的接触孔连接至p型TFT PT1。

[0151] 堤图案BNK形成在平坦化层PLN上,以限定OLED发光区域。OLED的有机化合物层OL设置在OLED发光区域上并且在有机化合物层OL上形成阴极CAT。面密封剂FSEAL形成在TFT阵列基板上,从而覆盖阴极CAT,以防止湿气渗透,使得OLED不暴露于湿气。

[0152] 参照图17,有源区域A/A的子像素包括p型TFT PT1和n型TFT NT1。第一GIP电路200由p型TFT PT2构成,第二GIP电路310和320由n型TFT NT2构成。在图17中,LTPS TFT可实现为顶栅结构的p型TFT (PT1,PT2)。氧化物TFT可实现为底栅结构的n型TFT (NT1,NT2)。在本实施方式中,p型TFT PT1和PT2的栅极G11和G31与n型TFT NT1和NT2的栅极G21和G41在之间具有绝缘层ILD1和ILD2的情况下分离。

[0153] 缓冲层BUF形成在基板SUB的整个表面上。可省略缓冲层BUF。可在缓冲层BUF与基板SUB之间仅在所需的部分处选择性地形成遮光层。为了防止外部光进入设置于基板上的

TFT的半导体层,可形成遮光层。

[0154] 第一半导体图案PACT1和PACT2形成在缓冲层BUF上。第一半导体图案PACT1和PACT2包括p型TFT PT1和PT2的沟道区域。杂质被掺杂到第一半导体图案PACT1和PACT2的两侧中,以变为p型半导体区域。TFT PT1和PT2的源极或漏极连接至p型半导体区域。

[0155] 第一栅极绝缘层GI1形成在缓冲层BUF上,从而覆盖第一半导体图案PACT1和PACT2。第一栅极金属图案G11和G31形成在第一栅极绝缘层GI1上。第一栅极金属图案G11和G31包括p型TFT PT1和PT2的栅极。

[0156] 第一层间绝缘层ILD1形成在第一栅极绝缘层GI1上,从而覆盖第一栅极金属图案G11和G31。第二栅极金属图案G12和G32形成在第一层间绝缘层ILD1上。电容器形成在栅极金属图案G11-G12之间与栅极金属图案G31-G32之间,栅极金属图案G11-G12和栅极金属图案G31-G32与其间插入的第一层间绝缘层ILD1交叠。

[0157] 第二层间绝缘层ILD2形成在第一层间绝缘层ILD1上,从而覆盖第二栅极金属图案G12和G32。第二半导体图案NACT1和NACT2形成在第二层间绝缘层ILD2上。第二半导体图案NACT1和NACT2定义n型TFT NT1和NT2的沟道区域。杂质被掺杂到第二半导体图案NACT1和NACT2的两侧中,以变为n型半导体区域。第二栅极绝缘层图案GI2和第三栅极金属图案G21和G41堆叠在第二半导体图案NACT1和NACT2上。第三栅极金属图案G21和G41包括n型TFT NT1和NT2的栅极。

[0158] 钝化层PAS形成在第二层间绝缘层ILD2上,从而覆盖第二半导体图案NACT1和NACT2以及第三栅极金属图案G21和G41。源极-漏极金属图案SD11、SD12、SD21、SD31、SD32、SD41和SD42形成在钝化层PAS上。源极-漏极金属图案SD11、SD12、SD31和SD32通过穿过绝缘层GI1、ILD1、ILD2和PAS的接触孔连接至p型TFT PT1和PT2的第一半导体图案PACT1和PACT2。此外,源极-漏极金属图案SD12、SD21、SD41和SD42通过穿过钝化层PAS的接触孔连接至n型TFT NT1和NT2的第二半导体图案NACT1和NACT2。源极-漏极金属图案SD11、SD12、SD21、SD31、SD32、SD41和SD42包括p型TFT PT1和PT2以及n型TFT NT1和NT2的源极和漏极。

[0159] 平坦化层PLN形成在钝化层PAS上。OLED的阳极ANO通过穿过平坦化层PLN的接触孔连接至p型TFT PT1。

[0160] 堤图案BNK形成在平坦化层PLN上,以限定OLED发光区域。OLED的有机化合物层OL设置在OLED发光区域上并且在有机化合物层OL上形成阴极CAT。面密封剂FSEAL形成在TFT阵列基板上,从而覆盖阴极CAT,以防止湿气渗透,使得OLED不暴露于湿气。

[0161] 如上所述,本发明通过使用由n型TFT构成的GIP电路产生像素电路的n型TFT和p型TFT的栅极信号。因此,本发明能够将显示面板(其中在每个像素中内置有n型TFT和p型TFT)中的GIP电路的尺寸以及边框区域的尺寸最小化。此外,因为能够在GIP电路之间共享起始脉冲和移位时钟,所以本发明能够进一步减小GIP电路和边框区域。

[0162] 尽管参考多个示例性的实施方式描述了实施方式,但应当理解,所属领域技术人员能够设计出多个其他修改例和实施方式,这落在本发明的原理的范围内。更具体地说,在说明书、附图和所附权利要求书的范围内,在组成部件和/或主题组合构造的配置中可进行各种变化和修改。除了组成部件和/或配置中的变化和修改之外,可选择的使用对于所属领域技术人员来说也将是显而易见的。

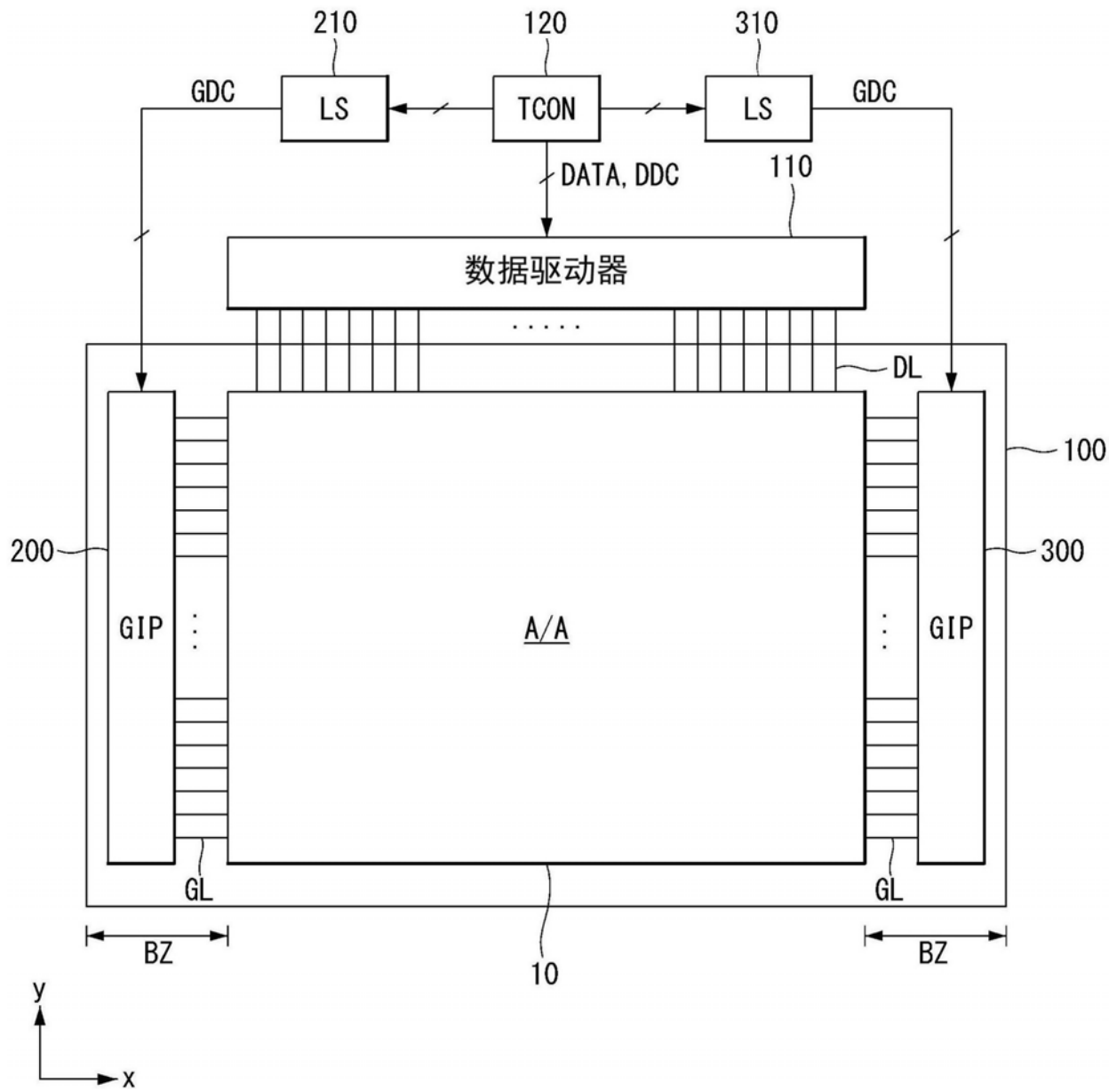


图1

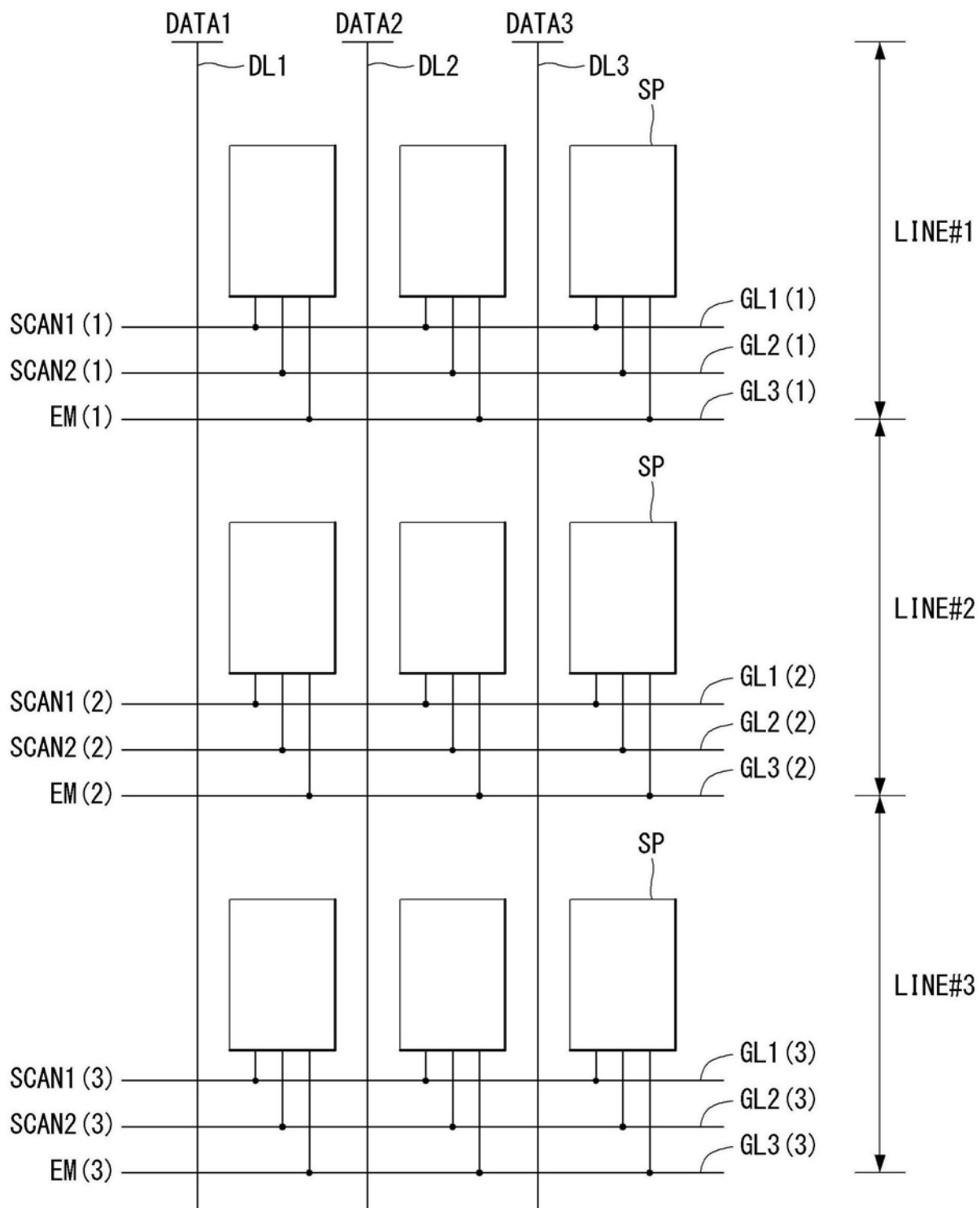


图2

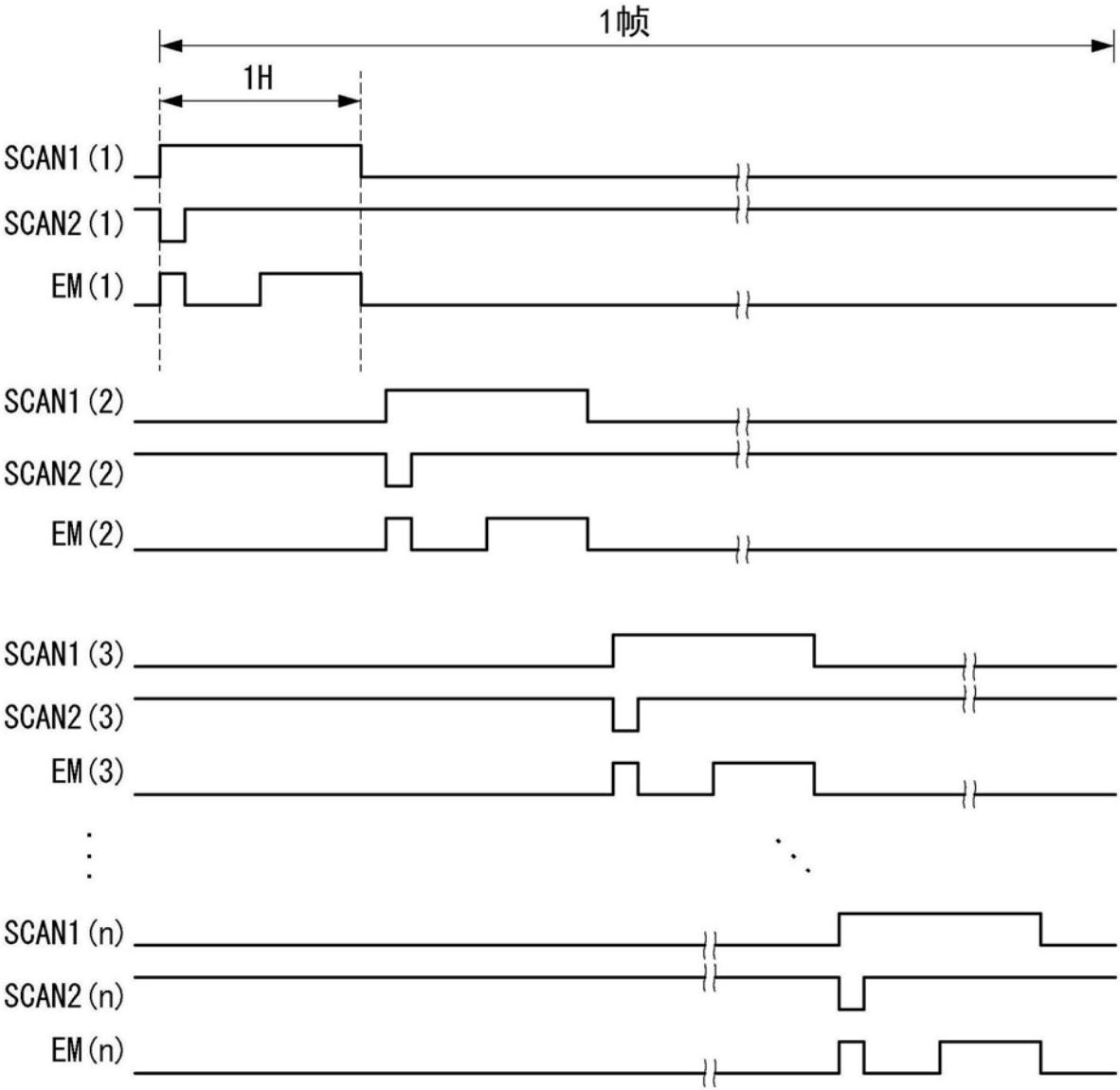


图3

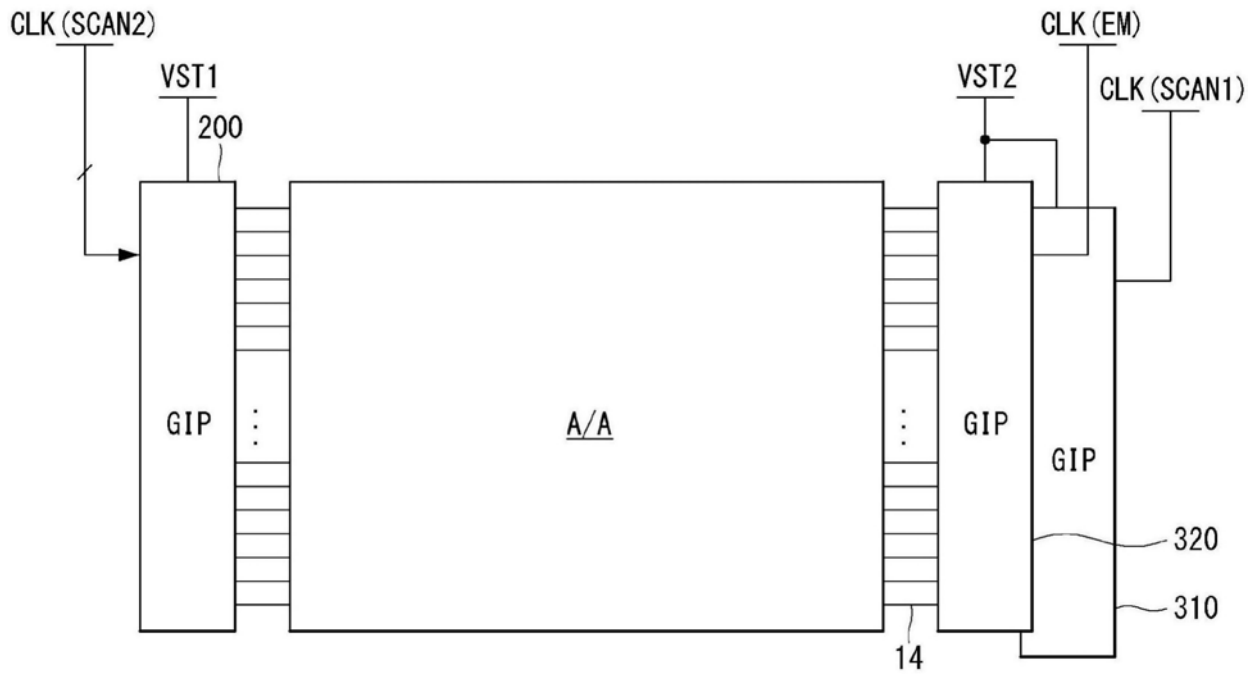


图6

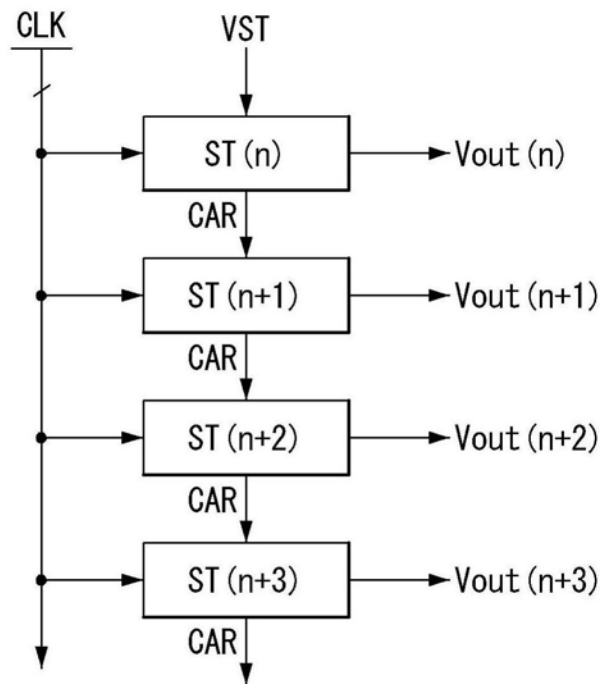


图7

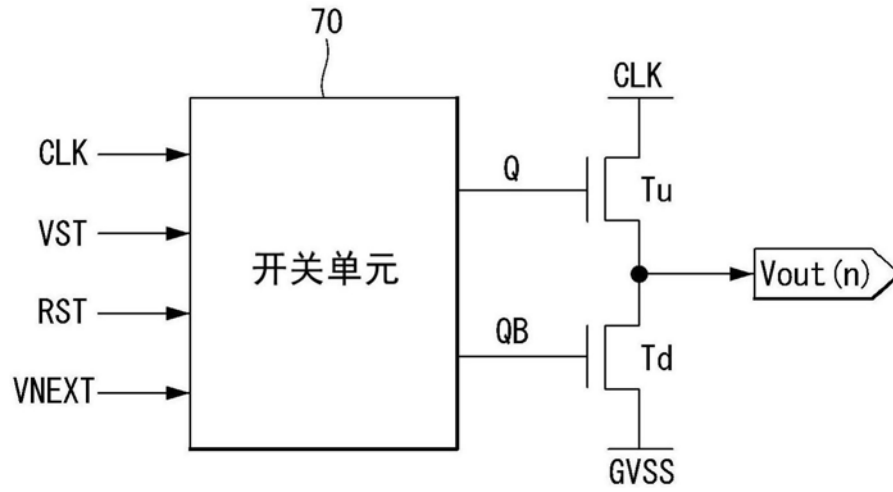


图8

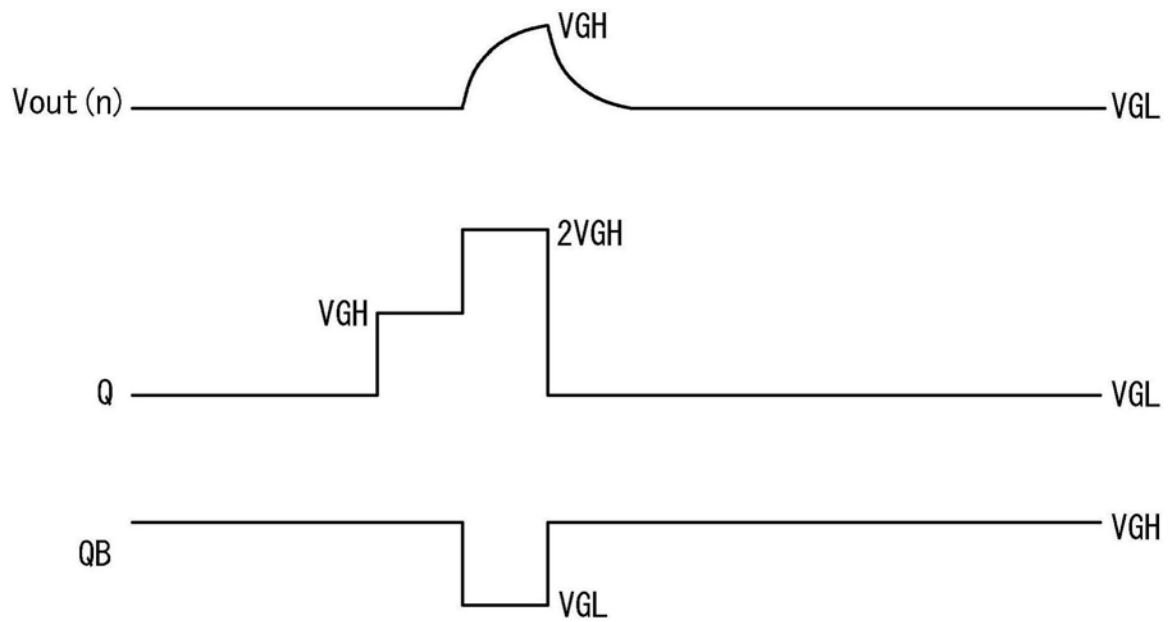


图9

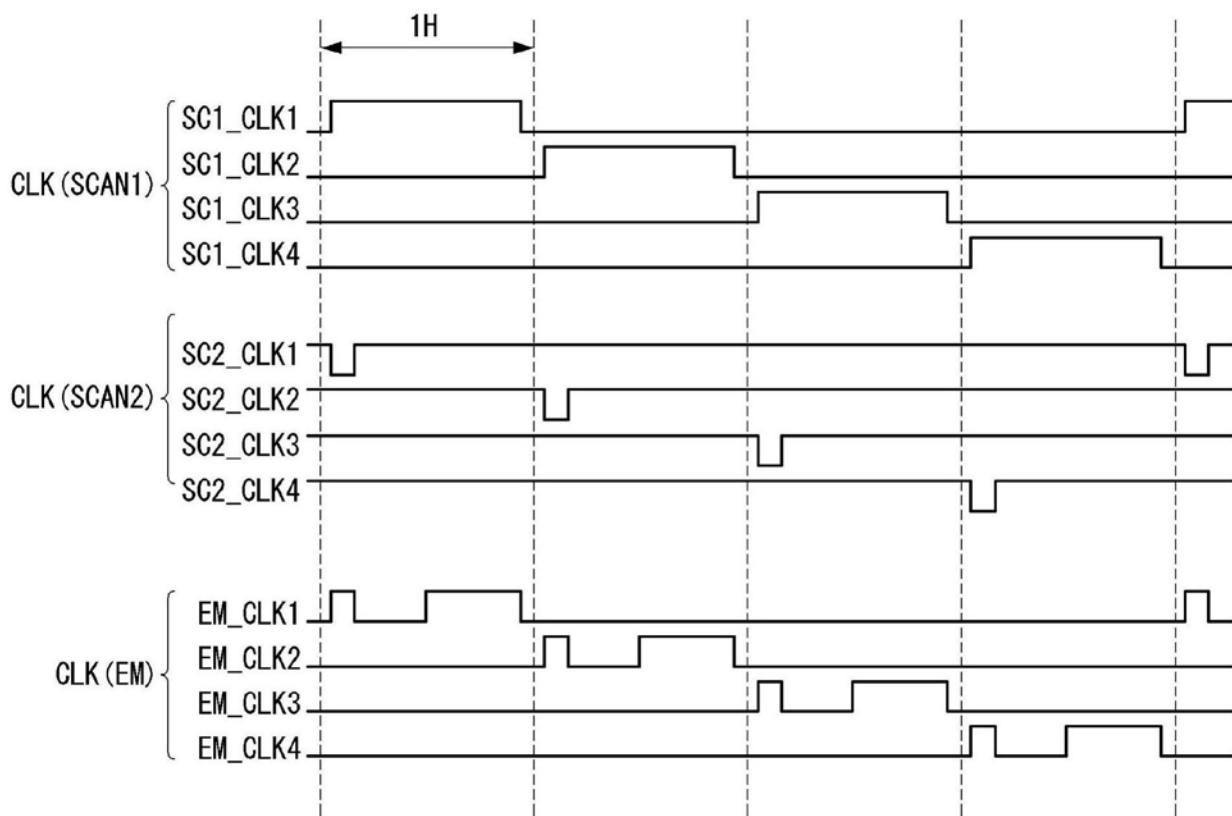


图10

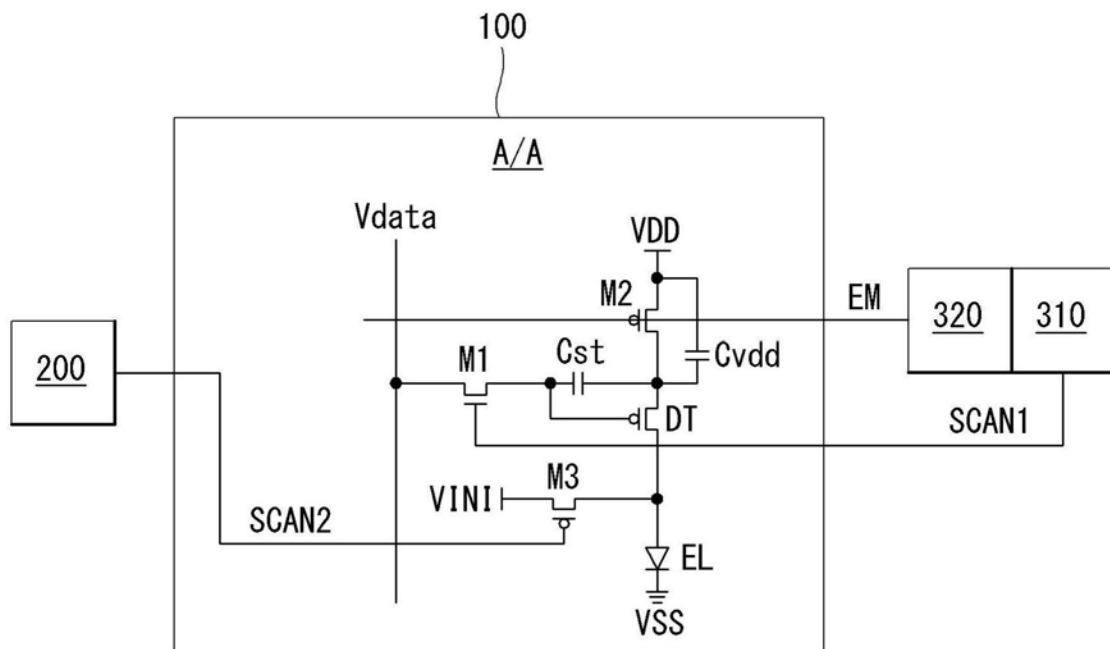


图11

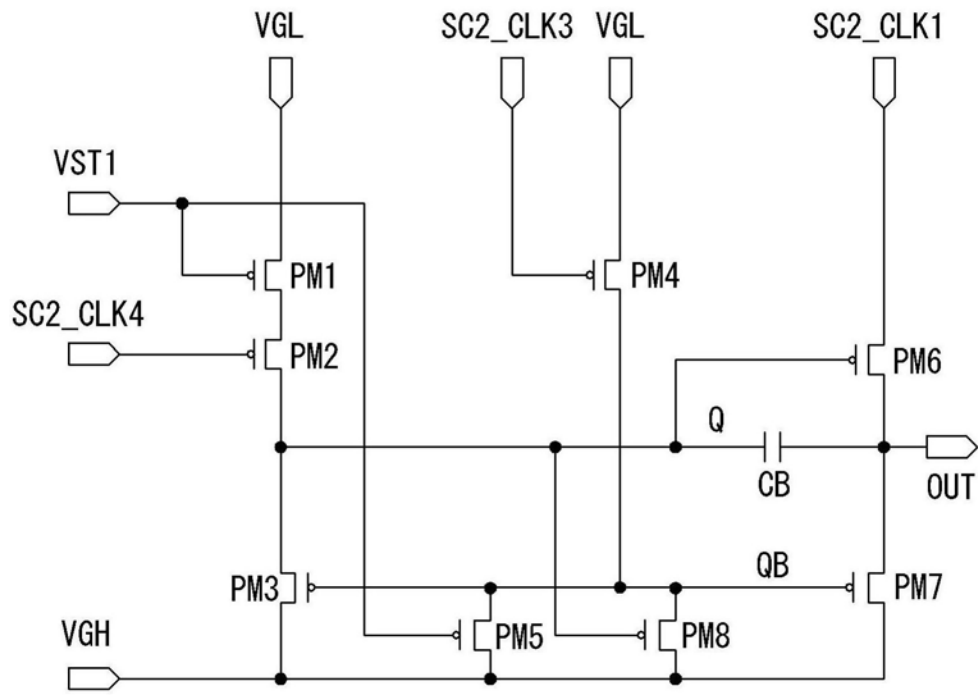


图12

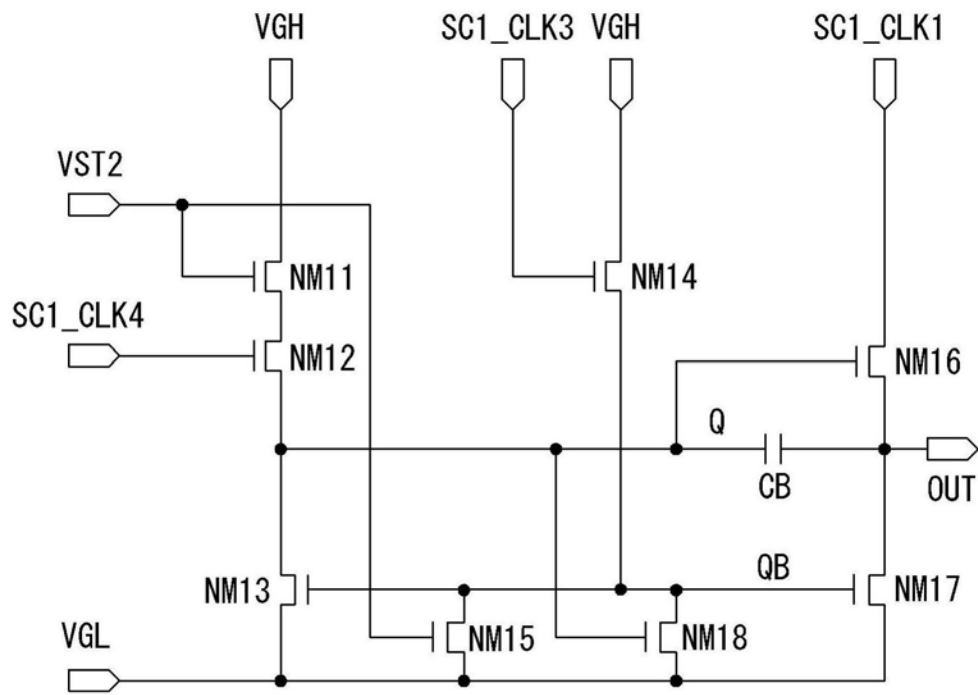


图13

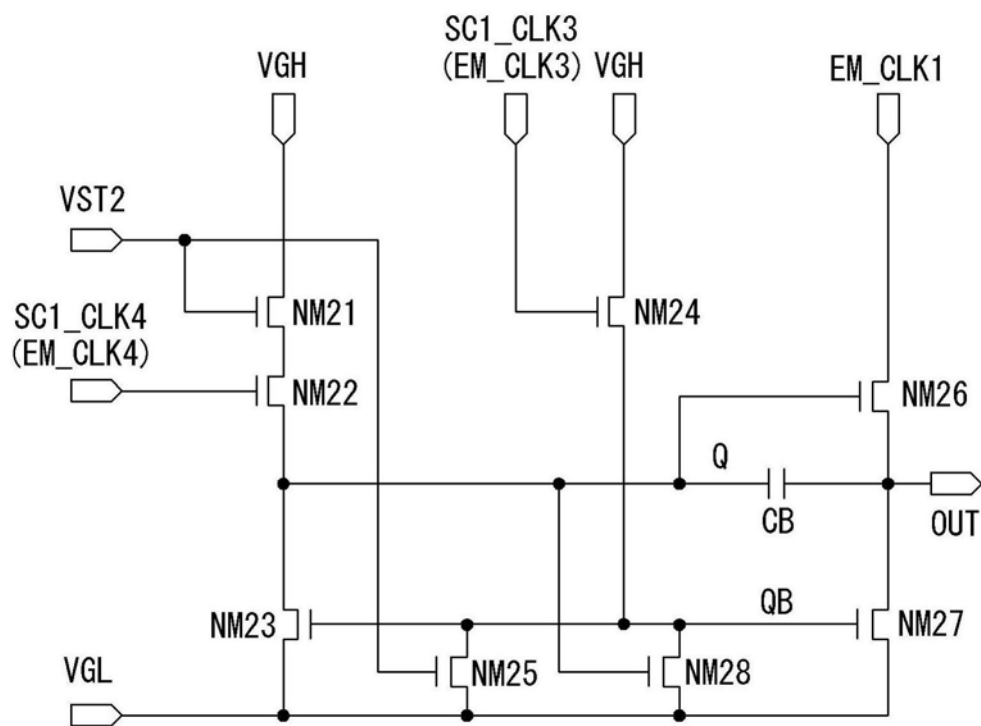


图14

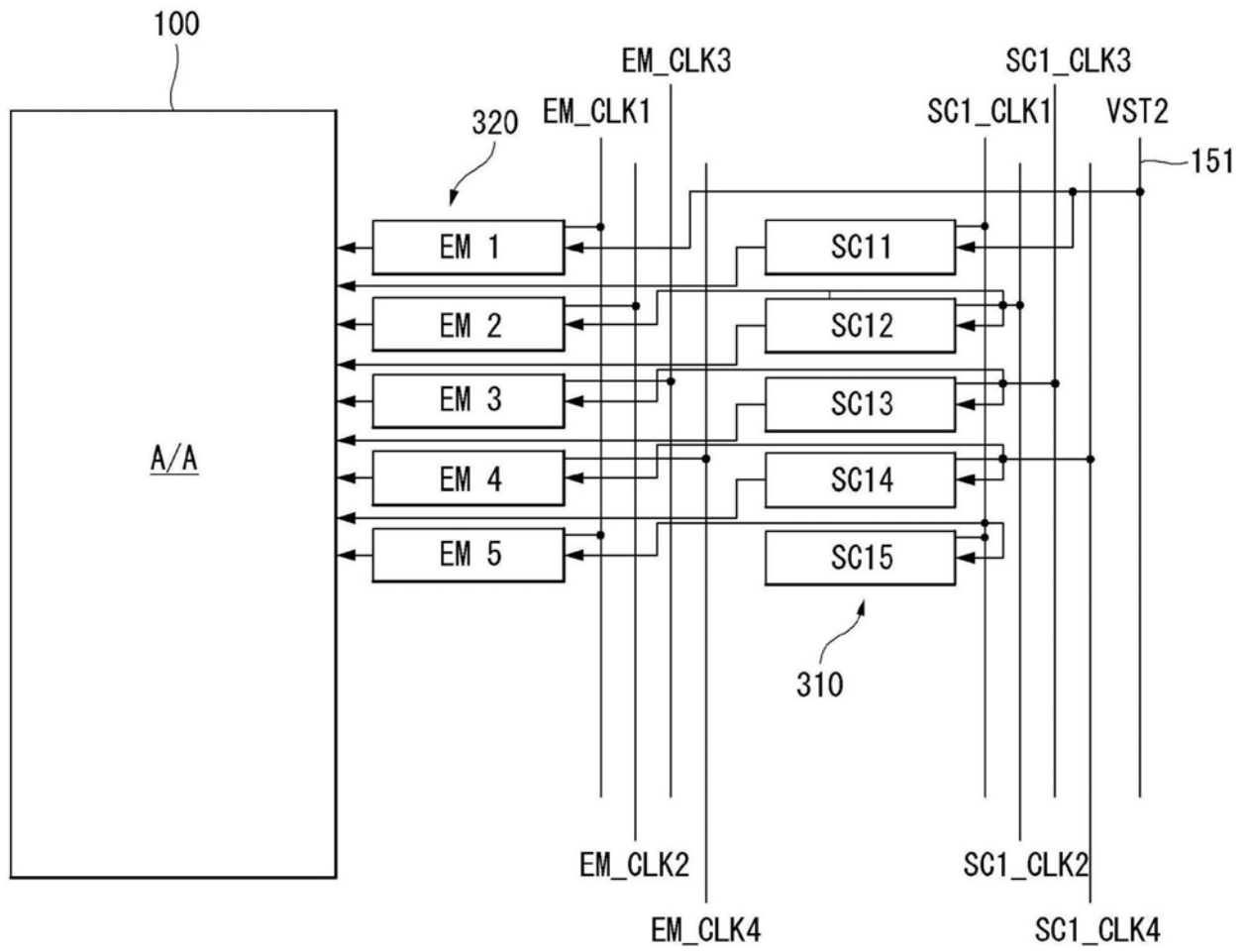


图15

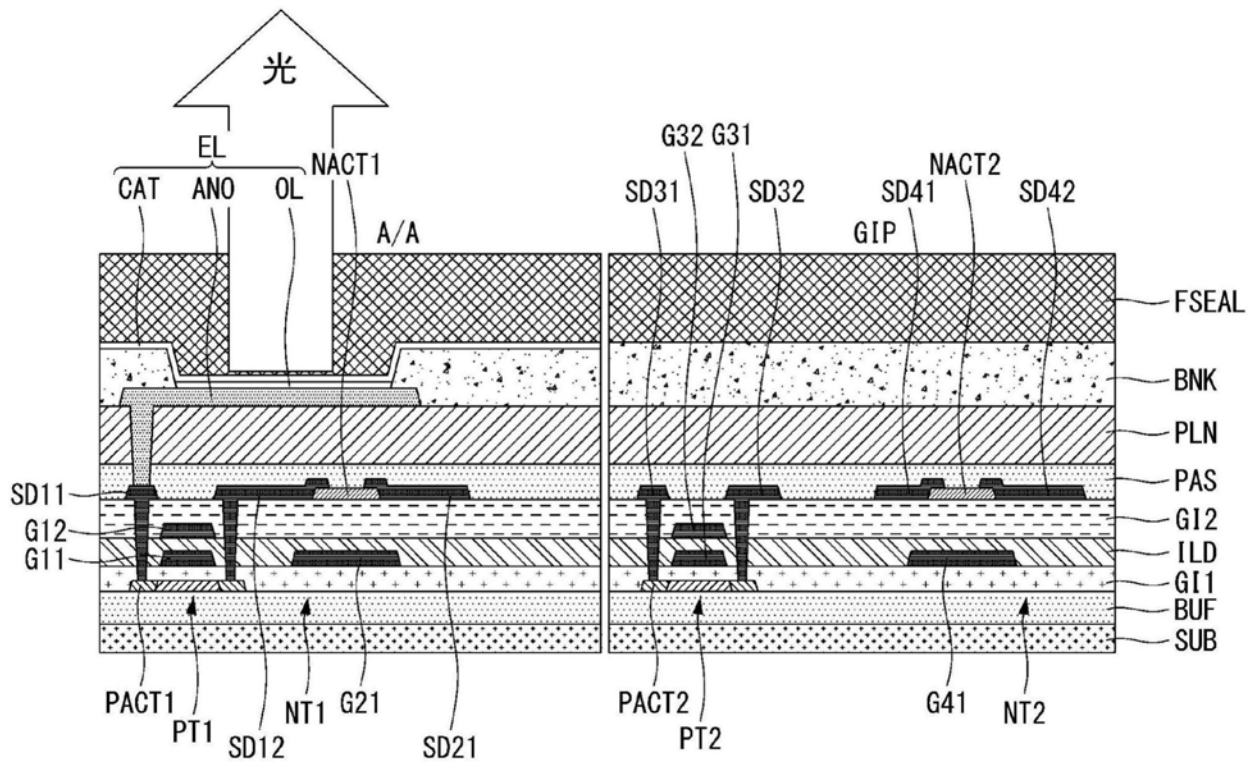


图16

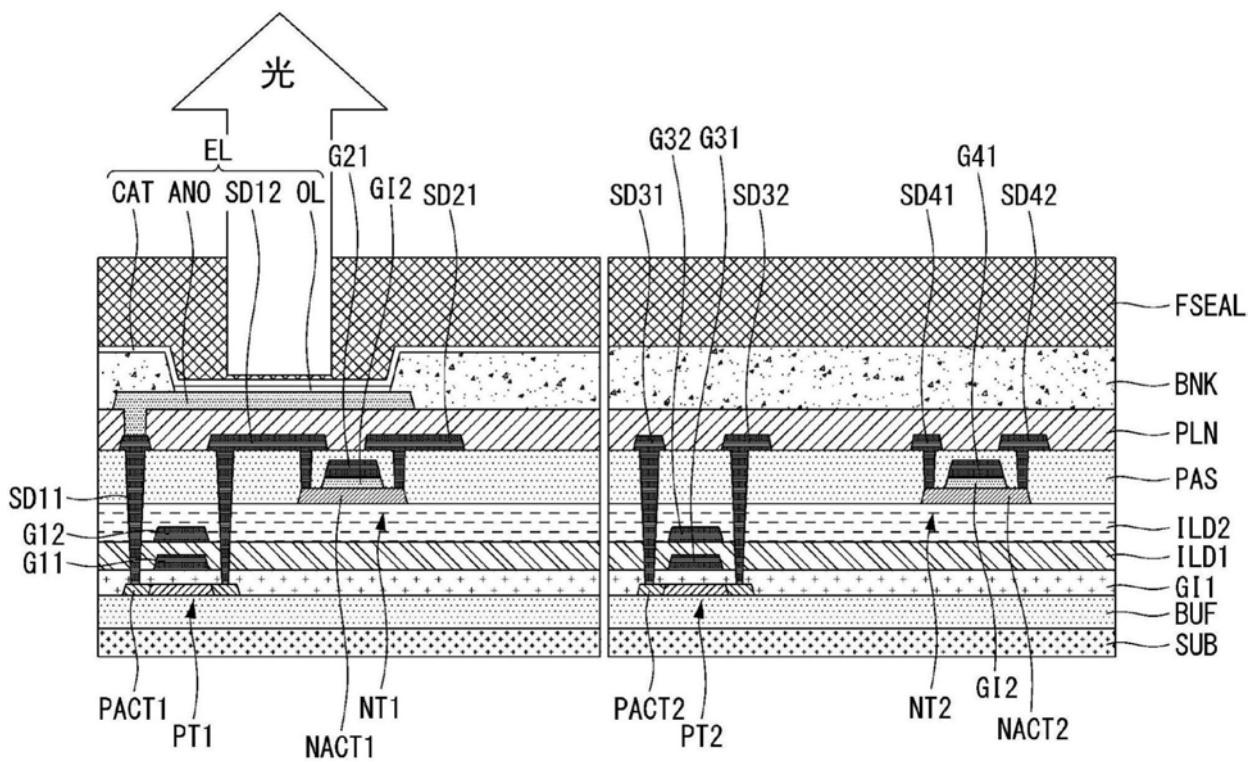


图17

专利名称(译)	显示面板及使用该显示面板的电致发光显示器		
公开(公告)号	CN108122542A	公开(公告)日	2018-06-05
申请号	CN2017110493240.3	申请日	2017-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	李瑛长		
发明人	李瑛长		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2300/0819 G09G2300/0861 G09G2300/0866 G09G2310/0286 G09G2320/045 G09G3/3233 G09G3/3275 G09G2310/08 G09G2320/0247 G09G2354/00		
优先权	1020160160279 2016-11-29 KR		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种显示面板和使用该显示面板的电致发光显示器。显示面板包括像素和栅极驱动器，在所述像素中数据线和栅极线交叉并且所述像素以矩阵形式布置，所述栅极驱动器配置成向所述栅极线提供栅极脉冲。像素的每个像素电路包括一个或多个n型晶体管以及两个或更多个p型晶体管。显示面板的栅极驱动器包括：第一栅极驱动电路，配置成使用多个n型晶体管向像素电路的n型晶体管提供第一栅极信号；第二栅极驱动电路，配置成使用多个p型晶体管向像素电路的p型晶体管中的一个提供第二栅极信号；和第三栅极驱动电路，配置成使用多个n型晶体管向像素电路的p型晶体管中的另一个提供第三栅极信号。

