



(12)发明专利

(10)授权公告号 CN 104732926 B

(45)授权公告日 2017. 03. 22

(21)申请号 201510158794.9

(22)申请日 2015.04.03

(65)同一申请的已公布的文献号

申请公布号 CN 104732926 A

(43)申请公布日 2015.06.24

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 马占洁

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 黄志华

(51)Int.Cl.

G09G 3/3233(2016.01)

审查员 王妍

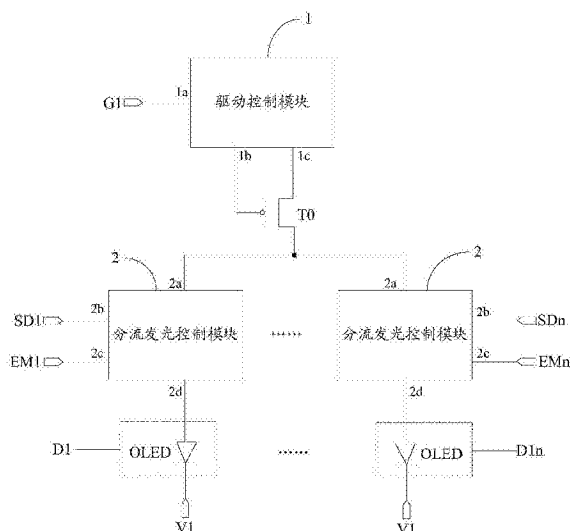
权利要求书2页 说明书10页 附图13页

(54)发明名称

一种像素电路、有机电致发光显示面板及显示装置

(57)摘要

本发明公开了一种像素电路、有机电致发光显示面板及显示装置,像素电路包括:驱动晶体管、驱动控制模块、至少两个分流发光控制模块、以及与各分流发光控制模块的输出端分别一一对应连接的发光器件。由于多个分流发光控制模块可以根据对应的分流控制信号的大小对驱动晶体管输出的驱动总电流信号进行分流,从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号,从而可以在不改变现有技术中电压的调节范围的基础上,实现在等同亮度下降低发光器件的驱动电流,进而可以实现高电流效率发光器件的各种灰阶显示的调整。



1. 一种像素电路,其特征在于,包括:驱动晶体管、驱动控制模块、至少两个分流发光控制模块、以及与各所述分流发光控制模块的输出端分别一一对应连接的发光器件;其中,

所述驱动控制模块的输入端用于接收驱动控制信号,第一输出端与所述驱动晶体管的栅极相连,第二输出端与所述驱动晶体管的源极相连;所述驱动控制模块用于在所述驱动控制信号的控制下,控制所述驱动晶体管输出驱动总电流信号;

各所述分流发光控制模块的第一输入端均与所述驱动晶体管的漏极相连,第二输入端用于接收对应的分流控制信号,第三输入端用于接收对应的发光控制信号,输出端与对应的发光器件的一端相连;所述发光器件的另一端与第一参考电压源相连;各所述分流发光控制模块用于在对应的发光控制信号的控制下,根据对应的分流控制信号对所述驱动晶体管的漏极输出的驱动总电流信号进行分流,形成与对应的分流控制信号所对应的驱动分电流信号,并将形成的各所述驱动分电流信号提供给对应的发光器件。

2. 如权利要求1所述的像素电路,其特征在于,所述分流发光控制模块具体包括:第一开关晶体管、第一电容、第二开关晶体管和第二参考电压源;其中,

所述第一开关晶体管,其栅极为所述分流发光控制模块的第三输入端,源极为所述分流发光控制模块的第二输入端,漏极与所述第二开关晶体管的栅极和所述第一电容的第一端相连;

所述第二开关晶体管,其源极为所述分流发光控制模块的第一输入端,漏极为所述分流发光控制模块的输出端;

所述第一电容的第二端与所述第二参考电压源相连。

3. 如权利要求2所述的像素电路,其特征在于,各所述分流发光控制模块对应同一发光控制信号。

4. 如权利要求2所述的像素电路,其特征在于,所述第一开关晶体管和所述第二开关晶体管均为P型晶体管或N型晶体管。

5. 如权利要求1-4任一项所述的像素电路,其特征在于,所述驱动晶体管为P型晶体管或N型晶体管。

6. 如权利要求5所述的像素电路,其特征在于,所述驱动控制模块具体包括:第二电容、第三开关晶体管和第三参考电压源;其中,

所述第三开关晶体管,其栅极用于接收所述驱动控制信号,源极用于接收数据信号,漏极分别与所述第二电容的第一端和所述驱动晶体管的栅极相连,所述第二电容的第二端分别与所述第三参考电压源和所述驱动晶体管的源极相连。

7. 如权利要求5所述的像素电路,其特征在于,所述驱动控制模块还用于补偿所述驱动晶体管的阈值电压;和/或补偿电源电压降。

8. 如权利要求7所述的像素电路,其特征在于,所述驱动晶体管为P型晶体管;所述驱动控制模块具体包括:第二电容,初始化子模块,驱动子模块、补偿子模块和第四参考电压源;其中,

所述初始化子模块的第一输入端用于接收初始化控制信号,第二输入端用于接收初始化信号,输出端与所述驱动晶体管的栅极相连;所述初始化子模块用于在所述初始化控制信号的控制下将所述初始化信号提供给所述驱动晶体管的栅极;

所述补偿子模块的第一输入端用于接收补偿控制信号,第二输入端用于接收数据信

号,第一输出端与所述第二电容的第一端相连,第二输出端与所述第二电容的第二端相连,第三输入端与所述驱动晶体管的漏极相连;所述补偿子模块用于在所述补偿控制信号的控制下,将所述数据信号写入到所述第二电容的第一端,将所述驱动晶体管的阈值电压写入到所述第二电容的第二端;

所述驱动子模块的第一输入端用于接收所述驱动控制信号,第二输入端分别与所述驱动晶体管的源极和所述第四参考电压源相连,输出端与所述第二电容的第一端相连;所述驱动子模块用于在所述驱动控制信号的控制下,和所述第二电容一同控制所述驱动晶体管输出驱动总电流。

9.如权利要求8所述的像素电路,其特征在于,所述初始化子模块具体包括:第三开关晶体管,其中,

所述第三开关晶体管,其栅极为所述初始化子模块的第一输入端,源极为所述初始化子模块的第二输入端,漏极为所述初始化子模块的输出端。

10.如权利要求8所述的像素电路,其特征在于,所述补偿子模块具体包括:第四开关晶体管和第五开关晶体管;其中,

所述第四开关晶体管,其栅极为所述补偿子模块的第一输入端,源极为所述补偿子模块的第二输出端,漏极为所述补偿子模块的第三输入端;

所述第五开关晶体管,其栅极为所述补偿子模块的第一输入端,源极为所述补偿子模块的第二输入端,漏极为所述补偿子模块的第一输出端。

11.如权利要求8所述的像素电路,其特征在于,所述驱动子模块具体包括:第六开关晶体管;其中,

所述第六开关晶体管,其栅极为所述驱动子模块的第一输入端,源极为所述驱动子模块的第二输入端,漏极为所述驱动子模块的输出端。

12.一种有机电致发光显示面板,包括:若干呈矩阵排列的像素单元,以及与各所述像素单元对应的像素电路,其特征在于,以至少两个沿行方向相邻的像素单元为一像素单元组,每一所述像素单元组分别对应一个如权利要求1-11任一项所述的像素电路,且各所述像素单元组中的像素单元的数量等于对应像素电路中分流发光控制模块的数量。

13.一种显示装置,其特征在于,包括如权利要求12所述的有机电致发光显示面板。

一种像素电路、有机电致发光显示面板及显示装置

技术领域

[0001] 本发明涉及有机电致发光技术领域,尤其涉及一种像素电路、有机电致发光显示面板及显示装置。

背景技术

[0002] 有机电致发光二极管(Organic Light Emitting Diode,OLED)显示器是当今平板显示器研究领域的热点之一,与液晶显示器相比,OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点,目前,在手机、PDA、数码相机等平板显示领域,OLED显示器已经开始取代传统的液晶显示屏(Liquid Crystal Display,LCD)。其中,像素电路设计是OLED显示器核心技术内容,具有重要的研究意义。

[0003] 与LCD利用电压控制亮度不同,OLED属于电流驱动,需要采用电流来控制发光。例如现有的2T1C的像素电路中,如图1所示,该电路由1个驱动晶体管T2,一个开关晶体管T1、一个存储电容Cs和一个OLED组成,其中开关晶体管T1起开关作用,驱动晶体管T2起控制流经OLED上电流大小的作用。当OLED发光时,根据驱动晶体管T2的饱和电流公式: $I = K(V_{GS} - V_{th})^2 = K(V_{Data} - V_{DD} - V_{th})^2$ 可知,驱动晶体管T2的电流大小由数据信号Data的电压 V_{Data} 与直流信号VDD的电压 V_{DD} 的差值决定,而直流信号VDD为一个固定信号,因此决定驱动晶体管T2电流大小的主要因素是数据信号Data的电压 V_{Data} 。

[0004] 但是,随着OLED电流效率的不断提高,实现相同亮度所需要驱动晶体管T2提供的电流越来越小,从而导致要实现256灰阶显示,所需的数据信号Data的电压 V_{Data} 范围越来越小,尤其是最小灰阶所需的电压将会变得非常小,从而使得驱动1C很难精确的提供如此小的电压数值。

发明内容

[0005] 有鉴于此,本发明实施例提供一种像素电路、有机电致发光显示面板及显示装置,用以实现高电流效率发光器件的各种灰阶显示的调整。

[0006] 因此,本发明实施例提供的一种像素电路,包括:驱动晶体管、驱动控制模块、至少两个分流发光控制模块、以及与各所述分流发光控制模块的输出端分别一一对应连接的发光器件;其中,

[0007] 所述驱动控制模块的输入端用于接收驱动控制信号,第一输出端与所述驱动晶体管的栅极相连,第二输出端与所述驱动晶体管的源极相连;所述驱动控制模块用于在所述驱动控制信号的控制下,控制所述驱动晶体管输出驱动总电流信号;

[0008] 各所述分流发光控制模块的第一输入端均与所述驱动晶体管的漏极相连,第二输入端用于接收对应的分流控制信号,第三输入端用于接收对应的发光控制信号,输出端与对应的所述发光器件的一端相连;所述发光器件另一端与第一参考电压源相连;各所述分流发光控制模块用于在对应的发光控制信号的控制下,根据对应的分流控制信号对所述驱动晶体管的漏极输出的驱动总电流信号进行分流,形成与对应的分流控制信号所对应的驱

动分电流信号,并将形成的各所述驱动分电流信号提供给对应的发光器件。

[0009] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述分流发光控制模块,具体包括:第一开关晶体管、第一电容、第二开关晶体管和第二参考电压源;其中,

[0010] 所述第一开关晶体管,其栅极为所述分流发光控制模块的第三输入端,源极为所述分流发光控制模块的第二输入端,漏极与所述第二开关晶体管的栅极和所述第一电容的第一端相连;

[0011] 所述第二开关晶体管,其源极为所述分流发光控制模块的第一输入端,漏极为所述分流发光控制模块的输出端;

[0012] 所述第一电容的第二端与所述第二参考电压源相连。

[0013] 较佳地,在本发明实施例提供的上述像素电路中,各所述分流发光控制模块对应同一发光控制信号。

[0014] 较佳地,在本发明实施例提供的上述像素电路中,所述第一开关晶体管和所述第二开关晶体管均为P型晶体管或N型晶体管。

[0015] 较佳地,在本发明实施例提供的上述像素电路中,所述驱动晶体管为P型晶体管或N型晶体管。

[0016] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述驱动控制模块具体包括:第二电容、第三开关晶体管和第三参考电压源;其中,

[0017] 所述第三开关晶体管,其栅极用于接收所述驱动控制信号,源极用于接收数据信号,漏极分别与所述第二电容的第一端和所述驱动晶体管的栅极相连,所述第二电容的第二端分别与所述第三参考电压源和所述驱动晶体管的源极相连。

[0018] 较佳地,在本发明实施例提供的上述像素电路中,所述驱动控制模块还用于补偿所述驱动晶体管的阈值电压;和/或补偿电源电压降。

[0019] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述驱动控制模块具体包括:第二电容,初始化子模块,驱动子模块、补偿子模块和第四参考电压源;其中,

[0020] 所述初始化子模块的第一输入端用于接收初始化控制信号,第二输入端用于接收初始化信号,输出端与所述驱动晶体管的栅极相连;所述初始化子模块用于在所述初始化控制信号的控制下将所述初始化信号提供给所述驱动晶体管的栅极;

[0021] 所述补偿子模块的第一输入端用于接收补偿控制信号,第二输入端用于接收数据信号,第一输出端与所述第二电容的第一端相连,第二输出端与所述第二电容的第二端相连,第三输入端与所述驱动晶体管的漏极相连;所述补偿子模块用于在所述补偿控制信号的控制下,将所述数据信号写入到所述第二电容的第一端,将所述驱动晶体管的阈值电压写入到所述第二电容的第二端;

[0022] 所述驱动子模块的第一输入端用于接收所述驱动控制信号,第二输入端分别与所述驱动晶体管的源极和所述第四参考电压源相连,输出端与所述第二电容的第一端相连;所述驱动子模块用于在所述驱动控制信号的控制下,和所述第二电容一同控制所述驱动晶体管输出驱动总电流。

[0023] 在一种可能的实施方式中,在本发明实施例提供的上述像素电路中,所述初始化

子模块具体包括：第三开关晶体管，其中，

[0024] 所述第三开关晶体管，其栅极为所述初始化子模块的第一输入端，源极为所述初始化子模块的第二输入端，漏极为所述初始化子模块的输出端。

[0025] 在一种可能的实施方式中，在本发明实施例提供的上述像素电路中，所述补偿子模块具体包括：第四开关晶体管和第五开关晶体管；其中，

[0026] 所述第四开关晶体管，其栅极为所述补偿子模块的第一输入端，源极所述补偿子模块的第二输出端，漏极为所述补偿子模块的第三输入端；

[0027] 所述第五开关晶体管，其栅极为所述补偿子模块的第一输入端，源极为所述补偿子模块的第二输入端，漏极为所述补偿子模块的第一输出端。

[0028] 在一种可能的实施方式中，在本发明实施例提供的上述像素电路中，所述驱动子模块具体包括：第六开关晶体管；其中，

[0029] 所述第六开关晶体管，其栅极为所述驱动子模块的第一输入端，源极为所述驱动子模块的第二输入端，漏极为所述驱动子模块的输出端。

[0030] 相应地，本发明实施例还提供了一种有机电致发光显示面板，包括：若干呈矩阵排列的像素单元，以及与各所述像素单元对应的像素电路，以至少两个沿行方向相邻的像素单元为一像素单元组，每一所述像素单元组分别对应一个本发明实施例提供的上述任一种像素电路，且各所述像素单元组中的像素单元的数量等于对应像素电路中分流发光控制模块的数量。

[0031] 相应地，本发明实施例还提供了一种显示装置，包括本发明实施例提供的上述有机电致发光显示面板。

[0032] 本发明实施例提供的上述像素电路、有机电致发光显示面板及显示装置，像素电路包括：驱动晶体管、驱动控制模块、至少两个分流发光控制模块、以及与各分流发光控制模块的输出端分别一一对应连接的发光器件。由于多个分流发光控制模块可以根据对应的分流控制信号的大小对驱动晶体管输出的驱动总电流信号进行分流，从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号，从而可以在不改变现有技术中电压的调节范围的基础上，实现在等同亮度下降低发光器件的驱动电流，进而可以实现高电流效率发光器件的各种灰阶显示的调整。

附图说明

[0033] 图1为现有的像素电路的结构示意图；

[0034] 图2为本发明实施例提供的像素电路的结构示意图；

[0035] 图3a为本发明实施例提供的像素电路的具体结构示意图之一；

[0036] 图3b为本发明实施例提供的像素电路的具体结构示意图之二；

[0037] 图4为本发明实施例提供的像素电路的具体结构示意图之三；

[0038] 图5a为本发明实施例提供的像素电路的具体结构示意图之四；

[0039] 图5b为本发明实施例提供的像素电路的具体结构示意图之五；

[0040] 图6为图5b所示的像素电路的电路时序示意图；

[0041] 图7为本发明实施例提供的像素电路的具体结构示意图之六；

[0042] 图8a为本发明实施例提供的像素电路的具体结构示意图之七；

[0043] 图8b为本发明实施例提供的像素电路的具体结构示意图之八；

[0044] 图9为图8b所示的像素电路的电路时序示意图；

[0045] 图10为本发明实施例提供的有机电致发光显示面板中一个像素单元组的结构示意图。

具体实施方式

[0046] 下面结合附图,对本发明实施例提供的像素电路、有机电致发光显示面板及显示装置的具体实施方式进行详细地说明。

[0047] 本发明实施例提供一种像素电路,如图2所示,包括:驱动晶体管T0、驱动控制模块1、至少两个分流发光控制模块2、以及与各分流发光控制模块2的输出端2d分别一一对应连接的发光器件Dn;其中,

[0048] 驱动控制模块1的输入端1a用于接收驱动控制信号G1,第一输出端1b与驱动晶体管T0的栅极相连,第二输出端1c与驱动晶体管T0的源极相连;驱动控制模块1用于在驱动控制信号G1的控制下,控制驱动晶体管T0输出驱动总电流信号;

[0049] 各分流发光控制模块2的第一输入端2a均与驱动晶体管T0的漏极相连,第二输入端2b用于接收对应的分流控制信号SDn,第三输入端2c用于接收对应的发光控制信号EMn,输出端2d与对应的发光器件D1n的一端相连;发光器件D1n另一端与第一参考电压源V1相连;各分流发光控制模块2用于在对应的发光控制信号EMn的控制下,根据对应的分流控制信号SDn对驱动晶体管T0的漏极输出的驱动总电流信号进行分流,形成与对应的分流控制信号SDn所对应的驱动分电流信号,并将形成的各驱动分电流信号提供给对应的发光器件D1n。

[0050] 本发明实施例提供的上述像素电路,包括:驱动晶体管、驱动控制模块、至少两个分流发光控制模块、以及与各分流发光控制模块的输出端分别一一对应连接的发光器件。由于多个分流发光控制模块可以根据对应的分流控制信号的大小对驱动晶体管输出的驱动总电流信号进行分流,从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号,从而可以在不改变现有技术中电压的调节范围的基础上,实现在等同亮度下降降低发光器件的驱动电流,进而可以实现高电流效率发光器件的各种灰阶显示的调整。

[0051] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0052] 在具体实施时,本发明实施例提供的上述像素电路中的发光器件一般为有机发光二极管OLED,在此不作限定。

[0053] 在具体实施时,在本发明实施例提供的上述像素电路中,如图3a和图3b所示,分流发光控制模块2,具体可以包括:第一开关晶体管T1、第一电容C1、第二开关晶体管T2和第二参考电压源VDD;其中,

[0054] 第一开关晶体管T1,其栅极为分流发光控制模块2的第三输入端2c,源极为分流发光控制模块2的第二输入端2b,漏极与第二开关晶体管T2的栅极和第一电容C1的第一端相连;

[0055] 第二开关晶体管T2,其源极为分流发光控制模块2的第一输入端2a,漏极为分流发光控制模块2的输出端2d;

[0056] 第一电容C1的第二端与第二参考电压源V2相连。

[0057] 具体地,在具体实施时,在本发明实施例提供的上述像素电路中,分流发光控制模块的工作原理为:当第一开关晶体管在对应的发光控制信号的控制下处于导通状态时,对应的分流控制信号通过第一开关晶体管传输到第一电容的第一端并保持,从而第二开关晶体管的导通程度就可以由分流控制信号的大小来控制,进而通过控制分流控制信号的大小来控制第二开关晶体管的内阻。而与驱动晶体管连接的各分流发光控制模块以及对应的发光器件相当于并联在驱动晶体管的漏极与第一参考电压源之间的多路电阻,因此调节各分流发光控制模块所对应的分流控制信号的大小,可以控制各分流发光控制模块与对应发光器件形成的回路中的电阻,从而驱动晶体管的漏极所输出的控制驱动总电流分配在各发光器件上的驱动分电流的大小。

[0058] 较佳地,在本发明实施例提供的上述像素电路中,如图4所示,各分流发光控制模块2对应同一发光控制信号EMn。即各分流发光控制模块2的第一输入端2a均接收同一个发光控制信号EMn,这样当需要发光时,发光控制信号EMn控制所有的第二开关晶体管T2处于导通状态,各发光器件D1n的显示灰阶通过调节对应的分流控制信号SDn的大小即可实现。

[0059] 进一步地,在具体实施时,如图3a所示,第一开关晶体管T1可以为P型晶体管,此时,当发光控制信号EMn为低电平时第一开关晶体管T1处于导通状态,当发光控制信号EMn为高电平时第一开关晶体管T1处于截止状态;或者,如图3b所示,第一开关晶体管T1也可以为N型晶体管,此时,当发光控制信号EMn为高电平时第一开关晶体管T1处于导通状态,当发光控制信号EMn为低电平时第一开关晶体管T1处于截止状态;在此不作限定。

[0060] 同理,在具体实施时,如图3a所示,第二开关晶体管T2可以为P型晶体管,此时,当分流控制信号SDn为低电平时第二开关晶体管T2处于导通状态,当分流控制信号SDn为高电平时第二开关晶体管T2处于截止状态;或者,如图3b所示,第二开关晶体管T2也可以为N型晶体管,此时,当分流控制信号SDn为高电平时第二开关晶体管T2处于导通状态,当分流控制信号SDn为低电平时第二开关晶体管T2处于截止状态;在此不作限定。

[0061] 较佳地,在本发明实施例提供的上述像素电路中,第二开关晶体管为P型晶体管,因为P型晶体管的开启以及传递信号的性能更好。

[0062] 较佳地,在本发明实施例提供的上述像素电路中,为了简化制备工艺,,如图3a所示,第一开关晶体管T1和第二开关晶体管T2均为P型晶体管,或如图3b所示,第一开关晶体管T1和第二开关晶体管T2均为N型晶体管。

[0063] 以上仅是举例说明像素电路中分流发光控制模块的具体结构,在具体实施时,分流发光控制模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0064] 需要说明的时,本发明实施例提供的上述像素电路适用于通过驱动晶体管输出驱动电流的任何像素电路,具体不管是具有补偿驱动晶体管的阈值电压的像素电路,还是如图1所示的传统的像素电路都适用,在此不作限定。

[0065] 进一步地,在具体实施时,在本发明实施例提供的上述像素电路中,如图3a所示,驱动晶体管T0可以为P型晶体管,或者,如图3b所示,驱动晶体管T0也可以为N型晶体管,在此不作限定。

[0066] 较佳地,在具体实施时,为了简化制作工艺,选取驱动晶体管的极性与分流发光控

制模块以及驱动控制模块中的开关晶体管的极性相同。

[0067] 下面以驱动晶体管为P型晶体管为例,通过具体的实施例说明本发明实施例提供的上述像素电路的工作原理。

[0068] 实例一:

[0069] 如图5a所示,在本发明实施例提供的上述像素电路中,驱动控制模块1具体包括:第二电容C2、第三开关晶体管T3和第三参考电压源V3;其中,

[0070] 第三开关晶体管T3,其栅极用于接收驱动控制信号G1,源极用于接收数据信号Data,漏极分别与第二电容C2的第一端和驱动晶体管T0的栅极相连,第二电容C2的第二端分别与第三参考电压源V3和驱动晶体管T0的源极相连。

[0071] 进一步地,在具体实施时,第三开关晶体管T3可以N型晶体管,或者如图5a所示,第三开关晶体管T3也可以为P型晶体管,在此不作限定。

[0072] 在具体实施时,本发明实施例提供的上述像素电路中,由于驱动晶体管T0为P型晶体管。因此P型晶体管的阈值电压 V_{th} 为负值,为了保证驱动晶体管T0能正常工作,第一参考电压源V1的电压一般接地或为负值,第三参考电压源V3的电压一般为正电压。

[0073] 较佳地,在具体实施时,如图5b所示,第二参考电压源V2可以与第三参考电压源V3为同一电压源。

[0074] 下面以图5b所示的像素电路的结构为例对其工作过程作以描述,对应的输入时序图如图6所示。具体地,选取如图6所示的输入时序图中的T1、T2和T3三个阶段,且下述描述中以1表示高电平信号,0表示低电平信号。

[0075] 在T1阶段, $G1=0$, $SD1$ 至 $SDn=1$, $EMn=1$ 。所有第一开关晶体管T1和所有的第二开关晶体管T2均处于截止状态,第三开关晶体管T3处于导通状态,驱动晶体管T0栅极的电压为 V_{Data} ,驱动晶体管T0源极的电压为V3。

[0076] 在T2阶段, $G1=1$, $SD1$ 至 $SDn=0$, $EMn=0$ 。第三开关晶体管T3处于截止状态,所有的第一开关晶体管T1处于导通状态,各第二开关晶体管T2的导通程度由对应的 SDn 的大小决定。此阶段,由于第二电容C2的作用,驱动晶体管T0栅极的电压仍为 V_{Data} ,驱动晶体管T0源极的电压为V3,驱动晶体管T0输出的驱动总电流信号的大小为 $I_{总}=K(V_{GS}-V_{th})^2=K(V_{Data}-V3-V_{th})^2$,各发光器件D1n在对应的 SDn 的控制下逐渐发光。假设图5b中只有两个分流发光控制模块,即 $n=2$,在 $SD1$ 的控制下,与 $SD1$ 对应的第二开关晶体管T2的内阻为 $R1$,在 $SD2$ 的控制下,与 $SD2$ 对应的第二开关晶体管T2的内阻为 $R2$ 。在此阶段,与 $SD1$ 对应的第二开关晶体管T2输出的驱动分电流逐渐变为 $I_{总}R2/(R1+R2)$,与 $SD2$ 对应的第二开关晶体管T2输出的驱动分电流逐渐变为 $I_{总}R1/(R1+R2)$ 。

[0077] 在T3阶段, $G1=1$, $SD1$ 至 $SDn=1$, $EMn=1$ 。第三开关晶体管T3和所有的第一开关晶体管T1均处于截止状态,由于第二电容C2的作用,驱动晶体管T0栅极的电压仍为 V_{Data} ,驱动晶体管T0源极的电压仍为V3,驱动晶体管T0输出的驱动总电流信号的大小仍为 $I_{总}=K(V_{Data}-V_{DD}-V_{th})^2$ 。由于第一电容C1的作用,各第二开关晶体管T2的栅极的电压仍为T2阶段时对应的 SDn 的大小。因此在此阶段,与 $SD1$ 对应的第二开关晶体管T2输出的驱动分电流稳定在 $I_{总}R2/(R1+R2)$,与 $SD2$ 对应的第二开关晶体管T2输出的驱动分电流稳定在 $I_{总}R1/(R1+R2)$,各发光器件稳定的发光。

[0078] 本发明实施例提供的上述像素电路,由于多个分流发光控制模块可以根据对应的

分流控制信号的大小对驱动晶体管输出的驱动总电流信号进行分流,从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号,从而可以在不改变现有技术中数据信号的电压调节范围的基础上,实现在等同亮度下降低发光器件的驱动电流,进而可以实现高电流效率发光器件的各种灰阶显示的调整。

[0079] 上述实例一是以不具有补偿驱动晶体管阈值电压功能的像素电路为例进行说明的。在具体实施时,驱动控制模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0080] 较佳地,在具体实施时,在本发明实施例提供的上述像素电路中,驱动控制模块还可以用于补偿驱动晶体管的阈值电压,和/或补偿电源电压降(1R drop),本领域技术人员知晓可用于补偿驱动晶体管的阈值电压,和/或补偿电源电压降(1R drop)的其他电路结构,这里不再赘述。

[0081] 实例二:

[0082] 具体地,如图7所示,在本发明实施例提供的上述像素电路中,驱动晶体管为P型晶体管;驱动控制模块1具体包括:第二电容C2,初始化子模块11,驱动子模块12和补偿子模块13;其中,

[0083] 初始化子模块11的第一输入端11a用于接收初始化控制信号1nt,第二输入端11b用于接收初始化信号Vint,输出端11c与驱动晶体管T0的栅极相连;初始化子模块11用于在初始化控制信号1nt的控制下将初始化信号Vint提供给驱动晶体管T0的栅极;

[0084] 补偿子模块13的第一输入端13a用于接收补偿控制信号G2,第二输入端13b用于接收数据信号Data,第一输出端13d与第二电容C2的第一端相连,第二输出端13e与第二电容C2的第二端相连,第三输入端13c与驱动晶体管T0的漏极相连;补偿子模块13用于在补偿控制信号G2的控制下,将数据信号Data写入到第二电容C2的第一端,将驱动晶体管T0的阈值电压写入到第二电容C2的第二端;

[0085] 驱动子模块12的第一输入端12a用于接收驱动控制信号G1,第二输入端12b分别与驱动晶体管T0的源极和第四参考电压源V4相连,输出端12c与第二电容C2的第一端相连;驱动子模块12用于在驱动控制信号G1的控制下,和第二电容C2一同控制驱动晶体管T0输出驱动总电流。

[0086] 上述实例二只是以一种具有补偿驱动晶体管阈值电压的功能的像素电路为例进行说明的,具体可以有多种实现方式,在此不限于此。

[0087] 实例三:

[0088] 具体地,在具体实施时,在本发明实施例提供的上述像素电路中,如图8a所示,初始化子模块具体可以包括:第三开关晶体管T3,其中,

[0089] 第三开关晶体管T3,其栅极为初始化子模块11的第一输入端11a,源极为初始化子模块11的第二输入端11b,漏极为初始化子模块11的输出端11c。

[0090] 进一步地,在具体实施时,第三开关晶体管T3可以为N型晶体管,如图8a所示,第三开关晶体管T3也可以为P型晶体管,在此不作限定。

[0091] 以上仅是举例说明像素电路中初始化子模块的具体结构,在具体实施时,初始化子模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0092] 具体地,在具体实施时,在本发明实施例提供的上述像素电路中,如图8a所示,补偿子模块13具体可以包括:第四开关晶体管T4和第五开关晶体管T5;其中,

[0093] 第四开关晶体管T4,其栅极为补偿子模块13的第一输入端13a,源极补偿子模块13的第二输出端13e,漏极为补偿子模块13的第三输入端13c;

[0094] 第五开关晶体管T5,其栅极为补偿子模块13的第一输入端13a,源极为补偿子模块13的第二输入端13b,漏极为补偿子模块13的第一输出端13d。

[0095] 进一步地,在具体实施时,第四开关晶体管T4和第五开关晶体管T5可以N型晶体管,如图8a所示,第四开关晶体管T4和第五开关晶体管T5也可以为P型晶体管,在此不作限定。

[0096] 以上仅是举例说明像素电路中补偿子模块的具体结构,在具体实施时,补偿子模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0097] 具体地,在具体实施时,在本发明实施例提供的上述像素电路中,如图8a所示,驱动子模块12具体可以包括:第六开关晶体管T6;其中,

[0098] 第六开关晶体管T6,其栅极为驱动子模块12的第一输入端12a,源极为驱动子模块12的第二输入端12b,漏极为驱动子模块12的输出端12c。

[0099] 进一步地,在具体实施时,第六开关晶体管T6可以N型晶体管,如图8a所示,第六开关晶体管T6也可以为P型晶体管,在此不作限定。

[0100] 以上仅是举例说明像素电路中驱动子模块的具体结构,在具体实施时,驱动子模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0101] 在具体实施时,本发明实施例提供的上述像素电路中,由于驱动晶体管T0为P型晶体管。因此P型晶体管的阈值电压 V_{th} 为负值,为了保证驱动晶体管T0能正常工作,第一参考电压源V1的电压一般接地或为负值,第四参考电压源V4的电压一般为正电压。

[0102] 较佳地,在具体实施时,如图8b所示,第二参考电压源V2可以与第四参考电压源V4为同一电压源。

[0103] 较佳地,本发明实施例提供的上述像素电路中提到的驱动晶体管和开关晶体管可以全部采用P型晶体管设计,这样可以简化像素电路的制作工艺流程。

[0104] 下面以图8b所示的像素电路的结构为例对其工作过程作以描述,对应的输入时序图如图9所示。具体地,选取如图9所示的输入时序图中的T1、T2、T3和T4四个阶段。且下述描述中以1表示高电平信号,0表示低电平信号。

[0105] 在T1阶段, $l_{nt}=0, G1=1, G2=1, SD1至SDn=1, EMn=1$ 。所有第一开关晶体管T1、所有的第二开关晶体管T2、第四开关晶体管T4、第五开关晶体管T5和第六开关晶体管T6均处于截止状态,第三开关晶体管T3处于导通状态,驱动晶体管T0栅极的电压为 V_{int} ,驱动晶体管T0源极的电压为V4。

[0106] 在T2阶段, $l_{nt}=1, G1=1, G2=0, SD1至SDn=1, EMn=1$ 。所有第一开关晶体管T1、所有的第二开关晶体管T2、第三开关晶体管T3和第六开关晶体管T6均处于截止状态,第四开关晶体管T4和第五开关晶体管T5处于导通状态,驱动晶体管T0栅极的电压变为 $V4+V_{th}$,驱动晶体管T0源极的电压为V4,第二电容C2第一端的电压变为 V_{Data} 。

[0107] 在T3阶段, $l_{nt}=1, G1=0, G2=1, SD1$ 至 $SDn=0, EMn=0$ 。第三开关晶体管T3、第四开关晶体管T4和第五开关晶体管T5均处于截止状态, 所有第一开关晶体管T1、第六开关晶体管T6均处于导通状态, 各第二开关晶体管T2的导通程度由对应的 SDn 的大小决定。此阶段, 第二电容C2第一端的电压变为 $V4$, 根据电容电量守恒原理, 第二电容C2第二端的电压即驱动晶体管T0的栅极的电压变为 $2V4+V_{th}-V_{Data}$, 驱动晶体管T0源极的电压为 $V4$, 驱动晶体管T0输出的驱动总电流信号的大小为 $I_{总}=K(V_{GS}-V_{th})^2=K(2V4+V_{th}-V_{Data}-V4-V_{th})^2=K(V4-V_{Data})^2$, 各发光器件D1n在对应的 SDn 的控制下逐渐发光。假设图8b中只有两个分流发光控制模块, 即 $n=2$, 在 $SD1$ 的控制下, 与 $SD1$ 对应的第二开关晶体管T2的内阻为 $R1$, 在 $SD2$ 的控制下, 与 $SD2$ 对应的第二开关晶体管T2的内阻为 $R2$ 。在此阶段, 与 $SD1$ 对应的第二开关晶体管T2输出的驱动分电流逐渐变为 $I_{总}R2/(R1+R2)$, 与 $SD2$ 对应的第二开关晶体管T2输出的驱动分电流逐渐变为 $I_{总}R1/(R1+R2)$ 。

[0108] 在T4阶段, $l_{nt}=1, G1=0, G2=1, SD1$ 至 $SDn=1, EMn=1$ 。第三开关晶体管T3、第四开关晶体管T4、第五开关晶体管T5以及所有第一开关晶体管T1均处于截止状态, 第六开关晶体管T6处于导通状态。由于第二电容C2的作用, 驱动晶体管T0栅极的电压仍为 $2V4+V_{th}-V_{Data}$, 驱动晶体管T0源极的电压仍为 $V4$, 驱动晶体管T0输出的驱动总电流信号的大小仍为 $I_{总}=K(V4-V_{Data})^2$ 。由于第一电容C1的作用, 各第二开关晶体管T2的栅极的电压仍为T3阶段时对应的 SDn 的大小。因此在此阶段, 与 $SD1$ 对应的第二开关晶体管T2输出的驱动分电流稳定在 $I_{总}R2/(R1+R2)$, 与 $SD2$ 对应的第二开关晶体管T2输出的驱动分电流稳定在 $I_{总}R1/(R1+R2)$, 各发光器件稳定的发光。

[0109] 本发明实施例提供的上述像素电路由于多个分流发光控制模块可以根据对应的分流控制信号的大小对驱动晶体管输出的驱动总电流信号进行分流, 从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号, 从而可以在不改变现有技术中数据信号的电压调节范围的基础上, 实现在等同亮度下降低发光器件的驱动电流, 进而可以实现高电流效率发光器件的各种灰阶显示的调整。并且在上述像素电路中, 由于有补偿子模块, 因此驱动晶体管输出的驱动总电流信号的大小与驱动晶体管的阈值电压无关, 从而彻底解决了由于工艺制程以及长时间的操作造成的驱动晶体管的阈值电压 V_{th0} 漂移对发光器件的工作电流造成的影响, 从而改善了面板显示的不均匀性。

[0110] 需要说明的是本发明上述实施例中提到的驱动晶体管和开关晶体管可以是薄膜晶体管(TFT, Thin Film Transistor), 也可以是金属氧化物半导体场效应管(MOS, Metal Oxide Semiconductor), 在此不做限定。在具体实施中, 这些晶体管的源极和漏极可以互换, 不做具体区分。在描述具体实施例是以驱动晶体管和晶体管都为薄膜晶体管为例进行说明的。

[0111] 基于同一发明构思, 本发明实施例还提供了一种有机电致发光显示面板, 包括: 若干呈矩阵排列的像素单元, 以及与各像素单元对应的像素电路, 如图10所示, 以至少两个沿行方向相邻的像素单元01为一像素单元组001, 每一像素单元组001分别对应一个本发明实施例提供的上述像素电路, 且各像素单元组001中的像素单元01的数量等于对应像素电路中分流发光控制模块2的数量。其中, 图10以两个像素单元01为一像素单元组001为例。

[0112] 本发明实施例提供的上述有机电致发光显示面板, 由于像素电路中的多个分流发光控制模块可以根据对应的分流控制信号的大小对驱动晶体管输出的驱动总电流信号进

行分流,从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号,从而可以在不改变现有技术中数据信号的电压调节范围的基础上,实现在等同亮度下降低发光器件的驱动电流,进而可以实现高电流效率发光器件的各种灰阶显示的调整。并且,由于多个像素单元对应一个像素电路,因此可以简化一个像素单元组的像素电路的结构,从而有利于提高产品的像素分辨率。

[0113] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机电致发光显示面板。该显示装置可以是显示器、手机、电视、笔记本、一体机等,对于显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。本发明实施例提供的一种像素电路、有机电致发光显示面板及显示装置,像素电路包括:驱动晶体管、驱动控制模块、至少两个分流发光控制模块、以及与各分流发光控制模块的输出端分别一一对应连接的发光器件。由于多个分流发光控制模块可以根据对应的分流控制信号的大小对驱动晶体管输出的驱动总电流信号进行分流,从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号,从而可以在不改变现有技术中电压的调节范围的基础上,实现在等同亮度下降低发光器件的驱动电流,进而可以实现高电流效率发光器件的各种灰阶显示的调整。

[0114] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

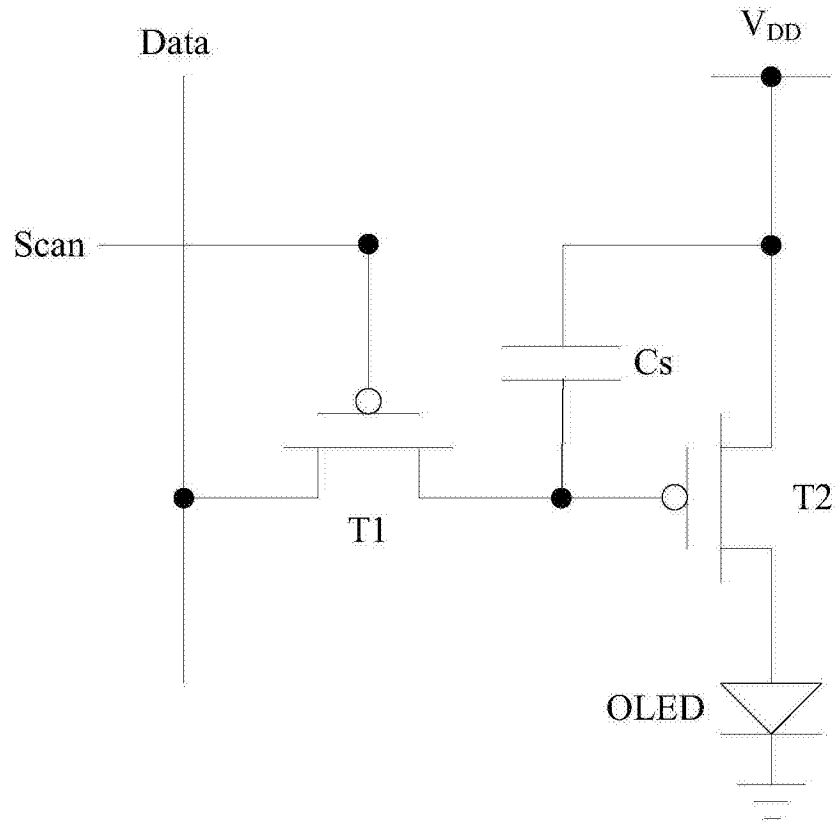


图1

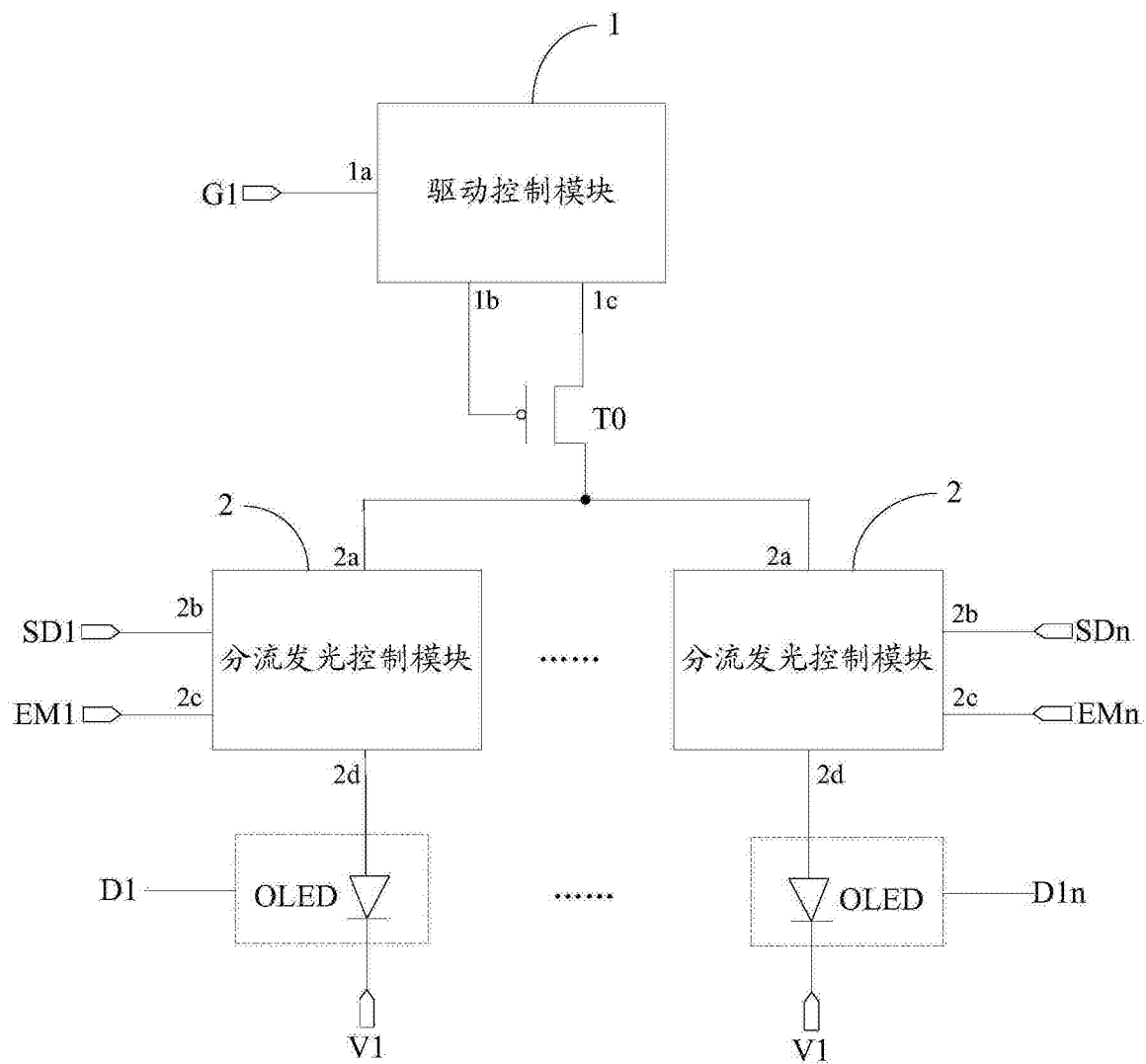


图2

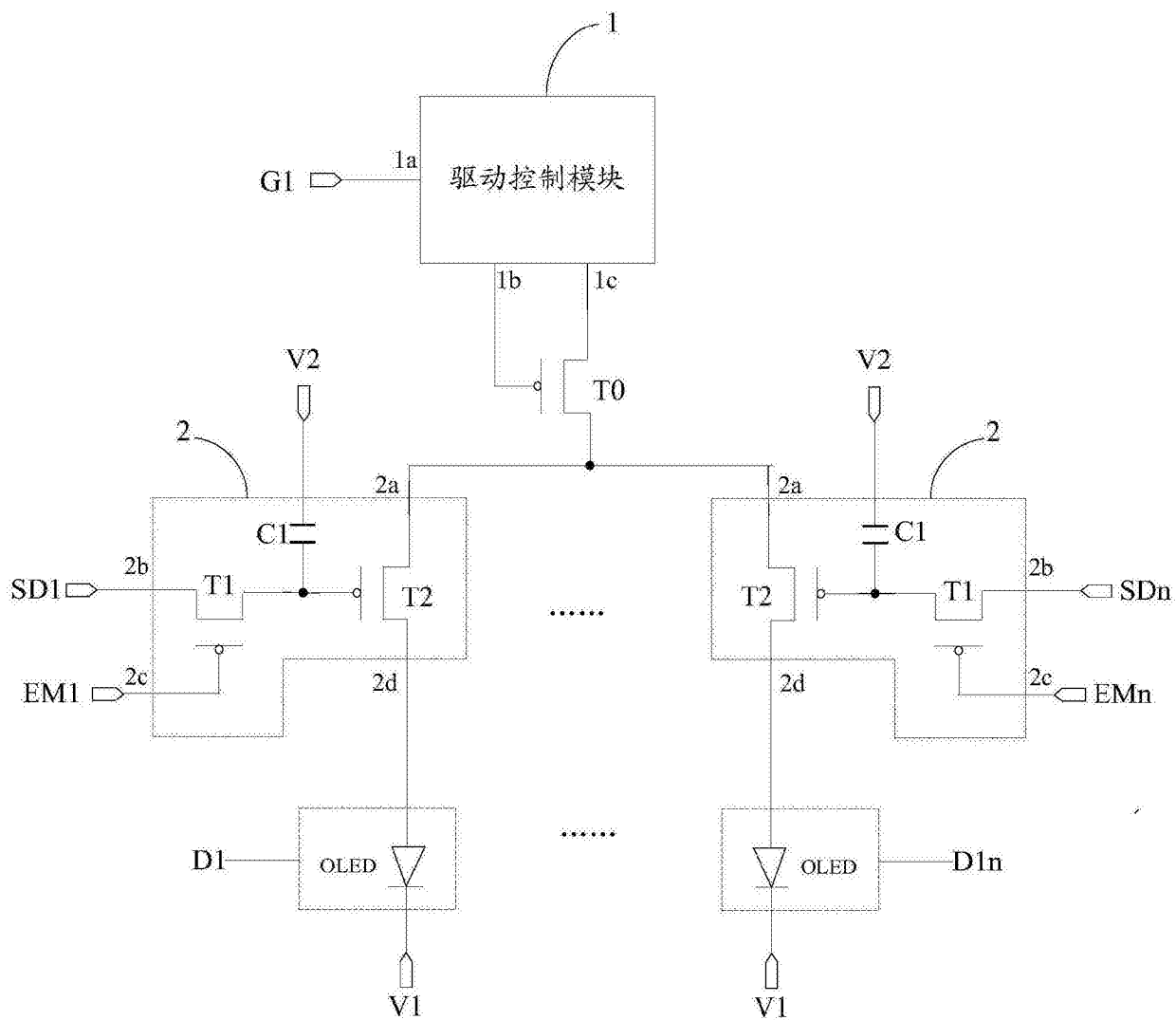


图3a

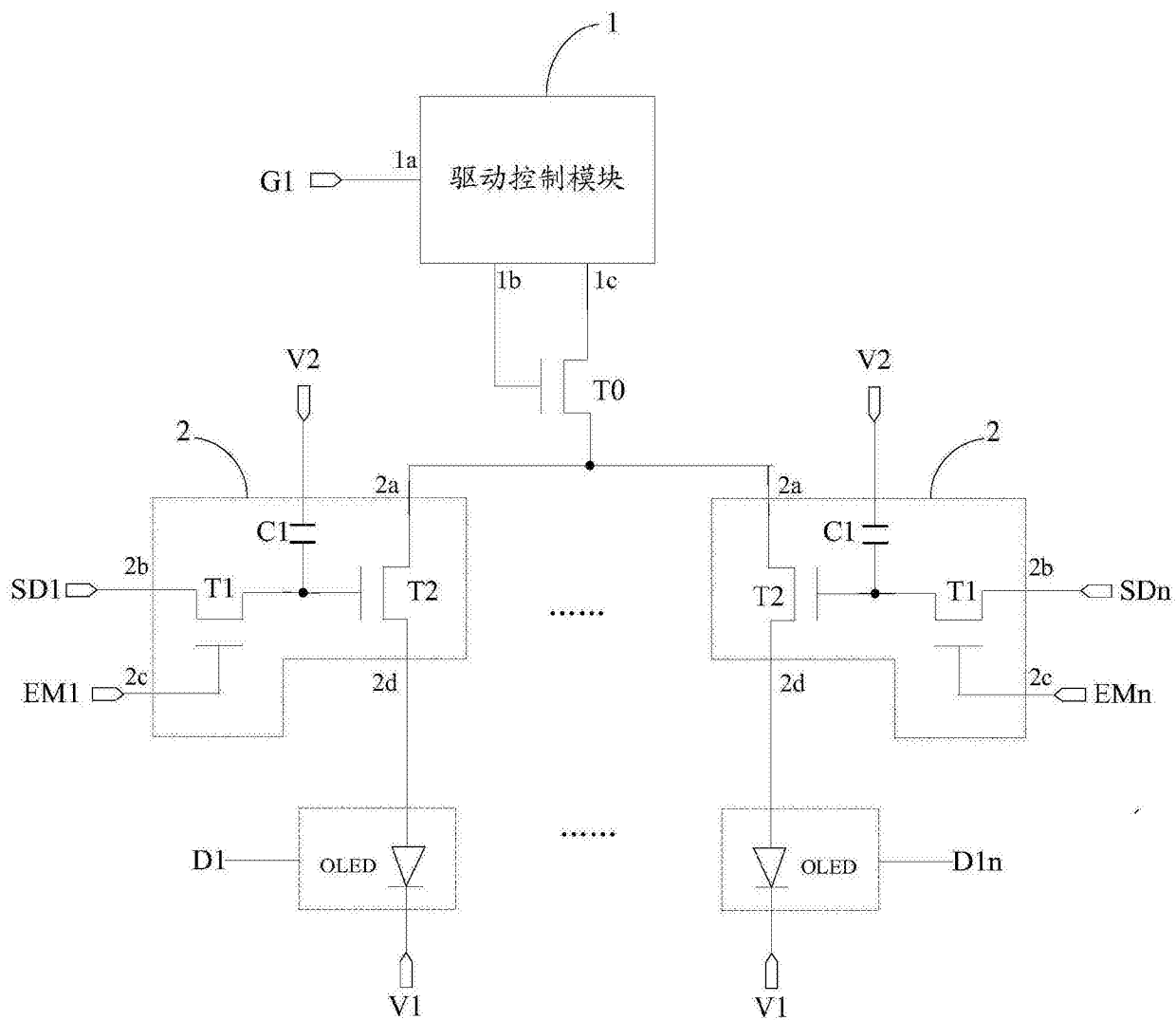


图3b

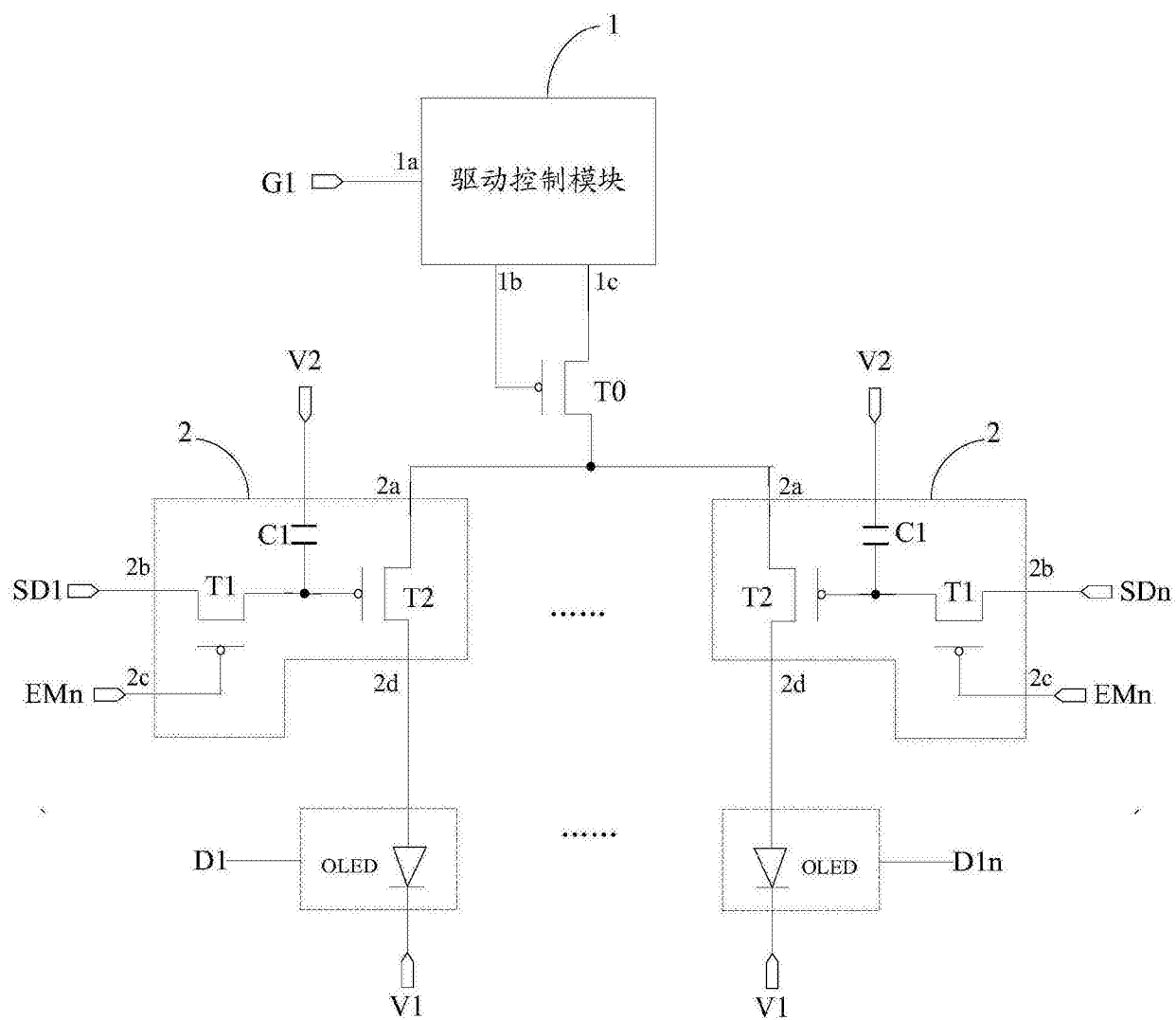


图4

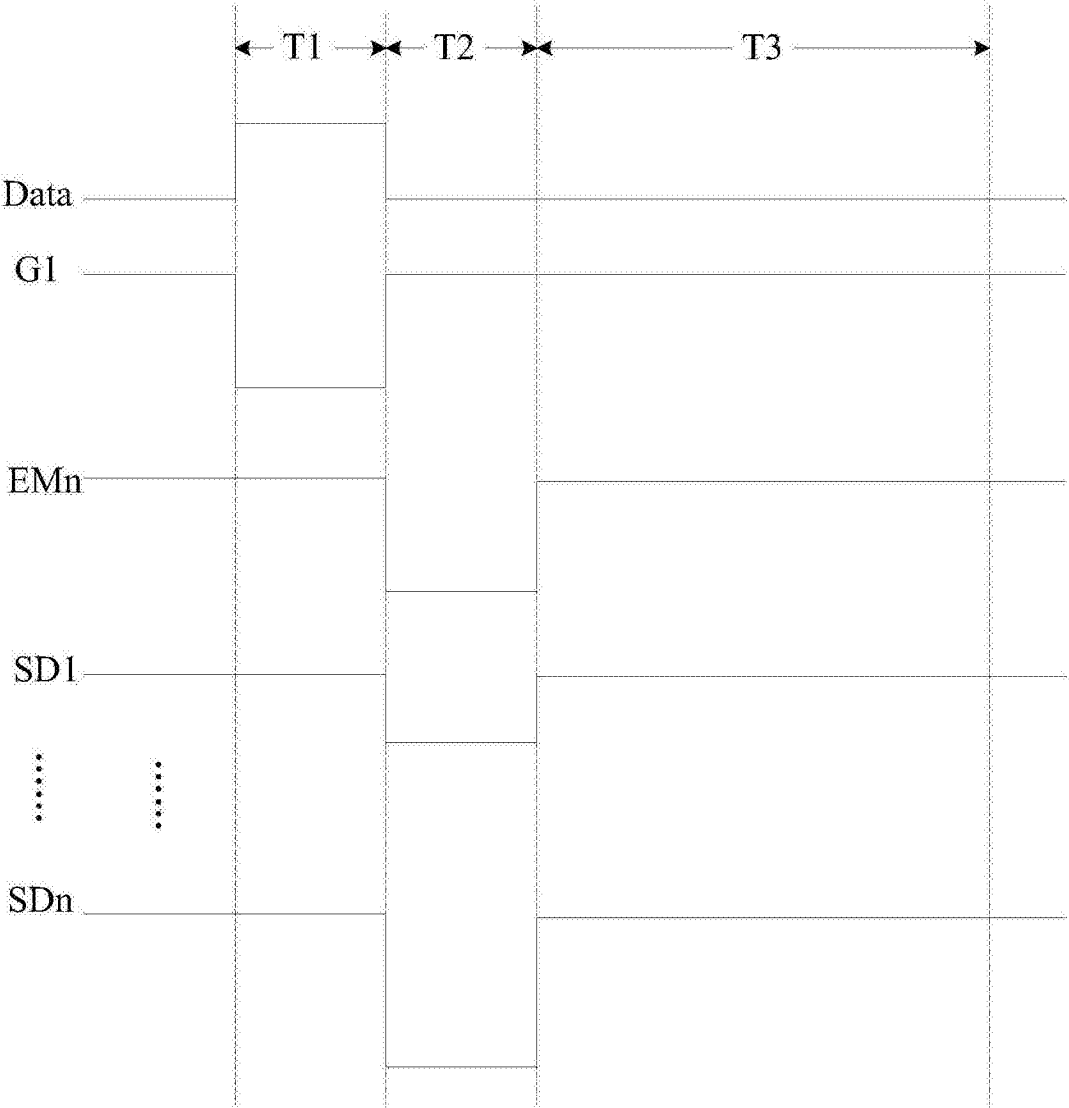


图6

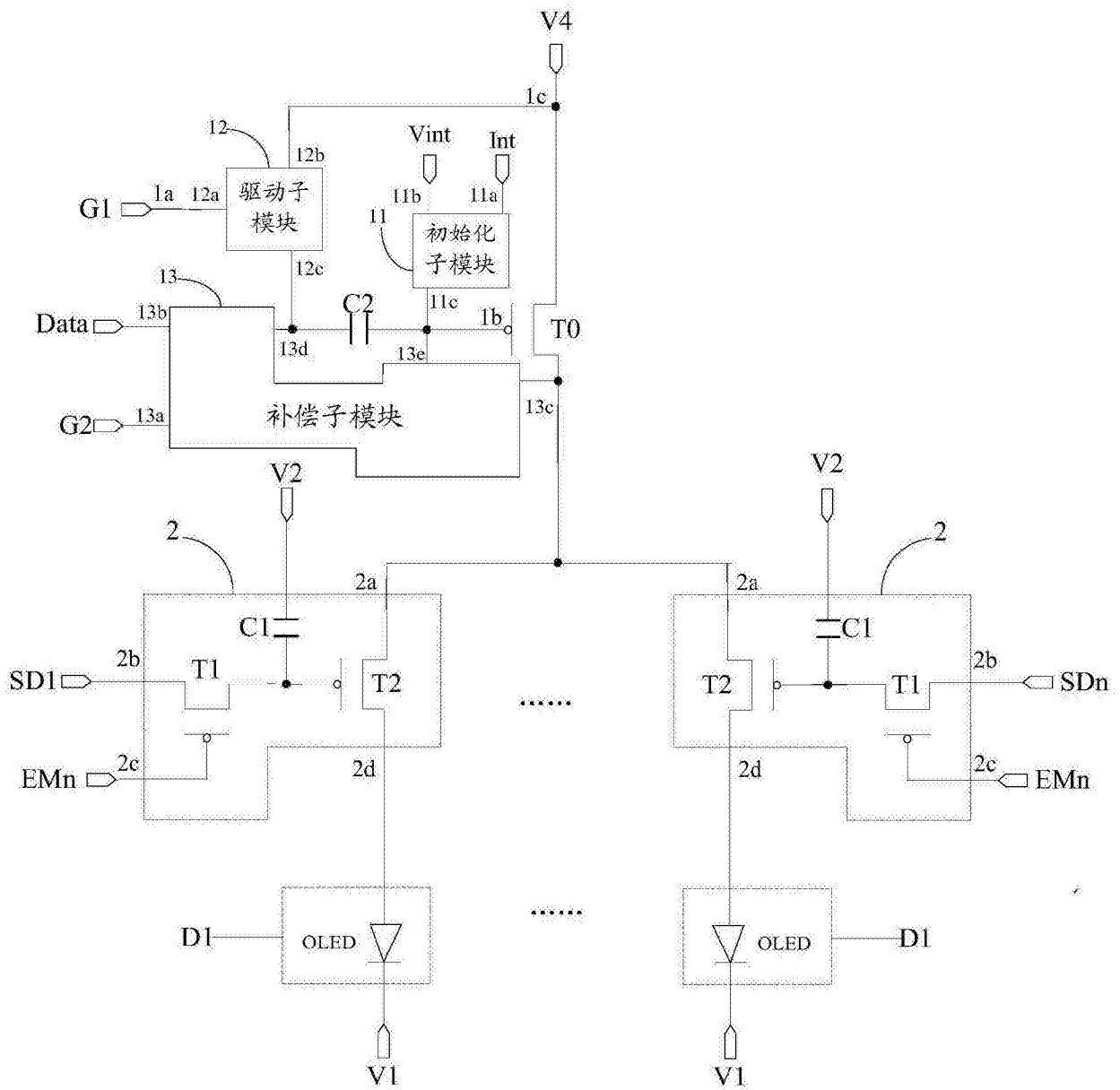


图7

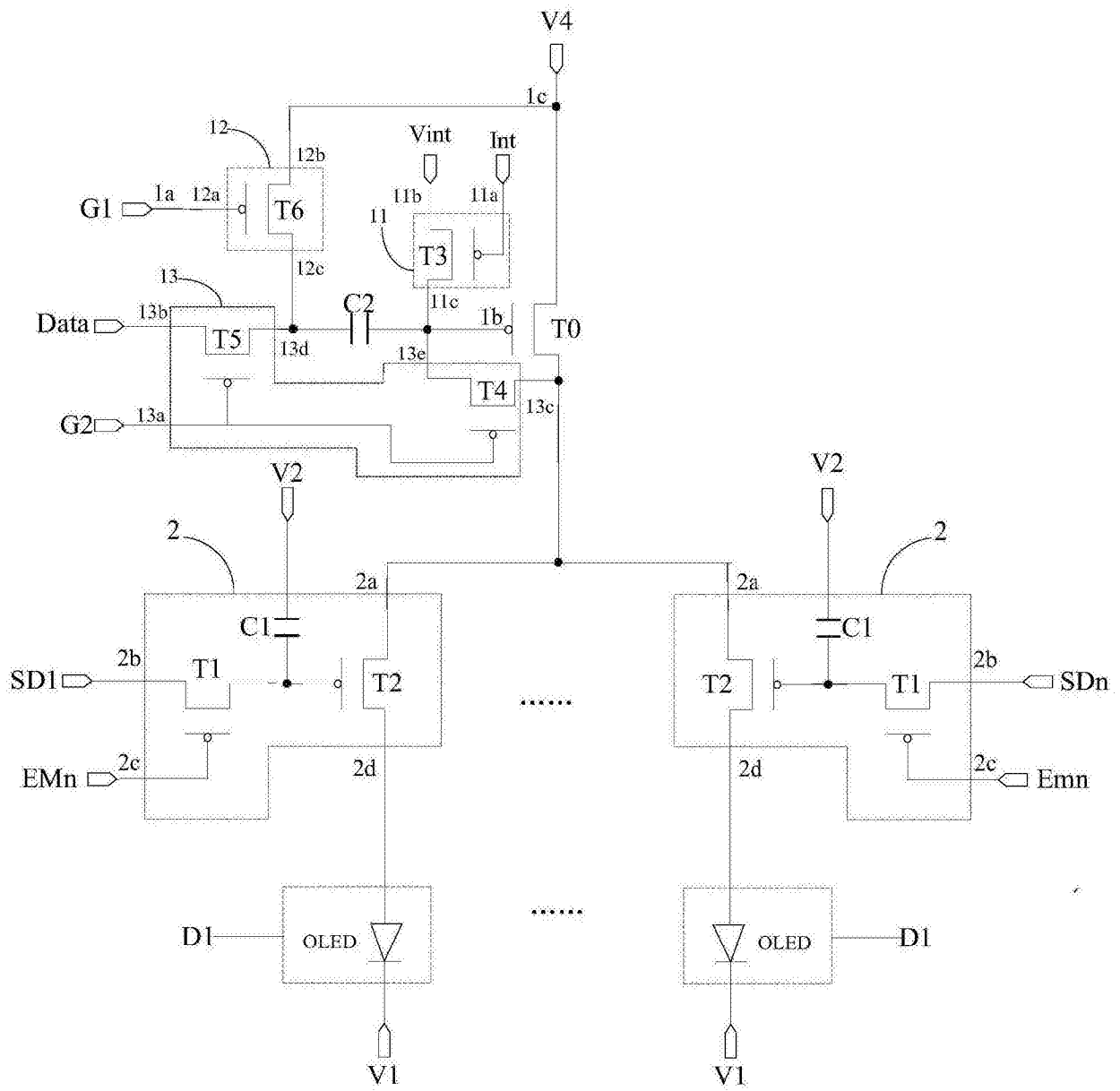


图8a

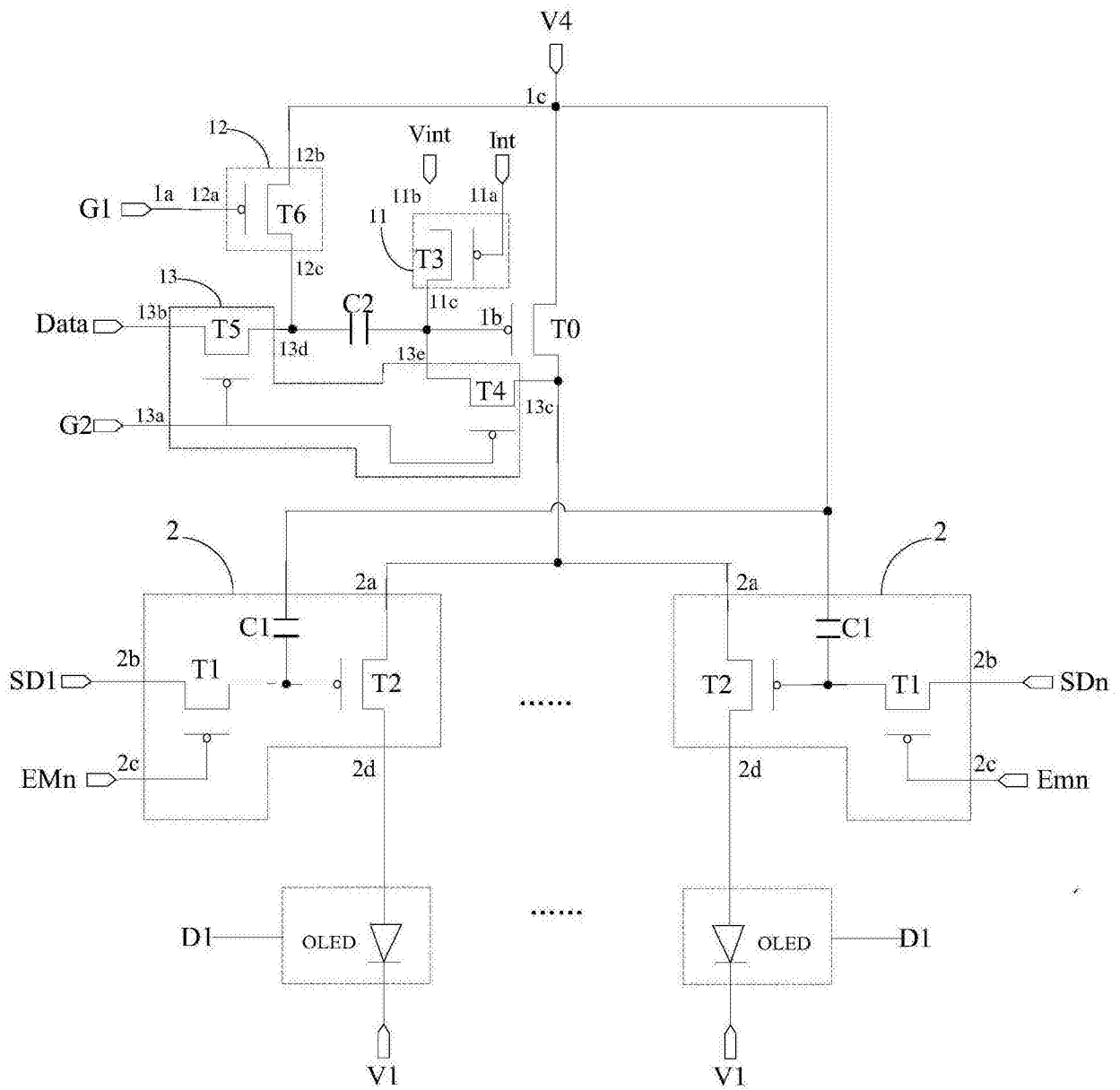


图8b

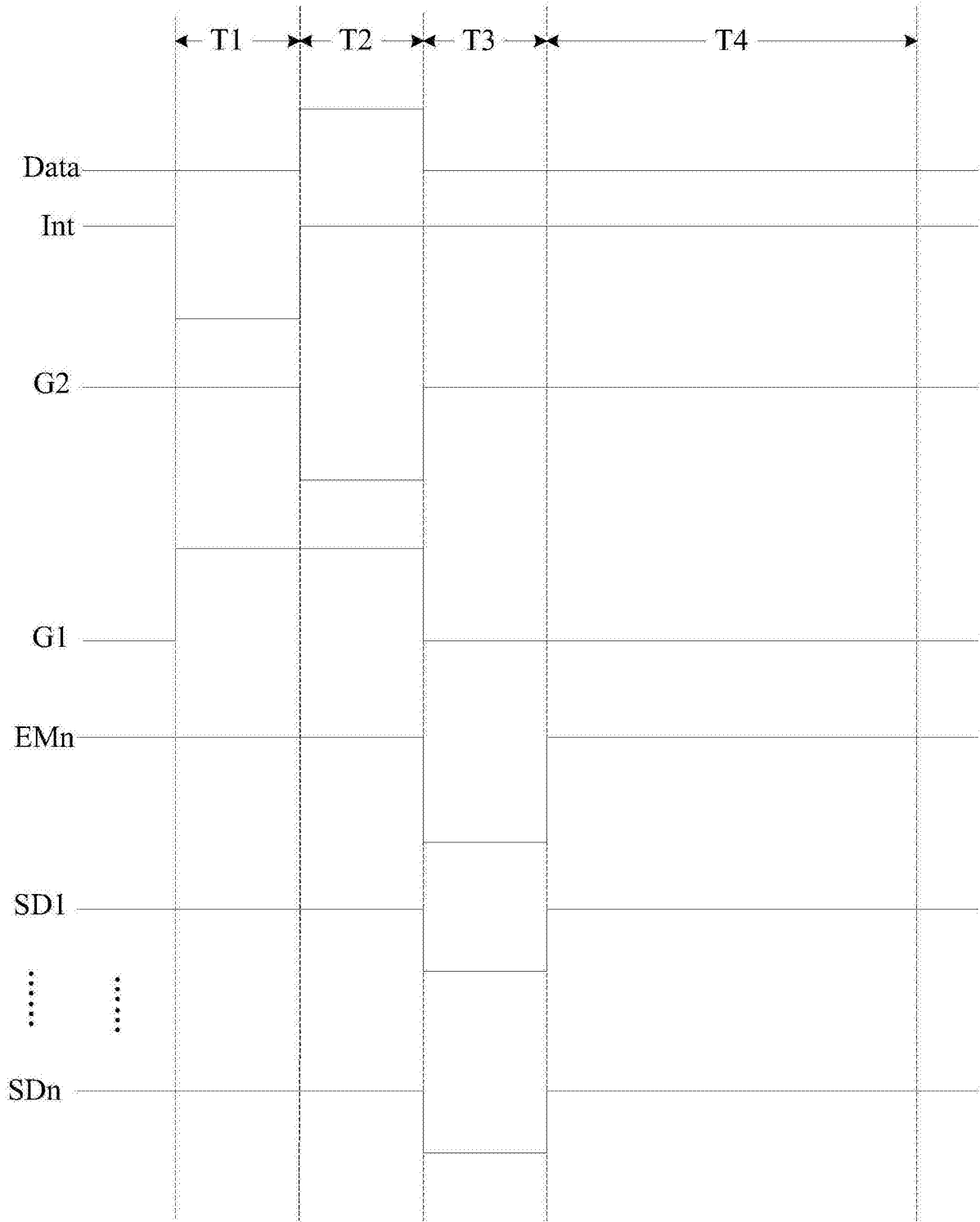


图9

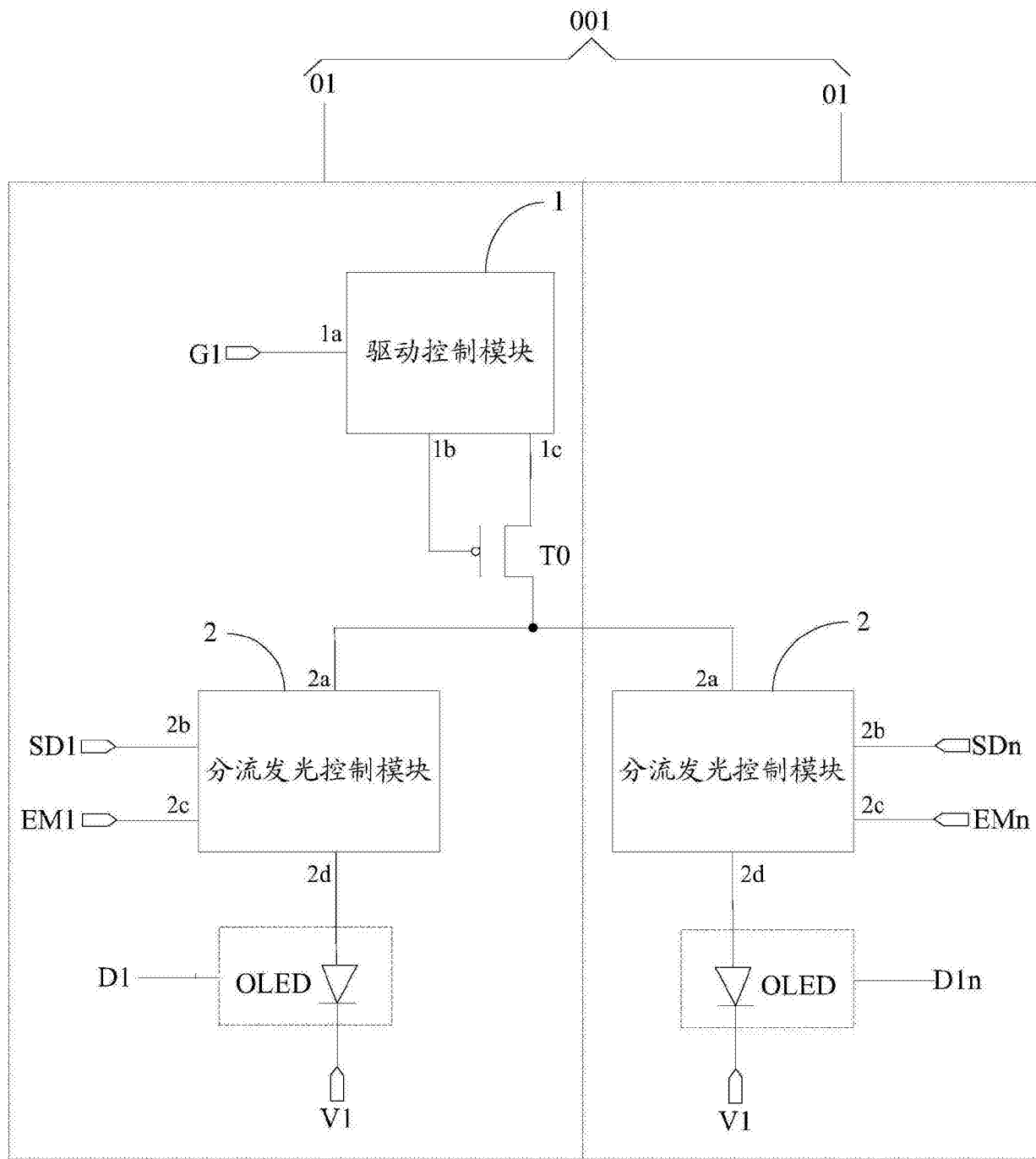


图10

专利名称(译)	一种像素电路、有机电致发光显示面板及显示装置		
公开(公告)号	CN104732926B	公开(公告)日	2017-03-22
申请号	CN201510158794.9	申请日	2015-04-03
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	马占洁		
发明人	马占洁		
IPC分类号	G09G3/3233 G09G3/3208		
CPC分类号	G09G3/3233 G09G3/2007 G09G3/32 G09G3/3208 G09G2300/0804 G09G2300/0819 G09G2320/045 G09G2330/028		
代理人(译)	黄志华		
审查员(译)	王妍		
其他公开文献	CN104732926A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种像素电路、有机电致发光显示面板及显示装置，像素电路包括：驱动晶体管、驱动控制模块、至少两个分流发光控制模块、以及与各分流发光控制模块的输出端分别一一对应连接的发光器件。由于多个分流发光控制模块可以根据对应的分流控制信号的大小对驱动晶体管输出的驱动总电流信号进行分流，从而使输出到对应的发光器件的驱动分电流信号小于驱动总电流信号，从而可以在不改变现有技术中电压的调节范围的基础上，实现在等同亮度下降低发光器件的驱动电流，进而可以实现高电流效率发光器件的各种灰阶显示的调整。

