



(12)发明专利

(10)授权公告号 CN 104143563 B

(45)授权公告日 2019.04.05

(21)申请号 201410195634.7

(22)申请日 2014.05.09

(65)同一申请的已公布的文献号
申请公布号 CN 104143563 A

(43)申请公布日 2014.11.12

(30)优先权数据
10-2013-0053237 2013.05.10 KR
10-2013-0146784 2013.11.29 KR

(73)专利权人 三星显示有限公司
地址 韩国京畿道

(72)发明人 尹秀娟 孙东珍

(74)专利代理机构 北京德琦知识产权代理有限公司 11018
代理人 宋颖娉 康泉

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 21/77(2017.01)

H05K 3/46(2006.01)

(56)对比文件

CN 1375733 A, 2002.10.23,

审查员 苍凯

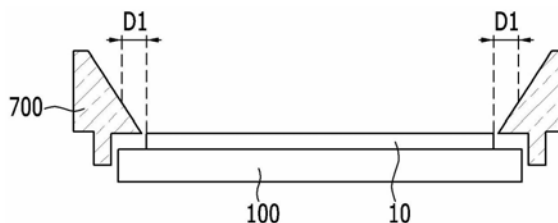
权利要求书2页 说明书7页 附图10页

(54)发明名称

配线和薄膜晶体管阵列面板的制造方法及有机发光显示器

(57)摘要

本发明公开了一种配线和薄膜晶体管阵列面板的制造方法及有机发光显示器。所述配线的制造方法包括：在基板上形成下层；在所述下层上形成中间层；在所述中间层上形成上层；在所述上层上形成、曝光并显影光刻胶层以形成光刻胶图案；并且通过将所述光刻胶图案用作掩膜刻蚀所述上层、所述中间层和所述下层，以形成配线，使得所述上层覆盖所述中间层的端部。



1. 一种制造配线的方法,包括
在基板上形成下层;
在所述下层上形成中间层;
在所述中间层上形成上层;
使用显影工艺在所述上层上形成光刻胶图案;以及
通过将所述光刻胶图案用作掩膜刻蚀所述上层、所述中间层和所述下层来形成配线,
其中所述配线具有三层结构,所述三层结构具有所述下层、所述中间层和所述上层,并
且

其中所述上层覆盖所述中间层的端部的侧面。

2. 根据权利要求1所述的方法,其中所述上层对显影液有耐受性,并且所述中间层对显影液没有耐受性。

3. 根据权利要求2所述的方法,其中所述显影工艺包括使用所述显影液刻蚀光刻胶层。

4. 根据权利要求2所述的方法,其中所述中间层包括铝、镍和钨。

5. 根据权利要求2所述的方法,其中所述下层和所述上层包括Mo。

6. 根据权利要求2所述的方法,其中所述中间层包括铝。

7. 根据权利要求6所述的方法,其中:

所述上层包括钼,并且

所述下层包括铝、镍和钨。

8. 根据权利要求6所述的方法,其中:

所述上层包括铝、镍和钨,并且

所述下层包括钼。

9. 根据权利要求1所述的方法,其中:

所述下层、所述中间层和所述上层在包括与所述基板的边缘对准的掩膜的溅射设备中形成;

在形成所述中间层时,所述掩膜被对准为与所述基板重叠第一宽度;

在形成所述上层时,所述掩膜被对准为与所述基板重叠第二宽度;

所述第一宽度大于所述第二宽度。

10. 一种制造薄膜晶体管阵列面板的方法,包括:

在基板上形成第一下层;

在所述第一下层上形成第一中间层;

在所述第一中间层上形成第一上层;

使用第一显影工艺在所述第一上层上形成光刻胶图案;

通过将所述光刻胶图案用作掩膜刻蚀所述第一上层、所述第一中间层和所述第一下层来形成第一信号线;

形成连接至所述第一信号线的薄膜晶体管;

形成连接至所述薄膜晶体管的第二信号线;以及

形成连接至所述第二信号线的第一电极,

其中所述第一信号线具有三层结构,所述三层结构具有所述第一下层、所述第一中间层和所述第一上层,并且

其中所述第一上层覆盖所述第一中间层的端部的侧面。

11. 根据权利要求10所述的方法,其中所述第二信号线的形成进一步包括:

在所述基板上形成第二下层;

在所述第二下层上形成第二中间层;

在所述第二中间层上形成第二上层;

使用第二显影工艺在所述第二上层上形成第二光刻胶图案;以及

通过将所述光刻胶图案用作掩膜刻蚀所述第二上层、所述第二中间层和所述第二下层,

其中所述第二上层覆盖所述第二中间层的端部。

12. 根据权利要求10所述的方法,其中所述第一中间层包括铝、镍和镧。

13. 根据权利要求12所述的方法,其中所述第一下层和所述第一上层包括钼。

14. 一种有机发光显示器,包括:

基板;

位于所述基板上的栅极线;

位于所述基板上并与所述栅极线相交的数据线和驱动电压线;

第一薄膜晶体管,包括连接至所述栅极线的第一栅电极和连接至所述数据线的第一源电极;

第二薄膜晶体管,包括连接至所述第一薄膜晶体管的第一漏电极的第二栅电极和连接至所述驱动电压线的第二源电极;

第一电极,连接至所述第二薄膜晶体管的第二漏电极;

位于所述第一电极上的有机发射层;以及

位于所述有机发射层上的第二电极,

其中所述栅极线和所述驱动电压线中的至少之一包括下层、中间层和上层,并且所述中间层包括铝(AL)、镍(Ni)和镧(La)。

15. 根据权利要求14所述的有机发光显示器,其中所述下层和所述上层包括钼。

16. 根据权利要求14所述的有机发光显示器,其中所述数据线通过沉积所述下层、所述中间层和所述上层来形成。

17. 根据权利要求16所述的有机发光显示器,其中所述中间层包括铝。

18. 根据权利要求17所述的有机发光显示器,其中:

所述上层包括钼,并且

所述下层包括铝、镍和镧。

19. 根据权利要求17所述的有机发光显示器,其中:

所述上层包括铝、镍和镧;并且

所述下层包括钼。

配线和薄膜晶体管阵列面板的制造方法及有机发光显示器

技术领域

[0001] 本发明的示例性实施例涉及形成金属配线和薄膜晶体管阵列面板的方法以及有机发光显示器。

背景技术

[0002] 近来,通过引进容易实现大面积且具有减小的重量和厚度的平板显示器(FPD)改变了显示设备市场。在许多种平板显示器中,有机发光二极管显示器(OLED)在减小厚度和重量方面最具优势,因为其是不需要光源的自发光类型。

[0003] 显示设备中的像素包括多个薄膜晶体管,并且薄膜晶体管包括连接至传输扫描信号的栅极线的栅电极、连接至传输待施加至像素电极的信号的数据线的源电极、面对源电极的漏电极以及电连接至源电极和漏电极的半导体。

[0004] 为了形成诸如数据线和栅极线的金属配线,在基板上形成金属层,并且通过使用光刻胶图案的光刻工艺而图案化金属层。

[0005] 通过曝光和显影工艺形成光刻胶图案。通过在显影工艺中使用的显影液刻蚀金属层,并且根据所使用的金属产生杂质。

[0006] 具体来说,用于制造低电阻配线的由铝制成的金属层与显影液发生反应,产生杂质,并且所产生的杂质残留在金属层上。最终,在测试工艺中,残留在金属层上的杂质可被识别为噪声。

[0007] 在该背景技术部分公开的上述信息仅是为了加强对本发明背景的理解,因此,其可以包含不构成现有技术的信息。

发明内容

[0008] 本发明的示例性实施例涉及防止在显影光刻胶时由于显影液而产生杂质的配线形成方法、配线和使用这种配线的薄膜晶体管阵列面板的制造方法以及有机发光显示器。

[0009] 本发明的额外的特征记载在随后的描述中,并且部分地根据这些描述显而易见,或者可以通过实践本发明而获知。

[0010] 本发明的示例性实施例公开了一种制造配线的方法,包括:在基板上形成下层;在所述下层上形成中间层;在所述中间层上形成上层;通过曝光并显影形成在所述上层上的光刻胶层来形成光刻胶图案;以及通过将所述光刻胶图案用作掩膜刻蚀所述上层、所述中间层和所述下层来形成配线,其中所述上层覆盖所述中间层的端部。

[0011] 本发明的示例性实施例还公开了一种薄膜晶体管阵列面板的制造方法,包括:在基板上形成第一下层;在所述第一下层上形成第一中间层;在所述第一中间层上形成第一上层;通过曝光并显影形成在所述第一上层上的光刻胶层来形成光刻胶图案;通过将所述光刻胶图案用作掩膜刻蚀所述第一上层、所述第一中间层和所述第一下层来形成第一信号线;形成连接至所述第一信号线的薄膜晶体管;形成连接至所述薄膜晶体管的第二信号线;以及形成连接至所述第二信号线的第一电极,其中所述第一上层覆盖所述第一中间层的端

部。

[0012] 本发明的示例性实施例还公开了一种有机发光显示器,包括基板、形成在所述基板上的栅极线;与所述栅极线相交的数据线和驱动电压线;第一薄膜晶体管,具有连接至所述栅极线的第一栅电极和连接至所述数据线的第一源电极;第二薄膜晶体管,具有连接至所述第一薄膜晶体管的第一漏电极的第二栅电极和连接至所述驱动电压线的第二源电极;连接至所述第二薄膜晶体管的第二漏电极的第一电极;形成在所述第一电极上的有机发射层;以及形成在所述有机发射层上的第二电极,其中所述栅极线和所述驱动电压线中的至少之一由下层、中间层和上层制成。

[0013] 应当理解,以上大体描述和以下详细描述都是示例性和解释性的,并且旨在提供如权利要求所述的对本发明的进一步解释。

附图说明

[0014] 为进一步理解本发明而包括且被包含在本说明书中并构成本说明书的一部分的附图,示出了本发明的实施例,并且连同描述一起用于解释本发明的原理。

[0015] 图1、图2、图3和图4是根据本发明示例性实施例的配线形成方法的视图。

[0016] 图5是根据本发明示例性实施例的溅射设备的示意性剖视图。

[0017] 图6是根据本发明示例性实施例的包括在有机发光二极管(OLED)显示器中的像素电路的示意性电路图。

[0018] 图7、图8、图9、图10、图11和图12是示出图5的有机发光二极管(OLED)显示器的制造方法的剖视图。

[0019] 图13和图14是根据本发明示例性实施例的母板和掩膜的俯视图。

具体实施方式

[0020] 以下参考附图更充分地描述本发明,附图中示出本发明的示例性实施例。本领域技术人员将认识到,可以在不超出本发明的精神或范围的情况下以各种不同的方式来修改所描述的实施例。然而,本发明可以以多种不同的形式具体体现,并且不应当被解释为限于这里所记载的示例性实施例。相反,提供这些示例性实施例从而使本公开全面完整,并且将本发明的范围充分传达给本领域技术人员。在附图中,为了清晰起见,可以放大层、区和其他元件的包括宽度、长度和厚度等的尺寸和相对尺寸。附图中相同的附图标记表示相同的元件。

[0021] 可以理解,当提及诸如层、膜、区或基板之类的元件位于另一元件“上”或“连接至”另一元件时,该元件可以直接位于另一元件上或直接连接至另一元件,也可以存在中间元件。相反,当提及一元件“直接位于”另一元件上或“直接连接至”另一元件时,不存在中间元件。可以理解,为了本公开的目的,“X、Y和Z中的至少一个”可以被解释为只有X、只有Y、只有Z或者X、Y和Z中的两项或者更多项的任意组合(例如,XYZ、XYX、YZ、ZZ)。

[0022] 另外,除非明确进行相反的描述,否则词“包括”及其变体应当理解为暗指包括所述的元件但不排除任何其它元件。另外,在整个说明书中,“在……上”暗指位于目标元件的上方或下方,而并不意味着必须位于基于重力方向的顶部上。

[0023] 以下描述根据本发明示例性实施例的配线形成方法。

[0024] 图1至图4是解释根据本发明示例性实施例的配线形成方法的视图,并且图5是根据本发明示例性实施例的溅射设备的示意性剖视图。

[0025] 如图1所示,第一金属层10形成在基板100上。可以通过使用图5中所示的溅射设备形成第一金属层10。

[0026] 参见图5,根据本发明示例性实施例的溅射设备1001包括腔500以及在腔500中提供的靶部600和掩膜700。

[0027] 在溅射工艺期间,腔500保持真空,并且从腔500外部的功率源施加高频功率。

[0028] 靶部600包括靶62、下支撑件64、阴极板66和磁体68。

[0029] 下支撑件64固定到靶62,靶62是通过溅射在基板100上形成的沉积材料的供给源。

[0030] 靶62是即将在基板上形成的金属材料,在腔中用正离子轰击靶62。正离子通过电子的加速产生,使得靶62表面上的材料从靶62分离,从而在基板100上形成第一金属层10。

[0031] 阴极板66连接至高频功率源以将高频电压施加至靶62,从而在基板100和靶62之间产生等离子体。

[0032] 磁体68施加磁场以防止等离子体中产生的电子进入溅射设备的其他部分。

[0033] 掩膜700防止薄膜形成在基板100的边缘。掩膜700是覆盖基板100的阴影掩膜,并覆盖基板100的边缘。

[0034] 上支撑件80接收基板100,并且可以是在腔500中支撑并承载基板100的载体。

[0035] 在上支撑件80下形成接地阳极板82。

[0036] 参见图1,基板100和掩膜700重叠第一宽度D1。

[0037] 如图2所示,第二金属层20形成在第一金属层10上。第二金属层20的边界线位于第一金属层10的边界线之内。

[0038] 第二金属层20也可以通过使用图5的溅射设备形成。这时,第一金属层10和第二金属层20可以通过根据要形成的材料而安装不同靶的溅射设备分别形成。

[0039] 掩膜700与基板100和第一金属层10重叠第二宽度D2。因此,第二金属层20的边界位于第一金属层10的边界之内。第二宽度D2的范围可以从大约3mm至6mm。

[0040] 如图3所示,第三金属层30形成在第二金属层20上。第三金属层30被形成覆盖第二金属层20的端部(或边界),使得第三金属层30的边缘接触第一金属层10的边缘。

[0041] 第三金属层30也可以通过使用图5的溅射设备形成。

[0042] 第二金属层20和第三金属层30可以通过根据要形成的材料而安装不同靶的溅射设备形成。

[0043] 掩膜700与基板100重叠第三宽度D3,并且第二金属层20的边界被第三金属层30覆盖。第三宽度D3可以与第一宽度D1相同,并且在使用相同材料时,可以应用相同的腔。

[0044] 第一金属层10和第三金属层30可以由钼(Mo)制成,并且第二金属层20可以由铝(Al)、镍(Ni)和镧(La)制成。

[0045] 在另一个示例性实施例中,第一金属层10可以由钼(Mo)制成;第二金属层20可以由铝(Al)制成;并且第三金属层30可以由铝(Al)、镍(Ni)和镧(La)制成。

[0046] 在另一个示例性实施例中,第一金属层10可以由铝(Al)、镍(Ni)和镧(La)制成;第二金属层20可以由铝(Al)制成;并且第三金属层30可以由钼(Mo)制成。

[0047] 在示例性实施例中,第一金属层10或第三金属层30包括钼(Mo),然而本发明并不

限于此,也可以使用钛 (Ti) 或钨 (W)。

[0048] 如图4所示,光刻胶层形成在第三金属层30上,并被曝光和显影以形成光刻胶图案PR。

[0049] 在光刻胶层的显影工艺中,第二金属层20可能被显影液破坏,从而被钻蚀,或者分离的第二金属层20可以作为杂质贴附至第三金属层30的表面。

[0050] 然而,在示例性实施例中,第三金属层30完全覆盖第二金属层20的端部,使得第二金属层20的端部不会暴露于显影液,从而防止由第二金属层20造成的杂质。

[0051] 然后,通过使用光刻胶图案作为掩膜刻蚀第三金属层30、第二金属层20和第一金属层10,以形成由三层结构制成的配线400。

[0052] 接下来将结合附图描述包括图1至图4中示出的配线的有机发光二极管 (OLED) 显示器及其制造方法。

[0053] 图6是根据本发明示例性实施例的有机发光二极管 (OLED) 显示器的像素电路的电路图。

[0054] 根据本发明示例性实施例的有机发光二极管 (OLED) 显示器包括多条信号线121、171和172以及连接至多条信号线121、171和172的像素PX。

[0055] 信号线包括传输选通信号 (或扫描信号) 的扫描信号线 (即栅极线) 121、传输数据信号的数据线171和传输驱动电压的驱动电压线172。

[0056] 栅极线121基本在行方向上延伸,并且基本互相平行,数据线171基本在列方向上延伸,并且基本互相平行。驱动电压线172基本在列方向上延伸,并且基本互相平行,但是它们可以改为在行方向或列方向上延伸,并且可以形成网状。

[0057] 一个像素PX包括开关晶体管Qs、驱动晶体管Qd、存储电容器Cst和有机发光二极管70。

[0058] 开关晶体管Qs具有控制端子、输入端子和输出端子。控制端子连接至扫描信号线121,输入端子连接至数据线171,并且输出端子连接至驱动晶体管Qd。开关晶体管Qs对从扫描信号线121接收的扫描信号进行响应,以将从数据线171接收的数据信号传送至驱动晶体管Qd。

[0059] 驱动晶体管Qd具有控制端子、输入端子和输出端子。控制端子连接至开关晶体管Qs,输入端子连接至驱动电压线172,并且输出端子连接至有机发光二极管70。驱动晶体管Qd允许具有根据施加在控制端子和输出端子之间的电压而变化的振幅的输出电流 I_{LD} 流经驱动晶体管Qd。

[0060] 电容器Cst连接在驱动晶体管Qd的控制端子和输入端子之间。该电容器Cst充有施加至驱动晶体管Qd的控制端子的数据信号,并且即使在开关晶体管Qs被关断之后也维持数据信号。

[0061] 有机发光二极管70 (OLED) 具有连接至驱动晶体管Qd的输出端子的阳极和连接至公共电压 V_{SS} 的阴极。有机发光二极管70通过发光来显示图像,并且其亮度根据驱动晶体管Qd的输出电流 I_{LD} 而改变。有机发光二极管70可以包括固有地发出诸如红、绿和蓝的原色中至少一种颜色的光的有机材料。有机发光二极管显示器通过颜色的空间和来显示期望的图像。

[0062] 将描述根据本发明示例性实施例的具有以上像素的有机发光二极管 (OLED) 显示

器的制造方法。

[0063] 图7至图12是解释图5中的有机发光二极管(OLED)显示器的制造方法的剖视图,并且图13和图14是根据示例性实施例的母板和掩膜的俯视图。

[0064] 因为开关薄膜晶体管和驱动薄膜晶体管可以使用相同的沉积结构形成,所以在图7至图12中,将描述针对图6中的驱动薄膜晶体管Qd和有机发光元件70的制造方法。在下文中,驱动薄膜晶体管Qd被称为薄膜晶体管。

[0065] 如图7所示,在基板100上形成缓冲层120。

[0066] 基板100可以是由玻璃、石英、陶瓷或塑料等形成的透明绝缘基板,或者基板100可以是由不锈钢等形成的金属基板。

[0067] 在示例性实施例中,仅描述一个薄膜晶体管。然而,如图13所示,基板100可以是其中同时形成多个有机发光显示面板LP的母板。

[0068] 缓冲层120可以形成为氮化硅(SiNx)的单层或其中堆叠氮化硅(SiNx)和氧化硅(SiO₂)的双层结构。缓冲层120用于防止诸如杂质或水的不必要的成分渗透,并且还用于对表面进行平坦化。

[0069] 另外,通过在缓冲层120上形成非晶硅层,然后使非晶硅层结晶并图案化非晶硅层,来形成半导体图案130。

[0070] 如图8所示,在半导体图案130上形成由氮化硅或氧化硅制成的栅绝缘层140,并且在栅绝缘层140上沉积第一金属层10、第二金属层20和第三金属层30。然后在第三金属层30上形成光刻胶图案PR。

[0071] 第一金属层10和第三金属层30可以由钼(Mo)制成,并且第二金属层20可以由铝(Al)、镍(Ni)和镧(La)制成。

[0072] 然而,第一金属层10和第三金属层30并不限于该组成,并且也可以包括钛(Ti)或钨(W)。

[0073] 第一至第三金属层10、20和30可以通过图1至图4的方法形成,并且通过改变图5的溅射设备的掩膜700与基板100的重叠程度,第三金属层30可以形成为完全覆盖第二金属层20的端部。

[0074] 如图13所示,掩膜700和基板100互相重叠,以使第一金属层10和第三金属层30距离基板100的边缘具有第一宽度D1,并且如图14所示,掩膜700和基板100互相重叠,以使第二金属层20距离基板100的边缘具有第二宽度D2。第二宽度D2大于第一宽度D1。因此,第三金属层30形成为完全覆盖第二金属层20的端部。

[0075] 在示例性实施例中,如果第三金属层30形成为覆盖第二金属层20,则第二金属层20不会被光刻胶层显影液破坏,并受到保护。

[0076] 在以上示例性实施例中,虽然以Mo/AlNiLa/Mo的顺序沉积薄膜,但是本发明并不限于此,并且在形成包括受显影液腐蚀的金属的配线时完全可以应用。也就是说,受显影液腐蚀的金属层的端部被不受显影液腐蚀的金属层所覆盖,以便不暴露于显影液。

[0077] 如图9所示,通过将光刻胶图案PR用作掩膜,刻蚀第三金属层30、第二金属层20和第一金属层10以形成包括上层155c、中间层155b和下层155a的三层的栅电极155。

[0078] 栅极线和开关薄膜晶体管的栅电极也可以一起形成。因此,开关薄膜晶体管的栅电极和栅极线可以形成有与栅电极155相同的沉积结构。

[0079] 通过将栅电极155用作掩膜,导电杂质离子以高浓度掺入半导体图案130中,以形成具有源区1356和漏区1357的半导体135。沟道区1355形成在源区1356和漏区1357之间。

[0080] 如图10所示,第一层间绝缘层160形成在栅电极155上。

[0081] 刻蚀第一层间绝缘层160和栅绝缘层140以形成暴露半导体135的接触孔66和67。

[0082] 在第一层间绝缘层160上形成第四金属层、第五金属层和第六金属层,并且在第六金属层上形成光刻胶图案。第四金属层可以由钼(Mo)制成,并且第五金属层可以由铝(Al)制成。此外,第六金属层可以由铝(Al)、镍(Ni)和镧(La)制成。

[0083] 在另一个示例性实施例中,第五金属层可以由铝(Al)、镍(Ni)和镧(La)制成,并且第五金属层可以由铝(Al)制成。此外,第六金属层可以由钼(Mo)制成。

[0084] 在示例性实施例中,第四金属层或第六金属层包括钼(Mo)。然而,本发明并不限于此,该组合中也可以包括钛(Ti)或钨(W)。

[0085] 通过将光刻胶图案用作掩膜,刻蚀第六金属层、第五金属层和第四金属层,以形成通过接触孔66和67连接至源区1356和漏区1357的源电极177和漏电极176,并且源电极177和漏电极176包括上层(176c和177c)、中间层(176b和177b)以及下层(176a和177a)的三层。

[0086] 数据线、开关薄膜晶体管的源电极和漏电极以及驱动电压线也可以一起形成。因此,数据线、开关薄膜晶体管的源电极和漏电极以及驱动电压线可以形成有与源电极177和漏电极176相同的沉积结构。

[0087] 如果第六金属层形成为覆盖第五金属层,那么由铝制成的第五金属层不会被显影液破坏,并受到保护。

[0088] 如图11所示,在源电极177和漏电极176上形成第二层间绝缘层180。

[0089] 刻蚀第二层间绝缘层180以形成暴露漏电极176的接触孔85。

[0090] 如图12所示,在层间绝缘层180上形成金属层,并图案化金属层以形成第一电极710。

[0091] 在第一电极710上形成具有开口95的像素限定层190,在像素限定层190的开口95中形成有机发射层720,并且在有机发射层720上形成第二电极730。

[0092] 然后,结合图12描述通过所述的布线和薄膜晶体管的制造方法制造的有机发光显示器。

[0093] 根据本发明示例性实施例的有机发光显示器对应于结合图7至图12所述的有机发光显示器。因此,省略了与上述结构相同的结构的详细描述。

[0094] 参见图12,形成在基板100上的栅极线,详细地,连接至栅极线的栅电极155可以由三层155c、155b和155a制成。

[0095] 在此情形下,形成栅电极155的下层155a可以对应于所述的布线和薄膜晶体管的制造方法中所述的第一金属层。此外,中间层155b和上层155c可以分别对应于第二金属层和第三金属层。

[0096] 另一方面,下层155a和上层155c可以由钼(Mo)制成。此外,中间层155b可以由铝(Al)、镍(Ni)和镧(La)制成。

[0097] 连接至薄膜晶体管的数据线,更具体来说为源电极177和漏电极176也可以由三层制成。

[0098] 源电极177可以由下层177a、中间层177b和上层177c制成。此外,漏电极176可以由

下层176a、中间层176b和上层176c制成。

[0099] 在此情形下,形成源电极177和漏电极176的下层177a和176a可以由钼(Mo)制成,并且中间层176b和177b可以由铝(Al)制成。此外,上层176c和177c可以由铝(Al)、镍(Ni)和镧(La)制成。

[0100] 在另一个示例性实施例中,下层176a和177a可以由铝(Al)、镍(Ni)和镧(La)制成,并且中间层176b和177b可以由铝(Al)制成。此外,上层176c和177c可以由钼(Mo)制成。

[0101] 在示例性实施例中,当形成三层的金属层时,由铝制成的薄膜不会暴露于形成光刻胶图案所使用的显影液,从而防止由于显影液而破坏金属层,并且还防止杂质的产生。

[0102] 在不超出本发明的精神和范围的情况下,可以对本发明做出各种修改和变形,这对于本领域技术人员来说是显而易见的。因此,倘若对本发明的修改和变形处于所附权利要求及其等同物的范围内,则意味着本发明覆盖这些修改和变形。

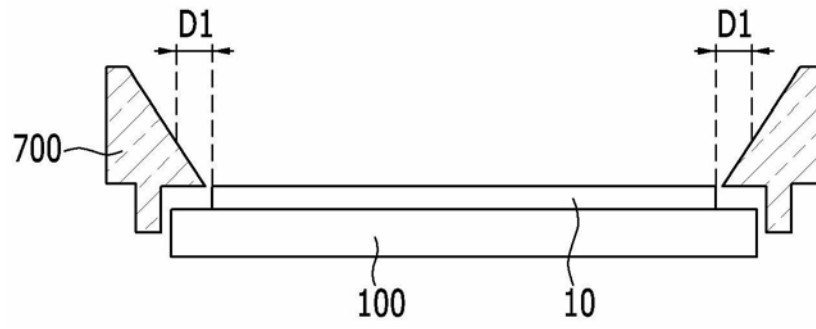


图1

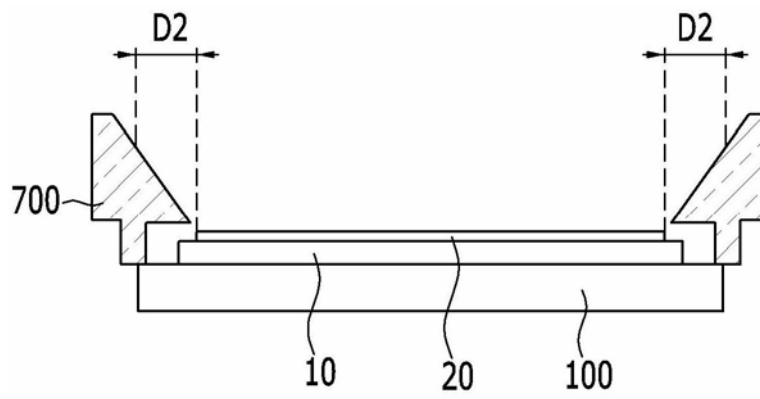


图2

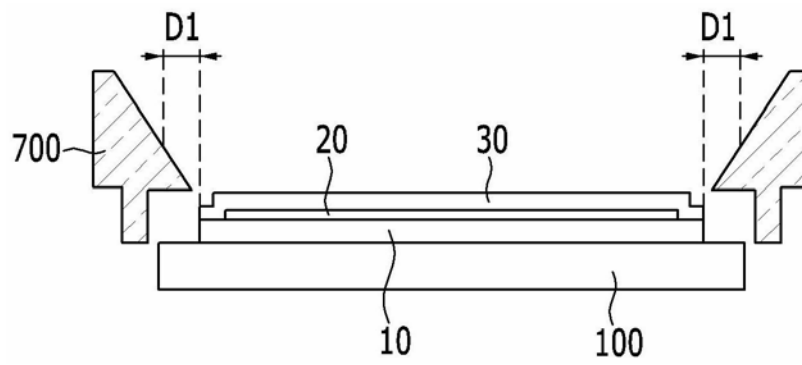


图3

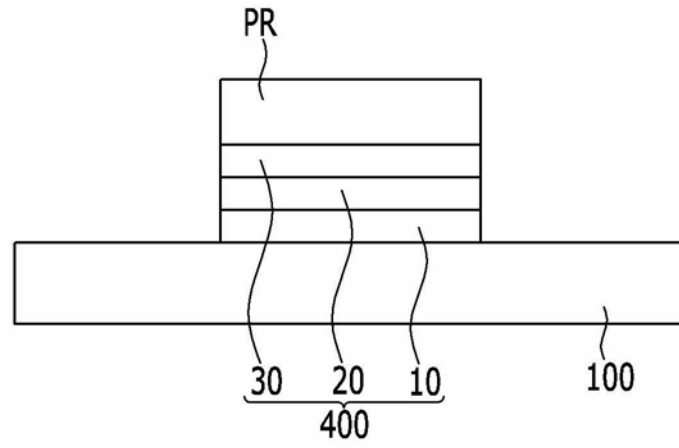


图4

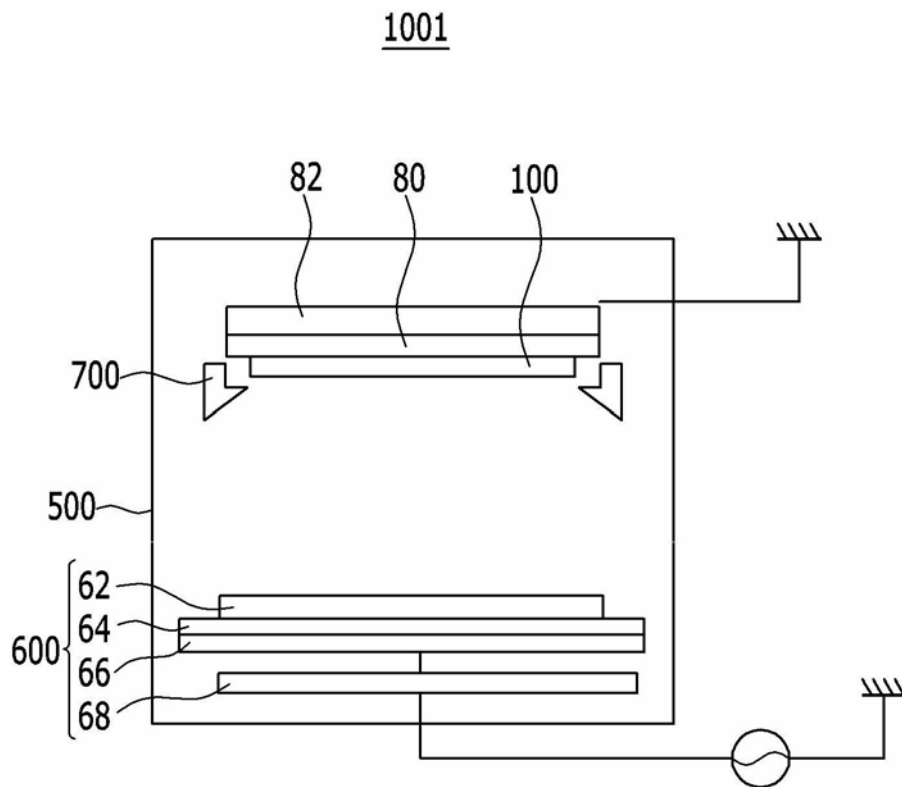


图5

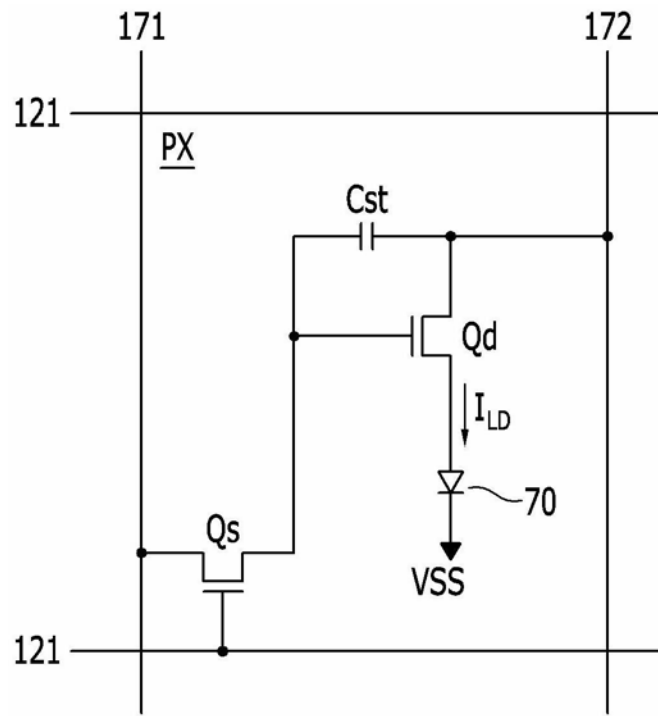


图6

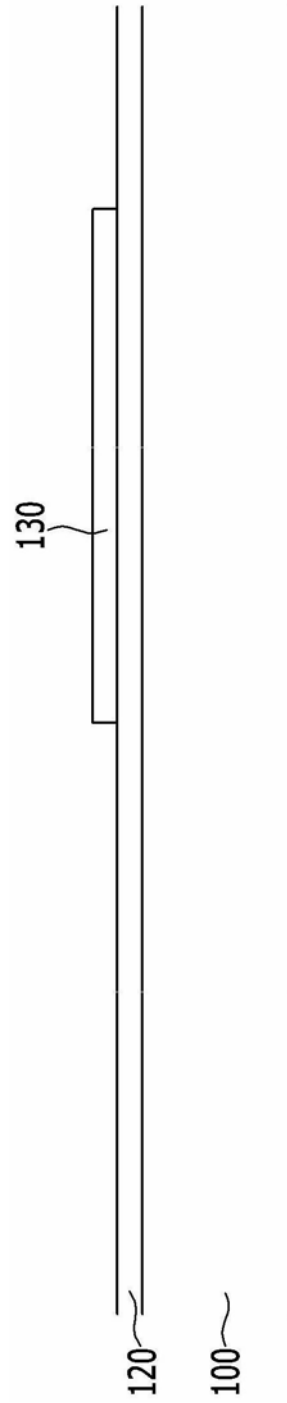


图7

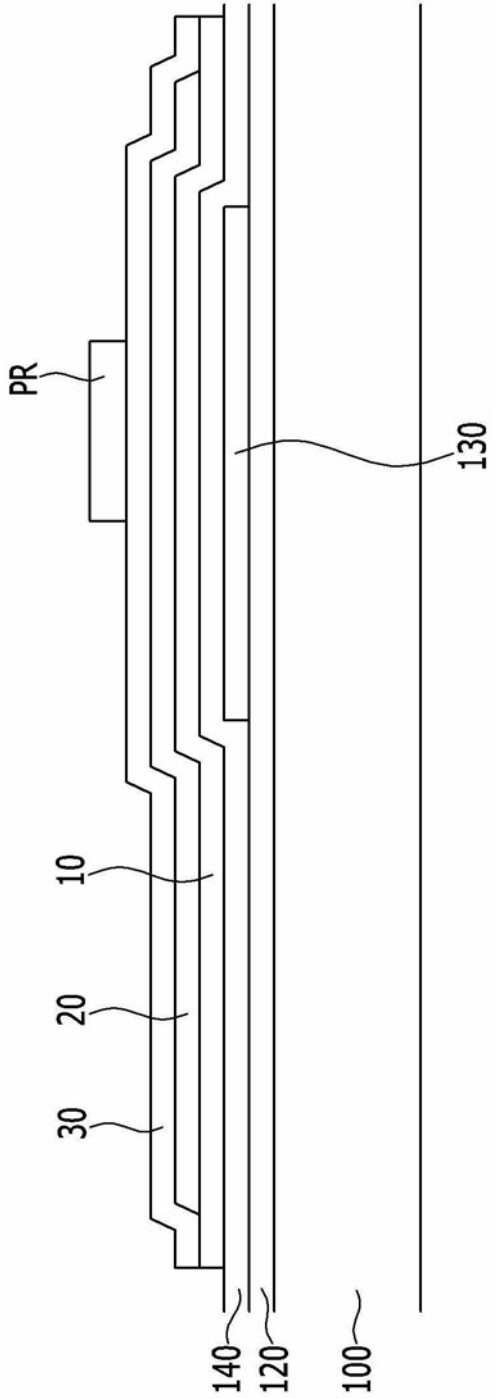


图8

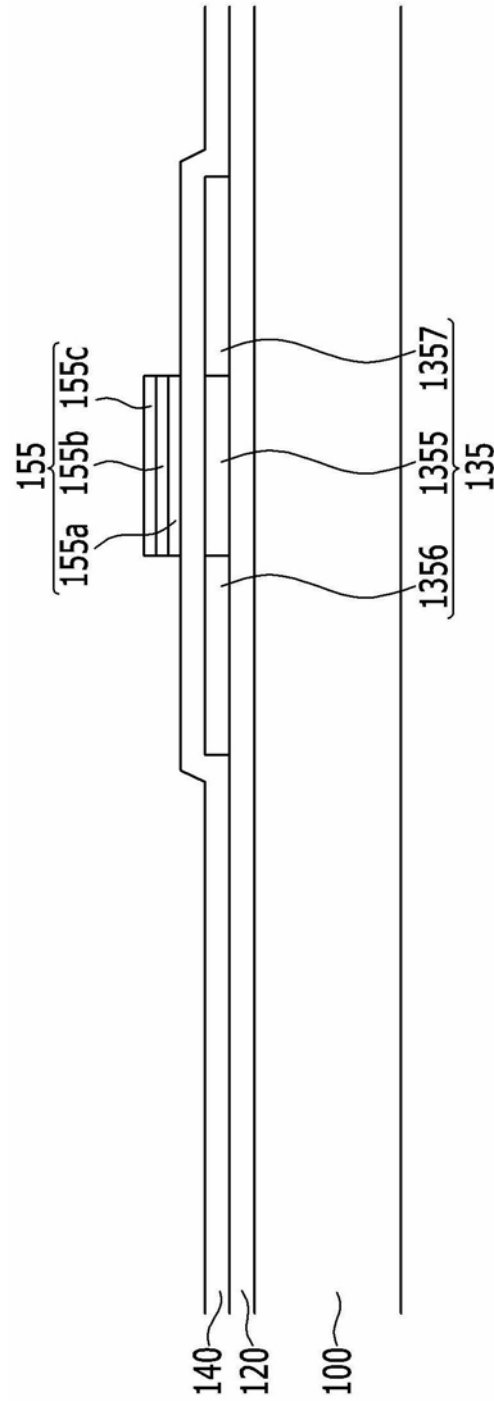


图9

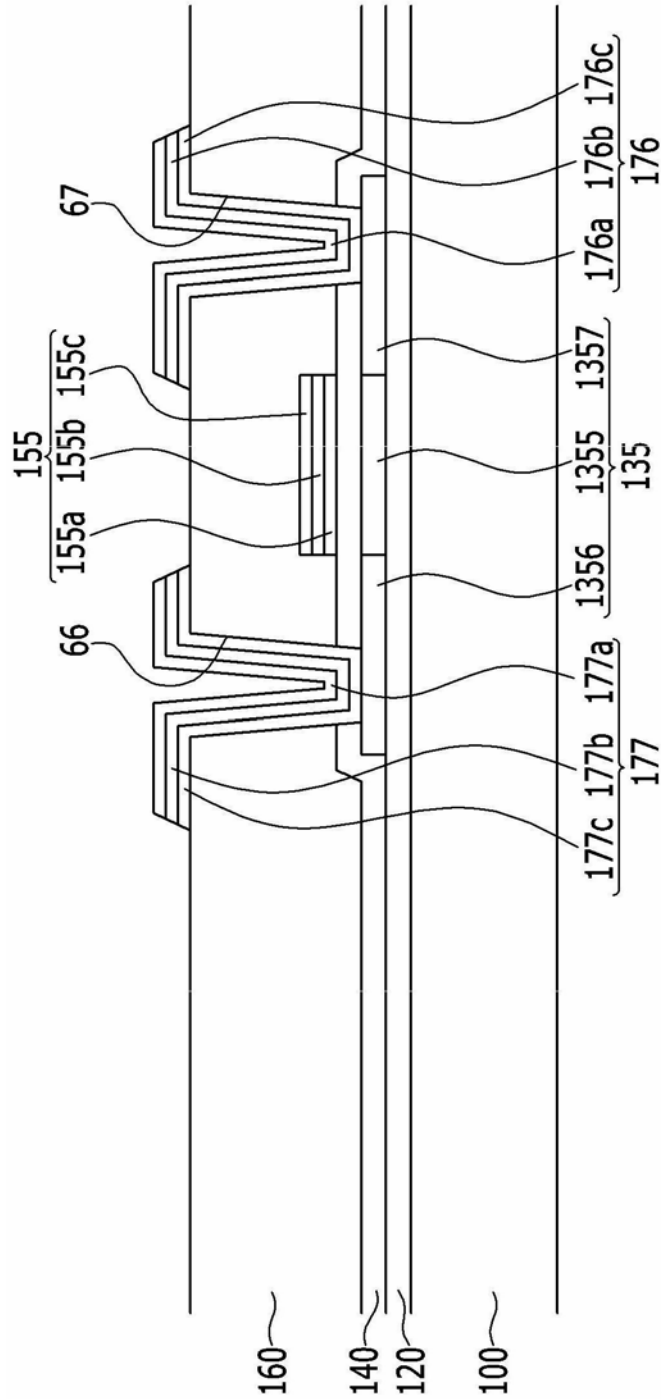


图10

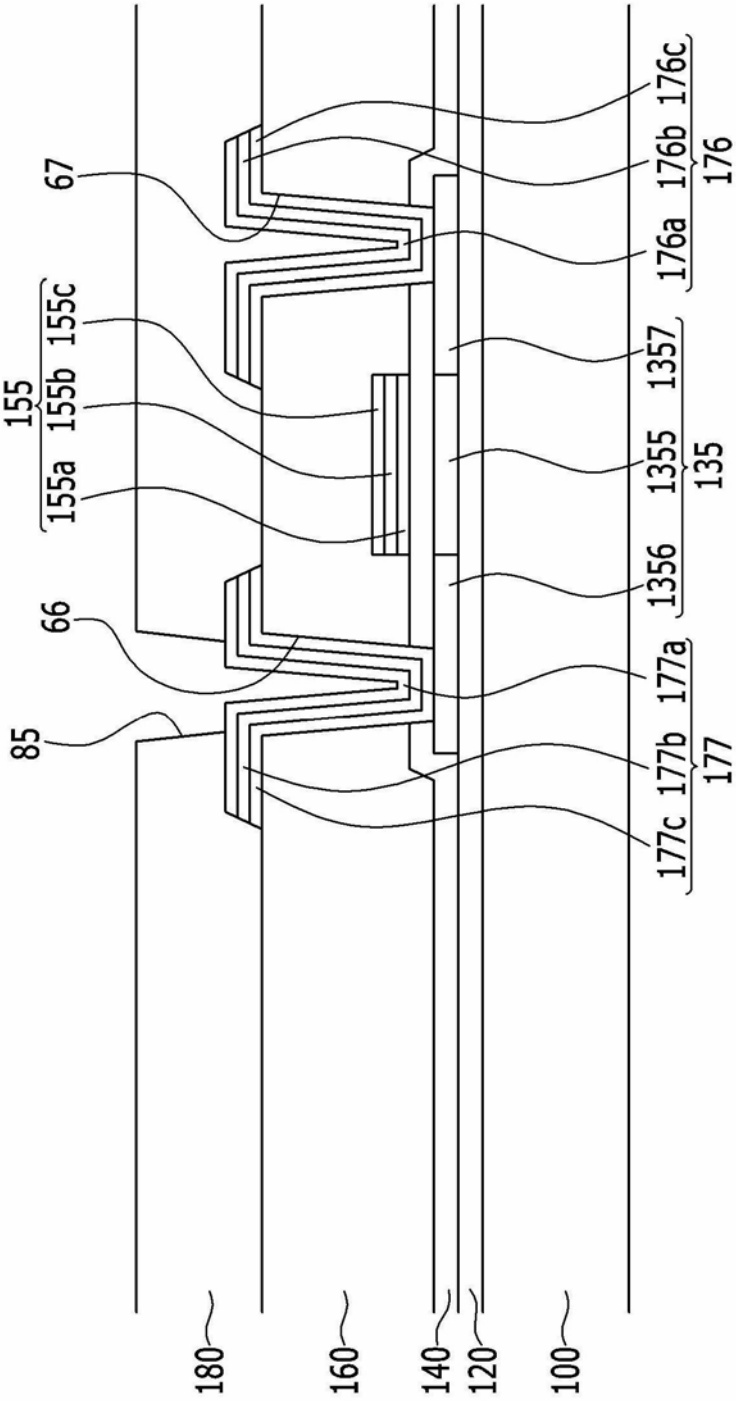


图11

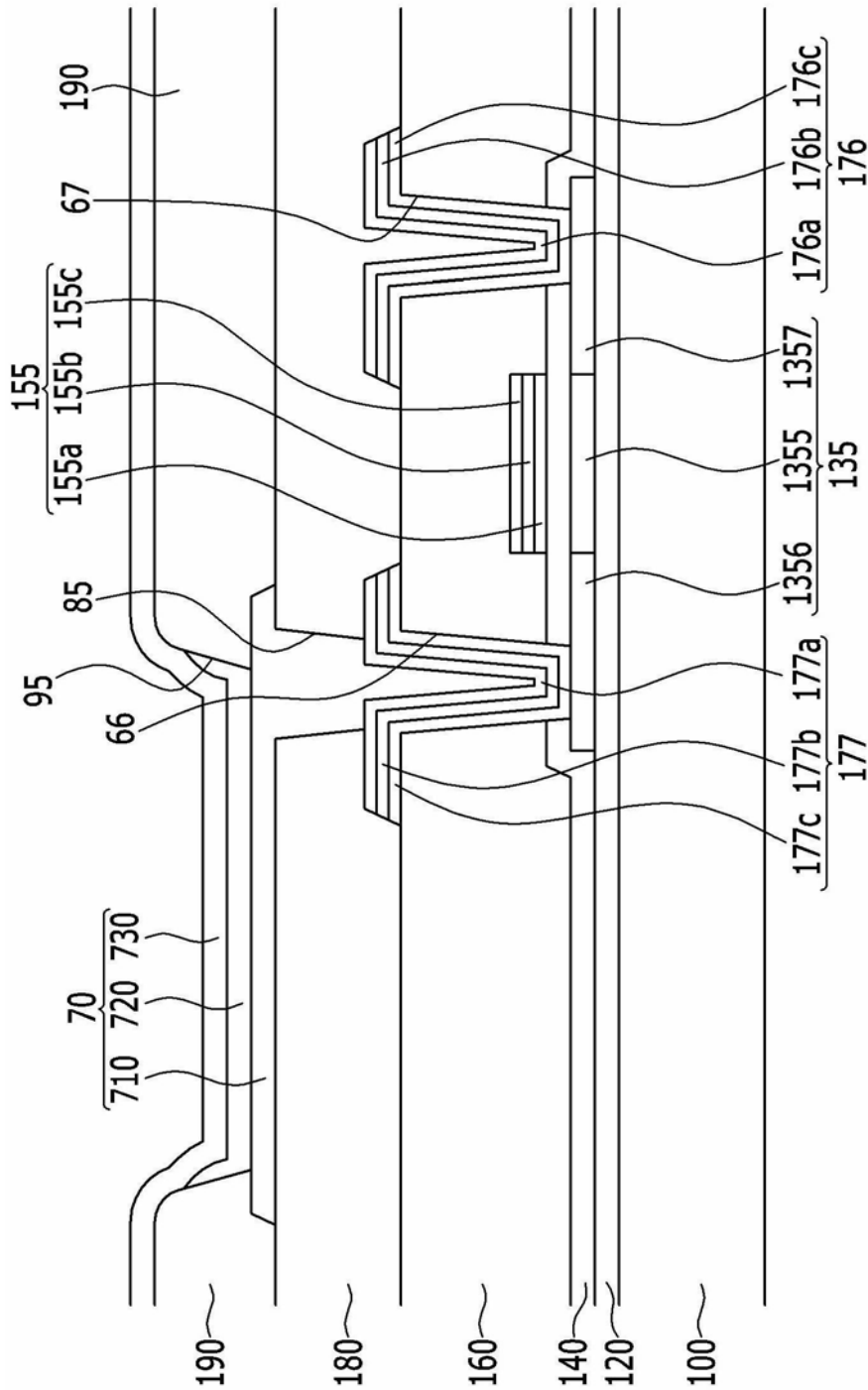


图12

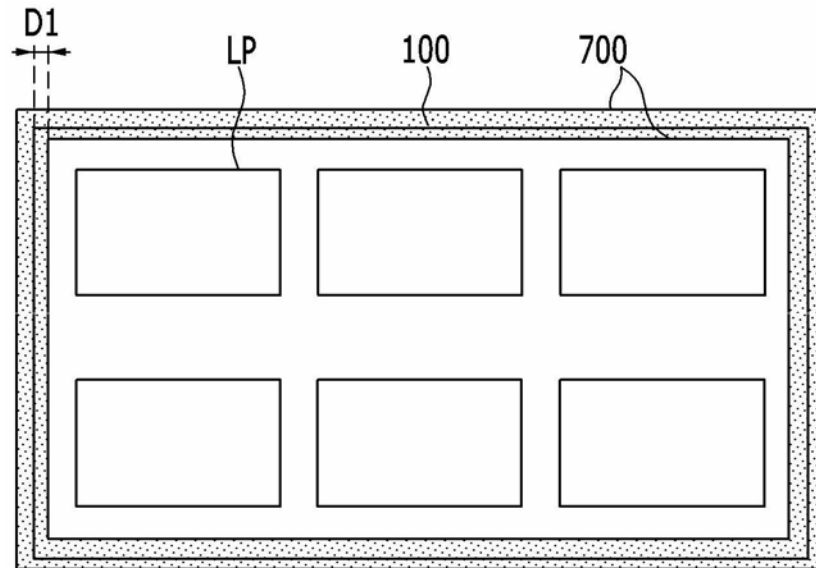


图13

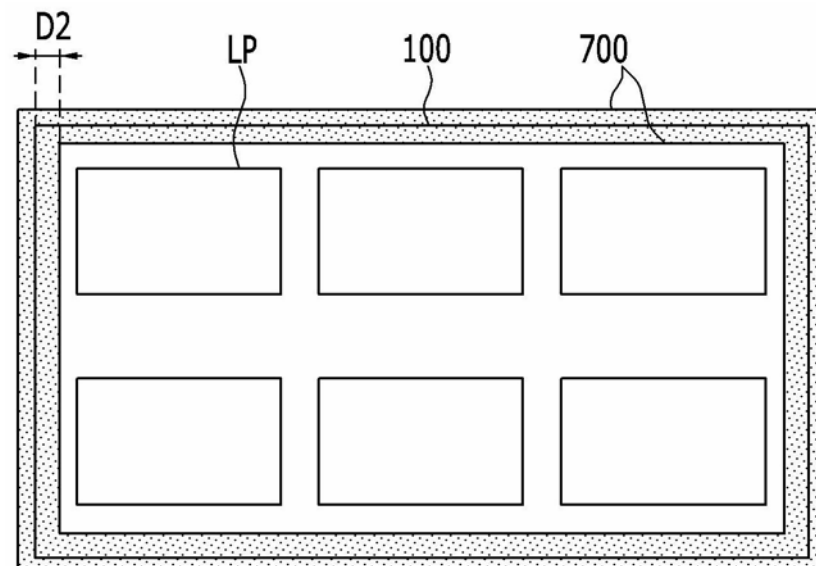


图14

专利名称(译)	配线和薄膜晶体管阵列面板的制造方法及有机发光显示器		
公开(公告)号	CN104143563B	公开(公告)日	2019-04-05
申请号	CN201410195634.7	申请日	2014-05-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	尹秀娟 孙东珍		
发明人	尹秀娟 孙东珍		
IPC分类号	H01L27/32 H01L21/77 H05K3/46		
CPC分类号	H01L27/3244 H01L27/124 H01L27/3248 H01L27/3276 H01L29/41733 H01L29/42384 H01L29/458 H01L29/4908 H01L51/0021 H01L2227/323		
优先权	1020130053237 2013-05-10 KR 1020130146784 2013-11-29 KR		
其他公开文献	CN104143563A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种配线和薄膜晶体管阵列面板的制造方法及有机发光显示器。所述配线的制造方法包括：在基板上形成下层；在所述下层上形成中间层；在所述中间层上形成上层；在所述上层上形成、曝光并显影光刻胶层以形成光刻胶图案；并且通过将所述光刻胶图案用作掩膜刻蚀所述上层、所述中间层和所述下层，以形成配线，使得所述上层覆盖所述中间层的端部。

