



(12) 发明专利

(10) 授权公告号 CN 102708793 B

(45) 授权公告日 2014. 02. 19

(21) 申请号 201210047893. 6

(22) 申请日 2012. 02. 27

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

专利权人 成都京东方光电科技有限公司

(72) 发明人 青海刚 祁小敬 高永益

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 赵爱军

(51) Int. Cl.

G09G 3/32 (2006. 01)

审查员 戈颖杰

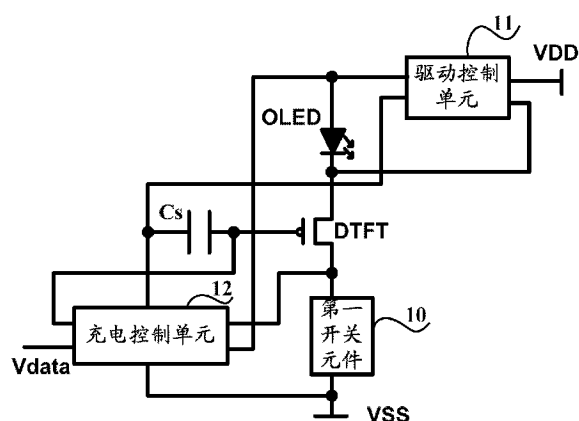
权利要求书4页 说明书12页 附图6页

(54) 发明名称

像素单元驱动电路、像素单元驱动方法以及像素单元

(57) 摘要

本发明提供了一种像素单元驱动电路、像素单元驱动方法以及像素单元, 像素单元驱动电路包括驱动薄膜晶体管、第一开关元件、存储电容、驱动控制单元和充电控制单元, 驱动薄膜晶体管的栅极, 与存储电容的第一端连接, 还通过充电控制单元与驱动薄膜晶体管的漏极连接; 驱动薄膜晶体管的源极, 与 OLED 连接, 并通过驱动控制单元与存储电容的第二端连接; 驱动薄膜晶体管的漏极通过第一开关元件与驱动电源连接; 存储电容 Cs 的第二端通过充电控制单元与驱动电源连接; 驱动控制单元分别与驱动电源和 OLED 连接; 充电控制单元分别与数据线和 OLED 连接。本发明补偿驱动薄膜晶体管的临界电压, 并补偿 OLED 材料老化临界电压上升导致的驱动电流下降。



1. 一种像素单元驱动电路,用于驱动 OLED,其特征在于,包括驱动薄膜晶体管、第一开关元件、存储电容、驱动控制单元和充电控制单元,其中,

所述驱动薄膜晶体管的栅极,与所述存储电容的第一端连接,还通过所述充电控制单元与所述驱动薄膜晶体管的漏极连接;

所述驱动薄膜晶体管的源极,与所述 OLED 连接,并通过所述驱动控制单元与所述存储电容的第二端连接;

所述驱动薄膜晶体管的漏极,通过所述第一开关元件与驱动电源连接;

所述存储电容 Cs 的第二端,还通过所述充电控制单元与所述驱动电源连接;

所述驱动控制单元,还分别与所述驱动电源和所述 OLED 连接;

所述充电控制单元,还分别与数据线和所述 OLED 连接;

所述驱动薄膜晶体管是 p 型薄膜晶体管;

所述驱动薄膜晶体管的源极与所述 OLED 的阴极连接;

所述驱动薄膜晶体管的漏极通过所述第一开关元件与驱动电源的低电平输出端连接;

所述存储电容的第二端通过所述充电控制单元与所述驱动电源的低电平输出端连接;

所述第一开关元件为第一薄膜晶体管,所述驱动控制单元包括第二薄膜晶体管和第三薄膜晶体管,所述充电控制单元包括第四薄膜晶体管、第五薄膜晶体管和第六薄膜晶体管;

所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动电源的低电平输出端连接,源极与所述驱动薄膜晶体管的漏极连接;

所述第二薄膜晶体管,栅极与第二控制线连接,源极与所述驱动电源的高电平输出端连接,漏极与所述 OLED 的阳极连接;

所述第三薄膜晶体管,栅极与第二控制线连接,源极与所述驱动薄膜晶体管的源极连接,漏极与所述存储电容的第二端连接;

所述第四薄膜晶体管,栅极与第一控制线连接,漏极与所述存储电容的第一端连接,源极与所述驱动薄膜晶体管的漏极连接;

所述第五薄膜晶体管,栅极与第一控制线连接,源极与所述驱动电源的低电平输出端连接,漏极与所述存储电容的第二端连接;

所述第六薄膜晶体管,栅极与第一控制线连接,源极与所述 OLED 的阳极连接,漏极与数据线连接;

所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管都是 p 型薄膜晶体管,所述第四开关元件、所述第五薄膜晶体管和所述第六薄膜晶体管是 n 型薄膜晶体管。

2. 一种像素单元驱动电路,用于驱动 OLED,其特征在于,包括驱动薄膜晶体管、第一开关元件、存储电容、驱动控制单元和充电控制单元,其中,

所述驱动薄膜晶体管的栅极,与所述存储电容的第一端连接,还通过所述充电控制单元与所述驱动薄膜晶体管的漏极连接;

所述驱动薄膜晶体管的源极,与所述 OLED 连接,并通过所述驱动控制单元与所述存储电容的第二端连接;

所述驱动薄膜晶体管的漏极,通过所述第一开关元件与驱动电源连接;

所述存储电容 Cs 的第二端,还通过所述充电控制单元与所述驱动电源连接;

所述驱动控制单元,还分别与所述驱动电源和所述 OLED 连接;

所述充电控制单元,还分别与数据线和所述 OLED 连接;

所述驱动薄膜晶体管是 p 型薄膜晶体管;

所述驱动薄膜晶体管的源极与所述 OLED 的阴极连接;

所述驱动薄膜晶体管的漏极通过所述第一开关元件与驱动电源的低电平输出端连接;

所述存储电容的第二端通过所述充电控制单元与所述驱动电源的低电平输出端连接;

所述第一开关元件为第一薄膜晶体管,所述驱动控制单元包括第二薄膜晶体管和第三薄膜晶体管,所述充电控制单元包括第四薄膜晶体管、第五薄膜晶体管和第六薄膜晶体管;

所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动电源的低电平输出端连接,源极与所述驱动薄膜晶体管的漏极连接;

所述第二薄膜晶体管,栅极与第二控制线连接,源极与所述驱动电源的高电平输出端连接,漏极与所述 OLED 的阳极连接;

所述第三薄膜晶体管,栅极与第二控制线连接,源极与所述驱动薄膜晶体管的源极连接,漏极与所述存储电容的第二端连接;

所述第四薄膜晶体管,栅极与第一控制线连接,漏极与所述存储电容的第一端连接,源极与所述驱动薄膜晶体管的漏极连接;

所述第五薄膜晶体管,栅极与第一控制线连接,源极与所述存储电容的第二端连接,漏极与驱动电源的高电平输出端连接;

所述第六薄膜晶体管,栅极与第一控制线连接,源极与所述 OLED 的阳极连接,漏极与数据线连接;

所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管都是 p 型薄膜晶体管,所述第四开关元件、所述第五薄膜晶体管和所述第六薄膜晶体管是 n 型薄膜晶体管。

3. 一种像素单元驱动电路,用于驱动 OLED,其特征在于,包括驱动薄膜晶体管、第一开关元件、存储电容、驱动控制单元和充电控制单元,其中,

所述驱动薄膜晶体管的栅极,与所述存储电容的第一端连接,还通过所述充电控制单元与所述驱动薄膜晶体管的漏极连接;

所述驱动薄膜晶体管的源极,与所述 OLED 连接,并通过所述驱动控制单元与所述存储电容的第二端连接;

所述驱动薄膜晶体管的漏极,通过所述第一开关元件与驱动电源连接;

所述存储电容 Cs 的第二端,还通过所述充电控制单元与所述驱动电源连接;

所述驱动控制单元,还分别与所述驱动电源和所述 OLED 连接;

所述充电控制单元,还分别与数据线和所述 OLED 连接;

所述驱动薄膜晶体管是 n 型薄膜晶体管;

所述驱动薄膜晶体管的源极与所述 OLED 的阳极连接;

所述驱动薄膜晶体管的漏极通过所述第一开关元件与驱动电源的高电平输出端连接；

所述存储电容的第二端通过所述充电控制单元与所述驱动电源的高电平输出端连接；

所述第一开关元件为第一薄膜晶体管，所述充电控制单元包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管，所述驱动控制单元包括第五薄膜晶体管和第六薄膜晶体管；

所述第一薄膜晶体管，栅极与第一控制线连接，漏极与所述驱动薄膜晶体管的漏极连接，源极与驱动电源的高电平输出端连接；

所述第二薄膜晶体管，栅极与第一控制线连接，源极与所述存储电容的第二端连接，漏极与所述驱动电源的高电平输出端连接；

所述第三薄膜晶体管，栅极与第一控制线连接，漏极与所述驱动薄膜晶体管的漏极连接，源极与所述驱动薄膜晶体管的栅极连接；

所述第四薄膜晶体管，栅极与第一控制线连接，源极与数据线连接，漏极与所述 OLED 的阴极连接；

所述第五薄膜晶体管，栅极与第二控制线连接，源极与所述存储电容的第二端连接，漏极与所述驱动薄膜晶体管的源极连接；

所述第六薄膜晶体管，栅极与第二控制线连接，源极与所述 OLED 的阴极连接，漏极与所述驱动电源的低电平输出端连接；

所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管为 n 型薄膜晶体管，所述第一薄膜晶体管、第五薄膜晶体管和所述第六薄膜晶体管为 p 型薄膜晶体管。

4. 一种像素单元驱动电路，用于驱动 OLED，其特征在于，包括驱动薄膜晶体管、第一开关元件、存储电容、驱动控制单元和充电控制单元，其中，

所述驱动薄膜晶体管的栅极，与所述存储电容的第一端连接，还通过所述充电控制单元与所述驱动薄膜晶体管的漏极连接；

所述驱动薄膜晶体管的源极，与所述 OLED 连接，并通过所述驱动控制单元与所述存储电容的第二端连接；

所述驱动薄膜晶体管的漏极，通过所述第一开关元件与驱动电源连接；

所述存储电容 Cs 的第二端，还通过所述充电控制单元与所述驱动电源连接；

所述驱动控制单元，还分别与所述驱动电源和所述 OLED 连接；

所述充电控制单元，还分别与数据线和所述 OLED 连接；

所述驱动薄膜晶体管是 n 型薄膜晶体管；

所述驱动薄膜晶体管的源极与所述 OLED 的阳极连接；

所述驱动薄膜晶体管的漏极通过所述第一开关元件与驱动电源的高电平输出端连接；

所述存储电容的第二端通过所述充电控制单元与所述驱动电源的高电平输出端连接；

所述第一开关元件为第一薄膜晶体管，所述充电控制单元包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管，所述驱动控制单元包括第五薄膜晶体管和第六薄膜晶体

管；

所述第一薄膜晶体管，栅极与第一控制线连接，漏极与所述驱动薄膜晶体管的漏极连接，源极与驱动电源的高电平输出端连接；

所述第二薄膜晶体管，栅极与第一控制线连接，源极与所述驱动电源的低电平输出端连接，漏极与所述存储电容的第二端连接；

所述第三薄膜晶体管，栅极与第一控制线连接，漏极与所述驱动薄膜晶体管的漏极连接，源极与所述驱动薄膜晶体管的栅极连接；

所述第四薄膜晶体管，栅极与第一控制线连接，源极与数据线连接，漏极与所述 OLED 的阴极连接；

所述第五薄膜晶体管，栅极与第二控制线连接，源极与所述存储电容的第二端连接，漏极与所述驱动薄膜晶体管的源极连接；

所述第六薄膜晶体管，栅极与第二控制线连接，源极与所述 OLED 的阴极连接，漏极与所述驱动电源的低电平输出端连接；

所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管为 n 型薄膜晶体管，所述第一薄膜晶体管、第五薄膜晶体管和所述第六薄膜晶体管为 p 型薄膜晶体管。

5. 一种像素单元驱动方法，其应用于如权利要求 1 所述的像素单元驱动电路，其特征在于，所述像素单元驱动方法包括以下步骤：

像素充电步骤：充电控制单元首先控制驱动薄膜晶体管开启，并控制对存储电容进行充电，直至驱动薄膜晶体管的栅极电位升高至使得所述驱动薄膜晶体管关闭；

驱动 OLED 发光显示步骤：驱动控制单元控制所述驱动薄膜晶体管导通并且其栅极处于悬空状态，以驱动 OLED 发光显示并使得所述驱动薄膜晶体管的栅源电压补偿所述驱动薄膜晶体管的阈值电压。

6. 一种像素单元，其特征在于，包括 OLED 和如权利要求 1 或 2 所述的像素单元驱动电路；

所述像素单元驱动电路包括的驱动薄膜晶体管的源极与所述 OLED 的阴极连接，所述 OLED 的阳极通过所述驱动控制单元与驱动电源的高电平输出端连接，所述驱动薄膜晶体管的漏极通过所述充电控制单元与所述驱动电源的低电平输出端连接。

7. 一种像素单元，其特征在于，包括 OLED 和如权利要求 3 或 4 所述的像素单元驱动电路；

所述像素单元驱动电路包括的驱动薄膜晶体管的源极与所述 OLED 的阳极连接，所述 OLED 的阴极通过所述充电控制单元与驱动电源的低电平输出端连接，所述驱动薄膜晶体管的漏极通过所述驱动控制单元与所述驱动电源的高电平输出端连接。

像素单元驱动电路、像素单元驱动方法以及像素单元

技术领域

[0001] 本发明涉及有机发光显示领域,尤其涉及一种像素单元驱动电路、像素单元驱动方法以及像素单元。

背景技术

[0002] AMOLED(Active Matrix Organic Light Emitting Diode,有源矩阵有机发光二极管)能够发光是由驱动 TFT 在饱和状态时产生的电流所驱动,因为输入相同的灰阶电压时,不同的临界电压会产生不同的驱动电流,造成电流的不一致性。LTPS(低温多晶硅)制程上 V_{th} (晶体管阈值电压)的均匀性非常差,同时 V_{th} 也有漂移,如此传统的 2T1C 电路亮度均匀性一直很差。

[0003] 传统的 2T1C 像素单元驱动电路如图 1 所示,电路只含有两个 TFT, T1 用作开关, DTFT 用于像素驱动。传统的 2T1C 像素单元驱动电路操作也比较简单,对该 2T1C 像素单元驱动电路的控制时序图如图 2 所示,当扫描线 Scan 输出的扫描电平 V_{scan} 为低时, T1 打开,数据线 Data 上的灰阶电压对电容 C 充电,当扫描电平为高时, T1 关闭,电容 C 用来保存灰阶电压。由于 VDD(驱动电源高电平输出端输出的电压)较高,因此 DTFT 处于饱和状态, OLED 的驱动电流 $I = K(V_{sg} - |V_{th}|)^2 = K(VDD - V_{data} - |V_{th}|)^2$, V_{sg} 是 DTFT 的源极和栅极之间的电压差值, V_{data} 为数据线 Data 上的灰阶电压, K 是一个与晶体管尺寸和载流子迁移率有关的常数,一旦 TFT 尺寸和工艺确定, K 确定。该 2T1C 像素单元驱动电路的驱动电流公式中包含了 V_{th} ,如前所述,由于 LTPS 工艺的不成熟,即便是同样的工艺参数,制作出来的面板不同位置的 TFT 的 V_{th} 也有较大差异,导致了同一灰阶电压下 OLED 的驱动电流不一样,因此该驱动方案下的面板不同位置亮度会有差异,亮度均一性差。同时随着 OLED 面板使用的延长, OLED 材料逐渐老化,导致 OLED 发光的临界电压上升,同样的电流下, OLED 材料发光效率下降,面板亮度降低。

发明内容

[0004] 本发明的主要目的在于提供一种像素单元驱动电路、像素单元驱动方法以及像素单元,可以补偿驱动薄膜晶体管的临界电压,同时补偿 OLED 材料老化临界电压上升导致的驱动电流下降。

[0005] 为了达到上述目的,本发明提供了一种像素单元驱动电路,用于驱动 OLED,包括驱动薄膜晶体管、第一开关元件、存储电容、驱动控制单元和充电控制单元,其中,

[0006] 所述驱动薄膜晶体管的栅极,与所述存储电容的第一端连接,还通过所述充电控制单元与所述驱动薄膜晶体管的漏极连接;

[0007] 所述驱动薄膜晶体管的源极,与所述 OLED 连接,并通过所述驱动控制单元与所述存储电容的第二端连接;

[0008] 所述驱动薄膜晶体管的漏极,通过所述第一开关元件与驱动电源连接;

[0009] 所述存储电容 C_s 的第二端,还通过所述充电控制单元与所述驱动电源连接;

- [0010] 所述驱动控制单元,还分别与所述驱动电源和所述 OLED 连接;
- [0011] 所述充电控制单元,还分别与数据线和所述 OLED 连接。
- [0012] 实施时,所述驱动薄膜晶体管是 p 型薄膜晶体管;
- [0013] 所述驱动薄膜晶体管的源极与所述 OLED 的阴极连接;
- [0014] 所述驱动薄膜晶体管的漏极通过所述第一开关元件与驱动电源的低电平输出端连接;
- [0015] 所述存储电容的第二端通过所述充电控制单元与所述驱动电源的低电平输出端连接。
- [0016] 实施时,所述第一开关元件为第一薄膜晶体管,所述驱动控制单元包括第二薄膜晶体管和第三薄膜晶体管,所述充电控制单元包括第四薄膜晶体管、第五薄膜晶体管和第六薄膜晶体管;
- [0017] 所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动电源的低电平输出端连接,源极与所述驱动薄膜晶体管的漏极连接;
- [0018] 所述第二薄膜晶体管,栅极与第二控制线连接,源极与所述驱动电源的高电平输出端连接,漏极与所述 OLED 的阳极连接;
- [0019] 所述第三薄膜晶体管,栅极与第二控制线连接,源极与所述驱动薄膜晶体管的源极连接,漏极与所述存储电容的第二端连接;
- [0020] 所述第四薄膜晶体管,栅极与第一控制线连接,漏极与所述存储电容的第一端连接,源极与所述驱动薄膜晶体管的漏极连接;
- [0021] 所述第五薄膜晶体管,栅极与第一控制线连接,源极与所述驱动电源的低电平输出端连接,漏极与所述存储电容的第二端连接;
- [0022] 所述第六薄膜晶体管,栅极与第一控制线连接,源极与所述 OLED 的阳极连接,漏极与数据线连接;
- [0023] 所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管都是 p 型薄膜晶体管,所述第四开关元件、所述第五薄膜晶体管和所述第六薄膜晶体管是 n 型薄膜晶体管。
- [0024] 实施时,所述第一开关元件为第一薄膜晶体管,所述驱动控制单元包括第二薄膜晶体管和第三薄膜晶体管,所述充电控制单元包括第四薄膜晶体管、第五薄膜晶体管和第六薄膜晶体管;
- [0025] 所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动电源的低电平输出端连接,源极与所述驱动薄膜晶体管的漏极连接;
- [0026] 所述第二薄膜晶体管,栅极与第二控制线连接,源极与所述驱动电源的高电平输出端连接,漏极与所述 OLED 的阳极连接;
- [0027] 所述第三薄膜晶体管,栅极与第二控制线连接,源极与所述驱动薄膜晶体管的源极连接,漏极与所述存储电容的第二端连接;
- [0028] 所述第四薄膜晶体管,栅极与第一控制线连接,漏极与所述存储电容的第一端连接,源极与所述驱动薄膜晶体管的漏极连接;
- [0029] 所述第五薄膜晶体管,栅极与第一控制线连接,源极与所述存储电容的第二端连接,漏极与驱动电源的高电平输出端连接;

[0030] 所述第六薄膜晶体管,栅极与第一控制线连接,源极与所述 OLED 的阳极连接,漏极与数据线连接;

[0031] 所述第一薄膜晶体管、所述第二薄膜晶体管和所述第三薄膜晶体管都是 p 型薄膜晶体管,所述第四开关元件、所述第五薄膜晶体管和所述第六薄膜晶体管是 n 型薄膜晶体管。

[0032] 实施时,所述驱动薄膜晶体管是 n 型薄膜晶体管;

[0033] 所述驱动薄膜晶体管的源极与所述 OLED 的阳极连接;

[0034] 所述驱动薄膜晶体管的漏极通过所述第一开关元件与驱动电源的高电平输出端连接;

[0035] 所述存储电容的第二端通过所述充电控制单元与所述驱动电源的高电平输出端连接。

[0036] 实施时,所述第一开关元件为第一薄膜晶体管,所述充电控制单元包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管,所述驱动控制单元包括第五薄膜晶体管和第六薄膜晶体管;

[0037] 所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动薄膜晶体管的漏极连接,源极与驱动电源的高电平输出端连接;

[0038] 所述第二薄膜晶体管,栅极与第一控制线连接,源极与所述存储电容的第二端连接,漏极与所述驱动电源的高电平输出端连接;

[0039] 所述第三薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动薄膜晶体管的漏极连接,源极与所述驱动薄膜晶体管的栅极连接;

[0040] 所述第四薄膜晶体管,栅极与第一控制线连接,源极与数据线连接,漏极与所述 OLED 的阴极连接;

[0041] 所述第五薄膜晶体管,栅极与第二控制线连接,源极与所述存储电容的第二端连接,漏极与所述驱动薄膜晶体管的源极连接;

[0042] 所述第六薄膜晶体管,栅极与第二控制线连接,源极与所述 OLED 的阴极连接,漏极与所述驱动电源的低电平输出端连接;

[0043] 所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管为 n 型薄膜晶体管,所述第一薄膜晶体管、第五薄膜晶体管和所述第六薄膜晶体管为 p 型薄膜晶体管。

[0044] 实施时,所述第一开关元件为第一薄膜晶体管,所述充电控制单元包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管,所述驱动控制单元包括第五薄膜晶体管和第六薄膜晶体管;

[0045] 所述第一薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动薄膜晶体管的漏极连接,源极与驱动电源的高电平输出端连接;

[0046] 所述第二薄膜晶体管,栅极与第一控制线连接,源极与所述驱动电源的低电平输出端连接,漏极与所述存储电容的第二端连接;

[0047] 所述第三薄膜晶体管,栅极与第一控制线连接,漏极与所述驱动薄膜晶体管的漏极连接,源极与所述驱动薄膜晶体管的栅极连接;

[0048] 所述第四薄膜晶体管,栅极与第一控制线连接,源极与数据线连接,漏极与所述 OLED 的阴极连接;

[0049] 所述第五薄膜晶体管,栅极与第二控制线连接,源极与所述存储电容的第二端连接,漏极与所述驱动薄膜晶体管的源极连接;

[0050] 所述第六薄膜晶体管,栅极与第二控制线连接,源极与所述 OLED 的阴极连接,漏极与所述驱动电源的低电平输出端连接;

[0051] 所述第二薄膜晶体管、所述第三薄膜晶体管和所述第四薄膜晶体管为 n 型薄膜晶体管,所述第一薄膜晶体管、第五薄膜晶体管和所述第六薄膜晶体管为 p 型薄膜晶体管。

[0052] 本发明还提供了一种像素单元驱动方法,其应用于上述的像素单元驱动电路,所述像素单元驱动方法包括以下步骤:

[0053] 像素充电步骤:充电控制单元首先控制驱动薄膜晶体管开启,并控制对存储电容进行充电,直至驱动薄膜晶体管的栅极电位升高至使得所述驱动薄膜晶体管关闭;

[0054] 驱动 OLED 发光显示步骤:驱动控制单元控制所述驱动薄膜晶体管导通并且其栅极处于悬空状态,以驱动 OLED 发光显示并使得所述驱动薄膜晶体管的栅源电压补偿所述驱动薄膜晶体管的阈值电压。

[0055] 本发明还提供了一种像素单元,包括 OLED 和上述的像素单元驱动电路;

[0056] 所述像素单元驱动电路包括的驱动薄膜晶体管的源极与所述 OLED 的阴极连接,所述 OLED 的阳极通过所述驱动控制单元与驱动电源的高电平输出端连接,所述驱动薄膜晶体管的漏极通过所述充电控制单元与所述驱动电源的低电平输出端连接。

[0057] 本发明还提供了一种像素单元,包括 OLED 和上述的像素单元驱动电路;

[0058] 所述像素单元驱动电路包括的驱动薄膜晶体管的源极与所述 OLED 的阳极连接,所述 OLED 的阴极通过所述充电控制单元与驱动电源的低电平输出端连接,所述驱动薄膜晶体管的漏极通过所述驱动控制单元与所述驱动电源的高电平输出端连接。

[0059] 与现有技术相比,本发明所述的像素单元驱动电路、像素单元驱动方法以及像素单元,通过数据电压 V_{data} 从 DTFT 的源极输入,利用 DTFT 的二极体连接自放电将 V_{th} (DTFT 的阈值电压), V_{data} (数据电压), V_{th_oled} (OLED 的发光临界电压) 存入存储电容 C_s 中,补偿驱动薄膜晶体管的临界电压,同时利用电压回授机制补偿 OLED 材料老化临界电压上升导致的驱动电流下降。

附图说明

[0060] 图 1 是传统的 2T1C 像素单元驱动电路的电路图;

[0061] 图 2 是对该传统的 2T1C 像素单元驱动电路的控制时序图;

[0062] 图 3 是本发明第一实施例所述的像素单元驱动电路的电路图;

[0063] 图 4 是本发明第二实施例所述的像素单元驱动电路的电路图;

[0064] 图 5 是本发明第三实施例所述的像素单元驱动电路的电路图;

[0065] 图 6 是本发明第四实施例所述的像素单元驱动电路的电路图;

[0066] 图 7 是本发明第五实施例所述的像素单元驱动电路的电路图;

[0067] 图 8 是本发明第六实施例所述的像素单元驱动电路的电路图;

[0068] 图 9 是本发明第二实施例所述的像素单元驱动电路工作时各信号的时序图;

[0069] 图 10A 是本发明第二实施例所述的像素单元驱动电路在第一时间段的等效电路图;

- [0070] 图 10B 是本发明第二实施例所述的像素单元驱动电路在第二时间段的等效电路图；
- [0071] 图 10C 是本发明第二实施例所述的像素单元驱动电路在第三时间段的等效电路图；
- [0072] 图 11A 是本发明第三实施例所述的像素单元驱动电路在第一时间段的等效电路图；
- [0073] 图 11B 是本发明第三实施例所述的像素单元驱动电路在第二时间段的等效电路图；
- [0074] 图 11C 是本发明第三实施例所述的像素单元驱动电路在第三时间段的等效电路图；
- [0075] 图 12 是本发明第五实施例所述的像素单元驱动电路和第六实施例所述的像素单元驱动电路工作时各信号的时序图。

具体实施方式

[0076] 如图 3 所示,本发明第一实施例所述的像素单元驱动电路,用于驱动 OLED,包括驱动薄膜晶体管 DTFT、第一开关元件 10、存储电容 Cs、驱动控制单元 11 和充电控制单元 12,其中,

[0077] 所述驱动薄膜晶体管 DTFT 的栅极,与所述存储电容 Cs 的第一端连接,还通过所述充电控制单元 12 与所述驱动薄膜晶体管 DTFT 的漏极连接；

[0078] 所述驱动薄膜晶体管 DTFT 的源极,与所述 OLED 的阴极连接,并通过所述驱动控制单元 11 与所述存储电容 Cs 的第二端连接；

[0079] 所述驱动薄膜晶体管 DTFT 的漏极,通过所述第一开关元件 10 与驱动电源的低电平输出端连接；

[0080] 所述存储电容 Cs 的第二端,通过所述充电控制单元 12 与所述驱动电源的低电平输出端连接；

[0081] 所述 OLED 的阳极,通过所述驱动控制单元 11 与所述驱动电源的高电平输出端连接,还通过所述充电控制单元 12 与数据线连接；

[0082] 所述驱动薄膜晶体管 DTFT 是 p 型薄膜晶体管；

[0083] 所述数据线输出数据电压 Vdata；

[0084] 所述驱动电源的高电平输出端的输出电压为 VDD,所述驱动电源的低电平输出端的输出电压为 VSS；

[0085] P 点是与所述存储电容 Cs 的第二端连接的节点,G 点是与所述存储电容 Cs 的第一端连接的节点。

[0086] 本发明第一实施例所述的像素单元驱动电路在工作时：

[0087] 在第一时间段,即开始阶段,所述充电控制单元 12 导通 DTFT 的栅极与漏极之间的连接,导通 Cs 的第二端与驱动电源的低电平输出端之间的连接,并导通 OLED 的阳极与数据线之间的连接；如果此前一阶段驱动管 DTFT 为关闭状态,则 G 点（即与 DTFT 的栅极连接的节点）处于悬空状态,而所述充电控制单元 12 的导通,将会使悬空的 G 点电位严重下拉,使得 DTFT 开启,如果 DTFT 此前一阶段本身开启,则会进入本阶段的工作状态,DTFT 处于二极

体连接状态,数据线通过 OLED、DTFT 和所述充电控制单元 12 对存储电容 Cs 充电,使得 G 点的电位逐渐升高,直到 G 点电位 $V_g = V_{data} - V_{th_oled} - |V_{th}|$,则 DTFT 关闭,P 点(即与所述存储电容的第二端连接的节点)电位 $V_p = V_{SS}$,存储电容 Cs 两端的电压差 $V_c = V_g - V_p = V_{data} - V_{th_oled} - |V_{th}| - V_{SS}$,其中, V_{th_oled} 是 OLED 发光的临界跨压, V_{th} 是 DTFT 的阈值电压;

[0088] 在第二时间段,即缓冲阶段,所述第一开关元件 10 导通 DTFT 的漏极与驱动电源的低电平输出端之间的连接,DTFT 也关闭,处于工作停止状态,以避免因为开关的切换产生不必要的杂讯,P 点和 G 点处于悬空状态,存储电容 Cs 两端的电压 V_c 依然不变, $V_c = V_g - V_p = V_{data} - V_{th_oled} - |V_{th}| - V_{SS}$;

[0089] 在第三时间段,所述第一开关元件 10 导通 DTFT 的漏极与驱动电源的低电平输出端之间的连接,所述驱动控制单元 11 导通 DTFT 的源极与 Cs 的第二端之间的连接并导通所述 OLED 的阳极与所述驱动电源的高电平输出端之间的连接;由于 P 点电位由 V_{SS} 跳变至 $V_{DD} - V_{oled}$ (V_{oled} 为此灰阶下 OLED 的工作电压,与 V_{th_oled} 并不一致),而 DTFT 的栅极处于悬空状态,因此 V_g 的电压跳变为 $V_{data} - V_{th_oled} - |V_{th}| - V_{SS} + V_{DD} - V_{oled}$,此时 DTFT 的源极和栅极之间的电压差值 $V_{sg} = V_{DD} - V_{oled} - V_g = V_{DD} - V_{oled} - (V_{data} - V_{th_oled} - |V_{th}| - V_{SS} + V_{DD} - V_{oled}) = V_{SS} + V_{th_oled} + |V_{th}| - V_{data}$;DTFT 工作,流过 DTFT 的电流 $I = K(V_{sg} - |V_{th}|)^2 = K(V_{SS} + V_{th_oled} + |V_{th}| - V_{data} - |V_{th}|)^2 = K(V_{SS} + V_{th_oled} - V_{data})^2$,OLED 开始发光,直到下一帧;其中,K 为 DTFT 的电流系数;

[0090] $K = C_{ox} \times \mu \times \frac{W}{L}$;

[0091] μ 、 C_{ox} 、 W 、 L 分别为 DTFT 的场效应迁移率,栅绝缘层单位面积电容、沟道宽度、长度;

[0092] 可以发现流过 DTFT 的电流 I 和 DTFT 的阈值电压 V_{th} 没有关系了,如此可以改善电流的均匀性,达到亮度的均匀;而同时流过 DTFT 的电流 I 的计算公式中包含了 V_{th_oled} ,随着使用时间的延长,OLED 材料老化发光效率下降, V_{th_oled} 会上升,而 V_{th_oled} 的上升使工作电流相应增大,如此改善了材料老化导致的面板亮度降低。

[0093] 如图 4 所示,本发明第二实施例所述的像素单元驱动电路基于本发明第一实施例所述的像素单元驱动电路;在本发明第二实施例所述的像素单元驱动电路中,所述第一开关元件 10 为第一薄膜晶体管 T1,所述驱动控制单元 11 包括第二薄膜晶体管 T2 和第三薄膜晶体管 T3,所述充电控制单元 12 包括第四薄膜晶体管 T4、第五薄膜晶体管 T5 和第六薄膜晶体管 T6;

[0094] 所述第一薄膜晶体管 T1,栅极与输出第一控制信号 S1 的第一控制线连接,漏极与所述驱动电源的低电平输出端连接,源极与所述驱动薄膜晶体管 DTFT 的漏极连接;

[0095] 所述第二薄膜晶体管 T2,栅极与输出第二控制信号 S2 的第二控制线连接,源极与所述驱动电源的高电平输出端连接,漏极与所述 OLED 的阳极连接;

[0096] 所述第三薄膜晶体管 T3,栅极与第二控制线连接,源极与所述驱动薄膜晶体管 DTFT 的源极连接,漏极与所述存储电容 Cs 的第二端连接;

[0097] 所述第四薄膜晶体管 T4,栅极与第一控制线连接,漏极与所述存储电容 Cs 的第一端连接,源极与所述驱动薄膜晶体管 DTFT 的漏极连接;

[0098] 所述第五薄膜晶体管 T5, 栅极与第一控制线连接, 源极与所述驱动电源的低电平输出端连接, 漏极与所述存储电容 Cs 的第二端连接;

[0099] 所述第六薄膜晶体管 T6, 栅极与第一控制线连接, 源极与所述 OLED 的阳极连接, 漏极与数据线连接;

[0100] 所述第一薄膜晶体管 T1、所述第二薄膜晶体管 T2 和所述第三薄膜晶体管 T3 都是 p 型薄膜晶体管, 所述第四开关元件 T4、所述第五薄膜晶体管 T5 和所述第六薄膜晶体管 T6 是 n 型薄膜晶体管;

[0101] 所述驱动电源的高电平输出端的输出电压为 VDD, 所述驱动电源的低电平输出端的输出电压为 VSS;

[0102] P 点是与所述存储电容 Cs 的第二端连接的节点, G 点是与所述存储电容 Cs 的第一端连接的节点。

[0103] 如图 5 所示, 本发明第三实施例所述的像素单元驱动电路基于本发明第一实施例所述的像素单元驱动电路; 在本发明第三实施例所述的像素单元驱动电路中, 所述第一开关元件 10 为第一薄膜晶体管 T1, 所述驱动控制单元 11 包括第二薄膜晶体管 T2 和第三薄膜晶体管 T3, 所述充电控制单元 12 包括第四薄膜晶体管 T4、第五薄膜晶体管 T5 和第六薄膜晶体管 T6;

[0104] 所述第一薄膜晶体管 T1, 栅极与输出第一控制信号 S1 的第一控制线连接, 漏极与所述驱动电源的低电平输出端连接, 源极与所述驱动薄膜晶体管 DTFT 的漏极连接;

[0105] 所述第二薄膜晶体管 T2, 栅极与输出第二控制信号 S2 的第二控制线连接, 源极与所述驱动电源的高电平输出端连接, 漏极与所述 OLED 的阳极连接;

[0106] 所述第三薄膜晶体管 T3, 栅极与第二控制线连接, 源极与所述驱动薄膜晶体管 DTFT 的源极连接, 漏极与所述存储电容 Cs 的第二端连接;

[0107] 所述第四薄膜晶体管 T4, 栅极与第一控制线连接, 漏极与所述存储电容 Cs 的第一端连接, 源极与所述驱动薄膜晶体管 DTFT 的漏极连接;

[0108] 所述第五薄膜晶体管 T5, 栅极与第一控制线连接, 源极与所述存储电容 Cs 的第二端连接, 漏极与驱动电源的高电平输出端连接;

[0109] 所述第六薄膜晶体管 T6, 栅极与第一控制线连接, 源极与所述 OLED 的阳极连接, 漏极与数据线连接;

[0110] 所述第一薄膜晶体管 T1、所述第二薄膜晶体管 T2 和所述第三薄膜晶体管 T3 都是 p 型薄膜晶体管, 所述第四开关元件 T4、所述第五薄膜晶体管 T5 和所述第六薄膜晶体管 T6 是 n 型薄膜晶体管;

[0111] 所述驱动电源的高电平输出端的输出电压为 VDD, 所述驱动电源的低电平输出端的输出电压为 VSS;

[0112] P 点是与所述存储电容 Cs 的第二端连接的节点, G 点是与所述存储电容 Cs 的第一端连接的节点。

[0113] 如图 6 所示, 本发明第四实施例所述的像素单元驱动电路, 用于驱动 OLED, 包括驱动薄膜晶体管 DTFT、第一开关元件 20、存储电容 Cs、驱动控制单元 21 和充电控制单元 22, 其中,

[0114] 所述驱动薄膜晶体管 DTFT 的栅极, 与所述存储电容 Cs 的第一端连接, 还通过所述

充电控制单元 22 与所述驱动薄膜晶体管 DTFT 的漏极连接；

[0115] 所述驱动薄膜晶体管 DTFT 的源极，与所述 OLED 的阳极连接，并通过所述驱动控制单元 21 与所述存储电容 Cs 的第二端连接；

[0116] 所述驱动薄膜晶体管 DTFT 的漏极，通过所述第一开关元件 20 与驱动电源的高电平输出端连接；

[0117] 所述存储电容 Cs 的第二端，通过所述充电控制单元 22 与所述驱动电源的高电平输出端连接；

[0118] 所述 OLED 的阴极，通过所述充电控制单元 22 与数据线连接，还通过所述驱动控制单元 21 与所述驱动电源的低电平输出端连接；

[0119] 所述驱动薄膜晶体管 DTFT 是 n 型薄膜晶体管；

[0120] 所述数据线输出数据电压 Vdata；

[0121] 所述驱动电源的高电平输出端的输出电压为 VDD，所述驱动电源的低电平输出端的输出电压为 VSS。

[0122] 如图 7 所示，本发明第五实施例所述的像素单元驱动电路基于本发明第四实施例所述的像素单元驱动电路；在本发明第五实施例所述的像素单元驱动电路中，所述第一开关元件 20 为第一薄膜晶体管 T1，所述充电控制单元 22 包括第二薄膜晶体管 T2、第三薄膜晶体管 T3 和第四薄膜晶体管 T4，所述驱动控制单元 21 包括第五薄膜晶体管 T5 和第六薄膜晶体管 T6；

[0123] 所述第一薄膜晶体管 T1，栅极与第一控制线连接，漏极与所述驱动薄膜晶体管 DTFT 的漏极连接，源极与驱动电源的高电平输出端连接；

[0124] 所述第二薄膜晶体管 T2，栅极与第一控制线连接，源极与所述存储电容 Cs 的第二端连接，漏极与所述驱动电源的高电平输出端连接；

[0125] 所述第三薄膜晶体管 T3，栅极与第一控制线连接，漏极与所述驱动薄膜晶体管 DTFT 的漏极连接，源极与所述驱动薄膜晶体管 DTFT 的栅极连接；

[0126] 所述第四薄膜晶体管 T4，栅极与第一控制线连接，源极与数据线连接，漏极与所述 OLED 的阴极连接；

[0127] 所述第五薄膜晶体管 T5，栅极与第二控制线连接，源极与所述存储电容的第二端连接，漏极与所述驱动薄膜晶体管 DTFT 的源极连接；

[0128] 所述第六薄膜晶体管 T6，栅极与第二控制线连接，源极与所述 OLED 的阴极连接，漏极与所述驱动电源的低电平输出端连接；

[0129] 所述第二薄膜晶体管 T2、所述第三薄膜晶体管 T3 和所述第四薄膜晶体管 T4 为 n 型薄膜晶体管，所述第一薄膜晶体管 T1、第五薄膜晶体管 T5 和所述第六薄膜晶体管 T6 为 p 型薄膜晶体管；

[0130] 所述驱动电源的高电平输出端的输出电压为 VDD，所述驱动电源的低电平输出端的输出电压为 VSS；

[0131] P 点是与所述存储电容 Cs 的第二端连接的节点，G 点是与所述存储电容 Cs 的第一端连接的节点。

[0132] 如图 8 所示，本发明第六实施例所述的像素单元驱动电路基于本发明第四实施例所述的像素单元驱动电路；在本发明第六实施例所述的像素单元驱动电路中，所述第一开

关元件 20 为第一薄膜晶体管 T1, 所述充电控制单元 22 包括第二薄膜晶体管 T2、第三薄膜晶体管 T3 和第四薄膜晶体管 T4, 所述驱动控制单元 21 包括第五薄膜晶体管 T5 和第六薄膜晶体管 T6 ;

[0133] 所述第一薄膜晶体管 T1, 栅极与第一控制线连接, 漏极与所述驱动薄膜晶体管 DTFT 的漏极连接, 源极与驱动电源的高电平输出端连接 ;

[0134] 所述第二薄膜晶体管 T2, 栅极与第一控制线连接, 源极与所述驱动电源的低电平输出端连接, 漏极与所述存储电容 Cs 的第二端连接 ;

[0135] 所述第三薄膜晶体管 T3, 栅极与第一控制线连接, 漏极与所述驱动薄膜晶体管 DTFT 的漏极连接, 源极与所述驱动薄膜晶体管 DTFT 的栅极连接 ;

[0136] 所述第四薄膜晶体管 T4, 栅极与第一控制线连接, 源极与数据线连接, 漏极与所述 OLED 的阴极连接 ;

[0137] 所述第五薄膜晶体管 T5, 栅极与第二控制线连接, 源极与所述存储电容的第二端连接, 漏极与所述驱动薄膜晶体管 DTFT 的源极连接 ;

[0138] 所述第六薄膜晶体管 T6, 栅极与第二控制线连接, 源极与所述 OLED 的阴极连接, 漏极与所述驱动电源的低电平输出端连接 ;

[0139] 所述第二薄膜晶体管 T2、所述第三薄膜晶体管 T3 和所述第四薄膜晶体管 T4 为 n 型薄膜晶体管, 所述第一薄膜晶体管 T1、第五薄膜晶体管 T5 和所述第六薄膜晶体管 T6 为 p 型薄膜晶体管 ;

[0140] 所述驱动电源的高电平输出端的输出电压为 VDD, 所述驱动电源的低电平输出端的输出电压为 VSS ;

[0141] P 点是与所述存储电容 Cs 的第二端连接的节点, G 点是与所述存储电容 Cs 的第一端连接的节点。

[0142] 下面结合如图 4 所示的本发明第二实施例所述的像素单元驱动电路对其工作过程进行介绍 :

[0143] 如图 9 所示, 该第二实施例所述的像素单元驱动电路工作时, 第一控制信号 S1、第二控制信号 S2 和所述数据线的输出信号 Vdata 的时序图 ;

[0144] 图 10A 是该第二实施例所述的像素单元驱动电路在第一时间段的等效电路图 ;

[0145] 图 10B 是该第二实施例所述的像素单元驱动电路在第二时间段的等效电路图 ;

[0146] 图 10C 是该第二实施例所述的像素单元驱动电路在第三时间段的等效电路图 ;

[0147] 如图 10A 所示, 在第一时间段, 即开始阶段, T1、T2、T3 均关闭, T4、T5、T6 为开启, 如果此前一阶段驱动管 DTFT 为关闭状态, 则 G 点 (即与 DTFT 的栅极连接的节点) 处于悬空状态, 而 T5 的开启, 将会使悬空的 G 点电位严重下拉, 使得 DTFT 开启, 如果 DTFT 此前一阶段本身开启, 则会进入本阶段的工作状态, 由于 T4 的打开, DTFT 处于二极管连接状态, 数据线通过 OLED、DTFT 和 T4 对存储电容 Cs 充电, 使得 G 点的电位逐渐升高, 直到 G 点电位 $V_g = V_{data} - V_{th_oled} - |V_{th}|$, 则 DTFT 关闭, P 点 (即与所述存储电容的第二端连接的节点) 电位 $V_p = V_{SS}$, 存储电容 Cs 两端的电压差为 $V_c = V_g - V_p = V_{data} - V_{th_oled} - |V_{th}| - V_{SS}$, 其中, V_{th_oled} 是 OLED 发光的临界跨压, V_{th} 是 DTFT 的阈值电压 ;

[0148] 如图 10B 所示, 在第二时间段, 即缓冲阶段, T1 开启, T2、T3、T4、T5、T6 关闭, DTFT 也关闭, 处于工作停止状态, 以避免因为开关的切换产生不必要的杂讯, P 点和 G 点处于悬

空状态,存储电容 C_s 两端的电压 V_c 依然不变, $V_c = V_g - V_p = V_{data} - V_{th_oled} - |V_{th}| - V_{SS}$;
 [0149] 如图 10C 所示,在第三时间段, T_4 、 T_5 、 T_6 关闭, T_1 、 T_2 、 T_3 开启,由于 P 点电位由 V_{SS} 跳变至 $V_{DD} - V_{oled}$ (V_{oled} 为此灰阶下 OLED 的工作电压,与 V_{th_oled} 并不一致),而 DTFT 的栅极处于悬空状态,因此 V_g 的电压跳变为 $V_{data} - V_{th_oled} - |V_{th}| - V_{SS} + V_{DD} - V_{oled}$,此时 DTFT 的源极和栅极之间的电压差值 $V_{sg} = V_{DD} - V_{oled} - V_g = V_{DD} - V_{oled} - (V_{data} - V_{th_oled} - |V_{th}| - V_{SS} + V_{DD} - V_{oled}) = V_{SS} + V_{th_oled} + |V_{th}| - V_{data}$;DTFT 工作,流过 DTFT 的电流 $I = K(V_{sg} - |V_{th}|)^2 = K(V_{SS} + V_{th_oled} + |V_{th}| - V_{data} - |V_{th}|)^2 = K(V_{SS} + V_{th_oled} - V_{data})^2$,OLED 开始发光,直到下一帧;其中, K 为 DTFT 的电流系数;

$$[0150] \quad K = C_{ox} \times \mu \times \frac{W}{L};$$

[0151] μ 、 C_{ox} 、 W 、 L 分别为 DTFT 的场效应迁移率,栅绝缘层单位面积电容、沟道宽度、长度;

[0152] 可以发现流过 DTFT 的电流 I 和 DTFT 的阈值电压 V_{th} 没有关系了,如此可以改善电流的均匀性,达到亮度的均匀;而同时流过 DTFT 的电流 I 的计算公式中包含了 V_{th_oled} ,随着使用时间的延长, OLED 材料老化发光效率下降, V_{th_oled} 会上升,而 V_{th_oled} 的上升使工作电流相应增大,如此改善了材料老化导致的面板亮度降低。

[0153] 图 11A 是该第三实施例所述的像素单元驱动电路在第一时间段的等效电路图;

[0154] 图 11B 是该第三实施例所述的像素单元驱动电路在第二时间段的等效电路图;

[0155] 图 11C 是该第三实施例所述的像素单元驱动电路在第三时间段的等效电路图。

[0156] 在本发明第二实施例所述的像素单元驱动电路中, V_{data} 必须是绝对值较大的负电压才能使整个电路发光,否则 DTFT 无法开启,而在本发明第三实施例所述的像素单元驱动电路中则没有该限制, V_{data} 只需要较小的正电压就可以使 DTFT 开启并正常工作。本发明第二实施例所述的像素单元驱动电路的操作时序仍然适用于本发明第三实施例所述的像素单元驱动电路,电路的操作也是完全一样,只是本发明第三实施例所述的像素单元驱动电路在第三时间段时, P 点电位由 V_{DD} 跳变为 $V_{DD} - V_{oled}$ (V_{oled} 为此灰阶下 OLED 的工作电压,与 V_{th_oled} 并不一致),而 DTFT 的栅极处于悬空状态),因此 G 点电位 V_g 跳变为 $V_{data} - V_{th_oled} - |V_{th}| - V_{oled}$,从而 DTFT 的源极和栅极之间的电压差值 $V_{sg} = V_s - V_g = V_{DD} - V_{oled} - (V_{data} - V_{th_oled} - |V_{th}| - V_{oled}) = V_{DD} - V_{data} + V_{th_oled} + |V_{th}|$,流过 DTFT 的电流 $I = K(V_{sg} - |V_{th}|)^2 = I = K(V_{DD} - V_{data} + V_{th_oled})^2$; K 为 DTFT 的电流系数;

$$[0157] \quad K = C_{ox} \times \mu \times \frac{W}{L};$$

[0158] μ 、 C_{ox} 、 W 、 L 分别为 DTFT 的场效应迁移率,栅绝缘层单位面积电容、沟道宽度、长度。

[0159] 如图 12 所示,本发明第五实施例所述的像素单元驱动电路和本发明第六实施例所述的像素单元驱动电路在工作时,第一控制信号 S_1 、第二控制信号 S_2 和所述数据线的输出信号 V_{data} 的时序图。

[0160] 本发明第五实施例所述的像素单元驱动电路与本发明第二实施例所述的像素单元驱动电路相比,只是将 DTFT 变为 n 型薄膜晶体管,并将 OLED 的阳极移至阴极,电路的工作过程也是完全一样,但是底发光会有开口率的问题。

[0161] 在本发明第五实施例所述的像素单元驱动电路中, V_{data} 也必须为较大的正电

压才能将 DTFT 开启,而本发明第六实施例所述的像素单元驱动电路则克服了这个问题,在本发明第六实施例所述的像素单元驱动电路中, Vdata 只需要较小的正电压就可以将 DTFT 开启,使电路正常工作。

[0162] 本发明电路第五实施例所述的像素单元驱动电路的操作过程如下:

[0163] 在第一时间段, T2、T3、T4 开启, T1、T5、T6 关闭, $V_g = V_{data} + V_{th_oled} + V_{th}$;

[0164] 在第二时间段, T2、T3、T4、T5、T6 关闭, T1 开启, 电路缓冲;

[0165] 在第三时间段, T1、T5、T6 开启, T2、T3、T4 关闭, V_p 由 VDD 跳变为 $V_{SS} + V_{oled}$, V_g 跳变为 $V_{data} + V_{th_oled} + V_{th} + V_{SS} + V_{oled} - V_{DD}$, DTFT 的源极电位 $V_s = V_{SS} + V_{oled}$, 从而 DTFT 的源极和 DTFT 的栅极之间的电压差值 $V_{sg} = V_{data} + V_{th_oled} + V_{th} - V_{DD}$, 流过驱动薄膜晶体管 DTFT 的电流 $I = K(V_{sg} - |V_{th}|)^2 = K(V_{data} + V_{th_oled} - V_{DD})^2$; 其中, K 为 DTFT 的电流系数;

$$[0166] \quad K = C_{ox} \times \mu \times \frac{W}{L};$$

[0167] μ 、 C_{ox} 、W、L 分别为 DTFT 的场效应迁移率, 栅绝缘层单位面积电容、沟道宽度、长度。

[0168] 本发明电路第六实施例所述的像素单元驱动电路的操作过程如下:

[0169] 在第一时间段, T2、T3、T4 开启, T1、T5、T6 关闭, $V_g = V_{data} + V_{th_oled} + V_{th}$;

[0170] 在第二时间段, T2、T3、T4、T5、T6 关闭, T1 开启, 电路缓冲;

[0171] 在第三时间段, T1、T5、T6 开启, T2、T3、T4 关闭, V_p 由 VSS 跳变为 $V_{SS} + V_{oled}$, V_g 跳变为 $V_{data} + V_{th_oled} + V_{th} + V_{oled}$, $V_s = V_{SS} + V_{oled}$, $V_{gs} = V_{data} + V_{th_oled} + V_{th} - V_{SS}$, 流过 DTFT 的电流 $I = K(V_{gs} - |V_{th}|)^2 = K(V_{data} + V_{th_oled} - V_{SS})^2$; 其中, K 为 DTFT 的电流系数;

$$[0172] \quad K = C_{ox} \times \mu \times \frac{W}{L};$$

[0173] μ 、 C_{ox} 、W、L 分别为 DTFT 的场效应迁移率, 栅绝缘层单位面积电容、沟道宽度、长度。

[0174] 相比于本发明第二实施例所述的像素单元驱动电路、本发明第五实施例所述的像素单元驱动电路, 本发明第三实施例所述的像素单元驱动电路、本发明第六实施例所述的像素单元驱动电路降低了数据电压 Vdata 的电压值, 在降低了像素单元驱动电路功耗的同时, 也降低了像素单元驱动电路的复杂程度。

[0175] 本发明所述的像素单元驱动电路的最大特点是数据电压 Vdata 从 DTFT 的源极输入, 利用 DTFT 的二极体连接自放电将 V_{th} (DTFT 的阈值电压), V_{data} (数据电压), V_{th_oled} (OLED 的发光临界电压) 存入存储电容 C_s 中, 补偿 OLED 的驱动薄膜晶体管的临界电压, 同时利用电压回授机制补偿 OLED 材料老化临界电压上升导致的驱动电流下降。

[0176] 本发明还提供了一种像素单元驱动方法, 其应用于上述的像素单元驱动电路, 所述像素单元驱动方法包括以下步骤:

[0177] 像素充电步骤: 充电控制单元首先控制驱动薄膜晶体管开启, 并控制对存储电容进行充电, 直至驱动薄膜晶体管的栅极电位升高至使得所述驱动薄膜晶体管关闭;

[0178] 驱动 OLED 发光显示步骤: 驱动控制单元控制所述驱动薄膜晶体管导通并且其栅极处于悬空状态, 以驱动 OLED 发光显示并使得所述驱动薄膜晶体管的栅源电压补偿所述

驱动薄膜晶体管的阈值电压。

[0179] 本发明还提供了一种像素单元,包括 OLED 和该第一实施例、该第二实施例和该第三实施例所述的像素单元驱动电路;

[0180] 所述像素单元驱动电路包括的驱动薄膜晶体管的源极与所述 OLED 的阴极连接,所述 OLED 的阳极通过所述驱动控制单元与驱动电源的高电平输出端连接,所述驱动薄膜晶体管的漏极通过所述充电控制单元与所述驱动电源的低电平输出端连接。

[0181] 本发明还提供了一种像素单元,包括 OLED 和该第四实施例、该第五实施例和该第六实施例所述的像素单元驱动电路;

[0182] 所述像素单元驱动电路包括的驱动薄膜晶体管的源极与所述 OLED 的阳极连接,所述 OLED 的阴极通过所述充电控制单元与驱动电源的低电平输出端连接,所述驱动薄膜晶体管的漏极通过所述驱动控制单元与所述驱动电源的高电平输出端连接。

[0183] 以上说明对本发明而言只是说明性的,而非限制性的,本领域普通技术人员理解,在不脱离所附权利要求所限定的精神和范围的情况下,可做出许多修改、变化或等效,但都将落入本发明的保护范围内。

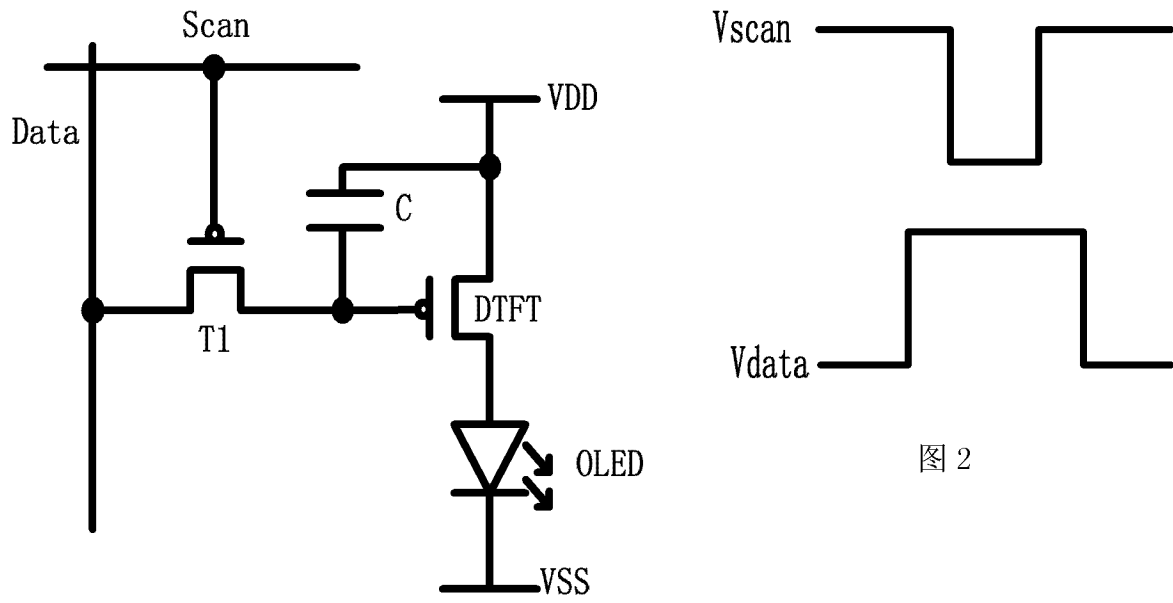


图 1

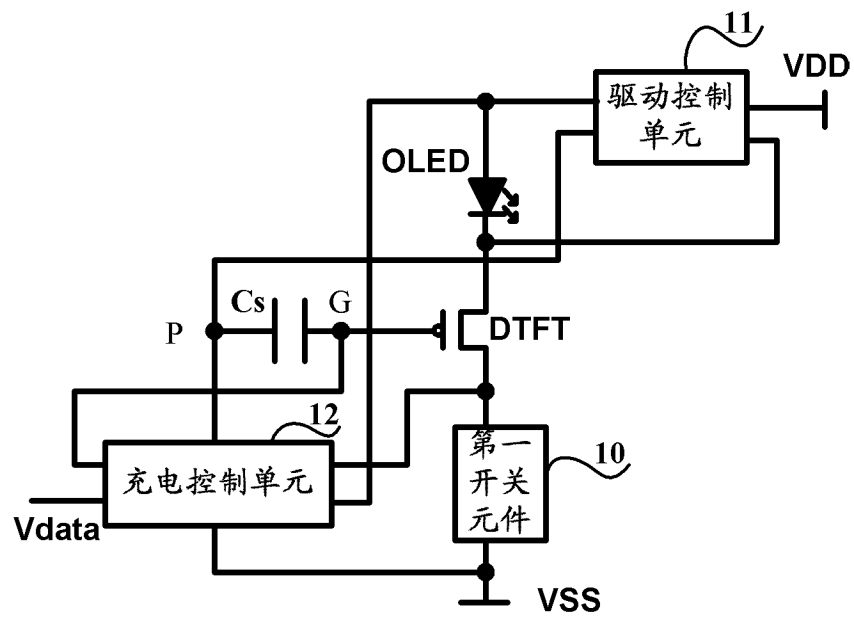


图 3

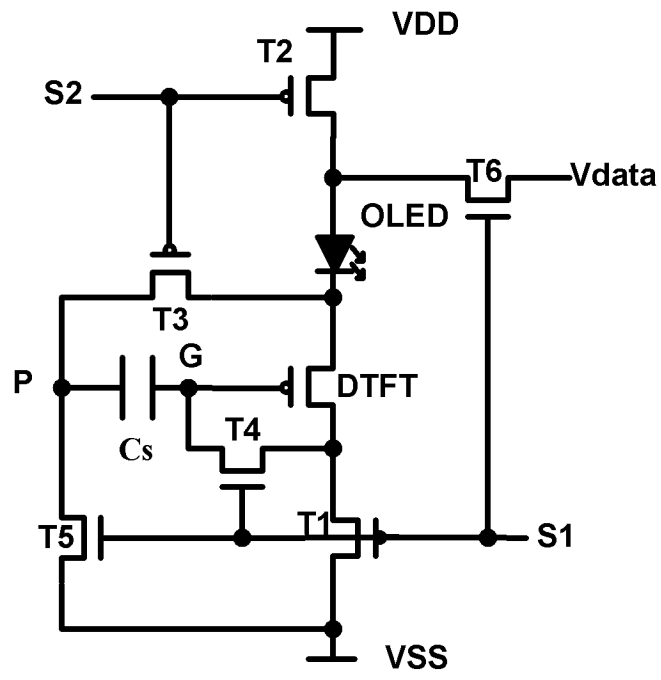


图 4

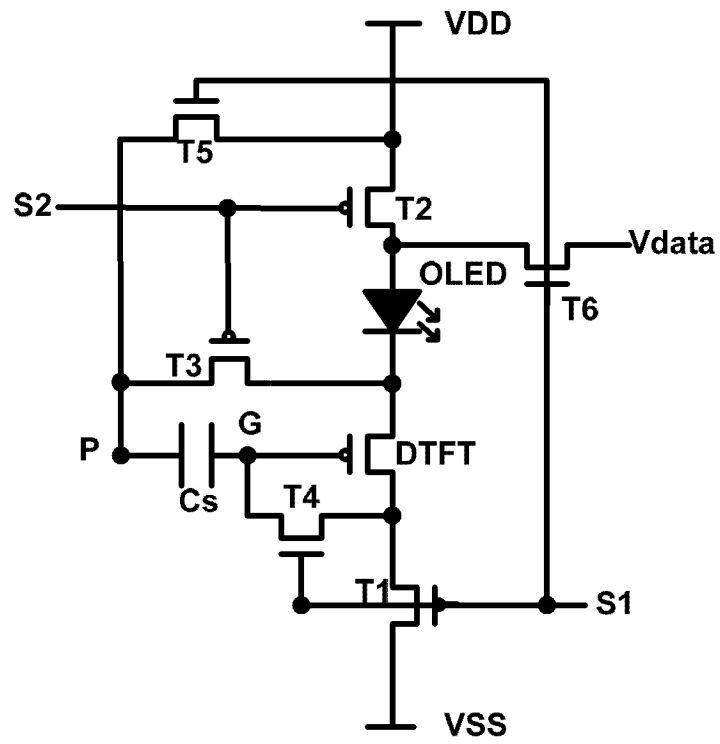


图 5

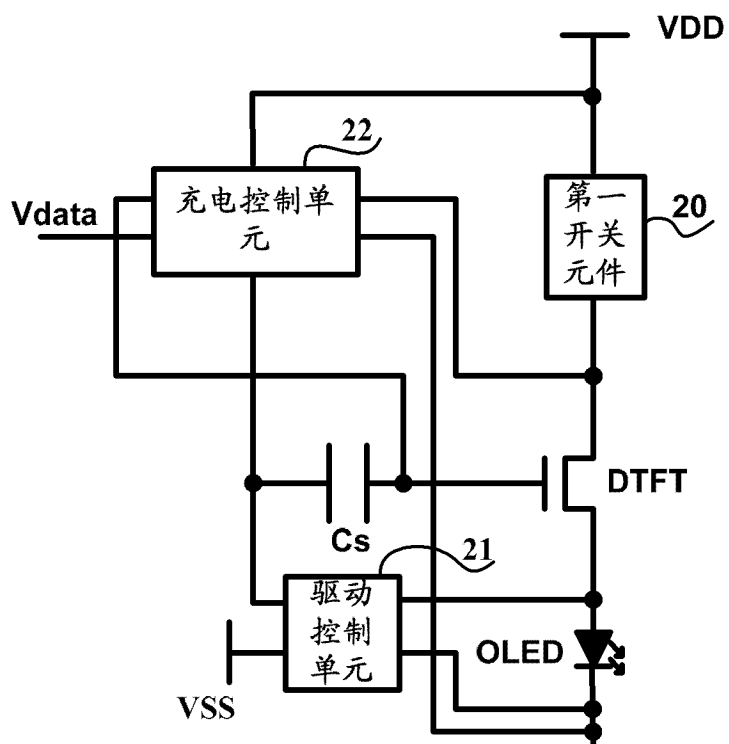


图 6

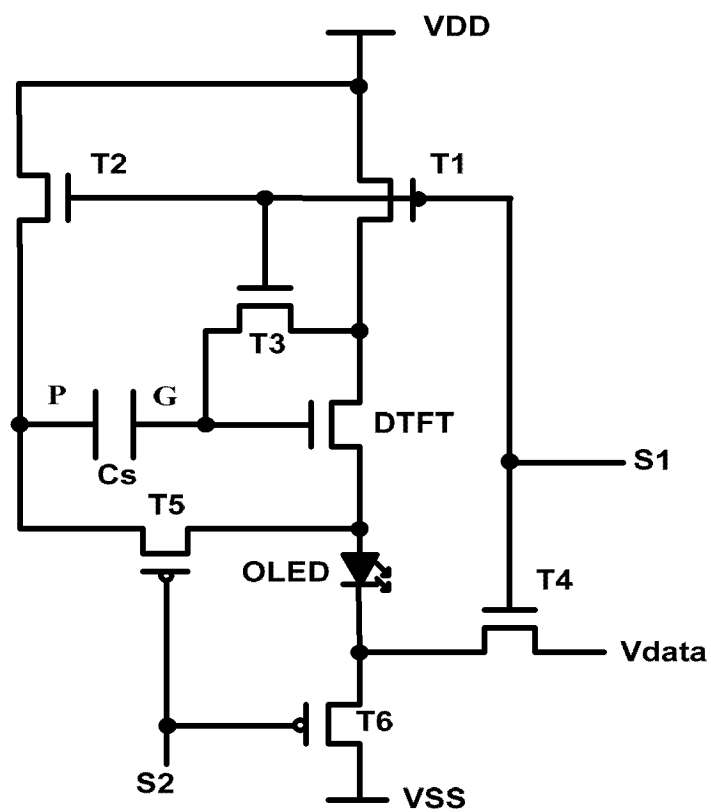


图 7

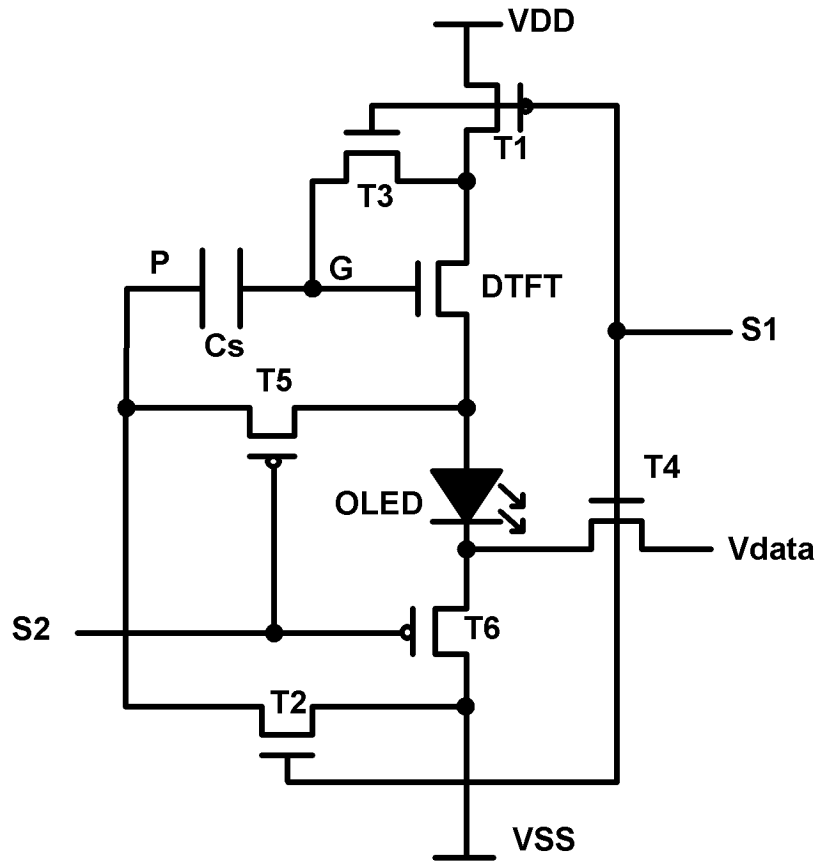


图 8

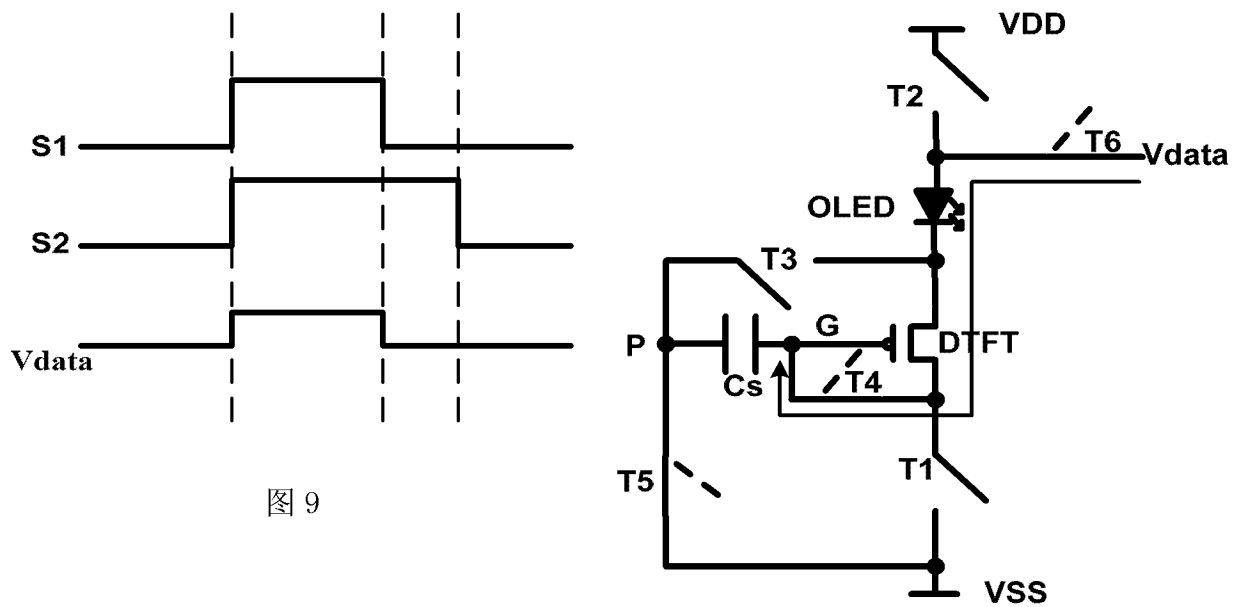


图 9

图 10A

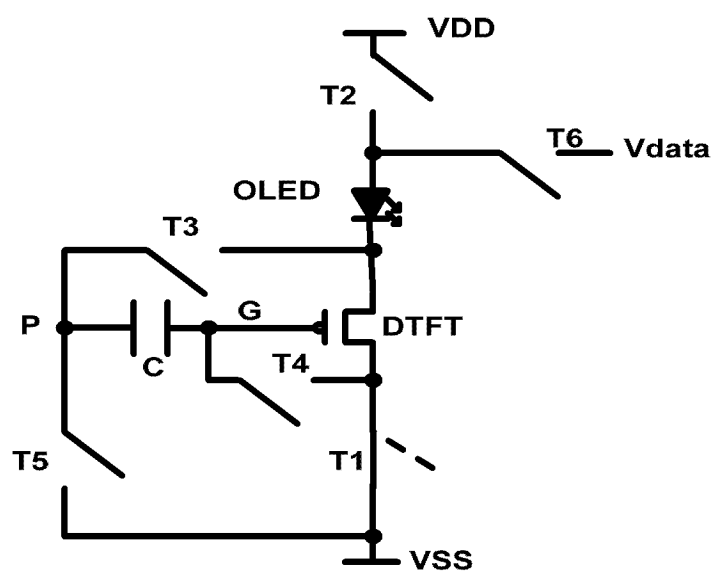


图 10B

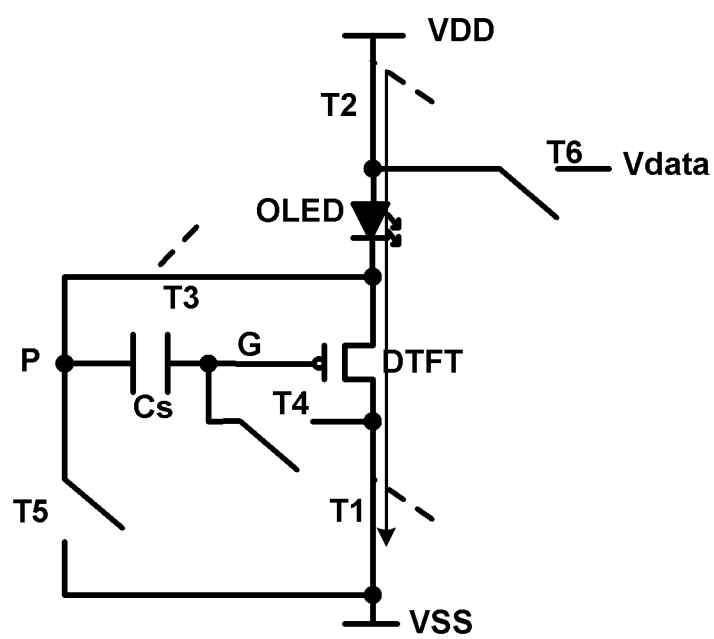


图 10C

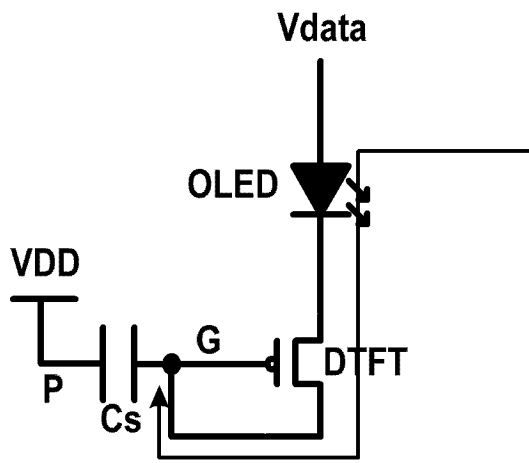


图 11A

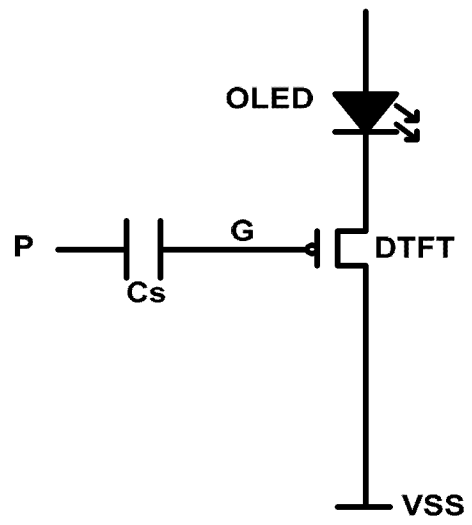


图 11B

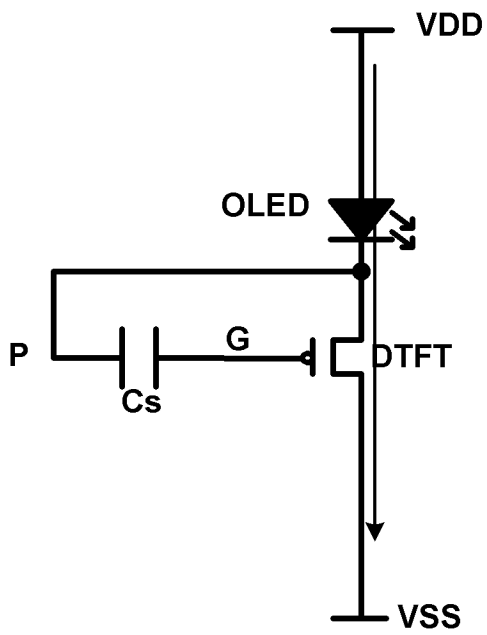


图 11C

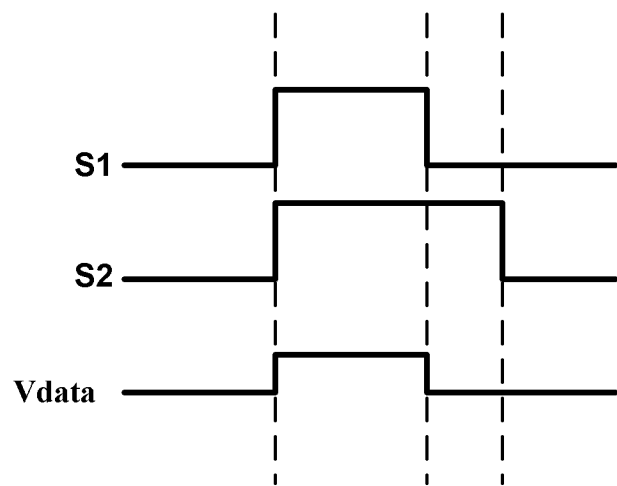


图 12

专利名称(译)	像素单元驱动电路、像素单元驱动方法以及像素单元		
公开(公告)号	CN102708793B	公开(公告)日	2014-02-19
申请号	CN201210047893.6	申请日	2012-02-27
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	青海刚 祁小敬 高永益		
发明人	青海刚 祁小敬 高永益		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861		
代理人(译)	许静 赵爱军		
其他公开文献	CN102708793A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素单元驱动电路、像素单元驱动方法以及像素单元，像素单元驱动电路包括驱动薄膜晶体管、第一开关元件、存储电容、驱动控制单元和充电控制单元，驱动薄膜晶体管的栅极，与存储电容的第一端连接，还通过充电控制单元与驱动薄膜晶体管的漏极连接；驱动薄膜晶体管的源极，与OLED连接，并通过驱动控制单元与存储电容的第二端连接；驱动薄膜晶体管的漏极通过第一开关元件与驱动电源连接；存储电容Cs的第二端通过充电控制单元与驱动电源连接；驱动控制单元分别与驱动电源和OLED连接；充电控制单元分别与数据线和OLED连接。本发明补偿驱动薄膜晶体管的临界电压，并补偿OLED材料老化临界电压上升导致的驱动电流下降。

