



(12)发明专利申请

(10)申请公布号 CN 110189702 A

(43)申请公布日 2019. 08. 30

(21)申请号 201910576366.6

(22)申请日 2019.06.28

(71)申请人 上海视涯信息科技有限公司

地址 201206 上海市浦东新区中国(上海)

自由贸易试验区金海路1000号45幢6
层

(72)发明人 钱栋 吴桐

(74)专利代理机构 北京品源专利代理有限公司

11332

代理人 孟金喆

(51)Int.Cl.

G09G 3/3225(2016.01)

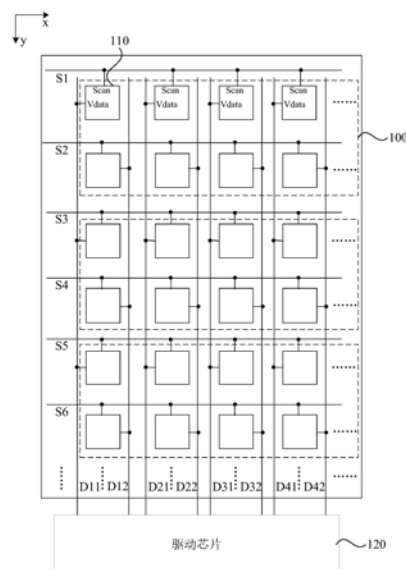
权利要求书4页 说明书16页 附图11页

(54)发明名称

一种有机发光显示面板及其驱动方法

(57)摘要

本发明公开了一种有机发光显示面板及其驱动方法,有机发光显示面板包括:多个像素电路、多条数据线和多条扫描线;沿数据线延伸方向,像素电路划分为多组,每组像素电路中分别包括紧邻的 n 行像素电路, $n \geq 2$;每行像素电路的扫描信号输入端连接一条扫描线;每个像素电路的数据电压输入端电连接一条数据线,每列像素电路与 n 条数据线对应电连接;位于同组的同一列像素电路中,沿数据线延伸方向,位于第 k 行的像素电路与 n 条数据线中的第 k 条数据线电连接, k 为整数且 $1 \leq k \leq n$ 。该有机发光显示面板可以使对于每一行像素电路来说,数据写入阶段的时间变长,使得数据电压可以被充分完整地写入到驱动模块的控制端,保证良好的显示效果。



1. 一种有机发光显示面板,其特征在于,包括:多个像素电路、多条数据线和多条扫描线;

沿所述数据线延伸方向,所述像素电路划分为多组,每组像素电路中分别包括紧邻的 n 行像素电路, $n \geq 2$;

所述像素电路包括数据电压写入模块、驱动模块,所述数据电压写入模块的控制端与所述像素电路的扫描信号输入端电连接,所述数据电压写入模块的第一端与所述像素电路的数据电压输入端电连接,所述数据电压写入模块的第二端与所述驱动模块的控制端电连接;

每行所述像素电路的扫描信号输入端连接一条所述扫描线;每个所述像素电路的所述数据电压输入端电连接一条所述数据线,每列所述像素电路与 n 条所述数据线对应电连接;位于同组的同一列像素电路中,沿数据线延伸方向,位于第 k 行的像素电路与所述 n 条数据线中的第 k 条数据电线电连接,其中, k 为整数且 $1 \leq k \leq n$ 。

2. 根据权利要求1所述的有机发光显示面板,其特征在于,还包括驱动芯片,所述驱动芯片包括数据信号输出单元、初始化电压输出单元、多个第一选通开关、多个第二选通开关和多个输出端口,所述输出端口与数据线一一对应电连接;所述数据信号输出单元用于提供数据电压,所述初始化电压输出单元用于提供初始化电压;

每个所述输出端口通过一所述第一选通开关与所述数据信号输出单元电连接;每个所述输出端口还通过一所述第二选通开关与所述初始化电压输出单元电连接。

3. 根据权利要求1所述的有机发光显示面板,其特征在于,还包括驱动芯片,所述驱动芯片包括数据信号输出单元、初始化电压输出单元、多个第一选通开关、多个第二选通开关和多个输出端口,所述输出端口与数据线一一对应电连接;其中,所述数据信号输出单元的输出端通过 n 个第一选通开关与 n 个所述输出端口电连接,电连接所述数据信号输出单元的一输出端的 n 个输出端口与同一列所述像素电路所电连接的 n 条所述数据线一一对应电连接;每个所述输出端口还通过一所述第二选通开关与所述初始化电压输出单元电连接。

4. 根据权利要求2或3所述的有机发光显示面板,其特征在于,每个所述第一选通开关和第二选通开关包括并联的第一晶体管和第二晶体管,所述第一晶体管和所述第二晶体管的沟道类型不同。

5. 根据权利要求1所述的有机发光显示面板,其特征在于, $n=2$ 。

6. 根据权利要求1所述的有机发光显示面板,其特征在于,所述数据电压写入模块包括第三晶体管,所述驱动模块包括第四晶体管,所述像素电路还包括第五晶体管、第六晶体管、第一电容、第二电容、有机发光二极管、第一电源电压输入端、第二电源电压输入端、发光控制信号输入端、复位电压输入端和复位控制信号输入端;

其中,所述第三晶体管的栅极与所述像素电路的扫描信号输入端电连接,所述第三晶体管的第一极与所述像素电路的数据电压输入端电连接,所述第三晶体管的第二极与所述第四晶体管的栅极电连接;

所述第四晶体管的第一极与所述第五晶体管的第二极电连接,所述第四晶体管的第二极与所述有机发光二极管的第一端电连接,所述有机发光二极管的第二端与所述第二电源电压输入端电连接;

所述第五晶体管的栅极与所述发光控制信号输入端电连接,所述第五晶体管的第一极

与所述第一电源电压输入端电连接；

所述第六晶体管的栅极与所述复位控制信号输入端电连接，所述第六晶体管的第一极与所述复位电压输入端电连接，所述第六晶体管的第二极与所述第四晶体管的第二极电连接；

所述第一电容的第一端与所述驱动晶体管的栅极电连接，所述第一电容的第二端与所述第四晶体管的第二极电连接；

所述第二电容的第一端与所述第一电容的第二端电连接，所述第二电容的第二端与所述第一电源电压输入端电连接。

7. 一种有机发光显示面板的驱动方法，其特征在于，包括：多个像素电路、多条数据线和多条扫描线；

沿所述数据线延伸方向，所述像素电路划分为多组，每组像素电路中分别包括紧邻的 n 行像素电路， $n \geq 2$ ；

所述像素电路包括数据电压写入模块、驱动模块，所述数据电压写入模块的控制端与所述像素电路的扫描信号输入端电连接，所述数据电压写入模块的第一端与所述像素电路的数据电压输入端电连接，所述数据电压写入模块的第二端与所述驱动模块的控制端电连接；

每行所述像素电路的扫描信号输入端连接一条所述扫描线；每个所述像素电路的所述数据电压输入端电连接一条所述数据线，每列所述像素电路与 n 条所述数据线对应电连接；位于同组的同一列像素电路中，沿数据线延伸方向，位于第 k 行的像素电路与所述 n 条数据线中的第 k 条数据线电连接，其中， k 为整数且 $1 \leq k \leq n$ ；

所述驱动方法包括：

一帧内，向所述数据线顺次输出初始化电压和数据电压；以及逐行向各扫描线输出扫描信号，所述扫描信号包括两个扫描脉冲；

对于同组的相邻两行像素电路连接的两条扫描线，沿数据线延伸方向，向后一条扫描线输出的扫描信号的第一个扫描脉冲与向前一条扫描线输出的扫描信号的第二个扫描脉冲存在交叠，或者，向后一条扫描线输出的第一个扫描脉冲位于向前一条扫描线输出的第一个扫描脉冲和第二个扫描脉冲之间。

8. 根据权利要求7所述的有机发光显示面板的驱动方法，其特征在于，还包括驱动芯片，所述驱动芯片包括数据信号输出单元、初始化电压输出单元、多个第一选通开关、多个第二选通开关和多个输出端口，所述输出端口与数据线一一对应电连接；所述数据信号输出单元用于提供数据电压，所述初始化电压输出单元用于提供初始化电压；

每个所述输出端口通过一所述第一选通开关与所述数据信号输出单元电连接；每个所述输出端口还通过一所述第二选通开关与所述初始化电压输出单元电连接；

所述驱动方法还包括：

对于任一所述像素电路，初始化阶段，控制与所述像素电路电连接相同所述数据线的所述第二选通开关导通，并至少在所述第二选通开关导通部分时段内，向与该所述像素电路电连接的扫描线输出第一个扫描脉冲；

数据写入阶段，控制与所述像素电路电连接相同所述数据线的所述第一选通开关导通，并至少在所述第一选通开关导通的部分时段内，向与该所述像素电连接的所述扫描线

输出第二个扫描脉冲；

沿所述扫描线延伸方向，与同组所述像素电路电连接的相邻两条数据线中，与后一条所述数据线电连接的第二选通开关的导通时段和与前一条所述数据线电连接的所述第一选通开关的导通时段交叠，或者与后一条所述数据线电连接的第二选通开关的导通时段位于与前一条所述数据线电连接的所述第二选通开关和所述第一选通开关的导通时段之间。

9. 根据权利要求7所述的有机发光显示面板的驱动方法，其特征在于，还包括驱动芯片，所述驱动芯片包括数据信号输出单元、初始化电压输出单元、多个第一选通开关、多个第二选通开关和多个输出端口，所述输出端口与数据线一一对应电连接；其中，所述数据信号输出单元的每个输出端通过n个第一选通开关与n个所述输出端口电连接，电连接所述数据信号输出单元的一输出端的n个输出端口与同一列所述像素电路所电连接的n条所述数据线一一对应电连接；每个所述输出端口还通过一所述第二选通开关与所述初始化电压输出单元电连接；所述驱动方法还包括：

对于任一所述像素电路，初始化阶段，控制与所述像素电路电连接相同所述数据线的所述第二选通开关导通，并至少在所述第二选通开关导通部分时段内，向与该所述像素电连接的扫描线输出第一个扫描脉冲；

数据写入阶段，控制与与所述像素电路电连接相同所述数据线的所述第一选通开关导通，并至少在所述第一选通开关导通的部分时段内，向与该所述像素电连接的所述扫描线输出第二个扫描脉冲；

沿所述扫描线延伸方向，与同组所述像素电路电连接的相邻两条数据线相中，与后一条所述数据线电连接的第二选通开关的导通时段和与前一条所述数据线电连接的所述第一选通开关的导通时段交叠，或者与后一条所述数据线电连接的第二选通开关的导通时段位于与前一条所述数据线电连接的所述第二选通开关和所述第一选通开关的导通时段之间；

一帧内，每个所述数据信号输出单元依次输出n个数据电压，且与同一所述数据信号输出单元输出端电连接的一所述第二选通开关导通时，所述数据信号输出单元输出与该所述第二选通开关电连接的输出端口对应的所述数据电压。

10. 根据权利要求9所述的有机发光显示面板的驱动方法，其特征在于，

$n=2$ ；

与位于同组的同一列像素电路电连接的两条数据线包括沿扫描线延伸方向排布的第一数据线和第二数据线；与位于同组的同一列像素电路电连接的两条扫描线包括沿数据线延伸方向设置的第一扫描线和第二扫描线；

所述驱动方法还包括：

与所述第二数据线电连接的第二选通开关的导通时段和与所述第一数据线电连接的所述第一选通开关的导通时段完全重叠；

向所述第二扫描线输出的第一个扫描脉冲与向所述第一扫描线输出的第二个扫描脉冲完全重叠。

11. 根据权利要求7所述的显示面板的驱动方法，其特征在于，所述数据电压写入模块包括第三晶体管，所述驱动模块包括第四晶体管，所述像素电路还包括第五晶体管、第六晶体管，第一电容、第二电容、有机发光二极管、第一电源电压输入端、第二电源电压输入端、

发光控制信号输入端、复位电压输入端和复位控制信号输入端；

其中，所述第三晶体管的栅极与所述像素电路的扫描信号输入端电连接，所述第三晶体管的第一极与所述像素电路的数据电压输入端电连接，所述第三晶体管的第一极与所述第四晶体管的栅极电连接；

所述第四晶体管的第一极与所述第五晶体管的第二极电连接，所述第四晶体管的第二极与所述有机发光二极管的第一端电连接，所述有机发光二极管的第二端与所述第二电源电压输入端电连接；

所述第五晶体管的栅极与所述发光控制信号输入端电连接，所述第五晶体管的第一极与所述第一电源电压输入端电连接；

所述第六晶体管的栅极与所述复位控制信号输入端电连接，所述第六晶体管的第一极与所述复位电压输入端电连接，所述第六晶体管的第二极与所述第四晶体管的第二极电连接；

所述第一电容的第一端与所述驱动晶体管的栅极电连接，所述第一电容的第二端与所述第四晶体管的第二极电连接；

所述第二电容的第一端与所述第一电容的第二端电连接，所述第二电容的第二端与所述第一电源电压输入端电连接；

所述驱动方法还包括：

初始化阶段，控制所述第六晶体管、所述第三晶体管和所述第五晶体管导通，所述复位电压输入端输入的复位电压通过导通的第六晶体管写入到所述有机发光二极管的第一端，所述第三晶体管，数据电压输入端输入的初始化电压通过导通的第三晶体管写入到所述第四晶体管的控制端和第一电容；

阈值侦测阶段，控制所述第三晶体管和所述第五晶体管关闭，所述第一电容和所述第二电容放电，直至所述第一电容第二端与所述第一电容第一端的电压等于所述第四晶体管的阈值电压时，放电停止；

数据写入阶段，控制所述数据写入模块导通，数据电压输入端输入的数据电压通过导通的第三晶体管写入到所述第四晶体管的控制端和第一电容；

发光阶段，控制所述第五晶体管导通，所述第四晶体管驱动有机发光二极管发光。

一种有机发光显示面板及其驱动方法

技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种有机发光显示面板及其驱动方法。

背景技术

[0002] 随着显示技术的发展,有机发光显示面板因其厚度薄、高亮度、低功耗和宽视角等优点而得到越来越广泛的应用。

[0003] 有机发光显示面板通常包括多个像素和与之对应的像素电路,为提高显示效果,在向像素电路中写入数据之前通常需要通过向驱动晶体管的栅极写入初始化电位,造成与驱动晶体管栅极电连接的开关晶体管在一帧内要导通两次。

[0004] 随着像素密度的提高以及驱动频率的提高,每行像素的扫描时间变短,导致向像素中写入数据的时间不足,影响显示效果。

发明内容

[0005] 本发明提供一种有机发光显示面板及其驱动方法,以实现延长向每个像素电路中的数据写入时间,保证数据电压可以被充分写入至各个像素电路中,提高显示效果。

[0006] 第一方面,本发明实施例提供了一种有机发光显示面板,包括:多个像素电路、多条数据线和多条扫描线;

[0007] 沿数据线延伸方向,像素电路划分为多组,每组像素电路中分别包括紧邻的 n 行像素电路, $n \geq 2$;

[0008] 像素电路包括数据电压写入模块、驱动模块,数据电压写入模块的控制端与像素电路的扫描信号输入端电连接,数据电压写入模块的第一端与像素电路的数据电压输入端电连接,数据电压写入模块的第二端与驱动模块的控制端电连接;

[0009] 每行像素电路的扫描信号输入端连接一条扫描线;每个像素电路的数据电压输入端电连接一条数据线,每列像素电路与 n 条数据线对应电连接;位于同组的同一列像素电路中,沿数据线延伸方向,位于第 k 行的像素电路与 n 条数据线中的第 k 条数据线电连接,其中, k 为整数且 $1 \leq k \leq n$ 。

[0010] 第二方面,本发明实施例还提供了一种有机发光显示面板的驱动方法,其中,显示面板包括:多个像素电路、多条数据线和多条扫描线;

[0011] 沿数据线延伸方向,像素电路划分为多组,每组像素电路中分别包括紧邻的 n 行像素电路, $n \geq 2$;

[0012] 像素电路包括数据电压写入模块、驱动模块,数据电压写入模块的控制端与像素电路的扫描信号输入端电连接,数据电压写入模块的第一端与像素电路的数据电压输入端电连接,数据电压写入模块的第二端与驱动模块的控制端电连接;

[0013] 每行像素电路的扫描信号输入端连接一条扫描线;每个像素电路的数据电压输入端电连接一条数据线,每列像素电路与 n 条数据线对应电连接;位于同组的同一列像素电路

中,沿数据线延伸方向,位于第k行的像素电路与n条数据线中的第k条数据线电连接,其中,k为整数且 $1 \leq k \leq n$;

[0014] 驱动方法包括:

[0015] 一帧内,向数据线顺次输出初始化电压和数据电压;以及逐行向各扫描线输出扫描信号,扫描信号包括两个扫描脉冲;

[0016] 对于同组的相邻两行像素电路连接的两条扫描线,沿数据线延伸方向,向后一条扫描线输出的扫描信号的第一个扫描脉冲与向前一条扫描线输出的扫描信号的第二个扫描脉冲存在交叠,或者,向后一条扫描线输出的第一个扫描脉冲位于向前一条扫描线输出的第一个扫描脉冲和第二个扫描脉冲之间。

[0017] 本发明实施例提供了有机发光显示面板及其驱动方法,其中有机发光显示面板包括:多个像素电路、多条数据线和多条扫描线;沿数据线延伸方向,像素电路划分为多组,每组像素电路中分别包括紧邻的n行像素电路, $n \geq 2$;像素电路包括数据电压写入模块、驱动模块,每列像素电路与n条数据线对应电连接;位于同组的同一列像素电路中,沿数据线延伸方向,位于第k行的像素电路与n条数据线中的第k条数据线电连接,其中,k为整数且 $1 \leq k \leq n$;该有机发光显示面板结构可以使得位于同组的同一列的像素电路中,相邻两行的像素电路中,前一行像素电路的数据电压写入和后一行像素电路的初始化电压写入可以有交叠,进而可以使得对于每一行像素电路来说,每个工作阶段的进行时间可以变长,相应的,数据写入阶段的时间变长,进而可以使得数据电压可以被充分完整地写入到驱动模块的控制端,进而保证良好的显示效果;并且可以减少距离驱动芯片较近的像素电路和距离驱动芯片较远的所接收到的数据电压差异,保证显示面板的显示均匀性。

附图说明

[0018] 图1是本发明实施例提供的一种有机发光显示面板的结构示意图;

[0019] 图2是本发明实施例提供的一种像素电路的结构示意图;

[0020] 图3是本发明实施例提供的另一种有机发光显示面板的结构示意图;

[0021] 图4是本发明实施例提供的另一种有机发光显示面板的结构示意图;

[0022] 图5是本发明实施例提供的另一种有机发光显示面板的结构示意图;

[0023] 图6是本发明实施例提供的另一种像素电路的结构示意图;;

[0024] 图7是本发明实施例提供的一种像素电路的工作时序图;

[0025] 图8是本发明实施例提供的同组中位于同一列的相邻两个像素电路与数据线、扫描线以及驱动芯片的一种连接示意图;

[0026] 图9是本发明实施例提供的同组中位于同一列的两个像素电路的一种工作时序图;

[0027] 图10是本发明实施例提供的同组中位于同一列的相邻两个像素电路与数据线、扫描线以及驱动芯片的另一种连接示意图;

[0028] 图11是本发明实施例提供的同组中位于同一列的两个像素电路的另一种工作时序图;

[0029] 图12是本发明实施例提供的一种有机发光显示面板的驱动方法的流程图。

具体实施方式

[0030] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。

[0031] 正如背景技术中所述,现有有机发光显示面板包括多个像素电路,为提高显示效果,在向像素电路写入数据之前通常需要通过数据信号写入端向驱动晶体管的栅极写入初始化电位,造成与驱动晶体管栅极电连接的开关晶体管在一帧内要导通两次,其中第一次导通时驱动晶体管栅极被写入初始化电压,第二次导通时驱动晶体管栅极被写入数据电压。随着像素密度的提高以及驱动频率的提高,对每行像素电路的扫描时间变短,与驱动晶体管栅极电连接的晶体管每次导通的时间也变短,导致向像素电路中写入数据电压的时间不足,使得数据电压不能被完整地写入到像素电路中,影响显示效果。

[0032] 基于上述问题,本发明实施例一种有机发光显示面板,图1是本发明实施例提供的一种有机发光显示面板的结构示意图,图2是本发明实施例提供的一种像素电路的结构示意图,其中,图2示出了图1中一个像素电路的结构,参考图1和图2,该有机发光显示面板包括:多个像素电路110、多条数据线(D11、D12、D21、D22、D31、D32、D41、D42……)和多条扫描线(S1、S2、S3、S4、S5、S6……);

[0033] 沿数据线延伸方向y,像素电路110划分为多组,每组像素电路100中分别包括紧邻的n行像素电路110, $n \geq 2$;

[0034] 像素电路110包括数据电压写入模块111、驱动模块112,数据电压写入模块111的控制端G2与像素电路110的扫描信号输入端Scan电连接,数据电压写入模块111的第一端与像素电路110的数据电压输入端Vdata电连接,数据电压写入模块111的第二端与驱动模块112的控制端G1电连接;

[0035] 每行像素电路110的扫描信号输入端Scan连接一条扫描线;每个像素电路110的数据电压输入端Vdata电连接一条数据线,每列像素电路与n条数据线对应电连接;位于同组的同一列像素电路中,沿数据线延伸方向,位于第k行的像素电路110与n条数据线中的第k条数据线电连接,其中,k为整数且 $1 \leq k \leq n$ 。

[0036] 具体的,有机发光显示面板中通常包括多个像素,多个像素阵列排布。每个像素可对应一个像素电路110,像素电路110也可与像素对应阵列排布,像素电路110可为像素提供电流/电压,进而驱动像素发光,实现有机发光显示面板的显示。参考图1和图2,数据线与像素电路110的数据电压输入端Vdata电连接,可在像素电路110的不同工作阶段向像素电路110的数据电压输入端Vdata传输初始化电压和数据电压,扫描线与像素电路110的扫描信号输入端Scan电连接,可向像素电路110的扫描信号输入端Scan传输扫描信号。像素电路110包括数据电压写入模块111和驱动模块112,且数据电压写入模块111与驱动模块112控制端电连接,数据电压写入模块111的控制端G2与像素电路110的扫描信号输入端Scan电连接,因此,数据电压写入模块111的导通或关断由扫描信号来控制。具体的,各像素电路110的工作过程包括初始化阶段和数据写入阶段。可选的,在一帧内,每条扫描线向与其电连接的像素电路110传输两个扫描脉冲,在初始化阶段,扫描线向像素电路110的扫描信号输入端Scan输入第一个扫描脉冲,使得数据电压写入模块111导通,此时数据线传输初始化电压,初始化电压通过导通的数据电压写入模块111输入到驱动模块112的控制端G1,进而对

驱动模块112控制端G1的电位进行初始化,防止上一帧显示时驱动模块112的控制端G1的残留电荷影响本帧的显示。在数据写入阶段,扫描线向像素电路110的扫描信号输入端Scan输入第二个扫描脉冲,使得数据写入模块再次导通,此时数据线传输数据电压,数据电压通过导通的数据电压写入模块111输入到驱动模块112的控制端G1,进而完成数据的写入。传统有机发光显示面板中,每条数据线连接一列像素电路110,因一条数据线在同一时刻只能传输一个电压,因此对于一列像素电路110而言,一像素电路110进行初始化阶段和数据写入阶段完毕后,位于同列中下一行的像素电路110才进入初始化阶段。相应的,对于相邻的两行像素而言,与上一行像素电路110电连接的扫描线向该行像素电路110传输两个扫描脉冲完毕后,与下一行像素电路110连接的扫描线才向该行扫描电路传输第一个扫描脉冲信号,而一帧的时间是固定的,传统显示面板一条数据线连接一列像素电路110的结构,使得扫描显示面板中的各像素电路110时,对于每一行像素电路110来说,扫描脉冲的宽度都较窄,扫描时间较短,故像素电路110进行数据写入时间会过短,造成像素电路110中不能够写入完整的数据电压,导致显示效果差。并且,传统显示面板中一条数据线连接一列像素电路110的显示面板,每条数据线连接一列中位于不同行的所有像素电路110,显示面板通常包括驱动芯片120,驱动芯片120输出的数据线通过一条数据线传输至与该数据线电连接的各行像素电路110,因各行像素电路110与驱动芯片120的距离远近不同,使得与驱动芯片120较近的像素电路110和与驱动芯片120较远的像素电路110对应的像素要显示相同灰阶时,因像素电路110进行数据写入时间会过短,与驱动芯片120较近的像素电路110和与驱动芯片120较远的像素电路110所接收到的数据电压可能不同,进而还可能出现显示不均匀的问题。

[0037] 参考图1,本发明实施例中,像素电路110划分为多组,每组像素电路100中包括紧邻的n行像素电路110,参考图1,其中,每个虚线框框出的像素电路110为一组像素电路,图1示意性地示出了每组像素电路包括相邻两行的像素电路110的情况,参考图1,当每组像素电路100包括两行像素电路110时,每列像素电路110与两条数据线电连接,位于同组的同一列像素电路110中,沿数据线延伸方向y,位于第一行的像素电路110与两条数据线中的第一条电连接,位于第二行的像素电路110与两条数据线中的第二条电连接,其中,两条数据线中的第一条可以是沿扫描线延伸方向x的第一条数据线,两条数据线中的第二条可以是沿扫描线延伸方向x的第二条数据线。

[0038] 可选的,位于同组中的同一列像素电路110中,第一条数据线向沿数据线延伸方向的第一行像素电路110传输数据电压时,第二条数据线可以向沿数据线延伸方向的第二行电路传输初始化电压,进而使得位于同组的同一列像素电路110中,相邻两行像素电路110之间的初始化阶段和数据写入阶段可以有交叠,例如第一行像素电路110的数据电压写入阶段和第二行像素电路110的初始化阶段交叠,而不必向传统每条数据线连接一列像素电路110的显示面板那样,一行像素电路110完成数据电压的写入后,下一行像素电路110才能进行初始化电压的写入(即传统显示面板对应的扫描方式如下:对于连接相邻两行像素电路110的扫描线来说,与前一行像素电路110连接的扫描线传输两个扫描脉冲完毕后,与后一行像素电路110连接的扫描线才能传输该行像素电路110的两个扫描脉冲),本发明实施例提供的显示面板,例如图1所示每列像素电路110连接两条数据线时,同一时刻两条数据线可以传输不同的电压,因此对于连接同组的不同行像素电路110的扫描线来说,与前一行像素电路110电连接的扫描线输出第一个扫描脉冲(此时与第一行像素电路110连接数

据线输出初始化电压)后,与第二行像素电路110电连接的扫描线可以输出第一个扫描脉冲(此时与第二行像素电路110连接数据线输出初始化电压),即同组的两行像素电路110中,后一行像素电路110的初始化阶段可以与前一行像素电路110的数据写入阶段交叠,或者,后一行初始化阶段可以在前一行像素电路110初始化阶段与数据写入阶段之间,进而使得在向第一行像素电路110输出第一个扫描脉冲后,可对第二行像素电路110进行扫描,即对第二行像素电路110的扫描与对第一行像素电路110的扫描可存在重叠,进而使得在固定的一帧时间内,对每行像素电路110的扫描脉冲可以变宽(扫描脉冲对应的时间可以变长),相应的数据电压写入的时间可以变长,进而可以使得数据电压可以被充分完整地写入到驱动模块112的控制端G1,进而保证良好的显示效果。并且,因本发明实施例中,每列像素电路110连接n条数据线, $n \geq 2$,因此使得每条数据线连接的像素电路110减少,相应的,可以减少距离驱动芯片120较近的像素电路110和距离驱动芯片120较远的所接收到的数据电压差异,保证显示面板的显示均匀性。

[0039] 需要说明的是,以上只是以每组像素电路包括两行像素电路110为例进行了示例性说明,本实施例中,每组像素电路包括n行像素电路110, $n \geq 2$,当每组像素电路中包括更多行像素电路110时,对于每一行像素电路110对应的扫描脉冲可以更宽,相应的,数据写入阶段的时间变得更长,进而可以使得数据电压可以被更加充分完整地写入到驱动模块112的控制端G1,进而保证良好的显示效果。

[0040] 本发明实施例提供的有机发光显示面板,包括:多个像素电路、多条数据线和多条扫描线;沿数据线延伸方向,像素电路划分为多组,每组像素电路中分别包括紧邻的n行像素电路, $n \geq 2$;像素电路包括数据电压写入模块、驱动模块,每列像素电路与n条数据线对应电连接;位于同组的同一列像素电路中,沿数据线延伸方向,位于第k行的像素电路与n条数据线中的第k条数据线电连接,其中,k为整数且 $1 \leq k \leq n$;该有机发光显示面板结构可以使得位于同组的同一列的像素电路中,相邻两行的像素电路中,前一行像素电路的数据电压写入和后一行像素电路的初始化电压写入可以有交叠,进而可以使得对于每一行像素电路来说,每个工作阶段的进行时间可以变长,相应的,数据写入阶段的时间变长,进而可以使得数据电压可以被充分完整地写入到驱动模块的控制端,进而保证良好的显示效果;并且可以减少距离驱动芯片较近的像素电路和距离驱动芯片较远的所接收到的数据电压差异,保证显示面板的显示均匀性。

[0041] 图3是本发明实施例提供的另一种有机发光显示面板的结构示意图,参考图3,在上述技术方案的基础上,可选的,有机发光显示面板还包括驱动芯片120,驱动芯片120包括数据信号输出单元121、初始化电压输出单元122、多个第一选通开关123、多个第二选通开关124和多个输出端口(A1、A2……),输出端口(A1、A2……)与数据线(D11、D12、D21、D22、D31、D32、D41、D42……)一一对应电连接;数据信号输出单元121用于提供数据电压,初始化电压输出单元122用于提供初始化电压;

[0042] 每个输出端口(A1、A2……)通过一第一选通开关123与数据信号输出单元121电连接;每个输出端口(A1、A2……)还通过一第二选通开关124与初始化电压输出单元122电连接。

[0043] 本实施例中,每个数据信号输出单元121通过一第一选通开关123连接一条数据线,数据信号输出单元121可以是运算放大器。具体的,对于每个像素电路110而言,在初始

化阶段,与该像素电路110电连接的数据线对应连接的第二选通开关124导通,第一选通开关123关断,初始化电压输出单元122输出的初始化电压通过驱动芯片120的输出端输出至数据线,并通过数据线传输至相应的像素电路110。在数据写入阶段,与该像素电路110电连接的数据线对应连接的第一选通开关123导通,第二选通开关124关断,数据信号输出单元121输出的数据电压通过驱动芯片120的输出端输出至数据线,并通过数据线传输至相应的像素电路110。通过设置驱动芯片120包括多个数据信号输出单元121和初始化电压输出单元122,并通过第一选通开关123控制数据信号输出单元121与驱动芯片120输出端口的导通和断开,以及通过第二选通开关124控制初始化电压输出单元122与驱动芯片120输出端口的导通和断开,可实现驱动芯片120的同一输出端口在不同时刻输出初始化电压和数据电压。

[0044] 图4是本发明实施例提供的另一种有机发光显示面板的结构示意图,参考图4,在上述技术方案的基础上,可选的,显示面板还包括驱动芯片120,驱动芯片120包括数据信号输出单元121、初始化电压输出单元122、多个第一选通开关123、多个第二选通开关124和多个输出端口(A1、A2……),输出端口(A1、A2……)与数据线(D11、D12、D21、D22、D31、D32、D41、D42……)一一对应电连接;其中,数据信号输出单元121的输出端通过n个第一选通开关123与n个输出端口(A1、A2……)电连接,电连接数据信号输出单元121的一输出端的n个输出端口(A1、A2……)与同一列像素电路110所电连接的n条数据线一一对应电连接;每个输出端口还通过一第二选通开关124与初始化电压输出单元122电连接。

[0045] 参考图4,图4示意性地示出了 $n=2$ 时显示面板的结构,本实施例提供的显示面板中,具体的,数据信号输出单元121的输出端通过两个第一选通开关123与两个输出端口电连接,电连接数据信号输出单元121的一输出端的两个输出端口与同一列像素电路110所电连接的两条数据线一一对应电连接,进而可以使得驱动芯片120中数据信号输出单元121的数量大大减少,进而有利于减小驱动芯片120的面积。因部分显示面板的驱动芯片120设置于显示面板的非显示区,因此,驱动芯片120面积的减小可以使得显示面板非显示区的面积减小,有利于实现窄边框。当 $n>2$ 时,驱动芯片120中数据信号输出单元121的数量可以更加减少,可进一步减小芯片的面积,更加有利于实现窄边框。

[0046] 图5是本发明实施例提供的另一种有机发光显示面板的结构示意图,参考图5,可选的,每个第一选通开关123和第二选通开关124分别包括并联的第一晶体管和第二晶体管,第一晶体管和第二晶体管的沟道类型不同。

[0047] 参考图5,图5中以第一晶体管为P沟道晶体管,第二晶体管为N沟道晶体管为例示出,其中,其图5以每组像素电路100包括两行像素电路110,每列像素电路110连接两条数据线为例示出,以下以图5所示出显示面板为例进行说明。参考图5,以最左侧一列像素电路110为例进行说明,其中,与数据线D11连接的第一选通开关123的第一晶体管T21和第二晶体管T22的栅极分别输入相反的控制信号ctr11和xctr11,与数据线D11连接的第二选通开关124的第一晶体管T11和第二晶体管T12的栅极分别输入相反的控制信号xctr12和ctr12;与数据线D12连接的第一选通开关123的第一晶体管T41和第二晶体管T42的栅极分别输入相反的控制信号ctr14和xctr14,与数据线D12连接的第二选通开关124的第一晶体管T31和第二晶体管T32的栅极分别输入相反的控制信号xctr13和ctr13。具体的,以与数据线D11电连接的第一选通开关123为例,控制第一选通开关123导通时,若数据信号输出单元121输出

较低的电压信号,第一晶体管T21(P沟道晶体管)导通;当数据信号输出单元121输出较高的电压信号时,第二晶体管T22(N沟道晶体管)导通。因此,利用P沟道晶体管传输低电压信号,利用N沟道晶体管传输高电压信号,可以使得晶体管栅极和源极电压压差较小,使得电流减小,可以降低在传输功耗。

[0048] 继续参考图5,在上述技术方案的基础上,可选的, $n=2$ 。

[0049] 参考图5,数据信号输出单元121通过两个第一选通开关123连接两条数据线,其中,图5中以向连接数据线D11和数据线D12的数据信号输出单元121为例进行了示出。具体的,每组像素电路包括相邻的两行像素电路110,且每列像素电路110连接两条数据线,可以在保证像素电路110的数据写入阶段的时间可以变长,使得数据电压可以被充分完整地写入到像素电路110的驱动模块112的控制端,保证良好的显示效果的基础上,尽量少地增加显示面板中数据线的条数,进而使得有机发光显示面板的布线方便。

[0050] 图6是本发明实施例提供的另一种像素电路的结构示意图,参考图6,在上述技术方案的基础上,可选的,数据电压写入模块111包括第三晶体管T3,驱动模块112包括第四晶体管T4,像素电路110还包括第五晶体管T5、第六晶体管T6、第一电容C1、第二电容C2、有机发光二极管D1、第一电源电压输入端Vdd、第二电源电压输入端Vss、发光控制信号输入端DS、复位电压输入端Vref和复位控制信号输入端AZ;

[0051] 其中,第三晶体管T3的栅极G2像素电路110的扫描信号输入端Scan电连接,第三晶体管T3的第一极与像素电路110的数据电压输入端Vdata电连接,第三晶体管T3的第二极与第四晶体管T4的栅极G1电连接;

[0052] 第四晶体管T4的第一极与第五晶体管T5的第二极电连接,第四晶体管T4的第二极与有机发光二极管D1的第一端电连接,有机发光二极管D1的第二端与第二电源电压输入端Vss电连接;

[0053] 第五晶体管T5的栅极与发光控制信号输入端DS电连接,第五晶体管T5的第一极与第一电源电压输入端Vdd电连接;

[0054] 第六晶体管T6的栅极与复位控制信号输入端AZ电连接,第六晶体管T6的第一极与复位电压输入端Vref电连接,第六晶体管T6的第二极与第四晶体管T4的第二极电连接;

[0055] 第一电容C1的第一端与驱动晶体管的栅极电连接,第一电容C1的第二端与第四晶体管T4的第二极电连接;

[0056] 第二电容C2的第一端与第一电容C1的第二端电连接,第二电容C2的第二端与第一电源电压输入端Vdd电连接。

[0057] 图7是本发明实施例提供的一种像素电路的工作时序图,该工作时序图可对应图6所示的像素电路110,参考图6和图7,该像素电路110的工作过程包括:初始化阶段t1、阈值侦测阶段t2、数据写入阶段t3、发光阶段t4。其中,像素电路110中所包括的各晶体管可以是P型晶体管,也可以是N型晶体管,以下以像素电路110中的晶体管为P型晶体管为例进行说明。

[0058] 在初始化阶段t1,扫描信号输入端Scan输入第一个扫描脉冲,发光控制信号输入端DS以及复位控制信号输入端AZ均输入低电平信号,因此,第三晶体管T3、第五晶体管T5、第六晶体管T6导通,数据信号输入端Vdata输入初始化电压,并通过导通的第三晶体管T3传输至驱动第四晶体管T4的栅极,进而对第四晶体管T4栅极的电位进行初始化;复位电压输

入端Vref输入的复位电压通过导通的第六晶体管T6传输至有机发光二极管D1的阳极,进而对有机发光二极管D1阳极电位进行初始化。通过对第四晶体管T4的栅极以及有机发光二极管D1的阳极电位进行初始化,可以避免第四晶体管T4栅极和有机发光二极管D1阳极上一帧残留电荷对本帧显示的影响,保证显示面板正常显示。需要说明的是,在初始化阶段t1,第四晶体管T4也处于导通状态,因此复位电压输入端Vref输入的复位电压也可通过第四晶体管T4传输至第五晶体管T5的第一极和第二极,进而可对第四晶体管T4的第一极、第二极以及第五晶体管T5的第一极和第二极电位进行初始化,更加有利于保证显示画面的正常显示。

[0059] 在阈值侦测阶段t2,扫描信号输入端Scan和发光控制信号输入端DS输入高电平信号,第三晶体管T3和第五晶体管T5截止,复位控制信号输入端AZ输入低电平信号,第六晶体管T6导通,第四晶体管T4的栅极和第四晶体管T4的源极通过第六晶体管T6向复位电压输入端Vref放电,直到第四晶体管T4的源极和栅极的电压差为 V_{th} 时,放电停止,进而完成对第四晶体管T4阈值电压的侦测和补偿,其中 V_{th} 为第四晶体管T4的阈值电压。

[0060] 在数据写入阶段t3,扫描信号输入端Scan输入第二个低电平扫描脉冲,第三晶体管T3再次导通,数据信号输入端输入数据电压,并通过导通的第三晶体管T3传输至第四晶体管T4的栅极,并存储在第一电容C1和第二电容C2中。

[0061] 在发光阶段t4,发光控制信号输入端DS输入低电平信号,第五晶体管T5导通,第四晶体管T4驱动有机发光二极管D1发光。

[0062] 需要说明的是,图7所示像素电路110的工作时序只对应显示面板中单个像素电路110。以下以图1、图3和图4所示显示面板结构,即每组像素电路包括两行像素电路110的显示面板结构为例,对同组中位于同一列的两个像素电路110的工作时序进行说明。图8是本发明实施例提供的同组中位于同一列的相邻两个像素电路与数据线、扫描线以及驱动芯片的一种连接示意图,图9是本发明实施例提供的同组中位于同一列的两个像素电路的一种工作时序图,其中,图8和图9可对应每组像素电路包括两行像素电路110的情况,其中,图8所示两个像素电路110可对应图3所示显示面板中最左侧一列像素电路110中的前两个像素电路110,参考图8和图9,位于同组中同一列的相邻两行像素电路110的工作过程共分为5个阶段。以下以第一组像素电路110(前两行像素电路110)中最左侧一列像素电路进行说明,即以图8所示显示面板最左侧一列位于前两行的像素电路(两个像素电路中,位于第一行的像素电路以下简称为第一像素电路113,位于第二行的像素电路以下简称为第二像素电路114)为例进行说明,仍以像素电路110中各晶体管为P型晶体管为例。

[0063] 在第一阶段t11,第一像素电路113进入并完成初始化阶段,具体的,第一像素电路113的扫描信号输入端Scan1输入第一个低电平扫描脉冲信号,且第一像素电路113的数据信号输入端Vdata1输入初始化电压(与第一像素电路113电连接的第二选通开关124导通),该初始化电压通过第一像素电路113的第三晶体管T3写入到第四晶体管T4的栅极,完成对第四晶体管T4栅极电位的初始化;并且,在第一阶段t11,第一像素电路113的复位控制信号输入端AZ1输入低电平信号,第一像素电路113的第六晶体管T6导通,第一像素电路113完成对有机发光二极管D1阳极的初始化。并且,在第一阶段t11,第二像素电路114保持上一帧的发光状态。

[0064] 在第二阶段t12,第一像素电路113进入并完成阈值侦测阶段,具体的,第一像素电

路113的扫描信号输入端Scan1输入高电平,第一像素电路113的第三晶体管T3截止,第一像素电路113的复位控制信号输入端AZ1输入低电平,第一像素电路113的第六晶体管T6导通,第一像素电路113中第四晶体管T4的栅极或源极电位通过导通的第六晶体管T6进行放电,直到第四晶体管T4的源极和栅极的电压差为 V_{th} 时,放电停止,进而第一像素电路113完成对第四晶体管T4阈值电压的侦测和补偿,其中 V_{th} 为第四晶体管T4的阈值电压。并且,在第二阶段 t_{12} ,第二像素电路114进入并完成初始化阶段,具体的,第二像素电路114的扫描信号输入端Scan2输入第一个低电平扫描脉冲信号,且第二像素电路114的数据电压信号输入端输入初始化电压(与第二像素电路114电连接的第二选通开关124导通),该初始化电压通过第二像素电路114的第三晶体管T3写入到第四晶体管T4的栅极,完成对第四晶体管T4栅极电位的初始化;并且,在第二阶段 t_{12} ,第二像素电路114的复位控制信号输入端AZ2输入低电平信号,第二像素电路114的第六晶体管T6导通,第二像素电路114完成对有机发光二极管D1阳极的初始化。

[0065] 在第三阶段 t_{13} ,第一像素电路113进入并完成数据写入阶段,具体的,第一像素电路113的扫描信号输入端Scan1输入第二个低电平扫描脉冲信号,且第一像素电路113的数据信号输入端Vdata1输入数据电压(与第一像素电路113电连接的第一选通开关123导通),第一像素电路113的第三晶体管T3再次导通,数据电压通过导通的第三晶体管T3写入到第一像素电路113的第四晶体管T4的控制端,第一像素电路113完成数据电压的写入。在第三阶段 t_{13} ,第二像素电路114进入并完成阈值侦测阶段,具体的,第二像素电路114的扫描信号输入端Scan2输入高电平,第二像素电路114的第三晶体管T3截止,第二像素电路114的复位控制信号输入端AZ2输入低电平,第二像素电路114的第六晶体管T6导通,第二像素电路114中第四晶体管T4的栅极或源极电位通过导通的第六晶体管T6进行放电,直到第四晶体管T4的源极和栅极的电压差为 V_{th} 时,放电停止,进而第二像素电路114完成对第四晶体管T4阈值电压的侦测和补偿,其中 V_{th} 为第四晶体管T4的阈值电压。

[0066] 在第四阶段 t_{14} ,第一像素电路113进入发光阶段,具体的,第一像素电路113的扫描信号输入端Scan1和复位控制信号输入端AZ1均输入高电平信号,第一像素电路113的第三晶体管T3和第六晶体管T6截止;第一像素电路113的发光控制信号输入端DS1输入低电平信号,第一像素电路113的第五晶体管T5导通,第一像素电路113的第四晶体管T4驱动有机发光二极管D1发光。在第四阶段 t_{14} ,第二像素电路114进入并完成数据写入阶段,具体的,第二像素电路114的扫描信号输入端Scan2输入第二个低电平扫描脉冲信号,且第二像素电路114是数据电压信号输入端输入数据电压(与第二像素电路114电连接的第二选通开关124导通),第二像素电路114的第三晶体管T3再次导通,数据电压通过导通的第三晶体管T3写入到第二像素电路114的第四晶体管T4的控制端,第二像素电路114完成数据电压的写入。

[0067] 在第五阶段 t_{15} ,第二像素电路114进入发光阶段,并且在该发光阶段的后期,第一像素电路113进入初始化阶段。即上一帧的第五阶段 t_{15} 与下一帧的第一阶段 t_{11} 可存在部分重合。

[0068] 其中,图9所示工作时序图中,ON表示由该控制信号控制的晶体管导通,OFF表示由该控制信号控制的晶体管关断。

[0069] 如上述对第一像素电路113和第二像素电路114工作过程的分析,因每列像素电路

110连接n条数据线,n大于或等于2,且位于同组的同一列像素电路110中的n个像素电路110分别与n条数据线一一对应电连接,使得与位于同组的同一列像素电路110中的不同像素电路110连接的数据线可以在同一时刻传输不同电压,例如图9所示的第一阶段t11,与第一像素电路113电连接的数据线传输的电压为初始化电压,与第二像素电路114电连接的数据线传输的电压为数据电压,在第二阶段t12,与第一像素电路113电连接的数据线传输的电压为数据电压,与第二像素电路114电连接的数据线传输的电压为初始化电压,相应的,与第二像素电路114电连接的扫描线传输的第一个扫描脉冲可以在与第一像素电路113电连接的扫描线传输的第一个扫描脉冲和第二个扫描脉冲之间,或者与第二像素电路114电连接的扫描线传输的第一个扫描脉冲可以与第一像素电路113电连接的扫描线传输的第二个扫描脉冲存在交叠,进而使得在第一像素电路113的初始化阶段、阈值侦测阶段和数据写入阶段完成时,第二像素电路114也可至少进行了初始化阶段,即使得在相同时间内,可以完成对更多行像素的扫描,进而提高对像素电路110的扫描频率,实现对像素电路110的高频驱动;或者说,对于每个像素电路110来说,进行各个工作阶段的时间可以变长,例如,数据写入阶段时间变长,可以使得数据电压被充分地写入,保证良好的显示效果;阈值侦测时间变长,可以使得各像素电路110的第四晶体管T4的阈值电压被侦测的更为准确,避免对驱动晶体管(第四晶体管T4)阈值电压侦测不准确造成的显示不均,保证更佳的显示效果。

[0070] 图10是本发明实施例提供的同组中位于同一列的相邻两个像素电路与数据线、扫描线以及驱动芯片的另一种连接示意图,图11是本发明实施例提供的同组中位于同一列的两个像素电路的另一种工作时序图,其中,图10和图11可对应每组像素电路包括两行像素电路的情况,其中,图10所示两个像素电路110可对应图5所示显示面板中最左侧一列像素电路中的位于同组的前两个像素电路110,其中,与数据线D11连接的第一选通开关123的第一晶体管T21和第二晶体管T22的栅极分别输入相反的控制信号ctr11和xctr11,与数据线D11连接的第二选通开关124的第一晶体管T11和第二晶体管T12的栅极分别输入相反的控制信号xctr12和ctr12;与数据线D12连接的第一选通开关123的第一晶体管T41和第二晶体管T42的栅极分别输入相反的控制信号ctr14和xctr14,与数据线D12连接的第二选通开关124的第一晶体管T31和第二晶体管T32的栅极分别输入相反的控制信号xctr13和ctr13。参考图10和图11,位于同组中同一列的相邻两行像素电路的工作过程共分为5个阶段。以下仍以第一组像素电路110(前两行像素电路110)中最左侧一列像素电路110进行说明,即以图10所示显示面板最左侧一列位于前两行的像素电路110(两个像素电路110中,位于第一行的像素电路110以下简称为第一像素电路113,位于第二行的像素电路110以下简称为第二像素电路114)为例进行说明,仍以像素电路110中各晶体管为P型晶体管为例。

[0071] 在第一阶段t11,第一像素电路113进入并完成初始化阶段,其中,第一像素电路113中各晶体管的导通或关断状态与上述实施例中像素电路110处于初始化阶段的各晶体管的导通或关断状态相同,在此不再赘述;此时第二像素电路114保持上一帧的发光状态。并且,在第一阶段t11,与第一像素电路113电连接的第二选通开关124的第二晶体管T12的栅极输入的控制信号ctr12为高电平,相应的,与第一像素电路113电连接的第二选通开关124的第一晶体管T11的栅极输入的控制信号xctr12为低电平,与第一像素电路113电连接的第二选通开关124导通,初始化电压输出单元122输出的初始化电压通过导通的第二选通开关124传输至数据线D11,并通过数据线D11传输至第一像素电路113。

[0072] 在第二阶段t12,第一像素电路113进入并完成阈值侦测阶段,其中,第一像素电路113中各晶体管的导通或关断状态与上述实施例中像素电路110处于阈值侦测阶段的各晶体管的导通或关断状态相同,在此不再赘述;此时第二像素电路114保持上一帧的发光状态。

[0073] 在第三阶段t13,第一像素电路113进入并完成数据写入阶段,其中,第一像素电路113中各晶体管的导通或关断状态与上述实施例中像素电路110处于数据写入阶段的各晶体管的导通或关断状态相同,在此不再赘述;在第三阶段t13,第二像素电路114进入并完成初始化阶段,其中,第二像素电路114中各晶体管的导通或关断状态与上述实施例中像素电路110处于初始化阶段的各晶体管的导通或关断状态相同,在此不再赘述。并且,在第三阶段t13,与第一像素电路113电连接的第一选通开关123的第一晶体管T21的栅极输入的控制信号ctr11为低电平,相应的,与第一像素电路113电连接的第一选通开关123的第二晶体管T22的栅极输入的控制信号xctr11为高电平,与第一像素电路113电连接的第一选通开关123导通,数据信号输出单元121输出第一像素电路113对应的第一数据电压V1,且第一数据电压V1通过导通的第一选通开关123传输至数据线D11,并通过数据线D11传输至第一像素电路113。并且,在第三阶段t13,与第二像素电路114电连接的第二选通开关124的第二晶体管T32的栅极输入的控制信号ctr13为高电平,相应的,与第二像素电路114电连接的第二选通开关124的第一晶体管T31的栅极输入的控制信号xctr13为低电平,与第二像素电路114电连接的第二选通开关124导通,初始化电压输出单元122输出的初始化电压通过导通的第二选通开关124传输至数据线D12,并通过数据线D12传输至第二像素电路114。

[0074] 在第四阶段t14,第一像素电路113进入发光阶段,第一像素电路113中各晶体管的导通或关断状态与上述实施例中像素电路110处于发光阶段的各晶体管的导通或关断状态相同,在此不再赘述;在第四阶段t14,第二像素电路114完成进入并完成阈值侦测阶段。

[0075] 第五阶段t15,第二像素电路114进行数据写入阶段及后续的发光阶段。并且,在第五阶段t15,第二像素电路114进行数据写入时,与第二像素电路114电连接的第一选通开关123的第一晶体管T41的栅极输入的控制信号ctr14为低电平,相应的,与第一像素电路113电连接的第一选通开关123的第二晶体管T42的栅极输入的控制信号xctr14为高电平,与第二像素电路114电连接的第一选通开关123导通,数据信号输出单元121输出第二像素电路114对应的第二数据电压V2,且第二数据电压V2通过导通的第一选通开关123传输至数据线D12,并通过数据线D12传输至第二像素电路114。

[0076] 其中,图11所示工作时序图中,ON表示由该控制信号控制的晶体管导通,OFF表示由该控制信号控制的晶体管关断。

[0077] 如上述对第一像素电路113和第二像素电路114工作过程的分析,因每列像素电路110连接n条数据线,n大于或等于2,且位于同组的同一列像素电路110中的n个像素电路110分别与n条数据线一一对应电连接,使得与位于同组的同一列像素电路110中的不同像素电路110连接的数据线可以在同一时刻传输不同电压,例如图11所示的第三阶段,与第一像素电路113电连接的数据线传输的电压为初始化电压,与第二像素电路114电连接的数据线传输的电压为第二像素电路114对应的数据电压,相应的,与第二像素电路114电连接的扫描线传输的第一个扫描脉冲可以与第一像素电连接的扫描线传输的第二个扫描脉冲交叠(参见图11中Scan1和Scan2),进而使得在第一像素电路113的初始化阶段、阈值侦测阶段和数

据写入阶段完成时,第二像素电路114也进行了初始化阶段,即使得在相同时间内,可以完成对更多行像素的扫描,进而提高对像素电路110的扫描频率,实现对像素电路110的高频驱动;或者说,对于每个像素电路110来说,进行各个工作阶段的时间可以变长,例如,数据写入阶段时间变长,可以使得数据电压被充分地写入,保证良好的显示效果;阈值侦测时间变长,可以使得各像素电路110的第四晶体管T4的阈值电压被侦测的更为准确,避免对驱动晶体管(第四晶体管T4)阈值电压侦测不准确造成的显示不均,保证更佳的显示效果。并且,本实施例中,扫描线向第二像素电路114传输的第一个扫描脉冲与扫描线向第一像素传输的第二个扫描脉冲完全交叠,因此对于提供扫描脉冲信号的扫描脉冲信号来说,更容易实现。

[0078] 本发明实施例提供了一种有机发光显示面板的驱动方法,图12是本发明实施例提供的一种有机发光显示面板的驱动方法的流程图,该驱动方法可用于驱动本发明任意实施例提供的显示面板,参考图1,有机发光显示面板包括:多个像素电路110、多条数据线(D11、D12、D21、D22、D31、D32、D41、D42……)和多条扫描线(S1、S2、S3、S4、S5、S6……);

[0079] 沿数据线延伸方向y,像素电路110划分为多组,每组像素电路100中分别包括紧邻的n行像素电路110, $n \geq 2$;

[0080] 像素电路110包括数据电压写入模块111、驱动模块112,数据电压写入模块111的控制端G2与像素电路110的扫描信号输入端Scan电连接,数据电压写入模块111的第一端与像素电路110的数据电压输入端Vdata电连接,数据电压写入模块111的第二端与驱动模块112的控制端G1电连接;

[0081] 每行像素电路110的扫描信号输入端Scan连接一条扫描线;每个像素电路110的数据电压输入端Vdata电连接一条数据线,每列像素电路与n条数据线对应电连接;位于同组的同一列像素电路中,沿数据线延伸方向,位于第k行的像素电路110与n条数据线中的第k条数据线电连接,其中,k为整数且 $1 \leq k \leq n$;

[0082] 参考图12,驱动方法包括:

[0083] 步骤210、一帧内,向数据线顺次输出初始化电压和数据电压;以及逐行向各扫描线输出扫描信号,扫描信号包括两个扫描脉冲;

[0084] 对于同组的相邻两行像素电路连接的两条扫描线,沿数据线延伸方向,向后一条扫描线输出的扫描信号的第一个扫描脉冲与向前一条扫描线输出的扫描信号的第二个扫描脉冲存在交叠,或者,向后一条扫描线输出的第一个扫描脉冲位于向前一条扫描线输出的第一个扫描脉冲和第二个扫描脉冲之间。

[0085] 具体的,可参考图8-图11,其中,图8和图9可对应每组像素电路包括两行像素电路的情况,其中,图8所示两个像素电路可对应图3所示显示面板中最左侧一列像素电路中的前两个像素电路;其中,图10和图11可对应每组像素电路包括两行像素电路的情况,其中,图10所示两个像素电路可对应图5所示显示面板中最左侧一列像素电路中的位于同组的前两个像素电路。参考图8-图11,在一帧内,每条扫描线输出两个扫描脉冲,在第一个扫描脉冲时,可向数据线输出初始化电压,在第二个扫描脉冲时,可向数据线输出数据电压。扫描线S2向第二像素电路114输出的扫描信号的第一个扫描脉冲与扫描线S1向第一像素电路113输出的扫描信号的第二个扫描脉冲存在交叠,或者扫描线S2向第二像素电路114输出的扫描信号的第一个扫描脉冲位于扫描线S1向第一像素电路113输出的扫描信号的第一个

扫描脉冲和第二个扫描脉冲之间,进而使得对第二行像素电路的扫描和对第一行像素电路的扫描可以存在重叠,进而使得在固定的一帧时间内,对每行像素电路的扫描脉冲可以变宽(扫描脉冲对应的时间可以变长),相应的数据电压写入的时间可以变长,进而可以使得数据电压可以被充分完整地写入到驱动模块的控制端,进而保证良好的显示效果。

[0086] 本发明实施例提供的有机发光显示面板的驱动方法,通过一帧内,向数据线顺次输出初始化电压和数据电压;以及逐行向各扫描线输出扫描信号,扫描信号包括两个扫描脉冲;对于同组的相邻两行像素电路连接的两条扫描线,沿数据线延伸方向,向下一条扫描线输出的扫描信号的第一个扫描脉冲与向与前一条扫描线输出的扫描信号的第二个扫描脉冲存在交叠,或者,向下一条扫描线输出的第一个扫描脉冲位于向前一条扫描线输出的第一个扫描脉冲和第二个扫描脉冲之间;可以使得位于同组的同一列的像素电路中,相邻两行的像素电路中,前一行像素电路的数据电压写入和后一行像素电路的初始化电压写入可以有交叠,进而可以使得对于每一行像素电路来说,每个工作阶段的进行时间可以变长,相应的,数据写入阶段的时间变长,进而可以使得数据电压可以被充分完整地写入到驱动模块的控制端,进而保证良好的显示效果。

[0087] 参考图3,在上述技术方案的基础上,可选的,有机发光显示面板还包括驱动芯片120,驱动芯片120包括数据信号输出单元121、初始化电压输出单元122、多个第一选通开关123、多个第二选通开关124和多个输出端口(A1、A2……),输出端口(A1、A2……)与数据线(D11、D12、D21、D22、D31、D32、D41、D42……)一一对应电连接;数据信号输出单元121用于提供数据电压,初始化电压输出单元122用于提供初始化电压;

[0088] 每个输出端口(A1、A2……)通过一第一选通开关123与数据信号输出单元121电连接;每个输出端口(A1、A2……)还通过一第二选通开关124与初始化电压输出单元122电连接;

[0089] 可选的,驱动方法还包括:

[0090] 对于任一像素电路,初始化阶段,控制与像素电路电连接相同数据线的第二选通开关导通,并至少在第二选通开关导通部分时段内,向与该像素电路电连接的扫描线输出第一个扫描脉冲;

[0091] 数据写入阶段,控制与像素电路电连接相同数据线的第二选通开关导通,并至少在第二选通开关导通的部分时段内,向与该像素电路电连接的扫描线输出第二个扫描脉冲;

[0092] 沿扫描线延伸方向,与同组像素电路电连接的相邻两条数据线中,与后一条数据线电连接的第二选通开关的导通时段和与前一条数据线电连接的第一选通开关的导通时段交叠,或者与后一条数据线电连接的第二选通开关的导通时段位于与前一条数据线电连接的第二选通开关和第一选通开关的导通时段之间。

[0093] 具体的,可参考图9和图11所示的时序图,例如参考图11所示的时序图,在第一阶段t11,第一像素电路进入并完成初始化阶段,在该阶段内,控制与第一像素电路电连接相同数据线的第二选通开关导通(向与第一像素电路电连接相同数据线的第二选通开关的第二晶体管的栅极输入高电平信号,具体参见ctr12信号,第二选通开关导通),并至少在第二选通开关导通部分时段内,向与该第一像素电路电连接的扫描线输出第一个扫描脉冲(可参见Scan1的第一个扫描脉冲),进而使得初始化电压输出单元输出的初始化电压通过导通的第二选通开关传输至第一像素电路。

[0094] 继续参考图11,在第一像素电路的数据写入阶段,控制与第一像素电路电连接相同数据线的第二选通开关导通(向与第一像素电路电连接相同数据线的第二选通开关的第一晶体管的栅极输入低电平信号,具体参见ctr11信号,第二选通开关导通),并至少在第二选通开关导通的部分时段内,向与该像素电连接的扫描线输出第二个扫描脉冲可参见Scan1的第二个扫描脉冲),进而使得数据信号输出单元输出的数据电压通过导通的第二选通开关传输至第一像素电路。

[0095] 继续参考图8-图11,沿扫描线延伸方向,与同组像素电路电连接的相邻两条数据线路中,与后一条数据线路电连接的第二选通开关的导通时段和与前一条数据线路电连接的第二选通开关的导通时段交叠,或者与后一条数据线路电连接的第二选通开关的导通时段位于与前一条数据线路电连接的第二选通开关和第一选通开关的导通时段之间,进而可以使得在同一时刻,与同组像素电路电连接的相邻两条数据线路中,后一条数据线路与前一条数据线路在同一时刻可传输不同的电压,即使得同组中位于不同行的像素电路的数据电压写入阶段与初始化阶段可以有交叠,进而可以使得对于每一行像素电路来说,每个工作阶段的进行时间可以变长,相应的,数据写入阶段的时间变长,进而可以使得数据电压可以被充分完整地写入到驱动模块的控制端,进而保证良好的显示效果

[0096] 参考图4,在上述技术方案的基础上,可选的,有机发光显示面板还包括驱动芯片120,驱动芯片120包括数据信号输出单元121、初始化电压输出单元122、多个第二选通开关123、多个第三选通开关124和多个输出端口(A1、A2……),输出端口(A1、A2……)与数据线路(D11、D12、D21、D22、D31、D32、D41、D42……)一一对应电连接;其中,数据信号输出单元121的输出端通过n个第二选通开关123与n个输出端口(A1、A2……)电连接,电连接数据信号输出单元121的一输出端的n个输出端口(A1、A2……)与同一列像素电路110所电连接的n条数据线路一一对应电连接;每个输出端口还通过一第三选通开关124与初始化电压输出单元122电连接;驱动方法还包括:

[0097] 对于任一像素电路,初始化阶段,控制与像素电路电连接相同数据线路的第三选通开关导通,并至少在第三选通开关导通部分时段内,向与该像素电连接的扫描线输出第一个扫描脉冲;

[0098] 数据写入阶段,控制与与像素电路电连接相同数据线路的第二选通开关导通,并至少在第二选通开关导通的部分时段内,向与该像素电连接的扫描线输出第二个扫描脉冲;

[0099] 沿扫描线延伸方向,与同组像素电路电连接的相邻两条数据线路相中,与后一条数据线路电连接的第三选通开关的导通时段和与前一条数据线路电连接的第二选通开关的导通时段交叠,或者与后一条数据线路电连接的第三选通开关的导通时段位于与前一条数据线路电连接的第三选通开关和第二选通开关的导通时段之间;

[0100] 一帧内,每个数据信号输出单元依次输出n个数据电压,且与同一数据信号输出单元输出端电连接的一第三选通开关导通时,数据信号输出单元输出与该第三选通开关电连接的输出端口对应的数据电压。

[0101] 参考图4和图5所示显示面板,以及图11所示工作时序,其中,数据信号输出单元121连接两条数据线路,相应的,一帧内,数据信号输出单元121依次输出两个数据电压,进而可以减少驱动芯片中数据信号输出单元的数量,有利于减小驱动芯片的面积,有利于减小有机发光显示面板的边框面积,进而实现窄边框。当数据信号121连接更多条数据线路时,一

帧内,数据信号输出单元121依次输出更多个数据电压,可以进一步减少驱动芯片中数据信号输出单元的数量。

[0102] 在上述技术方案的基础上,可选的,

[0103] 其中, $n=2$;

[0104] 与位于同组的同一列像素电路电连接的两条数据线包括沿扫描线延伸方向排布的第一数据线和第二数据线;与位于同组的同一列像素电路电连接的两条扫描线包括沿数据线延伸方向设置的第一扫描线和第二扫描线;

[0105] 可选的,驱动方法还包括:

[0106] 与第二数据线电连接的第二选通开关的导通时段和与第一数据线电连接的第一选通开关的导通时段完全重叠;

[0107] 向第二扫描线输出的第一个扫描脉冲与向第一扫描线输出的第二个扫描脉冲完全重叠。

[0108] 具体的,可以参见图10和图11,图10和图11可对应每组像素电路包括两行像素电路的情况,其中,图10所示两个像素电路可对应图5所示显示面板中最左侧一列像素电路中的位于同组的前两个像素电路,在第三阶段,与第二数据线电连接的第二选通开关的导通时段和与第一数据线电连接的第一选通开关的导通时段完全重叠;向第二扫描线输出的第一个扫描脉冲与向第一扫描线输出的第二个扫描脉冲完全重叠,进而可以使得提供扫描信号和提供控制第一控制开关和第二选通开关的电路更加容易实现。参考图6,在上述技术方案的技术上,可选的,数据电压写入模块包括第三晶体管,驱动模块包括第四晶体管,像素电路还包括第五晶体管、第六晶体管,第一电容、第二电容、有机发光二极管D1、第一电源电压输入端、第二电源电压输入端、发光控制信号输入端、复位电压输入端和复位控制信号输入端;

[0109] 其中,第三晶体管的栅极与像素电路的扫描信号输入端电连接,第三晶体管的第一极与像素电路的数据电压输入端电连接,第三晶体管的第一极与第四晶体管的栅极电连接;

[0110] 第四晶体管的第一极与第五晶体管的第二极电连接,第四晶体管的第二极与有机发光二极管D1的第一端电连接,有机发光二极管D1的第二端与第二电源电压输入端电连接;

[0111] 第五晶体管的栅极与发光控制信号输入端电连接,第五晶体管的第一极与第一电源电压输入端电连接;

[0112] 第六晶体管的栅极与复位控制信号输入端电连接,第六晶体管的第一极与复位电压输入端电连接,第六晶体管的第二极与第四晶体管的第二极电连接;

[0113] 第一电容的第一端与驱动晶体管的栅极电连接,第一电容的第二端与第四晶体管的第二极电连接;

[0114] 第二电容的第一端与第一电容的第二端电连接,第二电容的第二端与第一电源电压输入端电连接;

[0115] 参考图7所示时序图,驱动方法还包括:

[0116] 初始化阶段 t_1 ,控制第六晶体管、第三晶体管和第五晶体管导通,复位电压输入端输入的复位电压通过导通的第六晶体管写入到有机发光二极管D1的第一端,第三晶体管,

数据电压输入端输入的初始化电压通过导通的第三晶体管写入到第四晶体管的控制端和第一电容；

[0117] 阈值侦测阶段 t_2 ,控制第三晶体管和第五晶体管关闭,第一电容和第二电容放电,直至第一电容第二端与第一电容第一端的电压等于第四晶体管的阈值电压时,放电停止；

[0118] 数据写入阶段 t_3 ,控制数据写入模块导通,数据电压输入端输入的数据电压通过导通的第三晶体管写入到第四晶体管的控制端和第一电容；

[0119] 发光阶段 t_4 ,控制第五晶体管导通,第四晶体管驱动有机发光二极管D1发光。

[0120] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

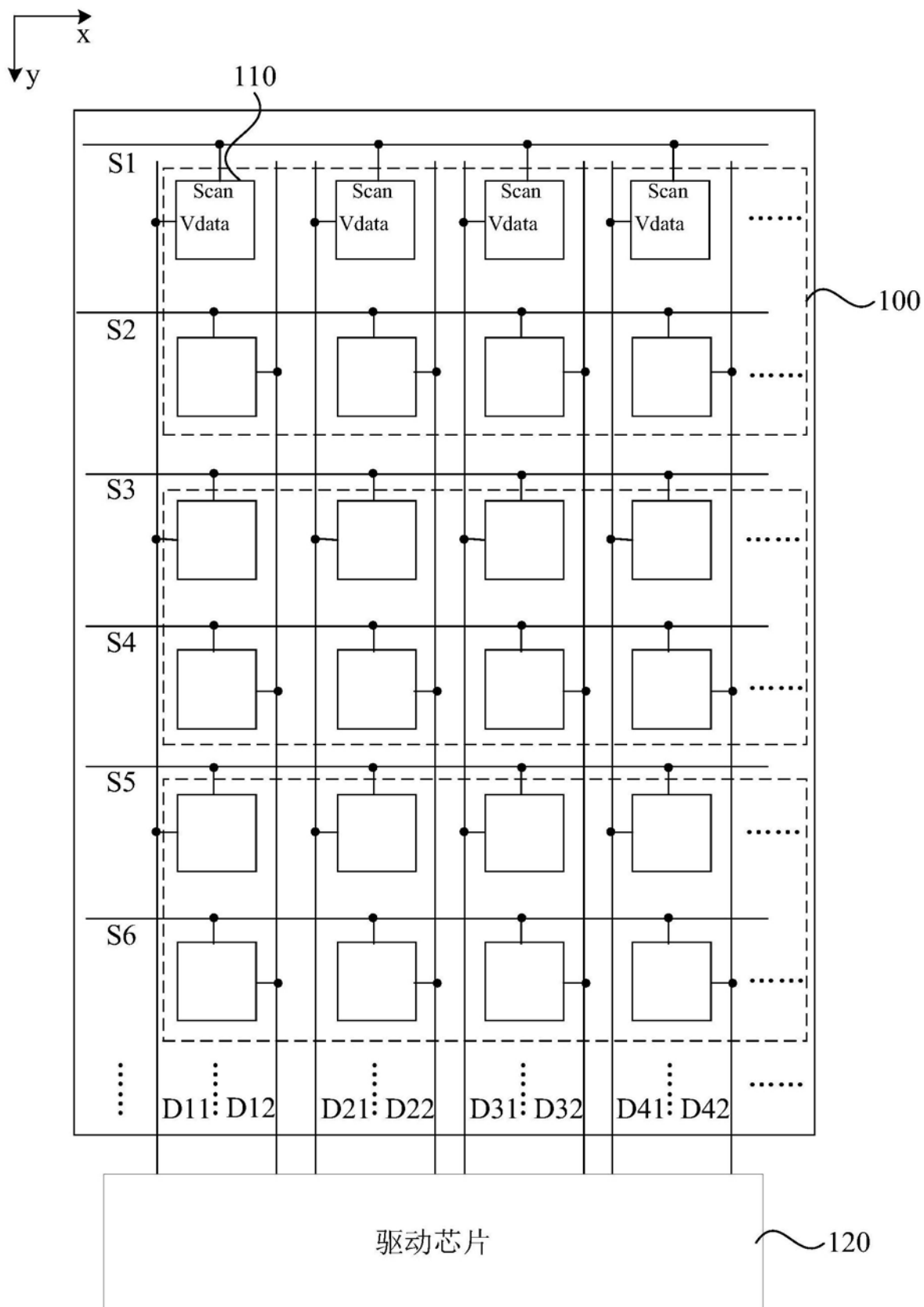


图1

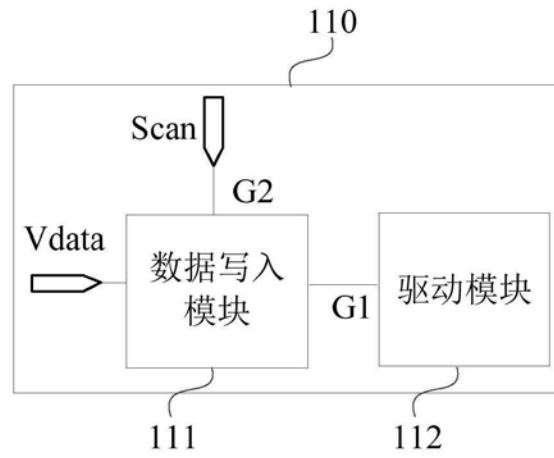


图2

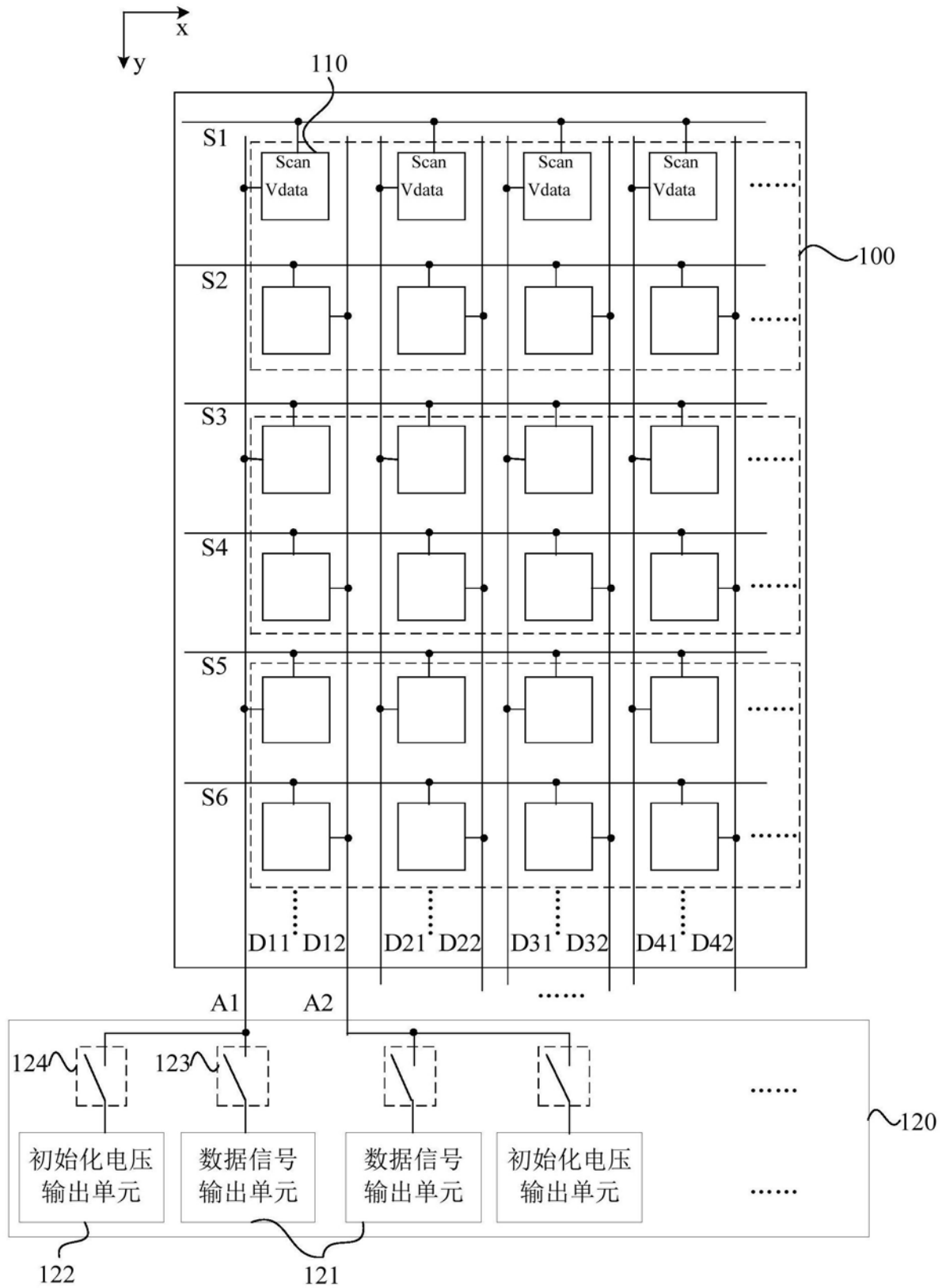


图3

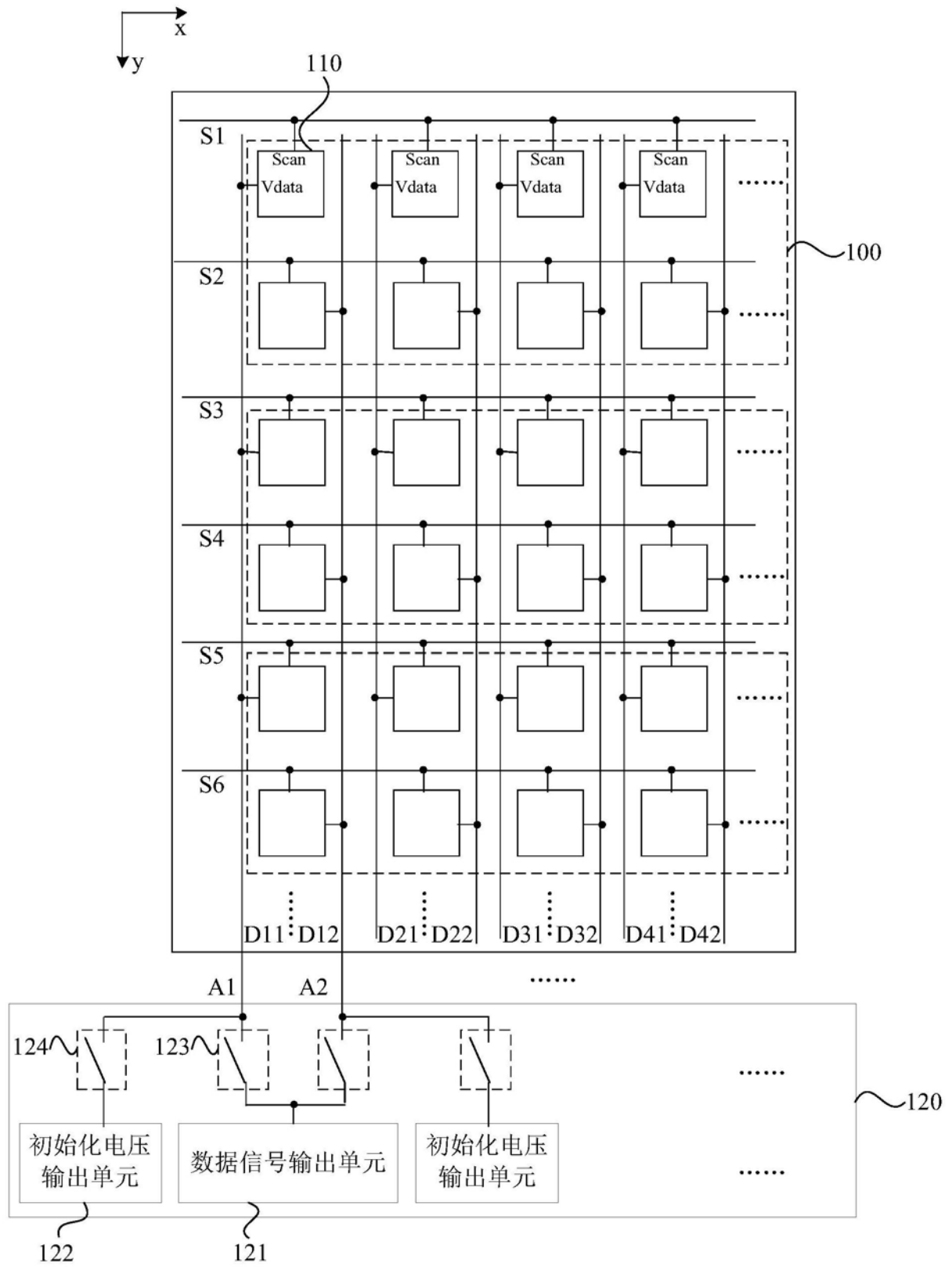


图4

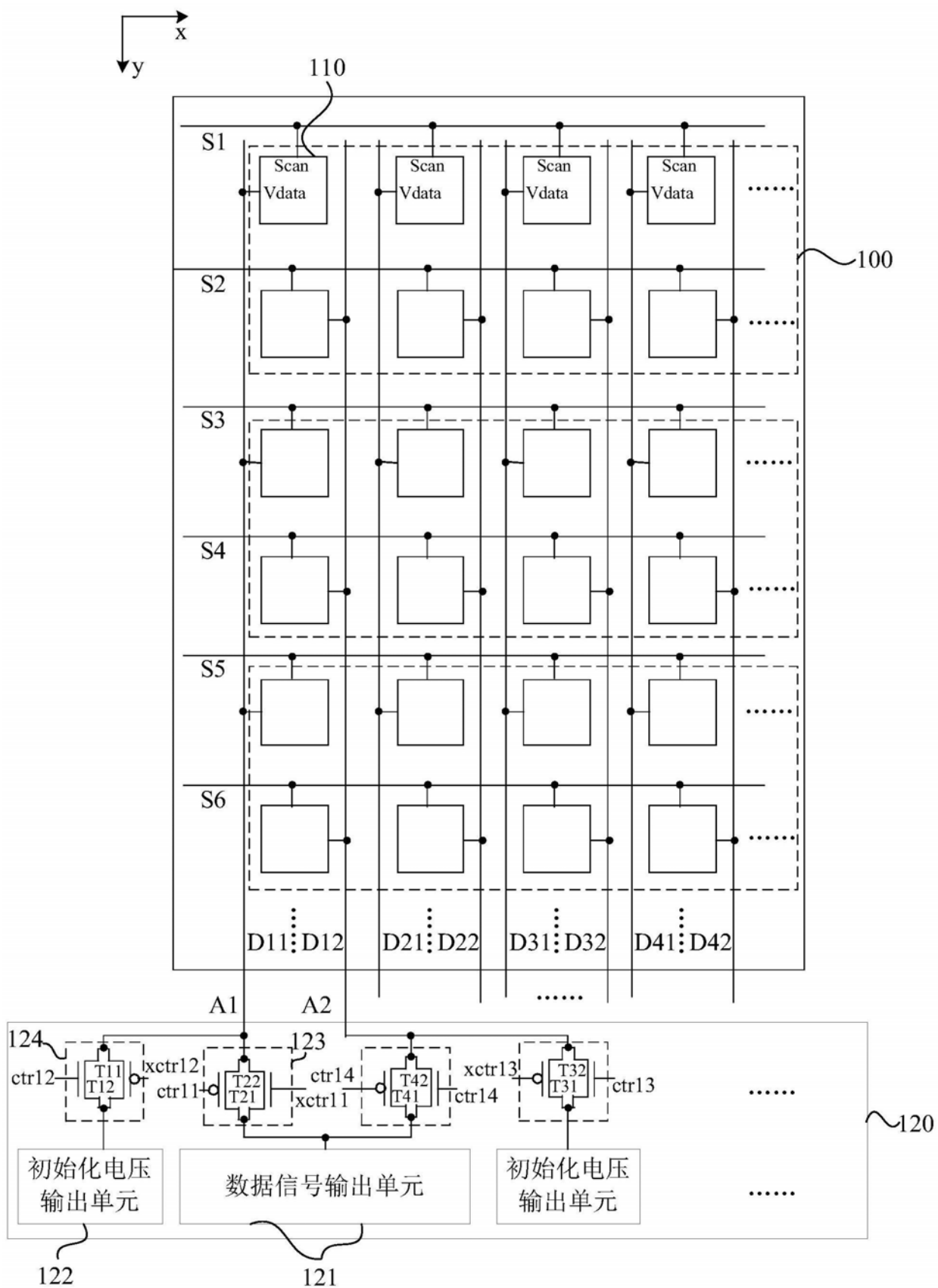


图5

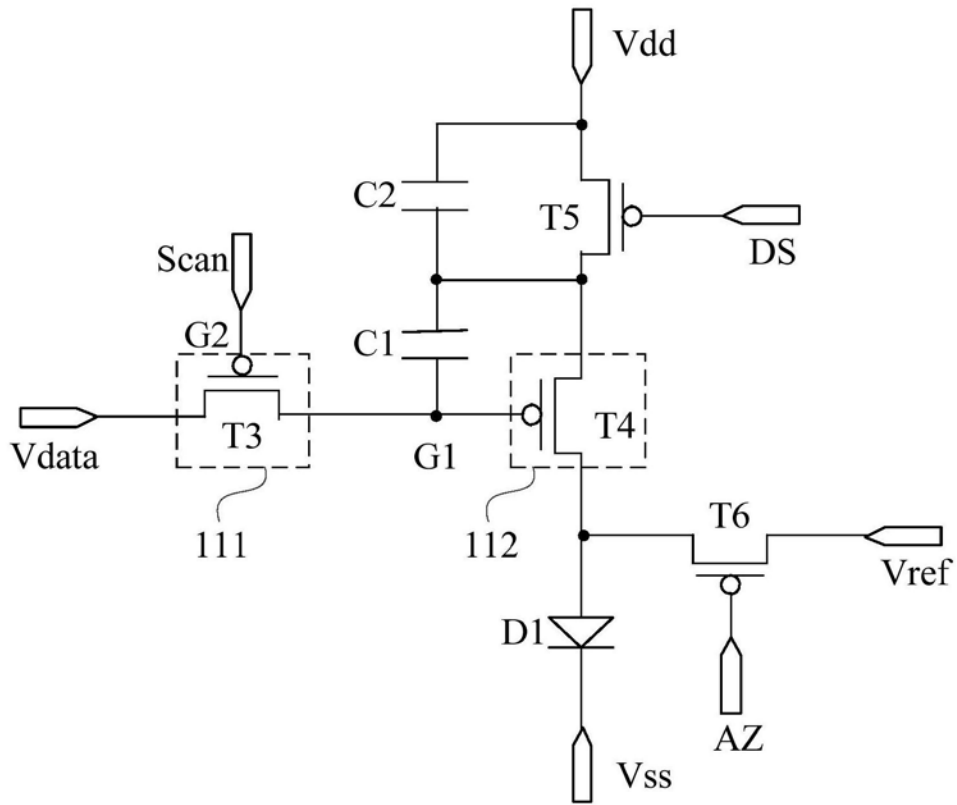


图6

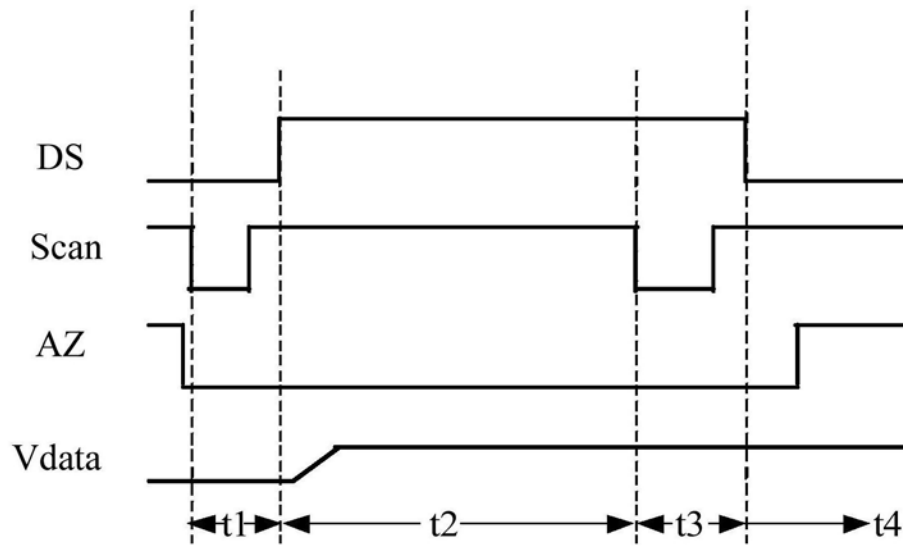


图7

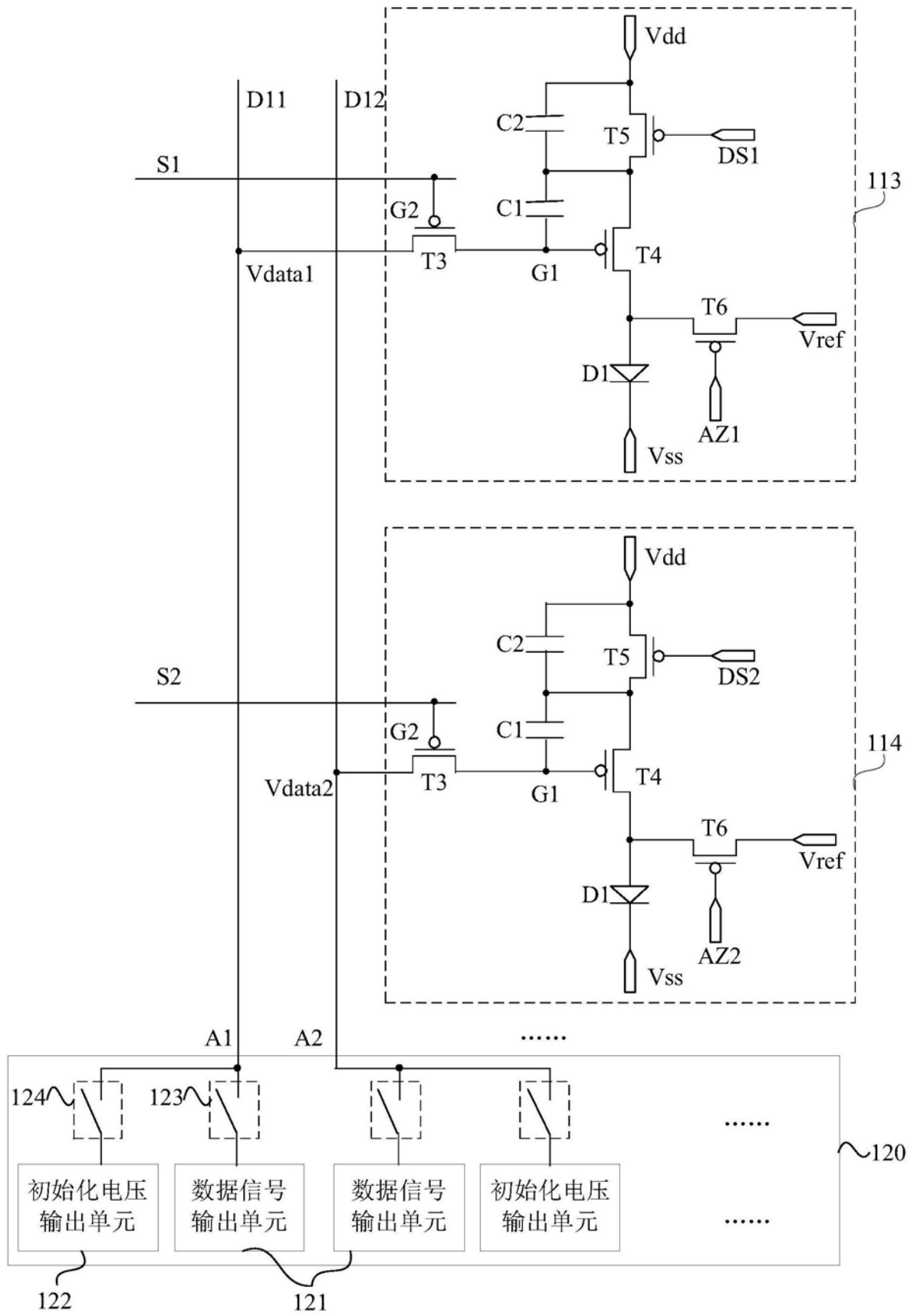


图8

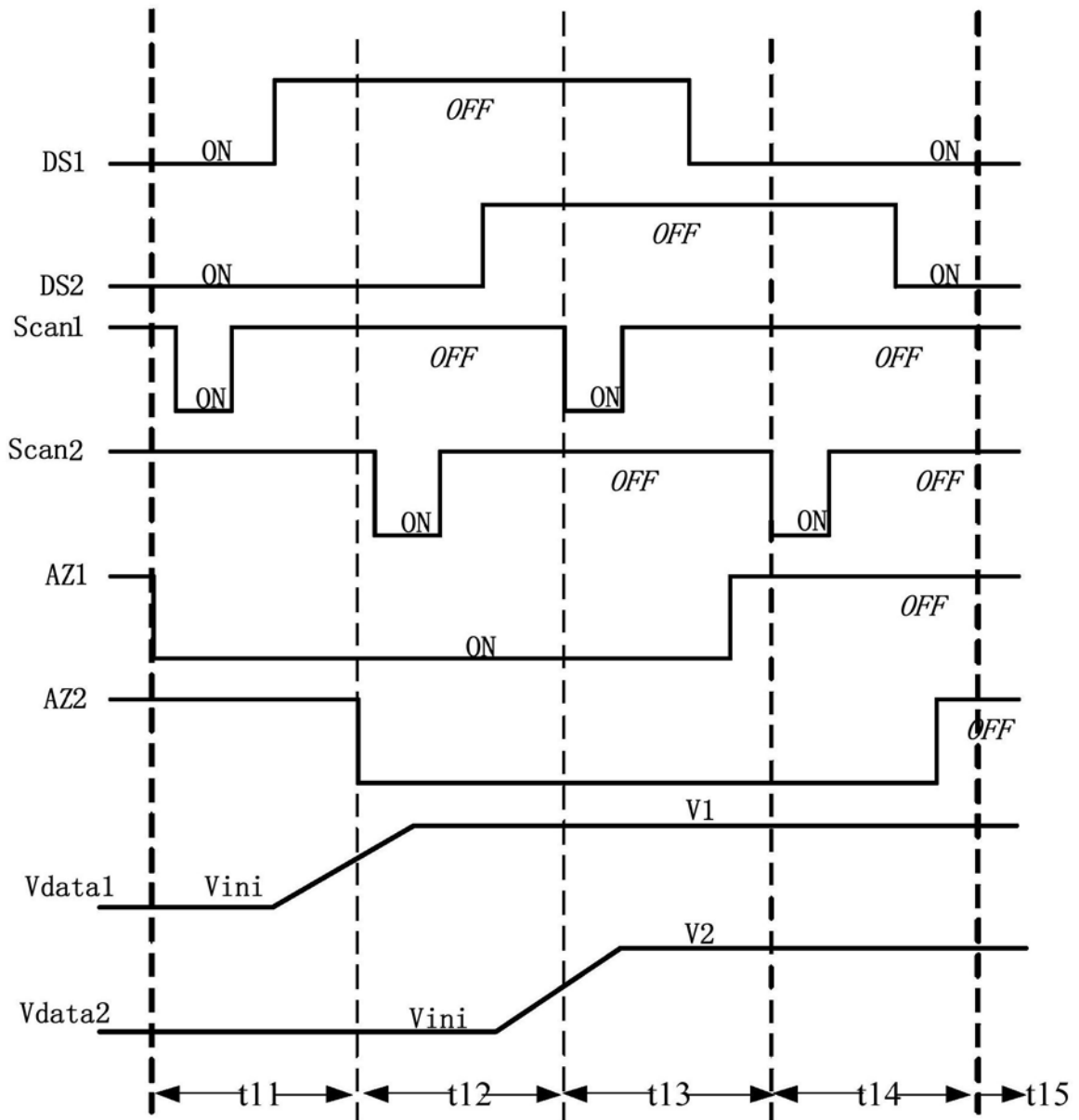


图9

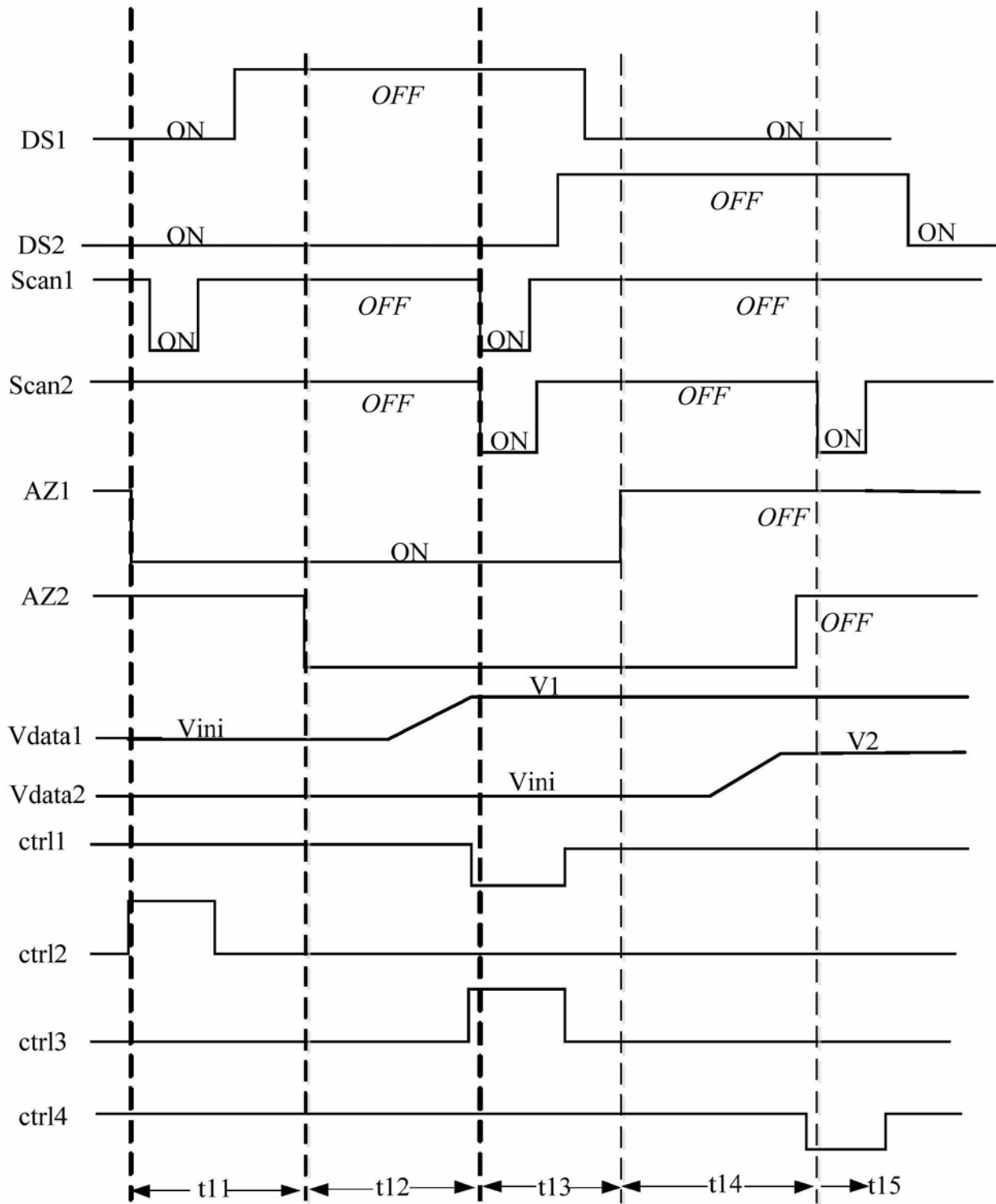


图11

一帧内，向数据线顺次输出初始化电压和数据电压；以及逐行向各扫描线输出扫描信号，扫描信号包括两个扫描脉冲；对于同组的相邻两行像素电路连接的两条扫描线，沿数据线延伸方向，向后一条扫描线输出的扫描信号的第一个扫描脉冲与向前一条扫描线输出的扫描信号的第二个扫描脉冲存在交叠，或者，向后一条扫描线输出的第一个扫描脉冲位于向前一条扫描线输出的第一个扫描脉冲和第二个扫描脉冲之间

210

图12

专利名称(译)	一种有机发光显示面板及其驱动方法		
公开(公告)号	CN110189702A	公开(公告)日	2019-08-30
申请号	CN201910576366.6	申请日	2019-06-28
[标]发明人	钱栋 吴桐		
发明人	钱栋 吴桐		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G2310/0202 G09G2320/0233		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种有机发光显示面板及其驱动方法，有机发光显示面板包括：多个像素电路、多条数据线和多条扫描线；沿数据线延伸方向，像素电路划分为多组，每组像素电路中分别包括紧邻的 n 行像素电路， $n \geq 2$ ；每行像素电路的扫描信号输入端连接一条扫描线；每个像素电路的数据电压输入端电连接一条数据线，每列像素电路与 n 条数据线对应电连接；位于同组的同一列像素电路中，沿数据线延伸方向，位于第 k 行的像素电路与 n 条数据线中的第 k 条数据线电连接， k 为整数且 $1 \leq k \leq n$ 。该有机发光显示面板可以使得对于每一行像素电路来说，数据写入阶段的时间变长，使得数据电压可以被充分完整地写入到驱动模块的控制端，保证良好的显示效果。

