



(12)发明专利申请

(10)申请公布号 CN 109584801 A

(43)申请公布日 2019.04.05

(21)申请号 201811535362.5

(22)申请日 2018.12.14

(71)申请人 云谷(固安)科技有限公司

地址 065000 河北省廊坊市固安县新兴产业示范区

(72)发明人 文国哲

(74)专利代理机构 北京布瑞知识产权代理有限公司 11505

代理人 孟潭

(51)Int.Cl.

G09G 3/3225(2016.01)

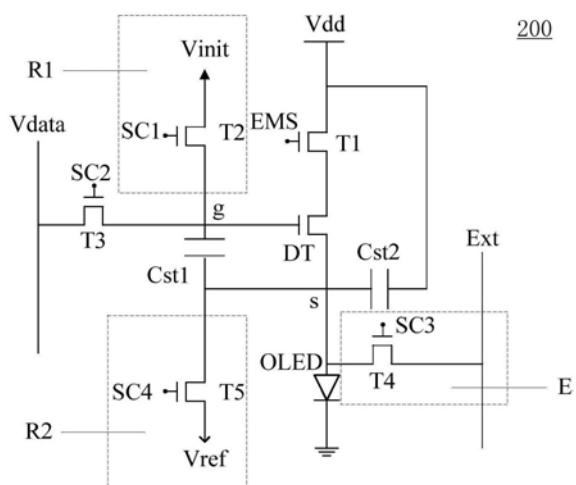
权利要求书2页 说明书8页 附图6页

(54)发明名称

像素电路、显示面板、显示装置及驱动方法

(57)摘要

本发明提供了一种像素电路、显示面板、显示装置及驱动方法,像素电路包括:第一电容器,连接在第一节点与第二节点连接之间;第二重置电路,与第二节点连接,用于在像素电路的重置时段将第二重置电压施加到第二节点;第一重置电路,与第一节点连接,用于在像素电路的感测时段将第一重置电压施加到第一节点;驱动薄膜晶体管,驱动薄膜晶体管的栅极与第一节点连接,驱动薄膜晶体管的源极与第二节点连接;第一开关薄膜晶体管,第一开关薄膜晶体管的栅极与发光控制信号线连接,第一开关薄膜晶体管的漏极与电源电压的供应线连接,第一开关薄膜晶体管的源极与驱动薄膜晶体管的漏极连接;以及有机发光二极管,有机发光二极管在第二节点与电源低电位之间。



1. 一种像素电路,其特征在于,包括:

第一电容器,连接在第一节点与第二节点连接之间;

第二重置电路,用于在所述像素电路的重置时段将第二重置电压施加到所述第二节点;

第一重置电路,用于在所述像素电路的感测时段将第一重置电压施加到所述第一节点;

驱动薄膜晶体管,所述驱动薄膜晶体管的栅极与所述第一节点连接,所述驱动薄膜晶体管的源极与所述第二节点连接;

有机发光二极管,所述有机发光二极管连接在所述第二节点与电源低电位之间。

2. 根据权利要求1所述的像素电路,其特征在于,还包括:

第一开关薄膜晶体管,所述第一开关薄膜晶体管的栅极与发光控制信号线连接,所述第一开关薄膜晶体管的漏极与电源电压的供应线连接,所述第一开关薄膜晶体管的源极与所述驱动薄膜晶体管的漏极连接,

其中,所述第一重置电路包括第二开关薄膜晶体管,所述第二开关薄膜晶体管的栅极与第一扫描信号线连接,所述第二开关薄膜晶体管的漏极与所述第一重置电压的供应线连接,所述第二开关薄膜晶体管的源极与所述第一节点连接;

所述第二重置电路包括第五开关薄膜晶体管,所述第五开关薄膜晶体管的漏极与所述第二重置电压的供应线连接,所述第二开关薄膜晶体管的栅极与第四扫描信号线连接,所述第五开关薄膜晶体管的源极与所述第二节点连接。

3. 根据权利要求2所述的像素电路,其特征在于,还包括:

数据写入电路,与所述第一节点连接,用于在所述像素电路的数据写入时段将数据电压施加到所述第一节点,其中,所述数据写入电路包括第三开关薄膜晶体管,所述第三开关薄膜晶体管的栅极与第二扫描信号线连接,所述第三开关薄膜晶体管的漏极与数据线连接,所述第三开关薄膜晶体管的源极与所述第一节点连接。

4. 根据权利要求1至3中任一项所述的像素电路,其特征在于,还包括:

第二电容器,所述第二电容器的一端与所述第一开关薄膜晶体管的漏极连接,所述第二电容器的另一端与所述第二节点连接。

5. 根据权利要求1至3中任一项所述的像素电路,其特征在于,还包括:外部补偿检测电路,与所述第二节点连接,用于在所述像素电路的外部读取时间段对所述有机发光二极管的电流进行监控以对所述发光二极管的电流进行补偿。

6. 根据权利要求5所述的像素电路,其特征在于,所述外部补偿检测电路包括第四开关薄膜晶体管,所述第四开关薄膜晶体管的栅极与第三扫描信号线连接,所述第四开关薄膜晶体管的源极与所述第二节点连接。

7. 根据权利要求1至3中任一项所述的像素电路,其特征在于,所述驱动薄膜晶体管和所述第一开关薄膜晶体管为N型MOSFET。

8. 一种像素电路,其特征在于,包括:

第一电容器,连接在第一节点和第二节点之间;

驱动薄膜晶体管,所述驱动薄膜晶体管的栅极与所述第一节点连接,所述驱动薄膜晶体管的源极与所述第二节点连接;

开关薄膜晶体管,所述开关薄膜晶体管的栅极与发光控制信号线连接,所述开关薄膜晶体管连接在电源电压的供应线与所述驱动薄膜晶体管之间;

有机发光二极管,所述有机发光二极管在所述第二节点与电源低电位之间;以及,

外部补偿检测电路,与所述第二节点连接,用于在所述像素电路的外部读取时间段对所述有机发光二极管的电流进行监控以对所述发光二极管的电流进行补偿。

9. 一种显示面板,包括如权利要求1至8中任一项所述的像素电路。

10. 一种像素电路的驱动方法,其特征在于,包括:

在所述像素电路的重置时段,控制所述像素电路中的第二重置电路导通,以将第二重置电压施加到所述像素电路中的驱动薄膜晶体管的源极;

在所述像素电路的感测时段,控制所述像素电路中的第二开关薄膜晶体管导通,以将第一重置电压施加到所述驱动薄膜晶体管的栅极;

在所述像素电路的数据写入时段,控制所述像素电路中的第三开关薄膜晶体管导通,以将数据电压施加到所述驱动薄膜晶体管的栅极;

在所述像素电路的发光时段,控制所述像素电路的第一开关薄膜晶体管导通,以使得连接在所述驱动薄膜晶体管的源极的发光二极管发光。

## 像素电路、显示面板、显示装置及驱动方法

### 技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种像素电路、显示面板、显示装置及驱动方法。

### 背景技术

[0002] 近年来,有机发光二极管(OLED,Organic Light-Emitting Diode)显示装置由于具有自发光、响应时间短、对比度高、广视角、功耗低等多方面的优点,得到了广泛的应用。

[0003] 但是,由于晶化工艺的局限性或者长时间加压和高温,OLED显示装置中的薄膜晶体管(Thin Film Transistor,TFT)的特性(例如,阈值电压或迁移率)容易产生偏差。虽然也有一些现有技术在补偿阈值电压偏差的基础上补偿了TFT的迁移率产生的偏差,但还是存在重置不充分的问题。

### 发明内容

[0004] 有鉴于此,本发明实施例提供了一种像素电路、显示面板、显示设备及驱动方法,以解决重置不充分的问题。

[0005] 本发明实施例的第一方面在于提供一种像素电路,包括:第一电容器,连接在第一节点与第二节点连接之间;第二重置电路,用于在像素电路的重置时段将第二重置电压施加到第二节点;第一重置电路,用于在像素电路的感测时段将第一重置电压施加到第一节点;驱动薄膜晶体管,驱动薄膜晶体管的栅极与第一节点连接,驱动薄膜晶体管的源极与第二节点连接;以及,有机发光二极管,有机发光二极管连接在第二节点与电源低电位之间。

[0006] 在本发明一实施例中,第一开关薄膜晶体管,第一开关薄膜晶体管的栅极与发光控制信号线连接,第一开关薄膜晶体管的漏极与电源电压的供应线连接,第一开关薄膜晶体管的源极与驱动薄膜晶体管的漏极连接;第一重置电路包括第二开关薄膜晶体管,第二开关薄膜晶体管的栅极与第一扫描信号线连接,第二开关薄膜晶体管的漏极与第一重置电压的供应线连接,第二开关薄膜晶体管的源极与第一节点连接,第二重置电路包括第五开关薄膜晶体管,第五开关薄膜晶体管的漏极与第二重置电压的供应线连接,第二开关薄膜晶体管的栅极与第四扫描信号线连接,第五开关薄膜晶体管的源极与第二节点连接。

[0007] 在本发明另一实施例中,上述像素电路还包括:数据写入电路,与第一节点连接,用于在像素电路的数据写入时段将数据电压施加到第一节点,其中,数据写入电路包括第三开关薄膜晶体管,第三开关薄膜晶体管的栅极与第二扫描信号线连接,第三开关薄膜晶体管的漏极与数据线连接,第三开关薄膜晶体管的源极与第一节点连接。

[0008] 在本发明另一实施例中,上述像素电路还包括:第二电容器,第二电容器的一端与第一开关薄膜晶体管的漏极连接,第二电容器的另一端与第二节点连接。

[0009] 在本发明另一实施例中,上述像素电路还包括:外部补偿检测电路,与第二节点连接,用于在像素电路的外部读取时段对有机发光二极管的电流进行监控以对发光二极管的电流进行补偿。

- [0010] 在本发明一实施例中,驱动薄膜晶体管和第一开关薄膜晶体管为N型MOSFET。
- [0011] 在本发明一实施例中,外部补偿检测电路包括第四开关薄膜晶体管,第四开关薄膜晶体管的栅极与第三扫描信号线连接,第四开关薄膜晶体管的源极与第二节点连接。
- [0012] 本发明实施例的第二方面在于提供一种像素电路,包括:第一电容器,连接在第一节点和第二节点之间;驱动薄膜晶体管,驱动薄膜晶体管的栅极与第一节点连接,驱动薄膜晶体管的源极与第二节点连接;开关薄膜晶体管,开关薄膜晶体管的栅极与发光控制信号线连接,开关薄膜晶体管连接在电源电压的供应线与驱动薄膜晶体管之间;有机发光二极管,有机发光二极管在第二节点与电源低电位之间;以及,外部补偿检测电路,与第二节点连接,用于在像素电路的外部读取时段对有机发光二极管的电流进行监控以对发光二极管的电流进行补偿。
- [0013] 本发明实施例的第三方面在于提供一种显示面板,包括以上任一实施例中的像素电路。
- [0014] 本发明实施例的第四方面在于提供一种显示装置,包括以上的显示面板。
- [0015] 本发明实施例的第五方面在于提供一种以上像素电路的驱动方法,包括:在像素电路的重置时段,控制像素电路中的第二重置电路导通,以将第二重置电压施加到像素电路中的驱动薄膜晶体管的源极;在像素电路的感测时段,控制像素电路中的第二开关薄膜晶体管导通,以将第一重置电压施加到驱动薄膜晶体管的栅极;在像素电路的数据写入时段,控制像素电路中的第三开关薄膜晶体管导通,以将数据电压施加到驱动薄膜晶体管的栅极;在像素电路的发光时段,控制像素电路的第一开关薄膜晶体管导通,以使得连接在驱动薄膜晶体管的源极的发光二极管发光。
- [0016] 在本发明另一实施例中,上述方法还包括:在像素电路的外部读取时段,控制连接在驱动薄膜晶体管的源极的第四开关薄膜晶体管导通,以对有机发光二极管的电流进行监控。
- [0017] 根据本发明的实施例,通过在像素电路的驱动薄膜晶体管的栅极增加了第一重置电路,用于在重置时段之后,即在感测时段将第一重置电压进一步施加到驱动薄膜晶体管的栅极,使得像素电路的重置过程充分,进而使得像素电路可以用于高分辨率的显示装置。

## 附图说明

- [0018] 图1为一种像素电路的示意图。
- [0019] 图2为如图1所示的像素电路的示例性的驱动时序图。
- [0020] 图3为本发明一实施例提供的像素电路的示意图。
- [0021] 图4为本发明另一实施例提供的如图3所示的像素电路的示例性的驱动时序图。
- [0022] 图5为本发明一实施例提供的如图3所示的像素电路在重置时段的电路状态图。
- [0023] 图6为本发明一实施例提供的如图3所示的像素电路在阈值电压存储时段的电路状态图。
- [0024] 图7为本发明一实施例提供的如图3所示的像素电路在数据写入时段的电路状态图。
- [0025] 图8为本发明一实施例提供的如图3所示的像素电路在发光时段的电路状态图。
- [0026] 图9为本发明一实施例提供的如图3所示的像素电路在外部读取时段的电路状态

图。

[0027] 图10为本发明一实施例提供的像素电路的驱动方法的流程示意图。

[0028] 图11为本发明另一实施例提供的像素电路的驱动方法的流程示意图。

## 具体实施方式

[0029] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0030] 随着OLED显示装置的使用,存在有机发光材料老化,TFT材料老化等问题,这些问题会造成OLED显示装置在显示中产生串扰或者显示亮度不均匀等问题。一般使用7T1C为基础的P型金属氧化物半导体(Metal Oxide Semiconductor,MOS)电路对OLED进行内部补偿来改善OLED显示装置显示不均匀的问题,但是7T1C电路无法补偿TFT的迁移率产生的偏差,也无法补偿OLED衰减导致的耦合效应。

[0031] 图1为一种像素电路100的示意图。

[0032] 图2为如图1所示的像素电路100的示例性的驱动时序图。

[0033] 如图1所示,像素电路100包括OLED、驱动TFT DT,开关TFT T1、T3和T5,以及电容器Cst1、Cst2-1和Cst2-2,其中,TFT DT、T1、T3和T5都为N型MOS管。应理解,TFT DT、T1、T3和T5也可以为其它类型的MOS管,例如,P型MOS管。本发明的实施例将以上述晶体管为N型MOS管为例进行说明,本领域技术人员能理解的是,当上述晶体管为P型MOS管,只需要对相关电路进行适当变形即可。

[0034] 电容器Cst1连接在节点g和节点s之间,驱动TFT DT的栅极与节点g连接,驱动TFT DT的源极与节点s连接。

[0035] 开关TFT T1的栅极与用于施加发光控制信号EMS的数据线连接,开关TFT T1的漏极与用于施加高电平电源电压Vdd的电源线连接,开关TFT T1的源极与驱动TFT DT的漏极连接。开关TFT T1响应于输入到其栅极的发光控制信号EMS,将高电平电源电压Vdd施加到驱动TFT DT的源极。

[0036] 开关TFT T3的栅极与用于施加扫描信号SC2的扫描线连接,开关TFT T3的漏极与用于施加数据电压Vdata的数据线连接,开关TFT T3的源极与节点g连接。开关TFT T3响应于输入到其栅极的扫描信号SC2,将数据电压Vdata施加到节点g。

[0037] 开关TFT T5的栅极与用于施加扫描信号SC4的扫描线连接,开关TFT T5的漏极与用于施加参考电压Vref的数据线连接,开关TFT T5的源极与节点s连接。开关TFT T5响应于扫描信号SC4,将参考电压Vref施加到节点s。

[0038] 如图1和图2所示,像素电路100包括重置时段t1、阈值电压Vth存储时段t2、数据写入时段t3和发光时段t4。

[0039] 在重置时段t1中,发光控制信号EMS以低电平输入,扫描信号SC2和扫描信号SC4以高电平输入,开关TFT T3和开关TFT T5导通。向数据线供应预定的参考电压Vref,节点g的电压被重置为参考电压Vref,并且节点s的电压也被重置为参考电压Vref。

[0040] 在阈值电压Vth存储时段(也称为感测时段)t2中,扫描信号SC4以低电平输入,发

光控制信号EMS和扫描信号SC2以高电平输入,开关TFT T1、开关TFT T3和驱动TFT DT导通。开关TFT T3导通,TFT DT的栅极g的电位保持在参考电压Vref,驱动TFT DT导通,电源电压Vdd对TFT DT的源极s进行充电,直到驱动TFT DT的栅极和源极的压差为Vth为止,此时,Vg-Vs=Vth,并将Vth的电荷存储于电容Cst1中,Vs=Vg-Vth=Vref-Vth。

[0041] 在数据写入时段t3中,发光控制信号EMS和扫描信号SC4以低电平输入,扫描信号SC2以高电平输入,开关TFT T3和驱动TFT DT导通。开关TFT T3导通,向TFT DT的栅极g施加数据电压Vdata,并且TFT DT的栅极g处的电压Vg改变为Vdata-Vref跨电容器Cst1和Cst2-1分配,然后被反映到TFT DT的源极s处。根据晶体管I-V曲线方程 $I=k(Vgs-Vth)^2$ 可知,驱动电流I与驱动TFT DT的阈值电压Vth无关,从而使得驱动TFT DT的驱动电流I稳定,进而保证OLED的稳定显示。

[0042] 在发光时段t4中,扫描信号SC2和扫描信号SC4以低电平输入,发光控制信号EMS以高电平输入,开关TFT T1和驱动TFT DT导通,产生驱动电流,OLED通过驱动电流发光,实现OLED显示装置的显示。

[0043] 可以理解的,以上像素电路100可以在补偿阈值电压偏差的基础上补偿TFT的迁移率产生的偏差,也可以补偿OLED衰减导致的耦合效应,更好地解决了OLED显示装置显示不均匀的问题。但是,以上像素电路中的t1至t3的扫描阶段用一个数据(data)线充参考电压Vref和数据电压Vdata这两种电压,这样可能使得重置不够充分。而且,随着OLED显示装置分辨率的提高,像素数量增加会导致重置不充分的像素电路100很难用于高分辨率的OLED显示装置。另外,像素电路100的补偿也不够充分。

[0044] 下面结合图3和图4来说明本发明的实施例的像素电路。

[0045] 图3为本发明另一实施例提供的像素电路200的示意图。图4为本发明另一实施例提供的如图3所示的像素电路200的示例性的驱动时序图。

[0046] 如图3所示,像素电路200包括:第一电容器Cst1、第一重置电路R1、驱动TFT DT、第一开关TFT T1和OLED。第一电容器Cst1,连接在第一节点g与第二节点s连接之间;第二重置电路R2,与第二节点连接,用于在像素电路的重置时段将第二重置电压施加到第二节点;第一重置电路R1,与第一节点g连接,用于在像素电路200的阈值电压存储时段(或感测时段)将第一重置电压Vinit施加到第一节点g;驱动TFT DT的栅极与第一节点g连接,驱动TFT DT的源极与第二节点s连接;OLED连接在第二节点s与电源低电位之间。

[0047] 具体地,如图3和图4所示,第一扫描控制线用于向T2的栅极提供第一扫描信号SC1,以控制T2向DT的栅极施加重置电压Vinit。数据线用于提供数据电压Vdata。电源输入端用于提供电源电压Vdd。驱动晶体管DT用于将数据信号电压Vdata转换成电流。第二扫描控制线用于向T3提供第二扫描信号SC2,以控制数据线与驱动晶体管DT的栅极连通。第一扫描控制线用于向T5的栅极提供第四扫描信号SC4,以控制T5向DT的源极施加重置电压Vref。Cst1用于存储数据电压Vdata。发光控制线用于向T1提供发光控制信号EMS。上述像素电路用于驱动OLED发光。第一重置电路R1和第二重置电路R2可以包括薄膜晶体管,本发明的实施例不限于此,上述重置电路也可以为其它具有类似功能的开关。OLED的阳极与第二节点s连接,OLED的阴极与电源低电位(例如,接地电位)连接。本发明实施例的开关薄膜晶体管和驱动晶体管包括但不限于开关电路、TFT等具有控制电路通断功能的电路或模块,特别是NMOS TFT。例如,上述T1、T2、T3、T4和T5以及DT可以采用NMOSTFT或NMOS LTPS(低温多晶硅)

TFT。

[0048] 根据本发明的实施例,与像素电路100相比,在像素电路200的阈值电压存储时段t2不再使用数据线为第一节点g加载参考电压Vref,而是另外设置第一重置电路R1为第一节点g提供第一重置电压Vinit,使得像素电路200的重置更加充分。

[0049] 根据本发明的实施例,通过在像素电路的驱动薄膜晶体管的栅极增加了第一重置电路,用于在重置时段之后,即在感测时段将第一重置电压进一步施加到驱动薄膜晶体管的栅极,使得像素电路的重置过程充分,进而使得像素电路可以用于高分辨率的显示装置。

[0050] 可选地,在另一实施例中,上述像素电路还包括第一开关TFT T1。第一开关TFT T1的栅极与发光控制信号EMS线连接,第一开关TFT T1的漏极与电源电压的供应线连接,第一开关TFT T1的源极与驱动TFT DT的漏极连接。

[0051] 在本发明的实施例中,第一重置电路R1包括第二开关TFT T2,第二开关TFT T2的栅极与第一扫描信号SC1线连接,第二开关TFT T2的漏极与第一重置电压Vinit的供应线连接,第二开关TFT T2的源极与第一节点g连接。

[0052] 在本发明的另一实施例中,第二重置电路R2包括第五开关TFT T5,第五开关TFT T5的栅极与第四扫描信号SC4线连接,第五开关TFT T5的漏极与第二重置电压Vref的供应线连接,第五开关TFT T5的源极与第二节点s连接。进一步地,在像素电路200的重置时段t1期间,第五开关TFT T5导通,可以将第二节点s的电压重置为Vref;在像素电路200的阈值电压存储时段t2期间,第五开关TFT T5断开,第二开关TFT T2导通,为第一节点g提供第一重置电压Vinit。

[0053] 在本发明的另一实施例中,像素电路200还包括数据写入电路,与第一节点g连接,用于在像素电路200的数据写入时段t3将数据电压Vdata施加到第一节点g,其中,数据写入电路包括第三开关TFT T3,第三开关TFT T3的栅极与第二扫描信号SC2线连接,第三开关TFT T3的漏极与数据线连接,第三开关TFT T3的源极与第一节点g连接。进一步地,在像素电路200的数据写入时段t3期间,第三开关TFT T3导通,可以向第一节点g的电压施加数据电压Vdata。可理解地,在本发明的实施例中,数据线并没有为像素电路200施加重置电压,而只为像素电路200施加了数据电压Vdata,使得重置更加充分,进而使得像素电路200可以用于高分辨率的显示装置。

[0054] 在本发明的另一实施例中,像素电路200还包括第二电容器Cst2,第二电容器Cst2的一端与第一开关TFT T1的漏极连接,第二电容器Cst2的另一端与第二节点s连接。

[0055] 在本发明的另一实施例中,像素电路200还包括外部补偿检测电路E,与第二节点s连接,用于在像素电路200的外部读取时段t5对OLED的电流进行监控,以便从外部对OLED进行补偿。

[0056] 根据本发明的实施例,在像素电路200上设置外部补偿检测电路E可以从外部定期监控流过OLED电流的变化,并且实现实时从外部补偿OLED和TFT的衰减,使得像素电路200的补偿更加充分,进而使得OLED显示装置的显示更加均匀。

[0057] 在本发明的实施例中,外部补偿检测电路E包括第四开关TFT T4,第四开关TFT T4的栅极与第三扫描信号线SC3连接,第四开关TFT T4的源极与第二节点s连接。

[0058] 在本发明的另一实施例中,像素电路200包括:第一电容器Cst1、驱动TFT DT、开关TFT T1、OLED和外部补偿检测电路E。第一电容器Cst1与第一节点g和第二节点s连接;驱动

TFT DT的栅极与第一节点g连接,驱动TFT DT的源极与第二节点s连接;开关TFT T1的栅极与发光控制信号EMS线连接,开关TFT T1的漏极与电源电压Vdd的供应线连接,开关TFT T1的源极与驱动TFT DT的漏极连接;OLED的阳极与第二节点s连接,OLED的阴极与电源低电位连接;外部补偿检测电路E,与第二节点s连接,用于在像素电路200的外部读取时段t5对OLED的电流进行监控,以便从外部对OLED进行补偿。

[0059] 根据本发明的实施例,在像素电路200上设置外部补偿检测电路E可以从外部定期监控流过OLED电流的变化,并且实现实时从外部补偿OLED和TFT的衰减,使得像素电路200的补偿更加充分,进而使得OLED显示装置的显示更加均匀。

[0060] 在本发明的另一实施例中,如图3所示,像素电路200包括有OLED、驱动TFT DT、开关TFT T1至T5,以及电容器Cst1和Cst2,其中,驱动TFT DT和开关TFT T1至T5可以都为N型MOS管,例如,N型MOS管可以采用低温多晶氧化物(Low Temperature Polycrystalline Oxide,LTPO)工艺技术制成。

[0061] 第一开关TFT T1的栅极与用于施加发光控制信号EMS的数据线连接,第一开关TFT T1的漏极与用于施加高电平电源电压Vdd的数据线连接,第一开关TFT T1的源极与驱动开关TFT DT的漏极连接。第一开关TFT T1响应于输入到其栅极的发光控制信号EMS,将通过数据线输入的高电平电源电压Vdd施加到驱动TFT DT的漏极。这样就可以向驱动开关TFT DT的漏极施加高电平电源电压Vdd,同时,驱动开关TFT DT的源极与OLED的阳极连接。

[0062] 第二开关TFT T2的栅极与用于施加第一扫描信号SC1的第一扫描线连接,漏极与用于施加重置电压Vinit的初始线连接,源极与驱动开关TFT DT的栅极连接。第二开关TFT T2响应于第一扫描信号SC1而连接用于施加重置电压Vinit的初始线和驱动开关TFT DT的栅极。

[0063] 第三开关TFT T3的栅极与被施加第二扫描信号SC2的第二扫描线连接,漏极与被施加数据电压Vdata的数据线连接,源极与驱动开关TFT DT的栅极连接。第三开关TFT T3响应于输入到其栅极节点的第二扫描信号SC2,将通过数据线输入的数据电压Vdata施加到驱动开关TFT DT的栅极。

[0064] 第四开关TFT T4的栅极与被施加第三扫描信号SC3的第三扫描线连接,漏极与外部监控电路连接,源极与驱动开关TFT DT的源极连接。第四开关TFT T4响应于输入到其栅极的第三扫描信号SC3,实现从外部定期监控OLED中电流的变化,以实时从外部补偿OLED和TFT的衰减。

[0065] 第五开关TFT T5的栅极与被施加第四扫描信号SC4的第四扫描线连接,漏极与被施加参考电压Vref的数据线连接,源极与OLED的阳极连接。第五开关TFT T5响应于第四扫描信号SC4而连接用于施加参考电压Vref的数据线和OLED的阳极。

[0066] 下面结合图3至图9对本发明实施例的工作过程进行详细说明。

[0067] 如图3至图9所示,在重置时段t1中,第一扫描信号SC1、第二扫描信号SC2、发光控制信号EMS、和第三扫描信号SC3以低电平输入,第四扫描信号SC4以高电平输入,第五开关TFT T5导通。驱动开关TFT DT的源极的电压被重置为参考电压Vref。

[0068] 在Vth存储时段t2中,第二扫描信号SC2、第三扫描信号SC3和第四扫描信号SC4以低电平输入,第一扫描信号SC1和发光控制信号EMS以高电平输入,第一开关TFT T1、第二开关TFT T2和驱动开关TFT DT导通。此时,T2导通,重置电压Vinit使得驱动开关TFT DT的栅极

的电压被重置为 $V_g = V_{init}$ , $T1$ 导通, $DT$ 的栅极和源极的压差为 $V_{th}$ 为止,此时, $V_g - V_s = V_{th}$ ,并将 $V_{th}$ 的电荷存储于电容 $C_{st1}$ 中, $V_s = V_g - V_{th} = V_{init} - V_{th}$ 。在本发明的实施例中,增加了开关 $T2$ ,使得在 $t2$ 时段可以将重置电压 $V_{init}$ 施加在 $DT$ 的栅极,从而使得像素电路200的重置更加充分。

[0069] 在数据写入和迁移率补偿时段 $t3$ 中,第一扫描信号 $SC1$ 、第三扫描信号 $SC3$ 和第四扫描信号 $SC4$ 以低电平输入,第二扫描信号 $SC2$ 和发光控制信号 $EMS$ 以高电平输入,第三开关 $TFT T3$ 、第一开关 $TFT T1$ 和驱动开关 $TFTDT$ 导通。此时, $T3$ 导通,数据电压 $V_{data}$ 向 $DT$ 的栅极节点施加数据电压 $V_{data}$ , $V_g = V_{data}$ ,并且根据电荷分享原理 $DT$ 的栅极节点的电压 $V_g$ 跨电容 $C_{st1}$ 和 $C_{st2}$ 分配,反映到 $DT$ 的源极, $V_s = V_{init} - V_{th} + (V_{data} - V_{init}) \times C1 / (C1 + C2) + V_u$ 。很明显,在本发明的实施例中,增加了开关 $T2$ ,使得在 $t2$ 时段可以将重置电压 $V_{init}$ 施加在 $DT$ 的栅极。同时,在 $t3$ 时段, $T3$ 导通,数据电压 $V_{data}$ 所在的数据线可以向 $DT$ 的栅极施加数据电压 $V_{data}$ 。避免了重置不够充分的问题,进而使得本发明实施例的像素电路200可以用于高分辨率的OLED显示装置。

[0070] 在发光时段 $t4$ 中,第一扫描信号 $SC1$ 、第二扫描信号 $SC2$ 、第三扫描信号 $SC3$ 和第四扫描信号 $SC4$ 以低电平输入,发光控制信号 $EMS$ 以高电平输入,第一开关 $TFT T1$ 和驱动开关 $TFTDT$ 导通。此时, $V_g = V_{data} + EL\_V_{th}$ , $V_s = V_{init} - V_{th} + (V_{data} - V_{init}) \times C1 / (C1 + C2) + V_u + EL\_V_{th}$ ,进而使得OLED通过驱动电流发光。

[0071] 在外部读取时段 $t5$ 中,第一扫描信号 $SC1$ 、第二扫描信号 $SC2$ 和第四扫描信号 $SC4$ 以低电平输入,第三扫描信号 $SC3$ 和发光控制信号 $EMS$ 以高电平输入,第一开关 $TFT T1$ 、第四开关 $TFT T4$ 和驱动开关 $TFTDT$ 导通。因此,可以通过第四开关 $TFT T4$ 从外部定期监控电流的变化,实现实时从外部补偿OLED和TFT的衰减。

[0072] 在本发明的一个实施例中,还提供了一种显示面板,该显示面板包括上述任一实施例所提及的像素电路。

[0073] 在本发明的一个实施例中,还提供了一种显示装置,该显示装置包括上述任一实施例所提及的像素电路。

[0074] 图10为本发明一实施例提供的像素电路的驱动方法的流程示意图。

[0075] 如图3至图10所示,驱动方法包括:

[0076] 1010,在像素电路200的重置时段 $t1$ ,控制像素电路200中的第二重置电路 $R2$ 导通,以将第二重置电压 $V_{ref}$ 施加到像素电路200中的驱动TFT DT的源极;

[0077] 1020,在像素电路200的感测时段 $t2$ ,控制像素电路200中的第二开关 $TFT T2$ 导通,以将第一重置电压 $V_{init}$ 施加到驱动TFT DT的栅极;

[0078] 1030,在像素电路200的数据写入时段 $t3$ ,控制像素电路200中的第三开关 $T3$ 导通,以将数据电压 $V_{data}$ 施加到驱动TFT DT的栅极;

[0079] 1040,在像素电路200的发光时段 $t4$ ,控制像素电路200的第一开关 $TFT T1$ 导通,以使得连接在驱动TFT DT的源极的OLED发光。

[0080] 根据本发明的实施例,通过以上驱动方法驱动的像素电路在像素电路的驱动薄膜晶体管的栅极增加了第一重置电路,用于在重置时段之后,即在感测时段将第一重置电压进一步施加到驱动薄膜晶体管的栅极,使得像素电路的重置过程充分,从而补偿了TFT的迁移率产生的偏差。

[0081] 图11为本发明另一实施例提供的像素电路的驱动方法的流程示意图。

[0082] 如图3至图10所示,在本发明另一实施例中,上述方法还包括:1150,在像素电路200的外部读取时段t5,控制连接在驱动TFT DT的源极的第四开关TFT T4导通,以对OLED的电流进行监控。

[0083] 根据本发明的实施例,通过以上驱动方法驱动的像素电路可以从外部定期监控流过OLED电流的变化,进而实现实时从外部补偿OLED和TFT的衰减,使得像素电路的补偿更加充分,进而使得OLED显示装置的显示更加均匀。

[0084] 像素电路的驱动方法中的各个开关、各个电路的设置、结构和功能等可以参考以上像素电路的实施例部分的具体描述,为了避免重复,在此不赘述。

[0085] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

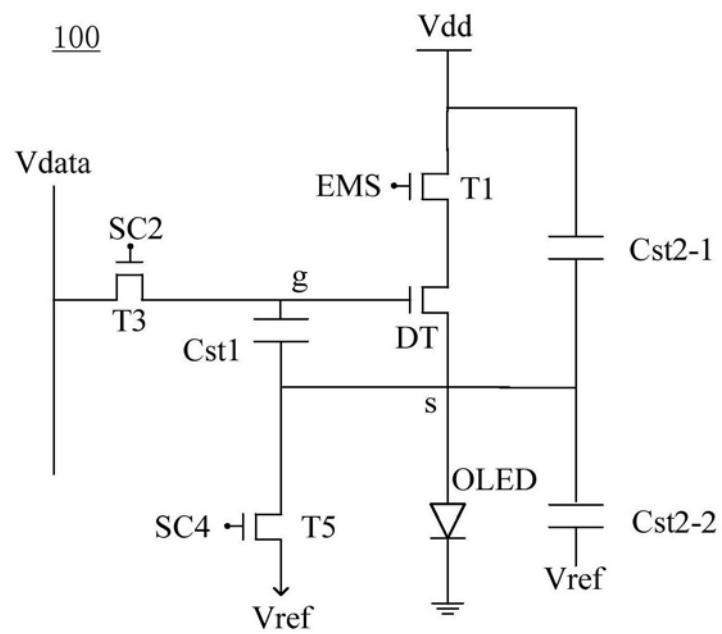


图1

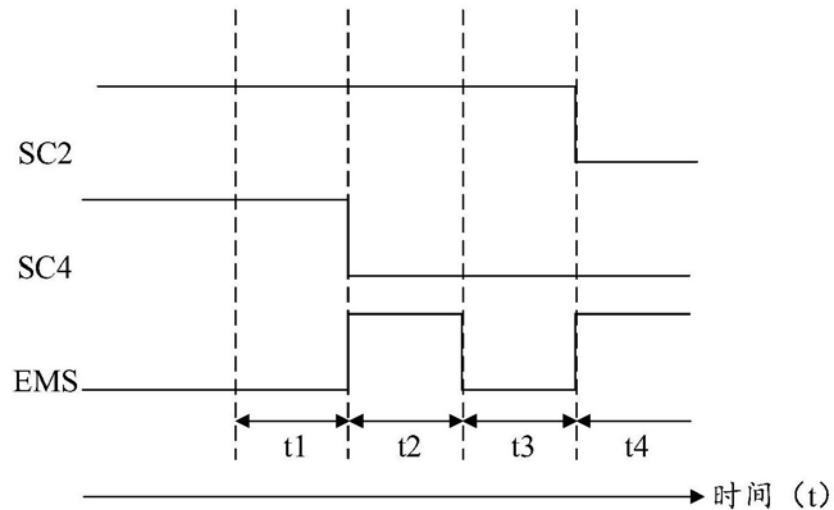


图2

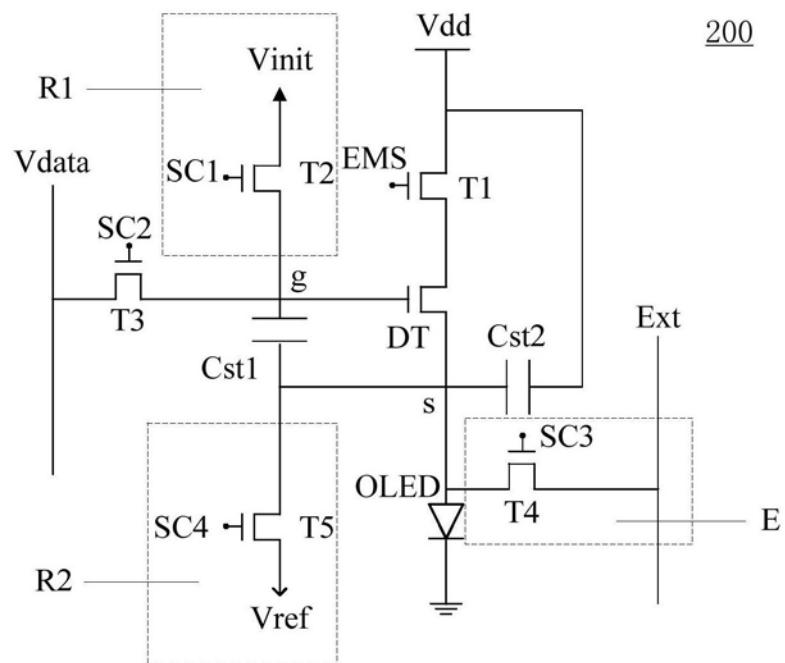


图3

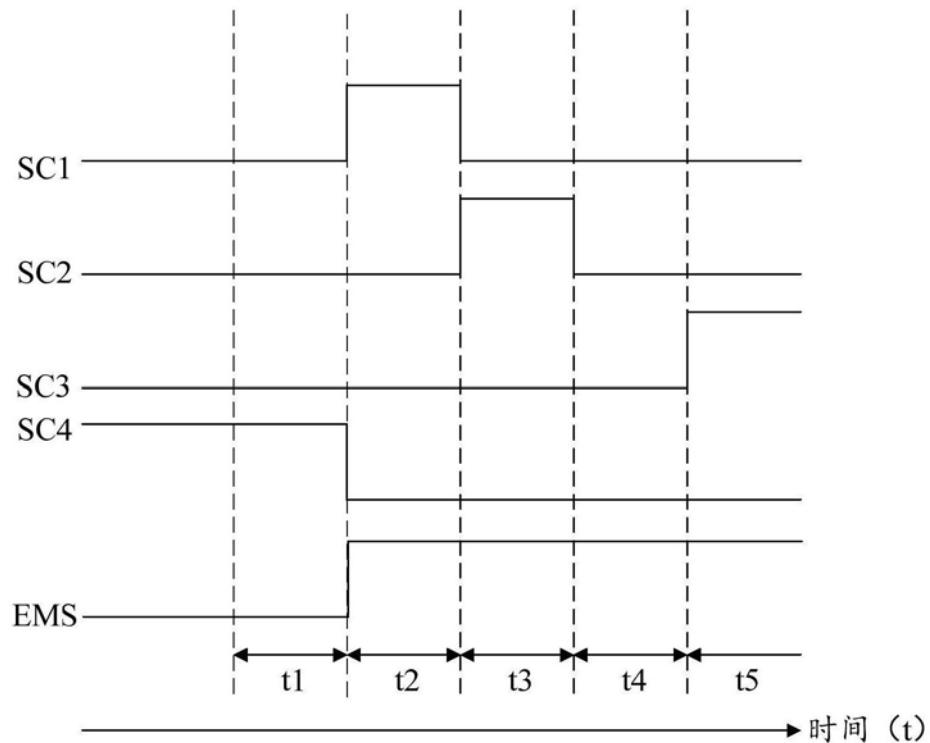


图4

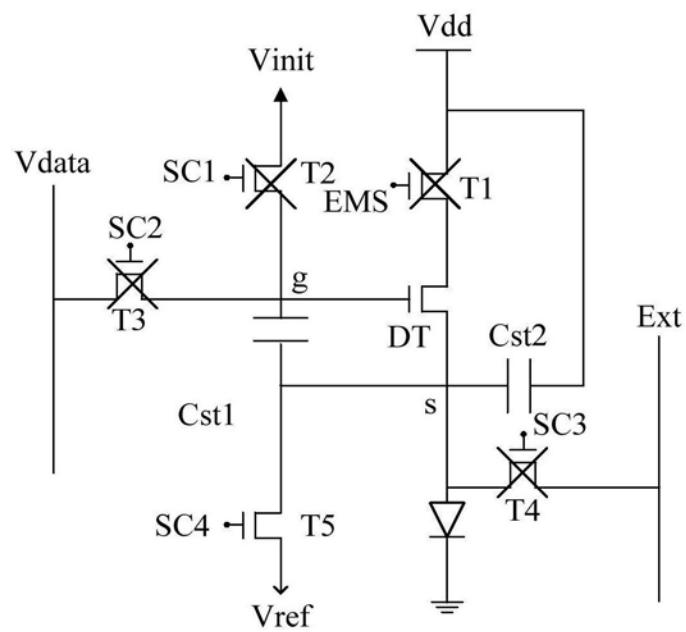


图5

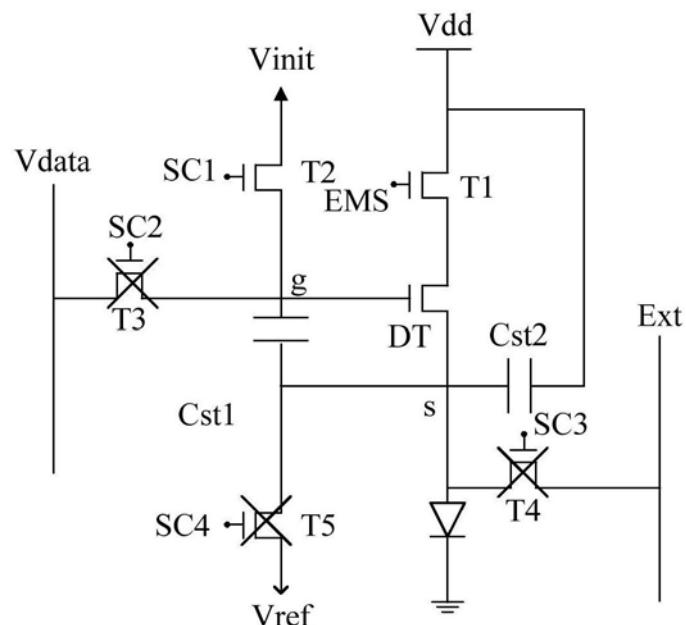


图6

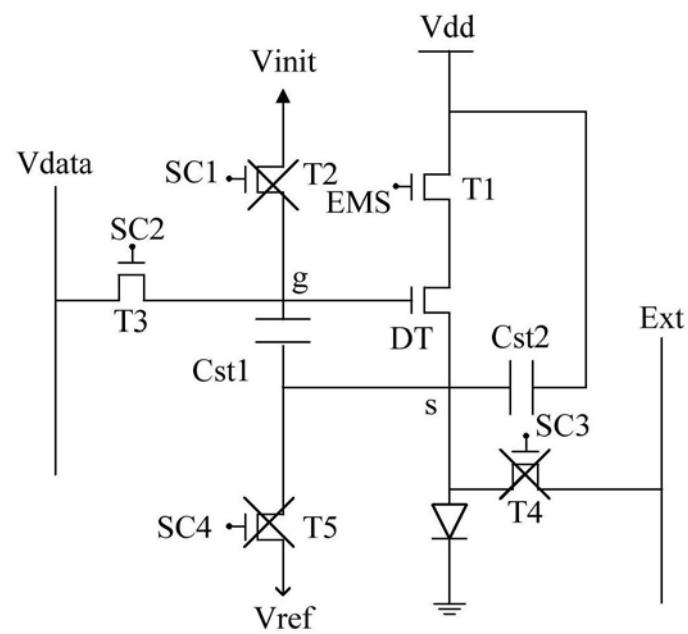


图7

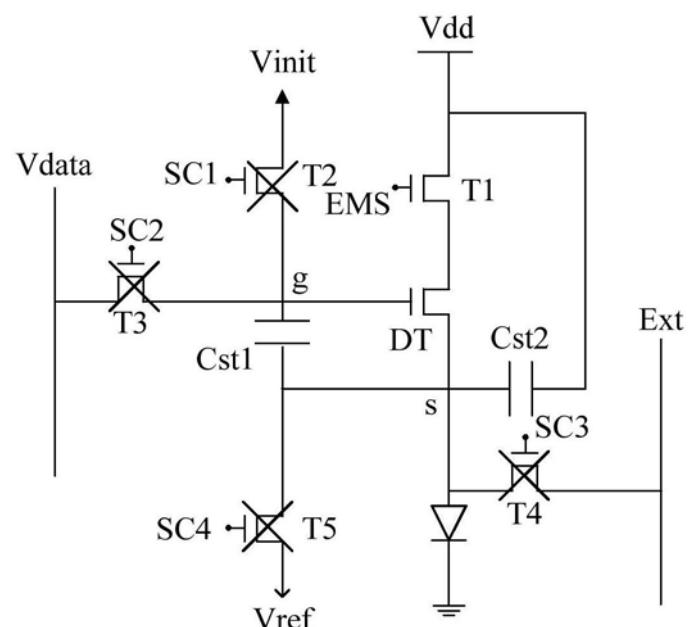


图8

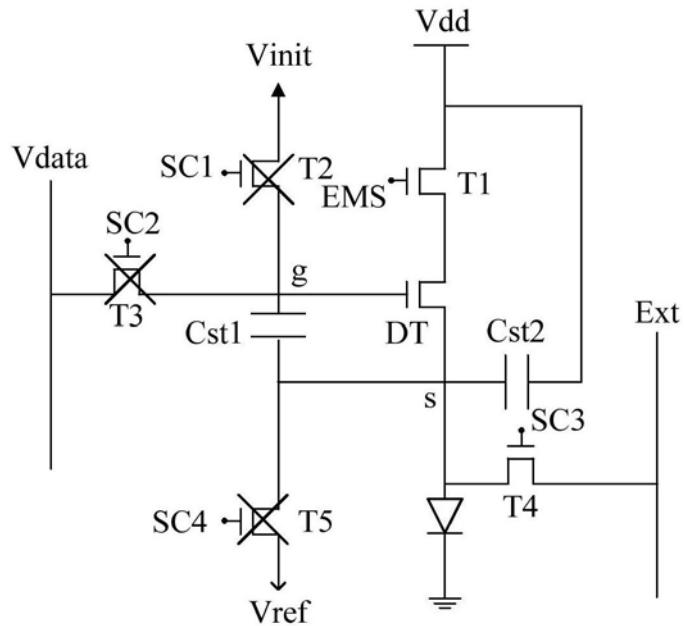


图9

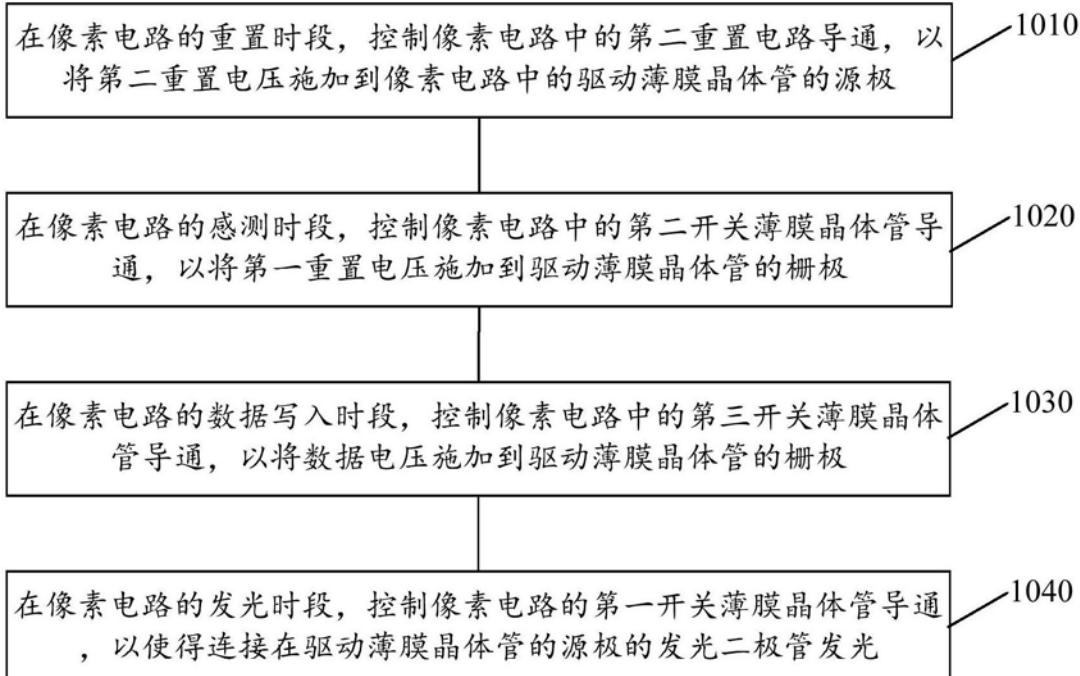


图 10

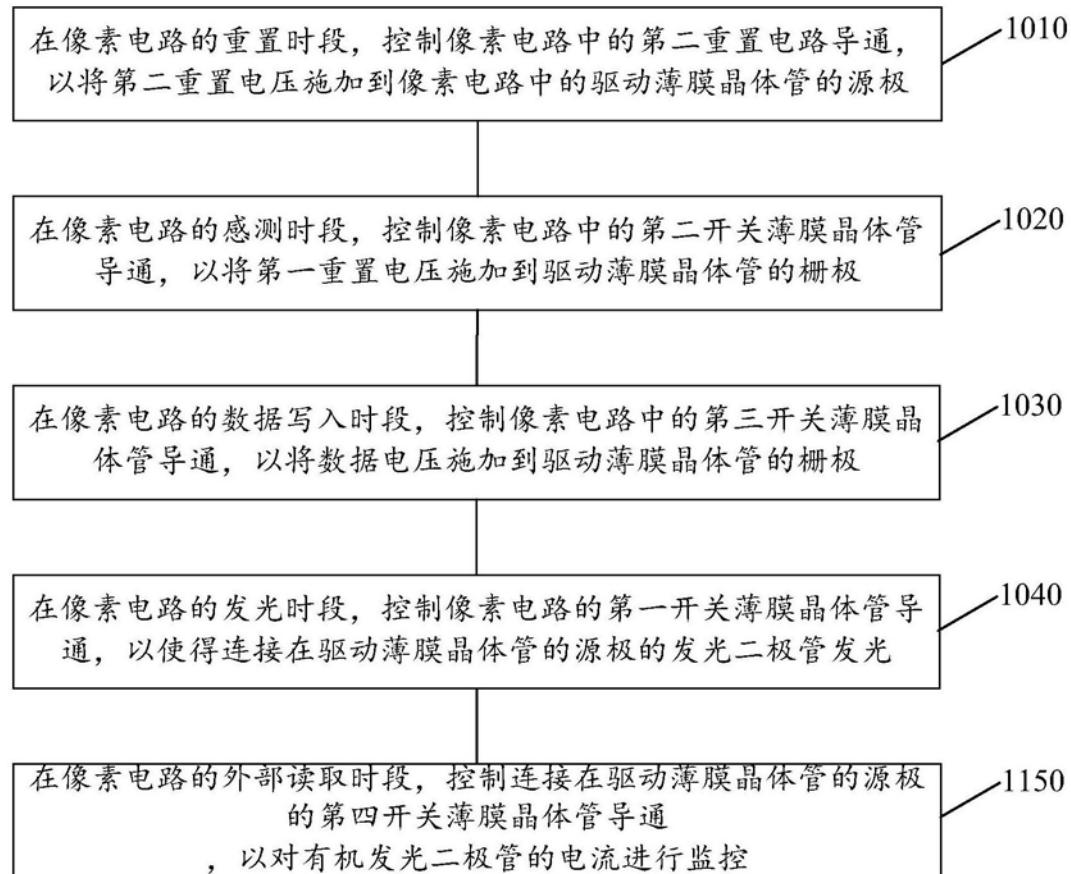


图11

专利名称(译)	像素电路、显示面板、显示装置及驱动方法		
公开(公告)号	<a href="#">CN109584801A</a>	公开(公告)日	2019-04-05
申请号	CN201811535362.5	申请日	2018-12-14
[标]发明人	文国哲		
发明人	文国哲		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225		
外部链接	<a href="#">Espacenet</a>	<a href="#">Sipo</a>	

### 摘要(译)

本发明提供了一种像素电路、显示面板、显示装置及驱动方法，像素电路包括：第一电容器，连接在第一节点与第二节点连接之间；第二重置电路，与第二节点连接，用于在像素电路的重置时段将第二重置电压施加到第二节点；第一重置电路，与第一节点连接，用于在像素电路的感测时段将第一重置电压施加到第一节点；驱动薄膜晶体管，驱动薄膜晶体管的栅极与第一节点连接，驱动薄膜晶体管的源极与第二节点连接；第一开关薄膜晶体管，第一开关薄膜晶体管的栅极与发光控制信号线连接，第一开关薄膜晶体管的漏极与电源电压的供应线连接，第一开关薄膜晶体管的源极与驱动薄膜晶体管的漏极连接；以及有机发光二极管，有机发光二极管在第二节点与电源低电位之间。

