



(12)发明专利

(10)授权公告号 CN 108269533 B

(45)授权公告日 2019.12.24

(21)申请号 201710002030.X

审查员 张婕

(22)申请日 2017.01.03

(65)同一申请的已公布的文献号

申请公布号 CN 108269533 A

(43)申请公布日 2018.07.10

(73)专利权人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72)发明人 范文志 吴剑龙 韩珍珍 朱修剑

(74)专利代理机构 北京国昊天诚知识产权代理
有限公司 11315

代理人 许志勇

(51)Int.Cl.

G09G 3/3233(2016.01)

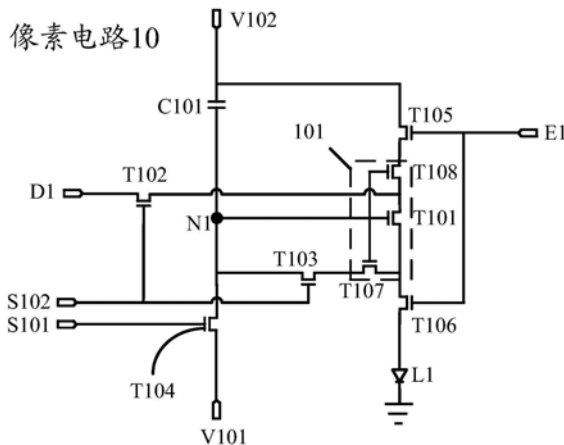
权利要求书2页 说明书12页 附图5页

(54)发明名称

像素电路、像素及显示器件

(57)摘要

本申请公开了像素电路、像素及显示器件。该像素电路包括：电压补偿模块、薄膜晶体管以及电容器，其中，电压补偿模块中包括作为所述像素电路驱动晶体管的第一薄膜晶体管以及多个用于提供补偿电压的电压补偿薄膜晶体管，能够通过电压补偿模块中的这些电压补偿薄膜晶体管对该像素电路中的电压进行补偿，使得像素电路中，在第二电源的电势以及数据线的电势相同情况下，即使在每个薄膜晶体管的阈值电压不同，也能够降低流向有机发光二极管的电流大小的差别，使得不同的有机发光二极管发光亮度更加均匀，并使得AMOLED的不同像素之间发光亮度更加均匀。



1. 一种像素电路,其特征在于,包括:电压补偿模块、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管以及电容器,其中:

电压补偿模块连接在第五薄膜晶体管和第六薄膜晶体管之间,所述电压补偿模块中包括作为所述像素电路驱动晶体管的第一薄膜晶体管以及多个用于提供补偿电压的电压补偿薄膜晶体管;

第二薄膜晶体管连接在数据线和电压补偿模块之间,所述第二薄膜晶体管的栅极连接于第二扫描线;

第三薄膜晶体管连接在第四薄膜晶体管和电压补偿模块之间,所述第三薄膜晶体管的栅极连接于第二扫描线;

第四薄膜晶体管连接在第一电源和电容器之间,所述第四薄膜晶体管的栅极连接于第一扫描线;

第五薄膜晶体管连接在第二电源和电压补偿模块之间,所述第五薄膜晶体管的栅极连接于控制线;

第六薄膜晶体管连接在所述像素电路所驱动的有机发光二极管和电压补偿模块之间,所述第六薄膜晶体管的栅极连接于控制线;

电容器连接在第二电源和第四薄膜晶体管之间。

2. 如权利要求1所述的像素电路,其特征在于,

所述电压补偿模块中的第一薄膜晶体管的栅极连接于第一节点;

所述电压补偿模块中的电压补偿薄膜晶体管包括第七薄膜晶体管和第八薄膜晶体管,其中,第七薄膜晶体管连接在第三薄膜晶体管和第一薄膜晶体管之间,所述第七薄膜晶体管的栅极连接于第一节点,第八薄膜晶体管连接在第五薄膜晶体管和第一薄膜晶体管之间,所述第八薄膜晶体管的栅极连接于第一节点;

相应的,第二薄膜晶体管连接在数据线和第一薄膜晶体管之间;

第三薄膜晶体管连接在第四薄膜晶体管和第七薄膜晶体管之间;

第五薄膜晶体管连接在第二电源和第八薄膜晶体管之间;

第六薄膜晶体管连接在所述像素电路所驱动的有机发光二极管和第一薄膜晶体管之间。

3. 如权利要求2所述的像素电路,其特征在于,所述第七薄膜晶体管和所述第八薄膜晶体管为性能参数相同的薄膜晶体管。

4. 如权利要求2和3任意一项所述的像素电路,其特征在于,

所述第一电源所提供的电势低于所述第二电源所提供的电势;以及,

所述第一薄膜晶体管、所述第八薄膜晶体管以及所述第六薄膜晶体管均为p型薄膜晶体管;则,

第一薄膜晶体管连接在第八薄膜晶体管和第六薄膜晶体管之间,具体为:

第一薄膜晶体管的源极连接在第八薄膜晶体管的漏极,并且第一薄膜晶体管的漏极连接在第六薄膜晶体管的源极。

5. 如权利要求2和3任意一项所述的像素电路,其特征在于,

所述第一电源所提供的电势低于所述第二电源所提供的电势;以及,

所述第一薄膜晶体管、所述第八薄膜晶体管以及所述第六薄膜晶体管均为n型薄膜晶

体管;则,

第一薄膜晶体管连接在第八薄膜晶体管和第六薄膜晶体管之间,具体为:

第一薄膜晶体管的漏极连接在第八薄膜晶体管的源极,并且第一薄膜晶体管的源极连接在第六薄膜晶体管的漏极。

6.如权利要求1所述的像素电路,其特征在于,

所述电压补偿模块中的第一薄膜晶体管的栅极连接于第二节点;

所述电压补偿模块中的电压补偿薄膜晶体管包括第十薄膜晶体管和第十一薄膜晶体管,其中,第十薄膜晶体管连接在第二薄膜晶体管和第一薄膜晶体管之间,所述第十薄膜晶体管的栅极连接于第二节点,第十一薄膜晶体管连接在第一薄膜晶体管和第六薄膜晶体管之间,所述第十一薄膜晶体管的栅极连接于第二节点;

相应的,第二薄膜晶体管连接在数据线和第十薄膜晶体管之间;

第三薄膜晶体管连接在第四薄膜晶体管和第十一薄膜晶体管之间;

第五薄膜晶体管连接在第二电源和第一薄膜晶体管之间;

第六薄膜晶体管连接在所述像素电路所驱动的有机发光二极管和第十一薄膜晶体管之间。

7.如权利要求1所述的像素电路,其特征在于,所述像素电路还包括:连接在第一电源和所述像素电路所驱动的有机发光二极管之间的第九薄膜晶体管,所述第九薄膜晶体管的栅极连接于第三扫描线。

8.如权利要求1所述的像素电路,其特征在于,所述像素电路还包括:

连接在第二扫描线和第四薄膜晶体管之间的第二电容器。

9.一种像素,其特征在于,所述像素包括如权利要求1~8任意一项所述的像素电路以及所述像素电路所驱动的有机发光二极管。

10.一种显示器件,其特征在于,所述显示器件中包括多个如权利要求9所述的像素。

像素电路、像素及显示器件

技术领域

[0001] 本申请涉及发光显示技术领域,尤其涉及像素电路、像素及显示器件。

背景技术

[0002] 随着科技的不断发展,诸如手机、PAD等平板显示器件越来越多的出现在了人们的生活。在这些平板显示器件中,有机发光显示器件由于响应速度快、视角宽等特点引起了人们的广泛关注。

[0003] 有机发光显示器件根据驱动方式的不同,可以分为无源矩阵有机发光显示器件(Passive matrix organic light emitting diode,PMOLED)和有源矩阵有机发光显示器件(Active matrix organic light emitting diode,AMOLED)。其中,由于AMOLED克服了PMOLED高功耗等特点,因此,在需要有机发光显示器件具有高分辨率、大尺寸和低功耗的场景下,AMOLED得到了较多的应用。

[0004] AMOLED上通常具有多个像素,每个像素包括有机发光二极管(organic light emitting diode,OLED)和像素电路,该像素电路能够驱动对应的OLED进行显示。像素电路上可以有多个薄膜晶体管(Thin Film Transistor,TFT),通过薄膜晶体管中的电流大小通常与薄膜晶体管栅极电压有关,该栅极电压通常由数据信号来提供,可以通过调控栅极电压的大小来控制流过薄膜晶体管中的电流,从而实现像素发光控制。比如,对于p型的TFT,可以通过数据信号来控制栅极电压的大小,从而控制流过该TFT的电流,当控制该TFT的栅极电压小于阈值电压,流过该TFT的电流为0。

[0005] 然而,在实际应用中,由于TFT自身的特点,导致每个TFT的阈值电压通常不同,这样在像素电路中,在数据信号相同的情况下,不同的阈值电压会导致流经OLED的电流不同,使得不同的OLED发光亮度不同,从而造成AMOLED的不同像素之间发光亮度不均匀。

发明内容

[0006] 本申请实施例提供了像素电路、像素及显示器件,用于解决现有技术中的问题。

[0007] 本申请实施例提供了一种像素电路,包括:电压补偿模块、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管以及电容器,其中:

[0008] 电压补偿模块连接在第五薄膜晶体管和第六薄膜晶体管之间,所述电压补偿模块中包括作为所述像素电路驱动晶体管的第一薄膜晶体管以及多个用于提供补偿电压的电压补偿薄膜晶体管;

[0009] 第二薄膜晶体管连接在数据线和电压补偿模块之间,所述第二薄膜晶体管的栅极连接于第二扫描线;

[0010] 第三薄膜晶体管连接在第四薄膜晶体管和电压补偿模块之间,所述第三薄膜晶体管的栅极连接于第二扫描线;

[0011] 第四薄膜晶体管连接在第一电源和电容器之间,所述第四薄膜晶体管的栅极连接于第一扫描线;

- [0012] 第五薄膜晶体管连接在第二电源和电压补偿模块之间,所述第五薄膜晶体管的栅极连接于控制线;
- [0013] 第六薄膜晶体管连接在所述像素电路所驱动的有机发光二极管和电压补偿模块之间,所述第六薄膜晶体管的栅极连接于控制线;
- [0014] 电容器连接在第二电源和第四薄膜晶体管之间。
- [0015] 优选的,所述电压补偿模块中的第一薄膜晶体管的栅极连接于第一节点;
- [0016] 所述电压补偿模块中的电压补偿薄膜晶体管包括第七薄膜晶体管和第八薄膜晶体管,其中,第七薄膜晶体管连接在第三薄膜晶体管和第一薄膜晶体管之间,所述第七薄膜晶体管的栅极连接于第一节点,第八薄膜晶体管连接在第五薄膜晶体管和第一薄膜晶体管之间,所述第八薄膜晶体管的栅极连接于第一节点;
- [0017] 相应的,第二薄膜晶体管连接在数据线和第一薄膜晶体管之间;
- [0018] 第三薄膜晶体管连接在第四薄膜晶体管和第七薄膜晶体管之间;
- [0019] 第五薄膜晶体管连接在第二电源和第八薄膜晶体管之间;
- [0020] 第六薄膜晶体管连接在所述像素电路所驱动的有机发光二极管和第一薄膜晶体管之间。
- [0021] 优选的,所述第七薄膜晶体管和所述第八薄膜晶体管为性能参数相同的薄膜晶体管。
- [0022] 优选的,所述第一电源所提供的电势低于所述第二电源所提供的电势;以及,
- [0023] 所述第一薄膜晶体管、所述第八薄膜晶体管以及所述第六薄膜晶体管均为p型薄膜晶体管;则,
- [0024] 第一薄膜晶体管连接在第八薄膜晶体管和第六薄膜晶体管之间,具体为:
- [0025] 第一薄膜晶体管的源极连接在第八薄膜晶体管的漏极,并且第一薄膜晶体管的漏极连接在第六薄膜晶体管的源极。
- [0026] 优选的,所述第一电源所提供的电势低于所述第二电源所提供的电势;以及,
- [0027] 所述第一薄膜晶体管、所述第八薄膜晶体管以及所述第六薄膜晶体管均为n型薄膜晶体管;则,
- [0028] 第一薄膜晶体管连接在第八薄膜晶体管和第六薄膜晶体管之间,具体为:
- [0029] 第一薄膜晶体管的漏极连接在第八薄膜晶体管的源极,并且第一薄膜晶体管的源极连接在第六薄膜晶体管的漏极。
- [0030] 优选的,所述电压补偿模块中的第一薄膜晶体管的栅极连接于第二节点;
- [0031] 所述电压补偿模块中的电压补偿薄膜晶体管包括第十薄膜晶体管和第十一薄膜晶体管,其中,第十薄膜晶体管连接在第二薄膜晶体管和第一薄膜晶体管之间,所述第十薄膜晶体管的栅极连接于第二节点,第十一薄膜晶体管连接在第一薄膜晶体管和第六薄膜晶体管之间,所述第十一薄膜晶体管的栅极连接于第二节点;
- [0032] 相应的,第二薄膜晶体管连接在数据线和第十薄膜晶体管之间;
- [0033] 第三薄膜晶体管连接在第四薄膜晶体管和第十一薄膜晶体管之间;
- [0034] 第五薄膜晶体管连接在第二电源和第一薄膜晶体管之间;
- [0035] 第六薄膜晶体管连接在所述像素电路所驱动的有机发光二极管和第十一薄膜晶体管之间。

[0036] 优选的,所述像素电路还包括:连接在第一电源和所述像素电路所驱动的有机发光二极管之间的第九薄膜晶体管,所述第九薄膜晶体管的栅极连接于第三扫描线。

[0037] 优选的,所述像素电路还包括:

[0038] 连接在第二扫描线和第四薄膜晶体管之间的第二电容器。

[0039] 本申请实施例还提供了一种像素,所述像素中包括本申请实施例所提供的像素电路以及所述像素电路所驱动的有机发光二极管。

[0040] 本申请实施例还提供了一种显示器件,所述显示器件中包括多个本申请实施例所提供的像素。

[0041] 本申请实施例采用的上述至少一个技术方案能够达到以下有益效果:

[0042] 采用本申请实施例所提供的像素电路,由于在该像素电路中,能够通过电压补偿模块中的多个电压补偿薄膜晶体管对该像素电路中的电压进行补偿,使得像素电路中,在第二电源的电势以及数据线的电势相同情况下,即使在每个薄膜晶体管的阈值电压不同,也能够降低流向有机发光二极管的电流大小的差别,使得不同的有机发光二极管发光亮度更加均匀,并使得AMOLED的不同像素之间发光亮度更加均匀。

附图说明

[0043] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0044] 图1为本申请实施例1提供了一种像素电路的具体结构示意图;

[0045] 图2为本申请实施例1提供的另一种像素电路的具体结构示意图;

[0046] 图3为本申请实施例1提供的再一种像素电路的具体结构示意图;

[0047] 图4为本申请实施例1提供的再一种像素电路的具体结构示意图;

[0048] 图5为本申请实施例1提供的像素电路的驱动信号时序图;

[0049] 图6为本申请实施例2提供了一种像素电路的具体结构示意图;

[0050] 图7为本申请实施例2提供的另一种像素电路的具体结构示意图;

[0051] 图8为本申请实施例2提供的再一种像素电路的具体结构示意图;

[0052] 图9为本申请实施例2提供的又一种像素电路的具体结构示意图;

[0053] 图10为本申请实施例2提供的像素电路的驱动信号时序图。

具体实施方式

[0054] 为使本申请的目的、技术方案和优点更加清楚,下面将结合本申请具体实施例及相应的附图对本申请技术方案进行清楚、完整地描述。显然,所描述的实施例仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0055] 以下结合附图,详细说明本申请各实施例提供的技术方案。

[0056] 实施例1

[0057] 如上所述,AMOLED上通常具有多个像素,每个像素包括有机发光二极管OLED和驱动该OLED的像素电路。像素电路上可以有多个薄膜晶体管Thin Film Transistor,TFT,通过薄膜晶体管中的电流大小通常与薄膜晶体管栅极电压有关,该栅极电压通常由数据信号

来提供,可以通过调控栅极电压的大小来控制流过薄膜晶体管中的电流,从而实现像素发光的控制。比如,对于p型的TFT,可以通过数据信号来控制栅极电压的大小,从而控制流过该TFT的电流,当控制该TFT的栅极电压小于阈值电压,流过该TFT的电流为0。

[0058] 然而,在实际应用中,由于TFT自身的特点,不同TFT之间的阈值电压通常并不相同,使得即使通过数据信号向不同的TFT提供了相同的栅极电压,流过这些不同TFT的电流并不相同,从而造成AMOLED的不同像素之间发光亮度不均匀。

[0059] 基于此,本申请实施例1提供了一种像素电路,能够用于解决现有技术中的问题。如图1所示,该像素电路10包括:电压补偿模块101、第二薄膜晶体T102管、第三薄膜晶体管T103、第四薄膜晶体管T104、第五薄膜晶体管T105、第六薄膜晶体管T106以及电容器C101,其中:

[0060] 电压补偿模块101连接在第五薄膜晶体管T105和第六薄膜晶体管T106之间,所述电压补偿模块101中包括作为所述像素电路驱动晶体管的第一薄膜晶体管T101以及多个用于提供补偿电压的电压补偿薄膜晶体管;

[0061] 第二薄膜晶体管T102连接在数据线D1和电压补偿模块101之间,所述第二薄膜晶体管T102的栅极连接于第二扫描线S102;

[0062] 第三薄膜晶体管T103连接在第四薄膜晶体管T104和电压补偿模块101之间,所述第三薄膜晶体管T103的栅极连接于第二扫描线S102;

[0063] 第四薄膜晶体管T104连接在第一电源V101和电容器C101之间,所述第四薄膜晶体管T104的栅极连接于第一扫描线S101;

[0064] 第五薄膜晶体管T105连接在第二电源V102和电压补偿模块101之间,所述第五薄膜晶体管T105的栅极连接于控制线E1;

[0065] 第六薄膜晶体管T106连接在所述像素电路10所驱动的有机发光二极管L1和电压补偿模块101之间,所述第六薄膜晶体管T106的栅极连接于控制线E1;

[0066] 电容器C101连接在第二电源V102和第四薄膜晶体管T104之间。

[0067] 这里的电压补偿模块101中包括两类薄膜晶体管,分别为作为该像素电路10驱动晶体管的第一薄膜晶体管T101,以及用于为该像素电路10提供补偿电压的电压补偿薄膜晶体管。

[0068] 在实际应用中,该第一薄膜晶体管T101可以连接于第一节点N1,此时,在该像素电路10中,由于第一薄膜晶体管T101的栅极与第一节点N1连接,该第一节点N1与电容器C101连接,电容器C101与第二电源V102连接,D1信号可以控制第一薄膜晶体管栅极电位,从而能够作为像素电路10的驱动晶体管,控制流过有机发光二极管L1的电流。

[0069] 另外,电压补偿薄膜晶体管通常可以有多个,通过多个电压补偿薄膜晶体管来实现为该像素电路10提供补偿电压。比如,该电压补偿模块101中的电压补偿薄膜晶体管分别为:第七薄膜晶体管T107和第八薄膜晶体管T108,所述第七薄膜晶体管T107和所述第八薄膜晶体管T108为性能参数相同的薄膜晶体管。其中,第七薄膜晶体管T107连接在第三薄膜晶体管T103和第一薄膜晶体管T101之间,所述第七薄膜晶体管T107的栅极连接于第一节点N1,第八薄膜晶体管T108连接在第五薄膜晶体管T105和第一薄膜晶体管T101之间,所述第八薄膜晶体管T108的栅极连接于第一节点N1;

[0070] 相应的,第二薄膜晶体管T102连接在数据线D1和电压补偿模块101之间具体为,第

二薄膜晶体管T102连接在数据线D1和第一薄膜晶体管T101之间。

[0071] 第三薄膜晶体管T103连接在第四薄膜晶体管T104和电压补偿模块101之间,具体为:第三薄膜晶体管T103连接在第四薄膜晶体管T104和第七薄膜晶体管T107之间。

[0072] 第五薄膜晶体管T105连接在第二电源V102和电压补偿模块101之间,,具体为:第五薄膜晶体管T105连接在第二电源V102和第八薄膜晶体管T108之间。

[0073] 第六薄膜晶体管T106连接在所述像素电路10所驱动的有机发光二极管L1和电压补偿模块101之间,具体为:第六薄膜晶体管连接在所述像素电路所驱动的有机发光二极管L1和第一薄膜晶体管T101之间。

[0074] 此时,像素电路中包括第一薄膜晶体管T101、第二薄膜晶体管T102、第三薄膜晶体管T103、第四薄膜晶体管T104、第五薄膜晶体管T105、第六薄膜晶体管T106、第七薄膜晶体管T107、第八薄膜晶体管T108以及电容器C101,其中:

[0075] 第一薄膜晶体管T101连接在第八薄膜晶体管T108和第六薄膜晶体管T106之间,并且所述第一薄膜晶体管T101的栅极连接于第一节点N1;

[0076] 第二薄膜晶体管T102连接在数据线D1和第一薄膜晶体管T101之间,并且所述第二薄膜晶体管T102的栅极连接于第二扫描线S102;

[0077] 第三薄膜晶体管T103连接在所述第一节点N1和第七薄膜晶体管T107之间,并且所述第三薄膜晶体管T103的栅极连接于第二扫描线S102;

[0078] 第四薄膜晶体管T104连接在第一电源V101和第一节点N1之间,并且所述第四薄膜晶体管T104的栅极连接于第一扫描线S101;

[0079] 第五薄膜晶体管T105连接在第八薄膜晶体管T108和第二电源V102之间,并且该第五薄膜晶体管T105的栅极连接于控制线E1;

[0080] 第六薄膜晶体管T106连接在所述像素电路所驱动的有机发光二极管L1和第一薄膜晶体管T101之间,并且该第六薄膜晶体管T106的栅极连接于控制线E1;

[0081] 第七薄膜晶体管T107连接在第三薄膜晶体管T103和第一薄膜晶体管T101之间,并且该第七薄膜晶体管T107的栅极连接于第一节点N1;

[0082] 第八薄膜晶体管T108连接在第五薄膜晶体管T105和第一薄膜晶体管T101之间,并且该第八薄膜晶体管T108的栅极连接于第一节点N1;

[0083] 电容器C101连接在第二电源V102和第一节点N1之间。

[0084] 如上所述,第四薄膜晶体管T104连接在第一节点N1和第一电源V101之间,并且第四薄膜晶体管T104的栅极连接于第一数据线S101。因此,可以通过第一扫描线S101所提供的第一扫描信号,来控制第四薄膜晶体管T104的导通或者截止。

[0085] 第二薄膜晶体管T102和第三薄膜晶体管T103的栅极均连接于第二扫描线S102,可以通过第二扫描线S102所提供的第二扫描信号,来控制第二薄膜晶体管T102和第三薄膜晶体管T103导通或者截止。

[0086] 第五薄膜晶体管T105和第六薄膜晶体管T106的栅极均连接于控制线E1,可以通过控制线E1所提供的控制信号,来控制第五薄膜晶体管T105和第六薄膜晶体管T106导通或者截止。

[0087] 当然,第一薄膜晶体管T101、第七薄膜晶体管T107和第八薄膜晶体管T108的栅极均连接于第一节点N1,可以通过第一节点N1的电势来控制它们的导通或者截止。

[0088] 在实际应用中,第一电源V101通常可以是初始化电源,该初始化电源能够提供初始化电压 V_{ref} 对像素电路10进行初始化。当然该第一电源V101在作为初始化电源对像素电路10进行初始化时,通常需要通过第一扫描线S101提供的第一扫描信号,控制第四薄膜晶体管T104进行导通,此时第一节点N1的电势也为 V_{ref} ,电容器两个电极的电势分别为 V_{ref} 和第二电源V102所提供的电势称为 V_{DD} ,通常第二电源V102为高电势的电源,第一电源V101为低电势的电源,也即 V_{DD} 大于 V_{ref} 。

[0089] 当 V_{DD} 大于 V_{ref} 时,为了确保像素电路的正常工作,使得电流能够由第五薄膜晶体管T105流向第一薄膜晶体管T101,并最终流到机发光二极管L1,为该机发光二极管L1提供电能,根据该像素电路10中的各个薄膜晶体管的晶体管类型p型或n型不同,可以有多种连接方式。

[0090] 比如,当第一薄膜晶体管T101、第八薄膜晶体管T108以及第六薄膜晶体管T106均为p型薄膜晶体管时,由于p型薄膜晶体管的源极比漏极电压高,电流由源极流向漏极,因此第一薄膜晶体管T101连接在第八薄膜晶体管T108和第六薄膜晶体管T106之间的具体连接方式为:第一薄膜晶体管T101的源极连接在第八薄膜晶体管T108的漏极,并且第一薄膜晶体管T101的漏极连接在第六薄膜晶体管T106的源极;当第一薄膜晶体管T101、第八薄膜晶体管T108以及第六薄膜晶体管T106均为n型薄膜晶体管时,由于n型薄膜晶体管的源极比漏极电压低,电流由漏极流向源极,因此第一薄膜晶体管T101连接在第八薄膜晶体管T108和第六薄膜晶体管T106之间的具体连接方式为:第一薄膜晶体管T101的漏极连接在第八薄膜晶体管T108的源极,并且第一薄膜晶体管T101的源极连接在第六薄膜晶体管T106的漏极。

[0091] 对于其它的薄膜晶体管,比如第五薄膜晶体管T105等,也会根据晶体管类型的不同采用不同的连接方式。具体到第五薄膜晶体管T105,当该第五薄膜晶体管T105为p型薄膜晶体管时,该第五薄膜晶体管T105的源极连接到第二电源V102,第五薄膜晶体管T105的漏极连接到第八薄膜晶体管T108也为p型薄膜晶体管的源极。对于其它的薄膜晶体管,以及根据晶体管的具体类型所采用的不同连接方式,这里就不再一一赘述。

[0092] 此外,在实际应用中,该像素电路10还可以包括第九薄膜晶体管T109,如图2所示,该第九薄膜晶体管T109连接在第一电源V101和有机发光二极管L1之间,并且该第九薄膜晶体管T109的栅极连接于第三扫描线S103。

[0093] 在实际应用中,当通过第一电源V101对像素电路10进行初始化时,可以同时通过第三扫描线S103提供的第三扫描信号,控制第九薄膜晶体管T109进行导通,这样可以在有机发光二极管L1的一个电极和第一电源V101之间形成回路,释放电路中的积累的电荷,可以增加有机发光二极管L1的使用寿命。

[0094] 当然,该像素电路10还可以包括第二电容器C102,如图3所示,该第二电容器C102连接在第二扫描线S102和第四薄膜晶体管T104之间,该第二电容C102充电之后,通过其中的一极与第一节点N1相连,能够为该像素电路10的正常工作提供缓冲。

[0095] 图4为实际应用中,增加了第九薄膜晶体管T109和第二电容器C102的像素电路10,此时该电压补偿模块101中包括第一薄膜晶体管T101、第七薄膜晶体管T107和第八薄膜晶体管T108;图5为用于驱动图4中所示的像素电路10的驱动信号时序图,下面结合图4和图5对该像素电路10驱动有机发光二极管L1发光的具体驱动方法进行说明,该方法包括如下步骤:

[0096] 步骤11:对像素电路10进行初始化。

[0097] 结合图1和图2,当到达a时间点时,第一扫描线S101和第三扫描线S103跳跃至低压,此时第一扫描线S101所控制的第四薄膜晶体管T104导通,并且第三扫描线S103所控制的第九薄膜晶体管T109导通,而其它薄膜晶体管截止;第一电源V101电势为 V_{ref} 对像素电路10进行初始化,使得第一节点N1的电势为 V_{ref} ,电容器C101两个电极的电势分别为 V_{ref} 和 V_{DD} (第二电源V102的电势);并且,第一电源V101与有机发光二极管L1形成回路,释放电路中的积累的电荷。

[0098] 需要说明的是,当初始化完成之后,由于第一节点N1的电势为 V_{ref} ,能够同时控制第一薄膜晶体管T101、第七薄膜晶体管T107和第八薄膜晶体管T108导通。

[0099] 当到达b时间点时,第一扫描线S101和第三扫描线S103跳跃至高压,完成对像素电路10的初始化,此时第一薄膜晶体管T101、第七薄膜晶体管T107和第八薄膜晶体管T108导通,包括第四薄膜晶体管T104和第九薄膜晶体管T109在内的其它薄膜晶体管截止。对该像素电路10的初始化时间段为T1,该T1的大小可以根据实际需要进行设定。

[0100] 步骤12:通过数据线D1进行数据写入。

[0101] 当到达c时间点时,第二扫描线S102跳跃至低压,此时第二扫描线S102所控制的第二薄膜晶体管T102和第三薄膜晶体管T103导通,并且由于第一节点N1的电势为 V_{ref} ,能够控制第一薄膜晶体管T101、第七薄膜晶体管T107和第八薄膜晶体管T108导通,其它的薄膜晶体管截止。电流能够在数据线D1、第二薄膜晶体管T102、第一薄膜晶体管T101、第七薄膜晶体管T107、第三薄膜晶体管T103和电容器C101流动,最终使得第一节点N1的电势为 V_g ,电容器C101的两个电极电势分别为 V_g 和 V_{DD} (第二电源V102的电势)。

[0102] 可以通过下述公式确定 V_g :

$$[0103] \quad V_g = V_{data} - |V_{thT101\&T107}|$$

[0104] 其中, V_{data} 为数据线D1所提供的电势, $V_{thT101\&T107}$ 为第一薄膜晶体管T101和第七薄膜晶体管T107的串连阈值电压, V_g 为数据写入之后第一节点N1的电势。

[0105] 当到达d时间点时,完成数据写入,此时第二扫描线S102跳跃至高压,从而控制第二薄膜晶体管T102和第三薄膜晶体管T103截止。像素电路10中,第一节点N1的电势为 V_g ,能够同时控制第一薄膜晶体管T101、第七薄膜晶体管T107和第八薄膜晶体管T108导通。

[0106] 对该像素电路10进行数据写入的时间段为T2,在实际应用中可以根据需要来设定T2的大小(即,数据写入的时间长短),当然也可以进行多次数据写入,这里并不对此做出限定。

[0107] 步骤13:驱动有机发光二极管L1发光。

[0108] 当到达e时间点时,控制线E1跳跃至低压,通过该控制线E1控制的第五薄膜晶体管T105和第六薄膜晶体管T106导通,并且由于第一节点N1的电势为 V_g ,使得第一薄膜晶体管T101、第七薄膜晶体管T107和第八薄膜晶体管T108导通,而其它薄膜晶体管截止。电流由第二电源V102(电势为 V_{DD}),流经第五薄膜晶体管T105、第八薄膜晶体管T108、第一薄膜晶体管T101和第六薄膜晶体管T106,流向有机发光二极管L1,从而为驱动该有机发光二极管L1发光。

[0109] 由于该电流(用I表示)的大小正比于 $[V_{DD} - V_g - |V_{thT101\&T108}|]^2$,也即:

$$[0110] \quad I \propto [V_{DD} - V_g - |V_{thT101\&T108}|]^2$$

[0111] 其中, V_{DD} 为第二电源V102的电势, V_g 为第一节点N1的电势, $V_{thT101\&T108}$ 为第一薄膜晶体管T101和第八薄膜晶体管T108的串连阈值电压, I 为对有机发光二极管L1的驱动电流。

[0112] 由于 $V_g = V_{data} - |V_{thT101\&T107}|$, 可以最终确定 $I \propto [V_{DD} - V_{data} - V_{thT101\&T108} + V_{thT101\&T107}]^2$ 。从而可以通过调节 $V_{thT101\&T108}$ 和 $V_{thT101\&T107}$ 的大小, 实现对像素电路10的电压补偿, 特别是当 $V_{thT101\&T108}$ 与 $V_{thT101\&T107}$ 大小相等时 $I \propto [V_{DD} - V_{data}]^2$, 此时 I 与 V_{DD} 和 V_{data} 相关, 而与薄膜晶体管的阈值电压无关, 可以使得补偿效果更好。通常可以将性能参数相同的两个薄膜晶体管(比如两个薄膜晶体管的沟道的 W/L 相同, 有源层采用相同的材料等), 分别作为第七薄膜晶体管T107和第八薄膜晶体管T108, 使得 $V_{thT101\&T108}$ 与 $V_{thT101\&T107}$ 大小相等。在实际应用中, 为了使得第七薄膜晶体管T107和第八薄膜晶体管T108的性能参数相同, 通常可以采用相同的两个薄膜晶体管分别作为第七薄膜晶体管T107和第八薄膜晶体管T108。

[0113] 通过像素电路10中的这种电压补偿方式, 特别是 $V_{thT101\&T108}$ 与 $V_{thT101\&T107}$ 大小相等时, 该像素电路10所驱动的有机发光二极管L1的电流 $I \propto [V_{DD} - V_{data}]^2$, 该电流 I 的大小与第二电源V102以及数据线D1相关, 不同的像素中, 可以通过调控第二电源V102的电势以及数据线D1的电势, 使得驱动的有机发光二极管L1的电流相同, 最终使得各个像素之间发光连续更加均匀。

[0114] 需要说明的是, 在实际应用中电压补偿模块101中的, 用于提供补偿电压的电压补偿薄膜晶体管的数量还可以是3个(或者其他数量), 通过这些电压补偿薄膜晶体管来为像素电路10提供补偿电压, 当然, 这些电压补偿薄膜晶体管的连接方式也可以是其它的方式, 这里就不再一一列举。

[0115] 采用本申请实施例1所提供的像素电路10, 由于在该像素电路10中, 能够通过电压补偿模块101中的多个电压补偿薄膜晶体管对该像素电路10中的电压进行补偿, 使得在像素电路10中, 在第二电源V102的电势以及数据线D1的电势相同情况下, 即使在每个薄膜晶体管的阈值电压不同的情况下, 也能够降低流向有机发光二极管的电流大小的差别, 使得不同的有机发光二极管发光亮度更加均匀, 并使得AMOLED的不同像素之间发光亮度更加均匀。

[0116] 实施例2

[0117] 在实施例1中提到, 像素电路的电压补偿模块可以包括栅极连接在第一节点的第一薄膜晶体管, 以及两个电压补偿薄膜晶体管(分别为第七薄膜晶体管和第八薄膜晶体管), 这两个电压补偿薄膜晶体管通过实施例1中的连接方式能够为像素电路提供补偿电压, 从而解决现有技术中的问题。但是在实际应用中, 电压补偿模块中的这两个电压补偿薄膜晶体管还可以通过其它的方式来为像素电路提供补偿电压, 这样就构成了本申请的实施例2。本申请实施例2提供了一种像素电路, 如图6所示, 该像素电路20包括:

[0118] 第一薄膜晶体管T201、第二薄膜晶体管T202、第三薄膜晶体管T203、第四薄膜晶体管T204、第五薄膜晶体管T205、第六薄膜晶体管T206、第十薄膜晶体管T2010、第十一薄膜晶体管T2011以及电容器C201, 其中:

[0119] 第一薄膜晶体管T201连接在第五薄膜晶体管T205和第十一薄膜晶体管T2011之间, 该第一薄膜晶体管T201的栅极连接于第二节点N2;

[0120] 第二薄膜晶体管T202连接在数据线D2和第十薄膜晶体管T2010之间, 该第二薄膜晶体管T202的栅极连接于第二扫描线S202;

[0121] 第三薄膜晶体管T203连接在第二节点N2和第一薄膜晶体管T201之间,该第三薄膜晶体管T203的栅极连接于第二扫描线S202;

[0122] 第四薄膜晶体管T204连接在第一电源V201和第二节点N2之间,该第四薄膜晶体管T204的栅极连接于第一扫描线S201;

[0123] 第五薄膜晶体管T205连接在第一薄膜晶体管T201和第二电源V202之间,该第五薄膜晶体管T205的栅极连接于控制线E2;

[0124] 第六薄膜晶体管T206连接在所述像素电路所驱动的有机发光二极管L2和第十一薄膜晶体管T2011之间,该第六薄膜晶体管T206的栅极连接于控制线E2;

[0125] 第十薄膜晶体管T2010连接在第二薄膜晶体管T202和第一薄膜晶体管T201之间,该第十薄膜晶体管T2010的栅极连接于第二节点N2;

[0126] 第十一薄膜晶体管T2011连接在第一薄膜晶体管T201和第六薄膜晶体管T206之间,该第十一薄膜晶体管T2011的栅极连接于第二节点N2;

[0127] 电容器C201连接在第二电源V202和第二节点N2之间。

[0128] 在该像素电路20中,电压补偿模块也包括第一薄膜晶体管T201以及两个电压补偿薄膜晶体管,这两个电压补偿薄膜晶体管分别称之为第十薄膜晶体管T2010和第十一薄膜晶体管T2011。第十薄膜晶体管T2010和第十一薄膜晶体管T2011通过如图6所示的连接方式,也能够为像素电路20补偿电压。

[0129] 在像素电路20中,第一薄膜晶体管T201该像素电路20中的驱动晶体管,栅极连接在第二节点N2上。

[0130] 在该像素电路20中,根据薄膜晶体管的连接方式,可以通过第一扫描线S201所提供的第一扫描信号,来控制第四薄膜晶体管T204的导通或者截止,可以通过第二扫描线S202所提供的第二扫描信号,来控制第二薄膜晶体管T202和第三薄膜晶体管T203导通或者截止,可以通过控制线E2所提供的控制信号,来控制第五薄膜晶体管T205和第六薄膜晶体管T206导通或者截止,当然,第一薄膜晶体管T201、第十薄膜晶体管T2010和第十一薄膜晶体管T2011的栅极均连接于第二节点N2,可以通过第二节点N2的电势来控制它们的导通或者截止。

[0131] 第一电源V201也可以是初始化电源,该初始化电源能够提供初始化电压 V_{ref} 对像素电路20进行初始化。

[0132] 当第二电源的电势 V_{DD} 大于第一电源V201的电势 V_{ref} 时,为了确保像素电路的正常工作,使得电流能够由第五薄膜晶体管T205流向第一薄膜晶体管T201,并最终流到有机发光二极管L2,为该有机发光二极管L2提供电能,根据该像素电路20中的各个薄膜晶体管的晶体管类型p型或n型不同,可以有多种连接方式。

[0133] 比如,当第一薄膜晶体管T201、第五薄膜晶体管T205以及第十一薄膜晶体管T2011均为p型薄膜晶体管时,由于p型薄膜晶体管的源极比漏极电压高,电流由源极流向漏极,因此第一薄膜晶体管T201连接在第五薄膜晶体管T205和第十一薄膜晶体管T2011之间的具体连接方式为:第一薄膜晶体管T201的源极连接在第五薄膜晶体管T205的漏极,并且第一薄膜晶体管T201的漏极连接在第十一薄膜晶体管T2011的源极;当第一薄膜晶体管T201、第五薄膜晶体管T205以及第十一薄膜晶体管T2011均具体为n型薄膜晶体管时,由于n型薄膜晶体管的源极比漏极电压低,电流由漏极流向源极,因此第一薄膜晶体管T201连接在第五薄

膜晶体管T205和第十一薄膜晶体管T2011之间的具体连接方式为：第一薄膜晶体管T201的漏极连接在第五薄膜晶体管T205的源极，并且第一薄膜晶体管T201的源极连接在第十一薄膜晶体管T2011的漏极。

[0134] 对于其它的薄膜晶体管，比如第五薄膜晶体管T205第六薄膜晶体管T206等，也会根据晶体管类型的不同采用不同的连接方式。具体到第五薄膜晶体管T205，当该第五薄膜晶体管T205为n型薄膜晶体管时，该第五薄膜晶体管T205的漏极连接到第二电源V202，该第五薄膜晶体管T205的源极连接到第一薄膜晶体管T201也为n型薄膜晶体管的漏极。对于其它的薄膜晶体管，以及根据晶体管的具体类型所采用的不同连接方式，这里就不再一一赘述。

[0135] 此外，在实际应用中，该像素电路20也可以包括第九薄膜晶体管T209，如图7所示，该第九薄膜晶体管T209连接在第一电源V201和有机发光二极管L2之间，并且该第九薄膜晶体管T209的栅极连接于第三扫描线S203。

[0136] 当通过第一电源V201对像素电路20进行初始化时，可以同时通过第三扫描线S203提供的第三扫描信号，控制第九薄膜晶体管T209进行导通，这样可以在有机发光二极管L2的一个电极和第一电源V201之间形成回路，释放电路中的积累的电荷，可以增加有机发光二极管L2的使用寿命。

[0137] 当然，该像素电路20还可以包括第二电容器C202，如图8所示，该第二电容器C202连接在第二扫描线S202和第四薄膜晶体管T204之间，该第二电容C202充电之后，通过其中的一极与第二节点N2相连，能够为该像素电路20的正常工作提供缓冲。

[0138] 图9为实际应用中，增加了第九薄膜晶体管T209和第二电容器C202的像素电路20，图10为用于驱动图9中所示的像素电路20的驱动信号时序图，下面结合图9和图10对该像素电路20驱动有机发光二极管L2发光的具体驱动方法进行说明，该方法包括如下步骤：

[0139] 步骤21：对像素电路20进行初始化。

[0140] 与实施例1相同，当到达f时间点时，第一扫描线S201和第三扫描线S203跳跃至低压，此时第一扫描线S201所控制的第四薄膜晶体管T204导通，并且第三扫描线S203所控制的第九薄膜晶体管T209导通，而其它薄膜晶体管截止；第一电源V201电势为 V_{ref} 对像素电路20进行初始化，使得第二节点N2的电势为 V_{ref} ，电容器C201两个电极的电势分别为 V_{ref} 和 V_{DD} 第二电源V202的电势；并且，第一电源V201与有机发光二极管L1形成回路，释放电路中的积累的电荷。

[0141] 需要说明的是，当初始化完成之后，由于第二节点N2的电势为 V_{ref} ，能够同时控制第一薄膜晶体管T201、第十薄膜晶体管T2010和第十一薄膜晶体管T2011导通。

[0142] 当到达g时间点时，第一扫描线S201和第三扫描线S203跳跃至高压，完成对像素电路20的初始化，此时第一薄膜晶体管T201、第十薄膜晶体管T2010和第十一薄膜晶体管T2011导通，包括第四薄膜晶体管T204和第九薄膜晶体管T209在内的其它薄膜晶体管截止。对该像素电路20的初始化时间段为T4，该T4的大小也可以根据实际需要进行设定，这里就不再进行说明。

[0143] 步骤22：通过数据线D2进行数据写入。

[0144] 当到达h时间点时，第二扫描线S202跳跃至低压，此时第二扫描线S202所控制的第二薄膜晶体管T202和第三薄膜晶体管T203导通，并且由于第二节点N2的电势为 V_{ref} ，能够控

制第一薄膜晶体管T201、第十薄膜晶体管T2010和第十一薄膜晶体管T2011导通,而其它的薄膜晶体管截止。电流能够在数据线D2、第二薄膜晶体管T202、第一薄膜晶体管T201、第十薄膜晶体管T2010、第三薄膜晶体管T203和电容器C201流动,最终使得第二节点N2的电势为 V_g ,电容器C201的两个电极电势分别为 V_g 和 V_{DD} 第二电源V202的电势。

[0145] 与实施例1相同,也可以通过下述公式确定 V_g :

$$[0146] \quad V_g = V_{data} - |V_{thT201\&T2010}|$$

[0147] 其中, V_{data} 为数据线D2所提供的电势, $V_{thT201\&T2010}$ 为第一薄膜晶体管T201和第十薄膜晶体管T2010的串连阈值电压, V_g 为数据写入之后第二节点N2的电势。

[0148] 当到达j时间点时,完成数据写入,此时第二扫描线S202跳跃至高压,从而控制第二薄膜晶体管T202和第三薄膜晶体管T203截止。像素电路20中,第二节点N2的电势为 V_g ,能够同时控制第一薄膜晶体管T201、第十薄膜晶体管T2010和第十一薄膜晶体管T2011导通。

[0149] 对该像素电路20进行数据写入的时间段为T5,在实际应用中可以根据需要来设定T5的大小即,数据写入的时间长短,当然也可以进行多次数据写入,这里并不对此做出限定。

[0150] 步骤23:驱动有机发光二极管L2发光。

[0151] 当到达k时间点时,控制线E2跳跃至低压,通过该控制线E2控制的第五薄膜晶体管T205和第六薄膜晶体管T206导通,并且由于第二节点N2的电势为 V_g ,使得第一薄膜晶体管T201、第十薄膜晶体管T2010和第十一薄膜晶体管T2011导通,而其它薄膜晶体管截止。电流由第二电源V202电势为 V_{DD} ,流经第五薄膜晶体管T205、第一薄膜晶体管T201、第十一薄膜晶体管T2011和第六薄膜晶体管T206,流向有机发光二极管L2,从而为驱动该有机发光二极管L2发光。

[0152] 并且,由于该电流I的大小也正比于 $[V_{DD} - V_g - |V_{thT201\&T2011}|]^2$,也即:

$$[0153] \quad I \propto [V_{DD} - V_g - |V_{thT201\&T2011}|]^2$$

[0154] 其中, V_{DD} 为第二电源V202的电势, V_g 为第二节点N2的电势, $V_{thT201\&T2011}$ 为第一薄膜晶体管T201和第十一薄膜晶体管T2011的串连阈值电压,I为对有机发光二极管L2的驱动电流。

[0155] 由于 $V_g = V_{data} - V_{thT201\&T2010}$,可以最终确定 $I \propto [V_{DD} - V_{data} - V_{thT201\&T2011} + V_{thT201\&T2010}]^2$ 。从而可以通过调节 $V_{thT201\&T2011}$ 和 $V_{thT201\&T2010}$ 的大小,实现对像素电路20的电压补偿,特别是当 $V_{thT201\&T2011}$ 与 $V_{thT201\&T2010}$ 大小相等时 $I \propto [V_{DD} - V_{data}]^2$,此时I与 V_{DD} 和 V_{data} 相关,而与薄膜晶体管的阈值电压无关,可以使得补偿效果更好。在实际应用中,通常可以将性能参数相同的两个薄膜晶体管比如两个薄膜晶体管的沟道的W/L相同,有源层采用相同的材料等,分别作为第十薄膜晶体管T2010和第十一薄膜晶体管T2011,使得 $V_{thT201\&T2011}$ 与 $V_{thT201\&T2010}$ 大小相等。当然,在实际应用中,为了使得第十薄膜晶体管T2010和第十一薄膜晶体管T2011的性能参数相同,通常也可以采用相同的两个薄膜晶体管分别作为第十薄膜晶体管T2010和第十一薄膜晶体管T2011。

[0156] 通过像素电路20中的这种电压补偿方式,特别是 $V_{thT201\&T2011}$ 与 $V_{thT201\&T2010}$ 大小相等时,该像素电路20所驱动的有机发光二极管L2的电流 $I \propto [V_{DD} - V_{data}]^2$,该电流I的大小与第二电源V202以及数据线D2相关,而与薄膜晶体管的阈值电压无关,因此可以在不同的像素中,通过控制第二电源V202的电势以及数据线D2的电势,可以使得有机发光二极管L2的驱

动电流相同,最终使得各个像素之间发光连读更加均匀。

[0157] 本申请实施例还可以提供一种像素,该像素中可以包括本申请实施例1所提供的像素电路10以及该像素电路10所驱动的有机发光二极管L1;当然,该像素中也可以包括本申请实施例2所提供的像素电路20以及该像素电路20所驱动的有机发光二极管L2。毫无疑问,该像素能够用于解决现有技术中的问题,这里就不再赘述。

[0158] 此外,本申请实施例还可以提供一种显示器件,该显示器件中包括多个本申请实施例所提供的像素。

[0159] 由于该显示器件中包括本申请实施例所提供的像素,因此能够解决现有技术中的问题,这里就不再进行说明。此外,在实际应用中,该显示器件由于发光亮度更加均匀,通常能够进一步的提高用户对该显示器件的使用体验,从而提高该显示器件的商业价值。

[0160] 需要说明的是,本申请实施例中的术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、商品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、商品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括要素的过程、方法、商品或者设备中还存在另外的相同要素。

[0161] 以上仅为本申请的实施例而已,并不用于限制本申请。对于本领域技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本申请的权利要求范围之内。

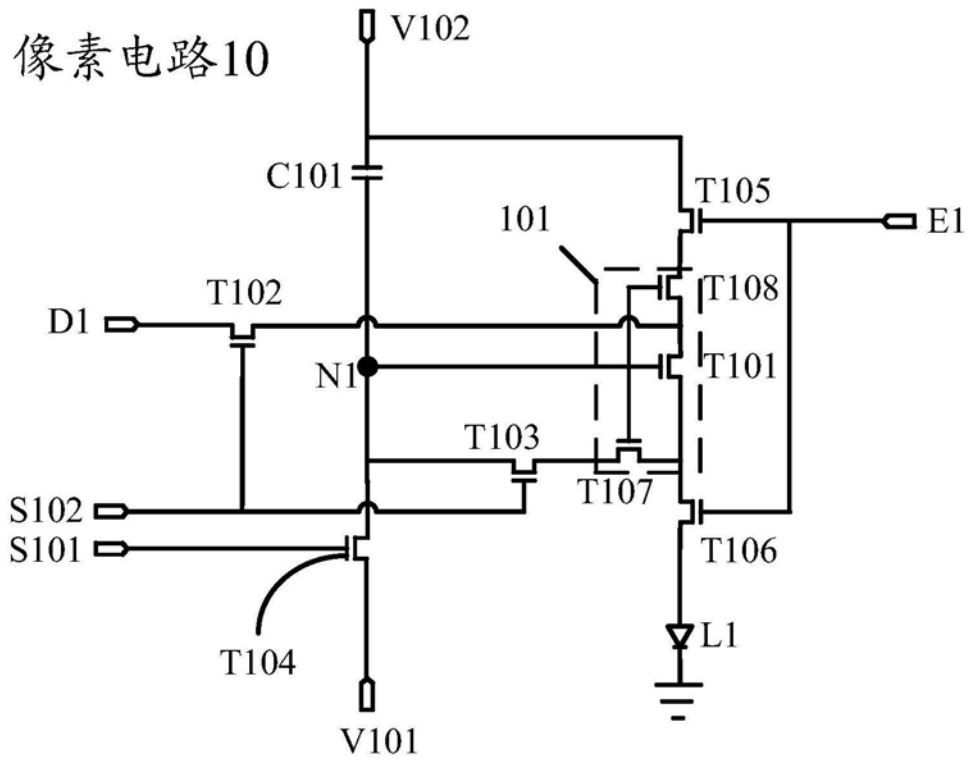


图1

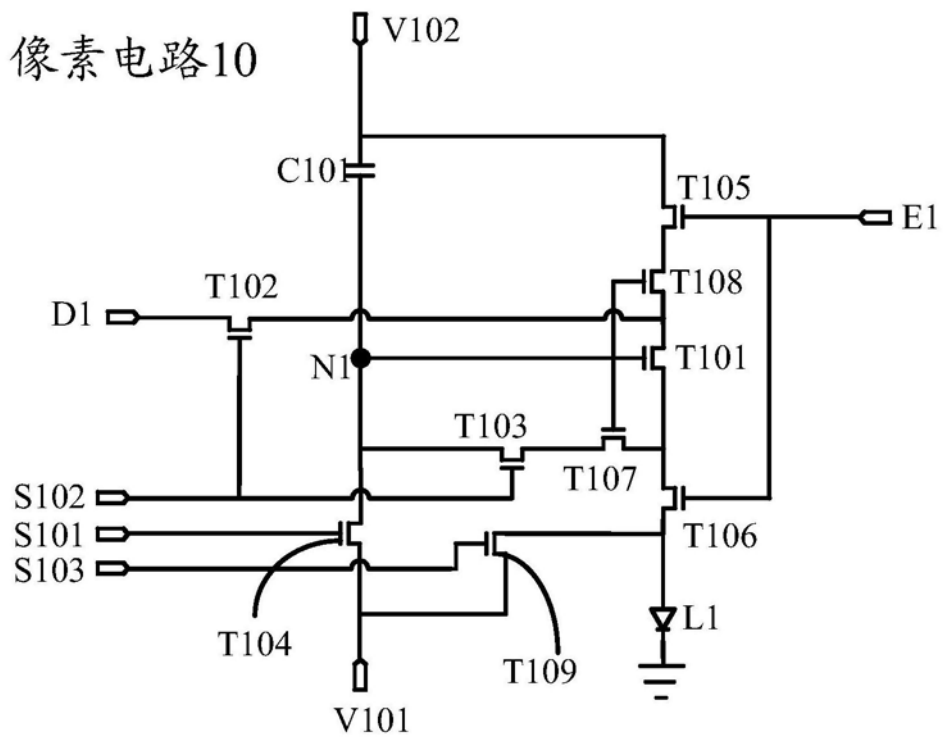


图2

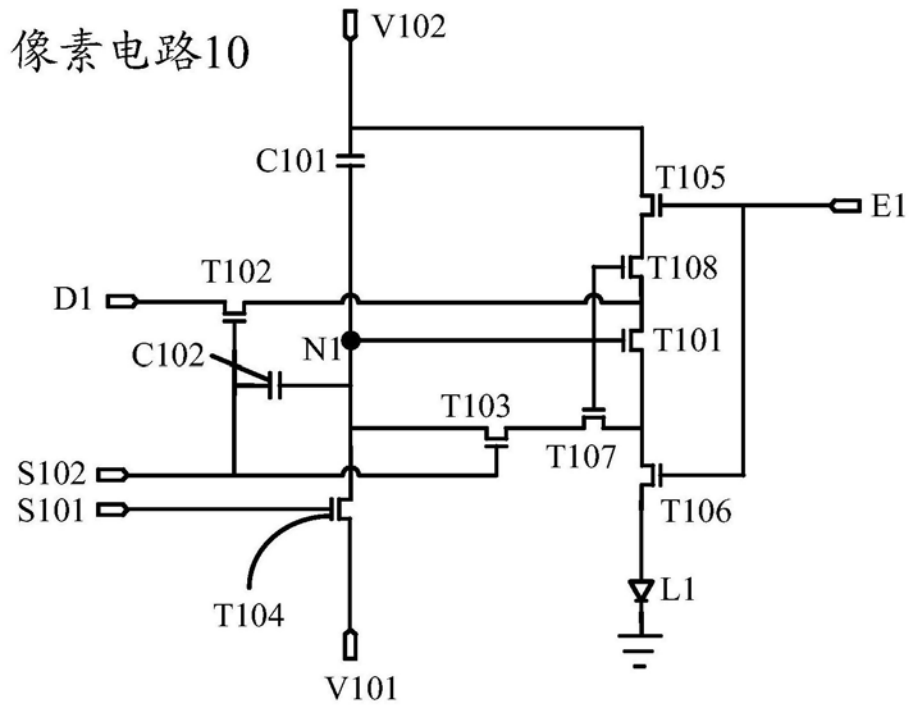


图3

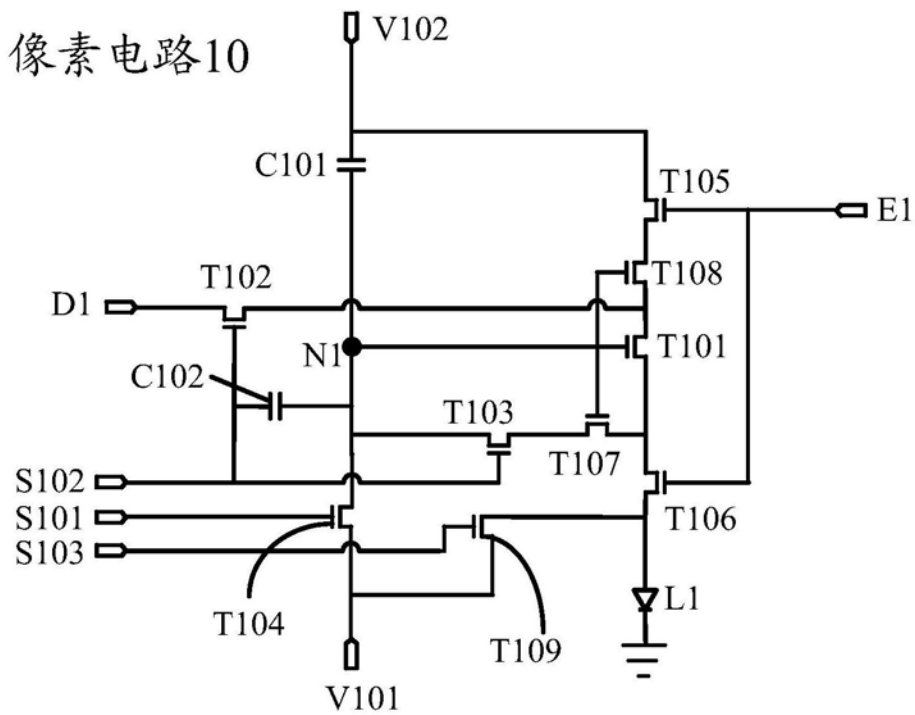


图4

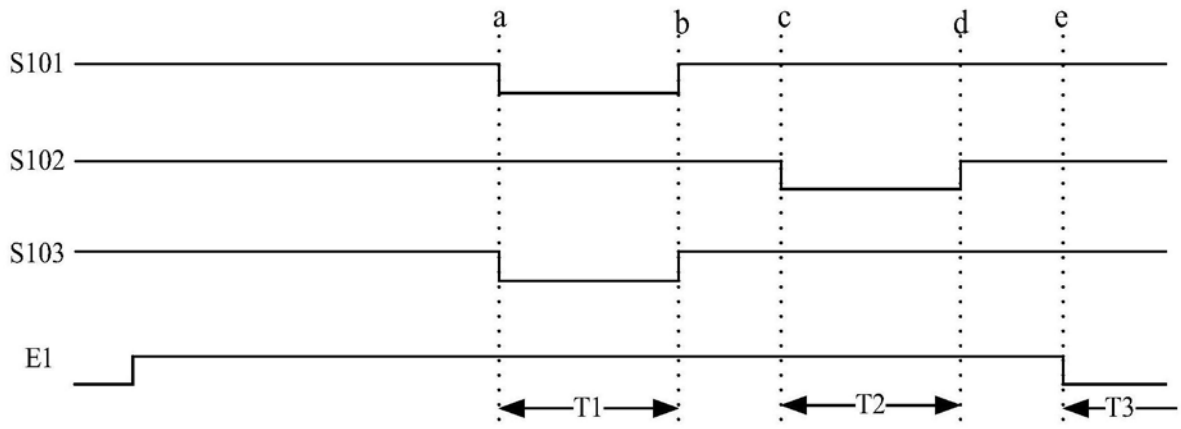


图5

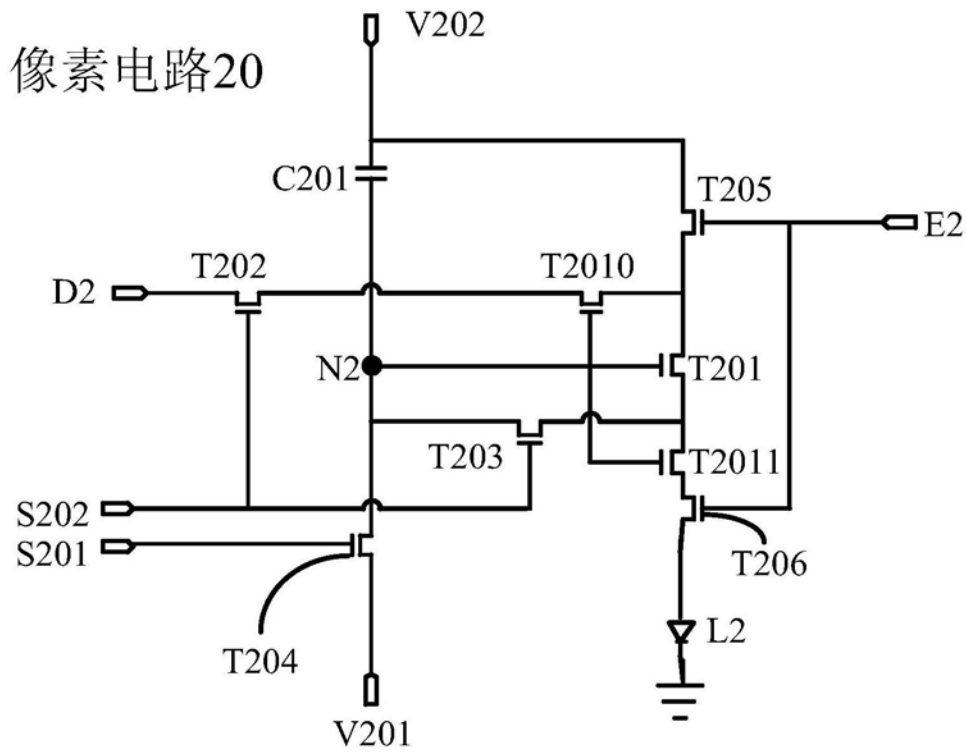


图6

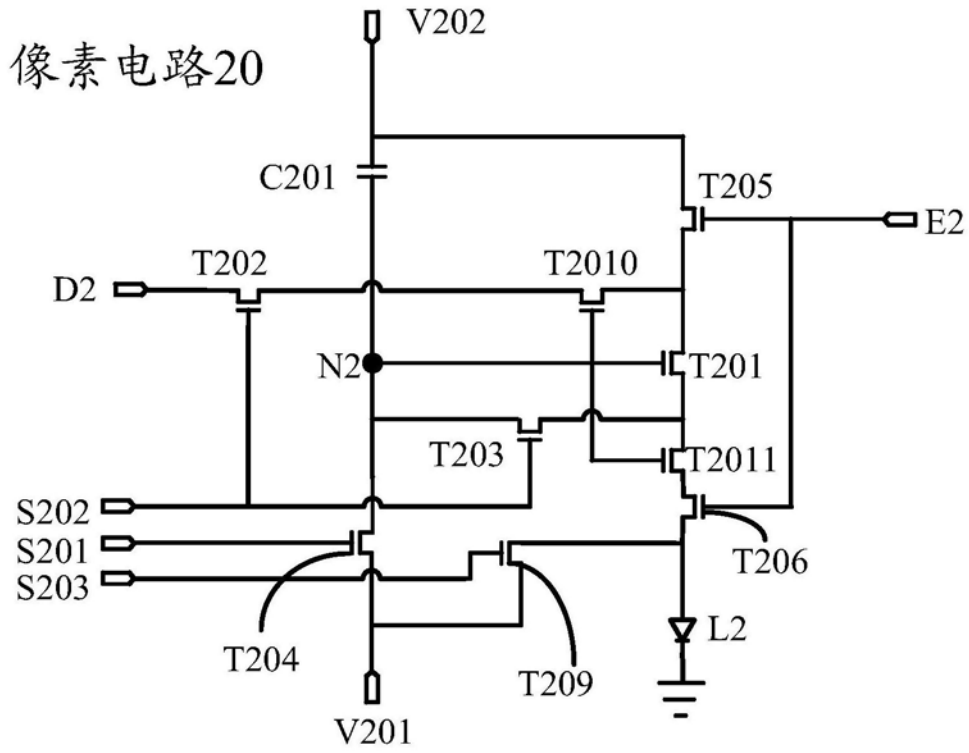


图7

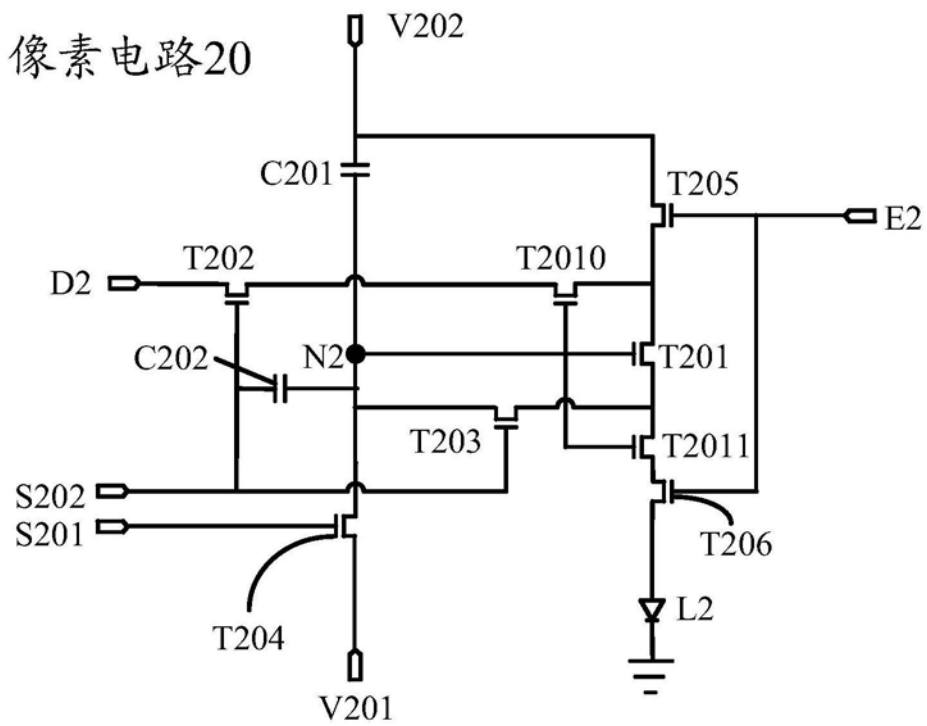


图8

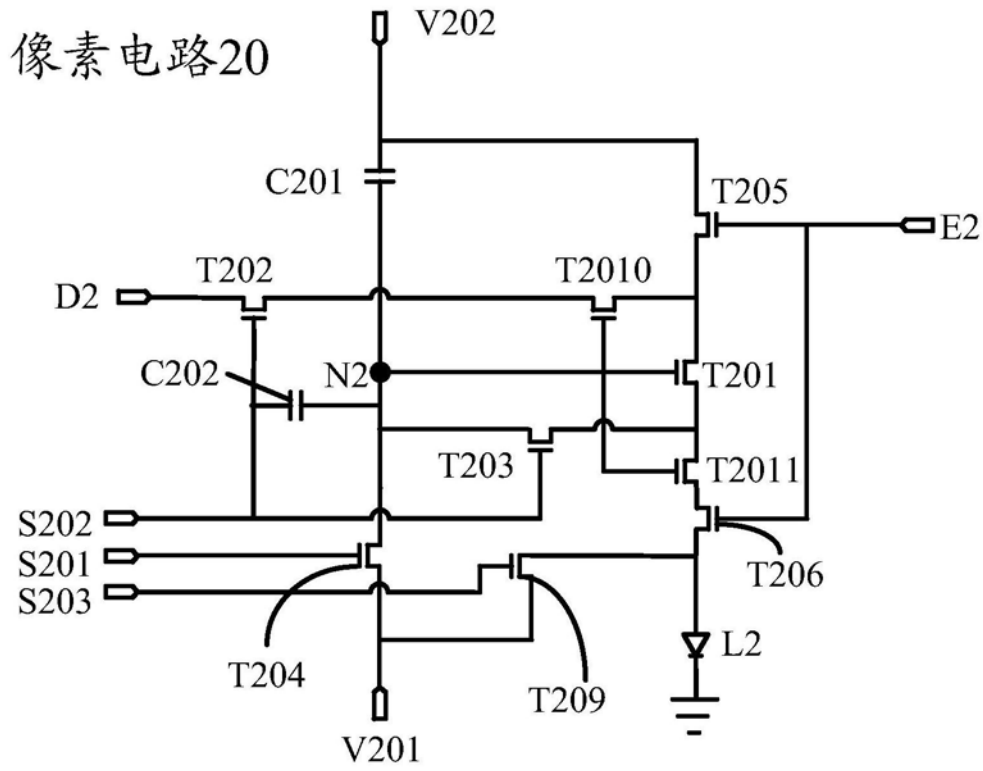


图9

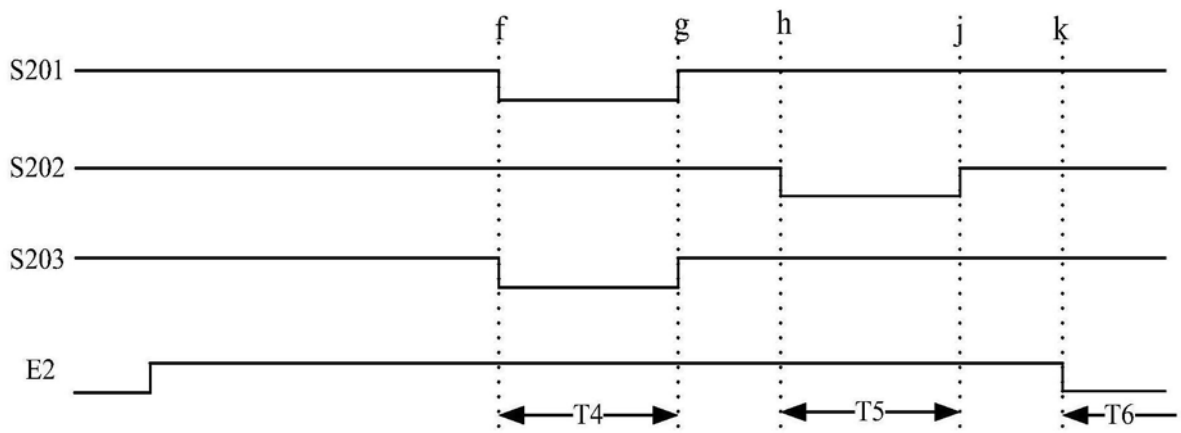


图10

专利名称(译)	像素电路、像素及显示器件		
公开(公告)号	CN108269533B	公开(公告)日	2019-12-24
申请号	CN2017110002030.X	申请日	2017-01-03
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	范文志 吴剑龙 韩珍珍 朱修剑		
发明人	范文志 吴剑龙 韩珍珍 朱修剑		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233		
代理人(译)	许志勇		
审查员(译)	张婕		
其他公开文献	CN108269533A		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了像素电路、像素及显示器件。该像素电路包括：电压补偿模块、薄膜晶体管以及电容器，其中，电压补偿模块中包括作为所述像素电路驱动晶体管的第一薄膜晶体管以及多个用于提供补偿电压的电压补偿薄膜晶体管，能够通过电压补偿模块中的这些电压补偿薄膜晶体管对该像素电路中的电压进行补偿，使得像素电路中，在第二电源的电势以及数据线的电势相同情况下，即使在每个薄膜晶体管的阈值电压不同，也能够降低流向有机发光二极管的电流大小的差别，使得不同的有机发光二极管发光亮度更加均匀，并使得AMOLED的不同像素之间发光亮度更加均匀。

