



(12)发明专利申请

(10)申请公布号 CN 106409866 A

(43)申请公布日 2017.02.15

(21)申请号 201610518367.1

(22)申请日 2016.07.04

(30)优先权数据

10-2015-0095347 2015.07.03 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 金德会 高健祐

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 尹淑梅 王兆赓

(51)Int.Cl.

H01L 27/32(2006.01)

G09G 3/3225(2016.01)

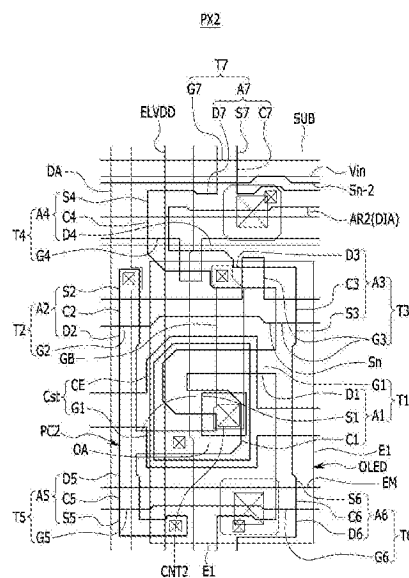
权利要求书3页 说明书20页 附图14页

(54)发明名称

有机发光二极管显示器

(57)摘要

公开了一种有机发光二极管(OLED)显示器。在一个方面,所述OLED显示器包括具有被构造为显示图像的显示区域的基底,显示区域包括第一区域和第二区域。多个OLED形成在显示区域中并彼此分开,多个像素电路形成在显示区域中并包括分别形成在第一区域和第二区域中的第一像素电路和第二像素电路。第一接触孔和第二接触孔分别形成在第一像素电路和第二像素电路中,每个像素电路包括具有第一TFT和第二TFT并电连接到OLED的薄膜晶体管(TFT)。每个像素电路包括被构造为通过第一接触孔和第二接触孔将第一TFT电连接到第二TFT的节点线,第一接触孔不同于第二接触孔。



1. 一种有机发光二极管显示器,所述有机发光二极管显示器包括:
基底,包括显示图像的显示区域,其中,所述显示区域包括第一区域和第二区域;
多个有机发光二极管,设置在所述显示区域上并彼此分开;以及
多个像素电路,设置在所述显示区域上并包括处于所述第一区域中的第一像素电路和处于所述第二区域中的第二像素电路,其中,第一接触孔和第二接触孔分别形成在所述第一像素电路和所述第二像素电路中,其中,每个像素电路包括:1)多个薄膜晶体管,包括第一薄膜晶体管和第二薄膜晶体管并电连接到所述多个有机发光二极管;2)节点线,通过所述第一接触孔和所述第二接触孔将所述第一薄膜晶体管电连接到所述第二薄膜晶体管,其中,所述第一接触孔不同于所述第二接触孔。
2. 根据权利要求1所述的有机发光二极管显示器,其中,所述基底还包括围绕所述显示区域的非显示区域,并且
其中,所述显示区域的所述第二区域比所述第一区域靠近所述非显示区域。
3. 根据权利要求1所述的有机发光二极管显示器,其中,所述第二接触孔比所述第一接触孔面积大。
4. 根据权利要求1所述的有机发光二极管显示器,其中,所述第二像素电路还包括与所述第二接触孔相邻定位的第三接触孔。
5. 根据权利要求4所述的有机发光二极管显示器,其中,所述多个薄膜晶体管还包括第三薄膜晶体管和第四薄膜晶体管,其中,所述第二像素电路的所述节点线通过所述第三接触孔将所述第三薄膜晶体管电连接到所述第四薄膜晶体管。
6. 根据权利要求1所述的有机发光二极管显示器,其中,所述多个薄膜晶体管还包括:
驱动薄膜晶体管,电连接到所述有机发光二极管;以及
至少一个开关薄膜晶体管,电连接到所述驱动薄膜晶体管。
7. 根据权利要求6所述的有机发光二极管显示器,其中,所述第二接触孔在所述有机发光二极管显示器的深度维度上与所述驱动薄膜晶体管的有源图案叠置。
8. 根据权利要求7所述的有机发光二极管显示器,其中,所述第一接触孔在所述有机发光二极管显示器的所述深度维度上不与所述驱动薄膜晶体管的所述有源图案叠置。
9. 根据权利要求7所述的有机发光二极管显示器,其中,所述第一接触孔在所述有机发光二极管显示器的所述深度维度上与所述驱动薄膜晶体管的所述有源图案叠置,以及
其中,所述第二接触孔与所述驱动薄膜晶体管的所述有源图案叠置并且具有比所述第一接触孔的面积宽的面积。
10. 根据权利要求1所述的有机发光二极管显示器,所述有机发光二极管显示器还包括设置在所述基底上并沿一个方向延伸的数据线,其中,所述数据线电连接到所述多个薄膜晶体管,并且,
其中,所述多个薄膜晶体管包括:
所述第一薄膜晶体管,设置在所述基底上,并且包括1)电连接到所述有机发光二极管的第一有源图案以及2)设置在所述第一有源图案上并通过所述第一接触孔电连接到所述节点线的第一栅电极;
所述第二薄膜晶体管,电连接到所述第一有源图案的第一端,并且包括1)连接到所述数据线的第二有源图案和2)设置在所述第二有源图案上的第二栅电极;以及

第三薄膜晶体管,电连接到所述第一有源图案的第二端,并且包括1)通过所述节点线连接到所述第一栅电极的第三有源图案和2)设置在所述第三有源图案上的第三栅电极。

11.根据权利要求10所述的有机发光二极管显示器,其中,所述节点线与所述数据线设置在同一层上。

12.根据权利要求10的有机发光二极管显示器,所述有机发光二极管显示器还包括:

第一扫描线,设置在所述第二有源图案上并与所述第二有源图案和所述第三有源图案交叉,其中,所述第一扫描线电连接到所述第二栅电极和所述第三栅电极;以及

驱动电源线,与所述数据线相邻设置并与所述第一扫描线交叉,其中,所述驱动电源线电连接到所述第一有源图案。

13.根据权利要求12所述的有机发光二极管显示器,所述有机发光二极管显示器还包括:电容器电极,电连接到所述驱动电源线,并在所述有机发光二极管显示器的所述深度维度上与所述第一栅电极叠置以与所述第一栅电极一起形成电容器。

14.根据权利要求13所述的有机发光二极管显示器,其中,所述电容器电极还包括连接到所述第一接触孔的开口。

15.根据权利要求12所述的有机发光二极管显示器,其中,所述多个薄膜晶体管还包括:第四薄膜晶体管,连接到所述第三有源图案,并且包括1)通过所述节点线电连接到所述第一栅电极的第四有源图案和2)设置在所述第四有源图案上的第四栅电极,

其中,所述有机发光二极管显示器还包括:

第二扫描线,设置在所述第四有源图案上并与所述第四有源图案交叉,其中,所述第二扫描线电连接到所述第四栅电极;以及

初始化电源线,电连接到所述第四有源图案。

16.根据权利要求15所述的有机发光二极管显示器,其中,所述多个薄膜晶体管还包括:

第五薄膜晶体管,包括1)将所述第一有源图案连接到所述驱动电源线的第五有源图案和2)设置在所述第五有源图案上的第五栅电极;以及

第六薄膜晶体管,包括1)将所述第一有源图案连接到所述有机发光二极管的第六有源图案和2)设置在所述第六有源图案上的第六栅电极,

其中,所述有机发光二极管显示器还包括设置在所述第五有源图案和所述第六有源图案上并与所述第五有源图案和所述第六有源图案交叉的发光控制线,其中,所述发光控制线电连接到所述第五栅电极和所述第六栅电极。

17.根据权利要求16所述的有机发光二极管显示器,其中,所述多个薄膜晶体管还包括:第七薄膜晶体管,包括1)电连接到所述第四有源图案的第七有源图案和2)设置在所述第七有源图案上的第七栅电极,

其中,所述有机发光二极管显示器还包括设置在所述第七有源图案上并与所述第七有源图案交叉的第三扫描线,其中,所述第三扫描线电连接到所述第七栅电极。

18.一种有机发光二极管显示器,所述有机发光二极管显示器包括:

基底,包括显示图像的显示区域,其中,所述显示区域包括第一区域和第二区域;

多个有机发光二极管,设置在所述显示区域上并彼此分开;以及

多个像素电路,设置在所述显示区域上,所述多个像素电路包括处于所述第一区域中

的第一像素电路和处于所述第二区域中的第二像素电路,其中,第一接触孔和第二接触孔分别设置在所述第一像素电路和所述第二像素电路中,其中,每个像素电路包括:1)多个薄膜晶体管,包括第一薄膜晶体管和第二薄膜晶体管并电连接到所述多个有机发光二极管;2)节点线,通过所述第一接触孔和所述第二接触孔将所述第一薄膜晶体管电连接到所述第二薄膜晶体管,

其中,所述第二接触孔比第一接触孔面积大。

19.一种有机发光二极管显示器,所述有机发光二极管显示器包括:

基底,包括显示图像的显示区域,其中,所述显示区域包括第一区域和第二区域;

多个有机发光二极管,设置在所述显示区域上并彼此分开;以及

多个像素电路,设置在所述显示区域上并包括处于第一区域中的第一像素电路和处于第二区域中的第二像素电路,其中,每个像素电路包括:1)多个薄膜晶体管,包括第一薄膜晶体管和第二薄膜晶体管并电连接到所述多个有机发光二极管;2)节点线,通过一个或更多个接触孔将所述第一薄膜晶体管电连接到所述第二薄膜晶体管,

其中,所述第一像素电路的接触孔的数目比所述第二像素电路的接触孔的数目大。

20.一种有机发光二极管显示器,所述有机发光二极管显示器包括:

基底,包括显示图像的显示区域,其中,所述显示区域包括第一区域和第二区域;

多个有机发光二极管,设置在所述显示区域上并彼此分开;以及

多个像素电路,形成在所述显示区域中并包括处于所述第一区域中的第一像素电路和处于所述第二区域中的第二像素电路,其中,第一接触孔和第二接触孔分别设置在所述第一像素电路和所述第二像素电路中,其中,每个像素电路包括:1)多个薄膜晶体管,包括第一薄膜晶体管和第二薄膜晶体管并电连接到所述多个有机发光二极管;2)节点线,通过所述第一接触孔和所述第二接触孔将所述第一薄膜晶体管电连接到所述第二薄膜晶体管,

其中,所述第一接触孔与所述多个薄膜晶体管之一的有源图案叠置并且比所述第二接触孔面积大。

有机发光二极管显示器

[0001] 本申请要求于2015年7月3日在韩国知识产权局提交的第10-2015-0095347号韩国专利申请的优先权和权益,该韩国专利申请的全部内容通过引用包含于此。

技术领域

[0002] 所描述的技术总体上涉及一种有机发光二极管显示器。

背景技术

[0003] 平板显示器的示例包括有机发光二极管(OLED)显示器、液晶显示器和等离子体显示面板等。

[0004] 在这些平板显示器中,OLED显示器包括形成在基底上的薄膜晶体管和OLED。

[0005] 在典型的OLED显示器中,通过诸如光刻工艺的MEMS技术在基底上方制造薄膜晶体管。

[0006] 在此背景技术部分公开的以上信息仅用于增强对所描述的技术的背景的理解,因此其可能包含不构成本领域的普通技术人员在本国已知的现有技术的信息。

发明内容

[0007] 一个发明方面涉及一种OLED显示器,即使在基底上不期望地出现多个薄膜晶体管的有源图案的宽度之间的差异,所述OLED显示器也可以抑制在基底上出现供应到多个OLED的电流值之间的差异。

[0008] 另一方面是一种OLED显示器,所述OLED显示器包括:基底,包括显示图像的显示区域;多个有机发光元件,形成在基底的显示区域上并彼此分开;多个像素电路,形成在基底的显示区域上,并且包括分别连接到所述多个有机发光元件的多个薄膜晶体管和通过接触孔将所述多个薄膜晶体管中的任意一个和另一个连接的节点线,其中,所述多个像素电路之中的形成在显示区域的第一区域中的第一像素电路的接触孔不同于形成在显示区域的第二区域中的第二像素电路的接触孔。

[0009] 基底还可以包括与显示区域相邻的非显示区域,显示区域的第二区域与第一区域相比可以较靠近非显示区域。

[0010] 第二像素电路的接触孔可以具有比第一像素电路的接触孔大的面积。

[0011] 第二像素电路还可以包括与接触孔相邻的至少一个附加接触孔。

[0012] 第二像素电路的节点线可以通过附加接触孔将所述多个薄膜晶体管中的任意一个和另一个连接。

[0013] 所述多个薄膜晶体管还可以包括连接到有机发光元件的驱动薄膜晶体管和连接到驱动薄膜晶体管的至少一个开关薄膜晶体管。

[0014] 第二像素电路的接触孔可以与驱动薄膜晶体管的有源图案叠置。

[0015] 第一像素电路的接触孔可以不与驱动薄膜晶体管的有源图案叠置。

[0016] 第一像素电路的接触孔可以与驱动薄膜晶体管的有源图案叠置,第二像素电路的

接触孔可以与驱动薄膜晶体管的有源图案叠置,并具有比第一像素电路的接触孔宽的面积。

[0017] OLED显示器还可以包括在基底上沿一个方向延伸并连接到所述多个薄膜晶体管的数据线,所述多个薄膜晶体管可以包括:第一薄膜晶体管,形成在基底上,并且包括连接到有机发光元件的第一有源图案和形成在第一有源图案上并通过接触孔接触节点线的第一栅电极;第二薄膜晶体管,连接到第一有源图案的一端,并且包括连接到数据线的第二有源图案和形成在第二有源图案上的第二栅电极;第三薄膜晶体管,连接到第一有源图案的另一端,并且包括通过节点线连接到第一栅电极的第三有源图案和形成在第三有源图案上的第三栅电极。

[0018] 节点线可以与数据线形成在同一层上。

[0019] OLED显示器还可以包括:第一扫描线,形成在第二有源图案上以与第二有源图案和第三有源图案交叉并连接到第二栅电极和第三栅电极;驱动电源线,在第一扫描线上与数据线相邻以与第一扫描线交叉,并连接到第一有源图案。

[0020] OLED显示器还可以包括:电容器电极,在第一栅电极上连接到驱动电源线,并与第一栅电极叠置以与第一栅电极一起形成电容器。

[0021] 电容器电极还包括与接触孔连通的开口。

[0022] 所述多个薄膜晶体管还可以包括:第四薄膜晶体管,连接到第三有源图案,并且包括通过节点线连接到第一栅电极的第四有源图案和形成在第四有源图案上的第四栅电极;第二扫描线,形成在第四有源图案上以与第四有源图案交叉,并连接到第四栅电极,还可以包括连接到第四有源图案的初始化电源线。

[0023] 所述多个薄膜晶体管还可以包括:第五薄膜晶体管,包括将第一有源图案和驱动电源线连接的第五有源图案和形成在第五有源图案上的第五栅电极;第六薄膜晶体管,包括将第一有源图案和有机发光元件连接的第六有源图案和形成在第六有源图案上的第六栅电极,还可以包括形成在第五有源图案和第六有源图案上以分别与第五有源图案和第六有源图案交叉并分别连接到第五栅电极和第六栅电极的发光控制线。

[0024] 所述多个薄膜晶体管还可以包括具有连接到第四有源图案的第七有源图案和形成在第七有源图案上的第七栅电极的第七薄膜晶体管,还可以包括形成在第七有源图案上以与第七有源图案交叉并连接到第七栅电极的第三扫描线。

[0025] 另一方面是一种OLED显示器,所述OLED显示器包括:基底,包括显示图像的显示区域;多个有机发光元件,形成在基底的显示区域上并彼此分开;多个像素电路,形成在基底的显示区域上并包括分别连接到所述多个有机发光元件的多个薄膜晶体管和通过接触孔将所述多个薄膜晶体管中的任意一个和另一个连接的节点线,其中,与形成在显示区域的第二区域中的第二像素电路的接触孔相比,所述多个像素电路中的形成在显示区域的第一区域中的第一像素电路的接触孔具有较大的面积。

[0026] 另一方面是一种OLED显示器,所述OLED显示器包括:基底,包括显示图像的显示区域;多个有机发光元件,形成在基底的显示区域上并彼此分开;多个像素电路,形成在基底的显示区域上,并且包括分别连接到所述多个有机发光元件的多个薄膜晶体管和通过接触孔将所述多个薄膜晶体管中的任意一个和另一个连接的节点线,其中,与形成在显示区域的第二区域中的第二像素电路的接触孔相比,所述多个像素电路中的形成在显示区域的第一区域中的第一像素电路的接触孔具有较大的面积。

一区域中的第一像素电路的接触孔以较大的数目存在。

[0027] 另一方面是一种OLED显示器,所述OLED显示器包括:基底,包括显示图像的显示区域;多个有机发光元件,形成在基底的显示区域上并彼此分开;多个像素电路,形成在基底的显示区域上并且包括分别连接到所述多个有机发光元件的多个薄膜晶体管和通过接触孔将所述多个薄膜晶体管中的任意一个和另一个连接的节点线,其中,所述多个像素电路中的形成在显示区域的第一区域中的第一像素电路的接触孔与任何一个薄膜晶体管的有源图案叠置,并相较于形成在显示区域的第二区域中的第二像素电路的接触孔具有较宽的面积。

[0028] 另一方面是一种有机发光二极管(OLED)显示器,所述OLED显示器包括:基底,包括构造为显示图像的显示区域,其中,显示区域包括第一区域和第二区域;多个OLED,形成在显示区域中并且彼此分开;多个像素电路,形成在显示区域中,并包括第一区域中的第一像素电路和第二区域中的第二像素电路,其中,第一接触孔和第二接触孔分别形成在第一像素电路和第二像素电路中,其中,每个像素电路包括1)具有第一TFT和第二TFT并电连接到OLED的多个薄膜晶体管(TFT)以及2)构造为通过第一接触孔和第二接触孔将第一TFT电连接到第二TFT的节点线,其中,第一接触孔不同于第二接触孔。

[0029] 在上面的OLED显示器中,基底还包括围绕显示区域的非显示区域,其中,显示区域的第二区域比第一区域靠近非显示区域。

[0030] 在上面的OLED显示器中,第二接触孔比第一接触孔面积大。

[0031] 在上面的OLED显示器中,第二像素电路还包括位于与第二接触孔相邻的第三接触孔。

[0032] 在上面的OLED显示器中,TFT包括第三TFT和第四TFT,其中,第二像素电路的节点线还被构造为通过第三接触孔将第三TFT电连接到第四TFT。

[0033] 在上面的OLED显示器中,TFT包括:驱动TFT,电连接到OLED;至少一个开关TFT,电连接到驱动TFT。

[0034] 在上面的OLED显示器中,第二接触孔在OLED显示器的深度维度上与驱动TFT的有源图案叠置。

[0035] 在上面的OLED显示器中,第一接触孔在OLED显示器的深度维度上不与驱动TFT的有源图案叠置。

[0036] 在上面的OLED显示器中,第一接触孔在OLED显示器的深度维度上与驱动TFT的有源图案叠置,其中,第二接触孔与驱动TFT的有源图案叠置并且具有比第一接触孔的面积宽的面积。

[0037] 上面的OLED显示器还包括形成在基底上方并沿一个方向延伸的数据线,其中,数据线电连接到TFT,其中,TFT包括:第一TFT,形成在基底上方,并且包括1)电连接到OLED的第一有源图案和2)形成在第一有源图案上并通过第一接触孔电连接到节点线的第一栅电极;第二TFT,电连接到第一有源图案的第一端,并且包括1)连接到数据线的第二有源图案和2)形成在第二有源图案上的第二栅电极;第三TFT,电连接到第一有源图案的第二端,并且包括1)通过节点线连接到第一栅电极的第三有源图案和2)形成在第三有源图案上的第三栅电极。

[0038] 在上面的OLED显示器中,节点线形成在与数据线同一层上。

[0039] 上面的OLED显示器还包括:第一扫描线,形成在第二有源图案上并与第二有源图案和第三有源图案交叉,其中,第一扫描线电连接到第二栅电极和第三栅电极;驱动电源线,与数据线相邻形成并与第一扫描线交叉,其中,驱动电源线电连接到第一有源图案。

[0040] 上面的OLED显示器还包括:电容器电极,电连接到驱动电源线,并在OLED显示器的深度维度上与第一栅电极叠置的以与第一栅电极一起形成电容器。

[0041] 在上面的OLED显示器中,电容器电极还包括连接到接触孔的开口。

[0042] 在上面的OLED显示器中,TFT还包括第四TFT,第四TFT连接到第三有源图案,并且包括1)通过节点线电连接到第一栅电极的第四有源图案和2)形成在第四有源图案上的第四栅电极,其中,OLED显示器还包括:第二扫描线,形成在第四有源图案上并与第四有源图案交叉,其中,第二扫描线电连接到第四栅电极;初始化电源线,电连接到第四有源图案。

[0043] 在上面的OLED显示器中,TFT还包括:第五TFT,包括1)被构造为将第一有源图案电连接到驱动电源线的第五有源图案和2)形成在第五有源图案上的第五栅电极;第六TFT,包括1)被构造为将第一有源图案电连接到OLED的第六栅电极和2)形成在第六有源图案上的第六栅电极,其中,OLED显示器还包括形成在第五有源图案和第六有源图案上并与第五有源图案和第六有源图案交叉的发光控制线,其中,发光控制线电连接到第五栅电极和第六栅电极。

[0044] 在上面的OLED显示器,TFT还包括第七TFT,第七TFT包括1)电连接到第四有源图案的第七有源图案和2)形成在第七有源图案上的第七栅电极,其中,OLED显示器还包括形成在第七有源图案上并与第七有源图案交叉的第三扫描线,其中,第三扫描线电连接到第七栅电极。

[0045] 另一方面是一种有机发光二极管(OLED)显示器,所述OLED显示器包括:基底,包括被构造为显示图像的显示区域,其中,显示区域包括第一区域和第二区域;多个OLED,形成在显示区域中并且彼此分开;多个像素电路,形成在显示区域中,每个像素电路包括第一区域中的第一像素电路和第二区域中的第二像素电路,其中,第一接触孔和第二接触孔分别形成在第一像素电路和第二像素电路中,其中,每个像素电路包括1)具有第一TFT和第二TFT并且电连接到OLED的多个薄膜晶体管以及2)被构造为通过第一接触孔和第二接触孔将第一TFT电连接到第二TFT的节点线,其中,第二接触孔比第一接触孔面积大。

[0046] 另一方面是一种有机发光二极管(OLED)显示器,所述OLED显示器包括:基底,包括被构造为显示图像的显示区域,其中,显示区域包括第一区域和第二区域;多个OLED,形成在显示区域中并且彼此分开;多个像素电路,形成在显示区域中并且包括第一区域中的第一像素电路和第二区域中的第二像素电路,其中,每个像素电路包括1)具有第一TFT和第二TFT并电连接到OLED的多个TFT以及2)被构造为通过一个或更多个接触孔将第一TFT电连接到第二TFT的节点线,其中,第一像素电路的接触孔的数目比第二像素电路的接触孔的数目大。

[0047] 另一方面是一种有机发光二极管(OLED)显示器,所述OLED显示器包括:基底,包括被构造为显示图像的显示区域,其中,显示区域包括第一区域和第二区域;多个OLED,形成在显示区域中并且彼此分开;多个像素电路,形成在显示区域中并且包括第一区域中的第一像素电路和第二区域中的第二像素电路,其中,第一接触孔和第二接触孔分别形成在第一像素电路和第二像素电路中,其中,每个像素电路包括1)具有第一TFT和第二TFT并电连

接到OLED的多个TFT以及2)被构造为通过第一接触孔和第二接触孔将第一TFT电连接到第二TFT的节点线,其中,第一接触孔与TFT中的一个的有源图案叠置,并且比第二接触孔面积大。

[0048] 在上面的OLED显示器中,第二像素电路的接触孔位于这一个TFT的有源图案的沟道区域中。

[0049] 另一方面是一种有机发光二极管(OLED)显示器,所述OLED显示器包括:基底,包括被构造为显示图像的显示区域,其中,显示区域包括第一区域和第二区域;多个OLED,形成在显示区域中并且彼此分开;多个像素电路,形成在显示区域中并且包括第一区域中的第一像素电路和第二区域中的第二像素电路,其中,第一接触孔和第二接触孔分别形成在第一像素电路和第二像素电路中,其中,每个像素电路包括1)具有第一TFT和第二TFT并且电连接到OLED的多个TFT以及2)被构造为通过第一接触孔和第二接触孔将第一TFT电连接到第二TFT的节点线,其中,第一接触孔在第一像素电路中与多个TFT中的一个的有源图案局部叠置,其中,第二接触孔在第二像素电路中与多个TFT中的一个的有源图案完全叠置。

[0050] 根据至少一个公开的实施例,当在遍及整个基底的多个薄膜晶体管的每个有源图案的宽度方面不期望地产生差异时,OLED显示器可以抑制分别供应到遍及基底的多个有机发光元件的电流的差异。

附图说明

[0051] 图1是示意性示出根据示例性实施例的OLED显示器的平面图。

[0052] 图2是示出根据图1中示出的示例性实施例的OLED显示器的像素的电路图。

[0053] 图3是示出根据图1中示出的示例性实施例的OLED显示器的第一像素的布局图。

[0054] 图4是沿图3的线IV-IV截取的剖视图。

[0055] 图5是示出根据图1中示出的示例性实施例的OLED显示器的第二像素的布局图。

[0056] 图6是示出在一个实验示例中薄膜晶体管根据其在OLED显示器中的位置的驱动范围的图。

[0057] 图7是分别示出在另一实验示例中具有不同条件的多个薄膜晶体管的图。

[0058] 图8是示出图7中示出的多个薄膜晶体管的各驱动范围的曲线图。

[0059] 图9是用于解释根据示例性实施例的OLED显示器的效果的曲线图。

[0060] 图10是示出根据另一示例性实施例的OLED显示器的第二像素的布局图。

[0061] 图11是示出根据另一示例性实施例的OLED显示器的第二像素的布局图。

[0062] 图12是示出根据另一示例性实施例的OLED显示器的第一像素的布局图。

[0063] 图13是示出根据另一示例性实施例的OLED显示器的第二像素的布局图。

[0064] 图14是示出根据另一示例性实施例的OLED显示器的第一像素的布局图。

[0065] 图15是示出根据另一示例性实施例的OLED显示器的第二像素的布局图。

具体实施方式

[0066] 在下面的详细描述中,已经通过举例说明的方式简单示出和描述了仅某些示例性实施例。如本领域的技术人员将理解的,在不脱离所描述的技术的精神或范围的所有情况下,可以以各种不同的方式修改所描述的实施例。

[0067] 因此,附图和描述要被认为是本质上示意性的,而非限制性的,同样的附图标记在整个说明书中表示同样的元件。

[0068] 此外,在示例性实施例中,因为同样的附图标记表示具有相同构造的元件,所以第一示例性实施例被代表性地表述,在其他示例性实施例中,将仅描述与第一示例性实施例不同的构造。

[0069] 另外,为了理解和易于描述,附图中示出的每种构造的尺寸和厚度被任意示出,但是所描述的技术不限于此。

[0070] 在附图中,为了清楚,夸大了层、膜、面板、区域等的厚度。在附图中,为了理解和易于描述,夸大了一些层和区域的厚度。将理解的是,当诸如层、膜、区域或基底的元件被称为“在”另一元件“上”时,该元件可以直接地在所述另一元件上或者也可以存在中间元件。

[0071] 另外,除非明确相反描述,否则词语“包括”和诸如“包含”的变型将理解为暗指包括所陈述的元件,而非排除任何其他元件。此外,在说明书中,词语“在……上”意味着位于目标部分的上方或下方,而非本质上意味着位于基于重力方向的目标部分的上侧上。在此公开中,术语“基本上”包括完全、几乎完全或在一些应用情况下并根据本领域技术人员所通常理解的任何显著程度的含义。术语“连接”可以包括电气连接。

[0072] 在下文中,将参照图1至图5描述根据示例性示例的OLED显示器。

[0073] 图1是示意性示出根据示例性实施例的OLED显示器的平面图。在下文中,像素可以意味着显示图像的最小单元。

[0074] 如图1中所示,根据示例性实施例的OLED显示器包括基底SUB、多个像素PXn、多条数据线DA和数据驱动器DD。

[0075] 基底SUB包括显示图像的显示区域DIA和与显示区域DIA相邻的非显示区域NDA。非显示区域NDA可以形成为包围显示区域DIA的边缘。基底SUB是由玻璃、聚合物或不锈钢等形成的绝缘基底。基底SUB可以是柔性的、可伸缩的、可折叠的、可弯曲的或可卷曲的。基底SUB是柔性的、可伸缩的、可折叠的、可弯曲的或可卷曲的,从而整个OLED显示器可以是柔性的、可伸缩的、可折叠的、可弯曲的或可卷曲的。

[0076] 像素PXn对应于基底SUB的显示区域DIA形成在基底SUB上。像素PXn分别包括像素电路,像素电路包括连接到数据线DA并发射与对应于由数据线DA供应的数据信号的驱动电流对应的亮度的光的OLED以及控制OLED中流动的驱动电流的多个薄膜晶体管和至少一个电容器。像素PXn均包括OLED,使得分别包括多个OLED和连接到OLED的多个薄膜晶体管的多个像素电路形成在基底SUB的显示区域DIA上。

[0077] 为了便于解释,尽管未在图1中示出,但是像素PXn均可以分别连接到与供应不同的扫描信号的栅极驱动器连接的多条扫描线,并且还可以连接到供应电压的驱动电源线 and 初始化电源线。此外,作为分别包括在多个像素PXn中的每个中的OLED的阴极的第二电极可以连接到共电源。将在下面描述每个像素的详细结构。前述栅极驱动器、扫描线、驱动电源线和初始化电源线将在下面进行描述,但不限于此,因此可以以已知的各种形式分别连接到像素PXn。

[0078] 像素PXn包括形成在基底的显示区域DIA的第一区域AR1中的第一像素PX1和形成在显示区域DIA的第二区域AR2中的第二像素PX2。

[0079] 这里,基底SUB的显示区域DIA的第二区域AR2可以是与第一区域AR1相比靠近非显

示区域NDA的区域,然而其不限于此,第一区域AR1和第二区域AR2可以分别对应于作为基底SUB的显示区域DIA中的不同区域的任意区域。

[0080] 数据线DA在基底SUB上均沿一个方向延伸为分别连接到像素PXn。

[0081] 数据驱动器DD形成在基底SUB的非显示区域NDA上并连接到数据线DA。数据驱动器DD对应于从诸如时序控制器的外部装置供应的控制信号将数据信号分别供应到数据线DA。每当扫描信号从扫描线被供应到由扫描信号选择的一个像素PXn时,从数据驱动器DD供应到数据线DA的数据信号被供应到所选择的这一个像素PXn。接下来,一个像素PXn被充以与数据信号对应的电压并且发射与其对应的亮度的光。

[0082] 接下来,将参照图2更详细地描述根据示例性实施例的OLED显示器的一个像素PXn的电路。

[0083] 图2是示出根据图1中示出的示例性实施例的OLED显示器的像素的电路图。

[0084] 如图2中所示,根据示例性实施例的OLED显示器的一个像素PXn包括:像素电路PC,包括多个薄膜晶体管T1、T2、T3、T4、T5、T6和T7以及电容器Cst;选择性地连接到薄膜晶体管T1、T2、T3、T4、T5、T6和T7的多条布线Sn、Sn-1、Sn-2、EM、Vin、DA和ELVDD;OLED。

[0085] 薄膜晶体管T1、T2、T3、T4、T5、T6和T7包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7。

[0086] 第一薄膜晶体管T1的第一栅电极G1分别连接到第三薄膜晶体管T3的第三漏电极D3和第四薄膜晶体管T4的第四漏电极D4,第一源电极S1分别连接到第二薄膜晶体管T2的第二漏电极D2和第五薄膜晶体管T5的第五漏电极D5,第一漏电极D1分别连接到第三薄膜晶体管T3的第三源电极S3和第六薄膜晶体管T6的第六源电极S6。

[0087] 第二薄膜晶体管T2的第二栅电极G2连接到第一扫描线Sn,第二源电极S2连接到数据线DA,第二漏电极D2连接到第一薄膜晶体管T1的第一源电极S1。

[0088] 第三薄膜晶体管T3的第三栅电极G3连接到第一扫描线Sn,第三源电极S3连接到第一薄膜晶体管T1的第一漏电极D1,第三漏电极D3连接到第一薄膜晶体管T1的第一栅电极G1。

[0089] 第四薄膜晶体管T4的第四栅电极G4连接到第二扫描线Sn-1,第四源电极S4连接到初始化电源线Vin,第四漏电极D4连接到第一薄膜晶体管T1的第一栅电极G1。

[0090] 第五薄膜晶体管T5的第五栅电极G5连接到发光控制线EM,第五源电极S5连接到驱动电源线ELVDD,第五漏电极D5连接到第一薄膜晶体管T1的第一源电极S1。

[0091] 第六薄膜晶体管T6的第六栅电极G6连接到发光控制线EM,第六源电极S6连接到第一薄膜晶体管T1的第一漏电极D1。

[0092] 第七薄膜晶体管T7的第七栅电极G7连接到第三扫描线Sn-2,第七源电极S7连接到OLED,第七漏电极D7连接到第四薄膜晶体管T4的第四源电极S4。

[0093] 前述扫描线包括将第一扫描信号分别传输到第二薄膜晶体管T2的第二栅电极G2和第三薄膜晶体管T3的第三栅电极G3的第一扫描线Sn、将第二扫描信号传输到第四薄膜晶体管T4的第四栅电极G4的第二扫描线Sn-1、将第三扫描信号传输到第七薄膜晶体管T7的第七栅电极G7的第三扫描线Sn-2以及将发射控制信号分别传输到第五薄膜晶体管T5的第五栅电极G5和第六薄膜晶体管T6的第六栅电极G6的发光控制线EM。

[0094] 电容器Cst包括连接到驱动电源线ELVDD的一个电极以及连接到第一栅电极G1和第三薄膜晶体管T3的第三漏电极D3的另一电极。

[0095] OLED包括第一电极、形成在第一电极上的第二电极以及形成在第一电极与第二电极之间的有机发光层。OLED的第一电极分别连接到第七薄膜晶体管T7的第七源电极S7和第六薄膜晶体管T6的第六漏电极D6,第二电极连接到有共信号传输到的共电源ELVSS。

[0096] 作为包括像素电路PC、布线Sn、Sn-1、Sn-2、EM、Vin、DA和ELVDD以及OLED的一个像素PXn的驱动的示例,首先,当第三扫描信号被传输到第三扫描线Sn-2以导通第七薄膜晶体管T7时,在OLED的第一电极中流动的残余电流通过第七薄膜晶体管T7流出到第四薄膜晶体管T4,使得OLED抑制由于OLED的第一电极中流动的残余电流而导致的不期望地发射光。

[0097] 接下来,当第二扫描信号被传输到第二扫描线Sn-1并且初始信号被传输到初始化电源线Vin时,第四薄膜晶体管T4被导通并且因此根据初始信号的初始电压通过第四薄膜晶体管T4被供应到第一薄膜晶体管T1的第一栅电极G1和电容器Cst的另一电极,使得第一栅电极G1和电容器Cst被初始化。在这种情况下,第一薄膜晶体管T1在第一栅电极G1被初始化的同时而导通。

[0098] 接下来,当第一扫描信号被传输到第一扫描线Sn并且数据信号被传输到数据线DA时,第二薄膜晶体管T2和第三薄膜晶体管T3均被导通以通过第二薄膜晶体管T2、第一薄膜晶体管T1和第三薄膜晶体管T3将根据数据信号的数据电压Vd提供到第一栅电极G1。在这种情况下,供应补偿电压 $\{V_d+V_{th}, V_{th}$ 是负(-)值 $\}$ 作为供应到第一栅电极G1的电压,补偿电压从由第一数据线DA供应的数据电压Vd减小了第一薄膜晶体管T1的阈值电压 V_{th} 这么多。供应到第一栅电极G1的补偿电压 (V_d+V_{th}) 被供应到电容器Cst的连接到第一栅电极G1的另一电极。

[0099] 接下来,根据驱动信号的驱动电压 V_{eI} 从驱动电源线ELVDD被供应到电容器Cst的一个电极并且前述补偿电压 (V_d+V_{th}) 被供应到电容器Cst的另一个电极,因此电容器Cst存储与施加到两个电极的电压差对应的电荷,使得第一薄膜晶体管T1被导通达预定的时间。

[0100] 接下来,当发射控制信号被施加到发光控制线EM时,第五薄膜晶体管T5和第六薄膜晶体管T6均被导通,因此根据来自驱动电源线ELVDD的驱动信号的驱动电压 V_{eI} 通过第五薄膜晶体管T5被供应到第一薄膜晶体管T1。

[0101] 然后,在驱动电压 V_{eI} 经过由电容器Cst导通的第一薄膜晶体管T1的同时,与根据电容器Cst的供应到第一栅电极G1的电压和驱动电压 V_{eI} 之间的差对应的驱动电流 I_d 在第一薄膜晶体管T1的第一漏电极D1中流动,并且驱动电流 I_d 通过第六薄膜晶体管T6被供应到OLED,使得OLED发射预定时间的光。

[0102] 同时,根据示例性实施例的OLED显示器的像素电路被构造为包括第一薄膜晶体管T1至第七薄膜晶体管T7、电容器Cst、第一扫描线Sn至第三扫描线Sn-2、数据线DA、驱动电源线ELVDD和初始化电源线Vin,但不限于此,根据另一示例性实施例的OLED显示器的像素电路可以被构造为包括多个薄膜晶体管、至少一个电容器以及包括至少一条扫描线和至少一条驱动电源线的布线。

[0103] 在下文中,在根据参照图3至图5描述的示例性实施例的OLED显示器的像素PXn中,将分别描述形成在基底SUB的显示区域DIA的第一区域AR1中的第一像素PX1和位于显示区域DIA的第二区域AR2中的第二像素PX2的布置。

[0104] 绝缘层形成于在下面将描述的不同的层上形成的组件之间,其中所述绝缘层可以是有机绝缘层或者由氮化硅或氧化硅等形成的无机绝缘层。此外,这些绝缘层可以以单层或多层形成。

[0105] 图3是示出根据图1中示出的示例性实施例的OLED显示器的第一像素的布局图。图4是沿图3的线IV-IV截取的剖视图。

[0106] 如图3和图4中所示,位于基底SUB的显示区域DIA的第一区域AR1中的第一像素PX1包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2、发光控制线EM、电容器Cst、数据线DA、驱动电源线ELVDD、节点线GB、初始化电源线Vin和OLED。在这种情况下,作为第一像素PX1的薄膜晶体管的第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、节点线GB和电容器Cst形成连接到OLED的第一像素电路PC1。即,第一像素电路PC1形成在显示区域DIA的第一区域AR1中。

[0107] 在包括在第一像素电路PC1中的薄膜晶体管之中,第一薄膜晶体管T1连接到OLED以用作驱动薄膜晶体管,第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7可以用作连接到第一薄膜晶体管T1的开关薄膜晶体管。

[0108] 第一薄膜晶体管T1形成在基底SUB上并包括第一有源图案A1和第一栅电极G1。

[0109] 第一有源图案A1包括第一源电极S1、第一沟道C1和第一漏电极D1。第一源电极S1分别连接到第二薄膜晶体管T2的第二漏电极D2和第五薄膜晶体管T5的第五漏电极D5,第一漏电极D1分别连接到第三薄膜晶体管T3的第三源电极S3和第六薄膜晶体管T6的第六源电极S6。作为第一有源图案A1的与第一栅电极G1叠置的沟道区域的第一沟道C1至少被弯曲一次并在与第一栅电极G1叠置的空间(该空间是有限空间)内延伸,因此第一沟道C1的长度可以形成为长的,使得施加到第一栅电极G1的栅极电压的驱动范围可以形成为宽的。结果,施加到第一栅电极G1的栅极电压的幅值在宽的驱动范围内改变以更精准地控制从OLED发射的光的灰度,从而改善从OLED显示器显示的图像的品质。第一有源图案A1的形状可以以诸如“反S”、“S”、“M”和“W”的各种形式而进行各种改变。

[0110] 第一有源图案A1可以由多晶硅或氧化物半导体制成。氧化物半导体可以由钛(Ti)、铪(Hf)、锆(Zr)、铝(Al)、钽(Ta)、锗(Ge)、锌(Zn)、镓(Ga)、锡(Sn)或铟(In)的氧化物以及作为其复合氧化物的铟-镓-锌氧化物(InGaZnO₄)、铟-锌氧化物(Zn-In-O)、锌-锡氧化物(Zn-Sn-O)、铟-镓氧化物(In-Ga-O)、铟-锡氧化物(In-Sn-O)、铟-锆氧化物(In-Zr-O)、铟-锆-锌氧化物(In-Zr-Zn-O)、铟-锆-锡氧化物(In-Zr-Sn-O)、铟-锆-镓氧化物(In-Zr-Ga-O)、铟-铝氧化物(In-Al-O)、铟-锌-铝氧化物(In-Zn-Al-O)、铟-锡-铝氧化物(In-Sn-Al-O)、铟-铝-镓氧化物(In-Al-Ga-O)、铟-钽氧化物(In-Ta-O)、铟-钽-锌氧化物(In-Ta-Zn-O)、铟-钽-锡氧化物(In-Ta-Sn-O)、铟-钽-镓氧化物(In-Ta-Ga-O)、铟-锗氧化物(In-Ge-O)、铟-锗-锌氧化物(In-Ge-Zn-O)、铟-锗-锡氧化物(In-Ge-Sn-O)、铟-锗-镓氧化物(In-Ge-Ga-O)、钛-铟-锌氧化物(Ti-In-Zn-O)和铪-铟-锌氧化物(Hf-In-Zn-O)中的任意一种形成。在第一有源图案A1由氧化物半导体制成的情况下,可以加入单独的保护层以保护容易受到诸如暴露于高温等的外部环境的影响的氧化物半导体。

[0111] 第一有源图案A1的第一沟道C1可以用N型杂质或P型杂质进行沟道掺杂,第一源电极S1和第一漏电极D1彼此分隔开并使第一沟道C1介于其间,并且第一源电极S1和第一漏电极D1均可以用具有与第一沟道C1中掺杂的掺杂杂质相反类型的掺杂杂质来掺杂。

[0112] 第一栅电极G1形成在第一有源图案A1的第一沟道C1上并具有岛形状。第一栅电极G1由节点线GB通过第一接触孔CNT1连接到第四薄膜晶体管T4的第四漏电极D4和第三薄膜晶体管T3的第三漏电极D3。第一栅电极G1通过第一接触孔CNT1接触节点线GB并与第一有源图案A1叠置。第一栅电极G1与电容器电极CE叠置并且可以同时用作第一薄膜晶体管T1的栅电极和电容器Cst的另一电极。即,第一栅电极G1与电容器电极CE一起形成电容器Cst。

[0113] 第二薄膜晶体管T2形成在基底SUB上,并且包括第二有源图案A2和第二栅电极G2。第二有源图案A2包括第二源电极S2、第二沟道C2和第二漏电极D2。第二源电极S2通过接触孔连接到数据线DA,第二漏电极D2连接到第一薄膜晶体管T1的第一源电极S1。作为第二有源图案A2的与第二栅电极G2叠置的沟道区域的第二沟道C2形成在第二源电极S2与第二漏电极D2之间。即,第二有源图案A2连接到第一有源图案A1。

[0114] 第二有源图案A2的第二沟道C2可以用N型杂质或P型杂质进行沟道掺杂。第二源电极S2和第二漏电极D2彼此分隔开并使第二沟道C2介于其间,并且第二源电极S2和第二漏电极D2均可以用具有与第二沟道C2中掺杂的掺杂杂质相反类型的掺杂杂质来掺杂。第二有源图案A2与第一有源图案A1形成在同一层上,第二有源图案A2由与第一有源图案A1相同的材料制成,第二有源图案A2与第一有源图案A1一体地形成。

[0115] 第二栅电极G2形成在第二有源图案A2的第二沟道C2上并与第一扫描线Sn一体地形成。

[0116] 第三薄膜晶体管T3形成在基底SUB上并包括第三有源图案A3和第三栅电极G3。

[0117] 第三有源图案A3包括第三源电极S3、第三沟道C3和第三漏电极D3。第三源电极S3连接到第一漏电极D1,第三漏电极D3由节点线GB通过第一接触孔CNT1连接到第一薄膜晶体管T1的第一栅电极G1。作为第三有源图案A3的与第三栅电极G3叠置的沟道区域的第三沟道C3形成在第三源电极S3与第三漏电极D3之间。即,第三有源图案A3将第一有源图案A1连接到第一栅电极G1。

[0118] 第三有源图案A3的第三沟道C3可以用N型杂质或P型杂质进行沟道掺杂,第三源电极S3和第三漏电极D3彼此分隔开并使第三沟道C3介于其间,并且第三源电极S3和第三漏电极D3均可以用具有与第三沟道C3中掺杂的掺杂杂质相反类型的掺杂杂质来掺杂。第三有源图案A3与第一有源图案A1和第二有源图案A2形成在同一层上,并且第三有源图案A3与第一有源图案A1和第二有源图案A2一体地形成。

[0119] 第三栅电极G3形成在第三有源图案A3的第三沟道C3上并与第一扫描线Sn一体地形成。第三栅电极G3形成为双栅电极,然而其不限于此,其可以由单一栅电极形成。

[0120] 第四薄膜晶体管T4形成在基底(SUB)上并包括第四有源图案A4和第四栅电极G4。

[0121] 第四有源图案A4包括第四源电极S4、第四沟道C4和第四漏电极D4。第四源电极S4通过接触孔连接到初始化电源线Vin,第四漏电极D4由节点线GB通过第一接触孔CNT1连接到第一薄膜晶体管T1的第一栅电极G1。作为第四有源图案A4的与第四栅电极G4叠置的沟道区域的第四沟道C4形成在第四源电极S4与第四漏电极D4之间。即,第四有源图案A4分别连接到第三有源图案A3和第一栅电极G1,基本上同时将初始化电源线Vin连接到第一栅电极

G1。

[0122] 第四有源图案A4的第四沟道C4可以用N型杂质或P型杂质进行沟道掺杂,第四源电极S4和第四漏电极D4彼此分隔开并使第四沟道C4介于其间,并且第四源电极S4和第四漏电极D4均可以用与第四沟道C4中掺杂的掺杂杂质相反类型的掺杂杂质来掺杂。第四有源图案A4与第一有源图案A1、第二有源图案A2和第三有源图案A3形成在同一层上,第四有源图案A4由与第一有源图案A1、第二有源图案A2和第三有源图案A3相同的材料制成,第四有源图案A4与第一有源图案A1、第二有源图案A2和第三有源图案A3一体地形成。

[0123] 第四栅电极G4形成在第四有源图案A4的第四沟道C4上并且与第二扫描线Sn-1一体地形成。第四栅电极G4形成为双栅电极,然而其不限于此,其可以由单一栅电极形成。

[0124] 第五薄膜晶体管T5形成在基底(SUB)上,并包括第五有源图案A5和第五栅电极G5。

[0125] 第五有源图案A5包括第五源电极S5、第五沟道C5和第五漏电极D5。第五源电极S5通过接触孔连接到驱动电源线ELVDD,第五漏电极D5连接到第一薄膜晶体管T1的第一源电极S1。作为第五有源图案A5的与第五栅电极G5叠置的沟道区域的第五沟道G5形成在第五源电极S5与第五漏电极D5之间。即,第五有源图案A5将驱动电源线ELVDD连接到第一有源图案A1。

[0126] 第五有源图案A5的第五沟道C5可以用N型杂质或P型杂质进行沟道掺杂,第五源电极S5和第五漏电极D5彼此分隔开并使第五沟道C5介于其间,并且第五源电极S5和第五漏电极D5均可以用与第五沟道C5中掺杂的掺杂杂质相反类型的掺杂杂质来掺杂。第五有源图案A5与第一有源图案A1、第二有源图案A2、第三有源图案A3和第四有源图案A4形成在同一层上,第五有源图案A5由与第一有源图案A1、第二有源图案A2、第三有源图案A3和第四有源图案A4相同的材料制成,第五有源图案A5与第一有源图案A1、第二有源图案A2、第三有源图案A3和第四有源图案A4一体地形成。

[0127] 第五栅电极G5形成在第五有源图案A5的第五沟道C5上并与发光控制线EM一体地形成。

[0128] 第六薄膜晶体管T6形成在基底SUB上,并且包括第六有源图案A6和第六栅电极G6。

[0129] 第六有源图案A6包括第六源电极S6、第六沟道C6和第六漏电极D6。第六源电极S6连接到第一薄膜晶体管T1的第一漏电极D1,第六漏电极D6通过接触孔连接到OLED的第一电极E1。作为第六有源图案A6的与第六栅电极G6叠置的沟道区域的第六沟道C6形成在第六源电极S6与第六漏电极D6之间。即,第六有源图案A6连接在第一有源图案A1与OLED的第一电极E1之间。

[0130] 第六有源图案A6的第六沟道C6可以用N型杂质或P型杂质进行沟道掺杂,第六源电极S6和第六漏电极D6彼此分隔开并使第六沟道C6介于其间,并且第六源电极S6和第六漏电极D6均可以用与第六沟道C6中掺杂的掺杂杂质相反类型的掺杂杂质来掺杂。第六有源图案A6与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4和第五有源图案A5形成在同一层上,第六有源图案A6由与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4和第五有源图案A5相同的材料制成,第六有源图案A6与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4和第五有源图案A5一体地形成。

[0131] 第六栅电极G6形成在第六有源图案A6的第六沟道C6上并且与发光控制线EM一体地形成。

[0132] 第七薄膜晶体管T7形成在基底(SUB)上,并且包括第七有源图案A7和第七栅电极G7。

[0133] 第七有源图案A7包括第七源电极S7、第七沟道C7和第七漏电极D7。第七源电极S7连接到未在图2中示出的另一像素(形成在图3的像素上方的像素)的OLED的第一电极,第七漏电极D7连接到第四薄膜晶体管T4的第四源电极S4。作为第七有源图案A7的与第七栅电极G7叠置的沟道区域的第七沟道C7形成在第七源电极S7与第七漏电极D7之间。即,第七有源图案A7将OLED的第一电极连接到第四有源图案A4。

[0134] 第七有源图案A7的第七沟道C7可以用N型杂质或P型杂质进行沟道掺杂,第七源电极S7和第七漏电极D7彼此分隔开并使第七沟道C7介于其间,并且第七源电极S7和第七漏电极D7均可以用与第七沟道C7中掺杂的掺杂杂质相反类型的掺杂杂质来掺杂。第七有源图案A7与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5和第六有源图案A6形成在同一层上,第七有源图案A7由与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5和第六有源图案A6相同的材料形成,第七有源图案A7与第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5和第六有源图案A6一体地形成。

[0135] 第七栅电极G7形成在第七有源图案A7的第七沟道C7上并且与第三扫描线Sn-2一体地形成。

[0136] 多个绝缘层顺序层压在第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5、第六有源图案A6和第七有源图案A7上。绝缘层可以是诸如氮化硅或氧化硅的无机绝缘层,或者可以是有机绝缘层。另外,绝缘层可以由单层或多层形成。

[0137] 第一扫描线Sn形成在第二有源图案A2和第三有源图案A3上以沿与第二有源图案A2和第三有源图案A3交叉的一个方向延伸,并且与第二栅电极G2和第三栅电极G3一体地形成而连接到第二栅电极G2和第三栅电极G3。

[0138] 第二扫描线Sn-1与第一扫描线Sn分隔开而形成在第四有源图案A4上,并且与第四栅电极G4一体地形成而沿与第四有源图案A4交叉的一个方向延伸并连接到第四栅电极G4。

[0139] 第三扫描线Sn-2与第二扫描线Sn-1分隔开而形成在第七有源图案A7上,并且与第七栅电极G7一体地形成而沿与第七有源图案A7交叉的一个方向延伸并连接到第七栅电极G7。

[0140] 发光控制线EM与第一扫描线Sn分隔开而形成在第五有源图案A5和第六有源图案A6上,并且与第五栅电极G5和第六栅电极G6一体地形成而沿与第五有源图案A5和第六有源图案A6交叉的一个方向延伸并连接到第五栅电极G5和第六栅电极G6。

[0141] 如上所述,发光控制线EM、第三扫描线Sn-2、第二扫描线Sn-1、第一扫描线Sn、第一栅电极G1、第二栅电极G2、第三栅电极G3、第四栅电极G4、第五栅电极G5、第六栅电极G6和第七栅电极G7形成在同一层上并由相同的材料制成。同时,根据另一示例性实施例,发光控制线EM、第三扫描线Sn-2、第二扫描线Sn-1、第一扫描线Sn、第一栅电极G1、第二栅电极G2、第三栅电极G3、第四栅电极G4、第五栅电极G5、第六栅电极G6和第七栅电极G7均选择性形成在不同的层上并由不同的材料制成。

[0142] 电容器Cst包括其间具有绝缘层的彼此面对的一个电极和另一个电极。上述一个

电极可以是电容器电极CE并且另一个电极可以是第一栅电极G1。电容器电极CE形成在第一栅电极G1上并通过接触孔连接到驱动电源线ELVDD。

[0143] 电容器电极CE与第一栅电极G1一起形成电容器Cst,第一栅电极G1和电容器电极CE分别在不同的层中由相同的金属或不同的金属形成。

[0144] 电容器电极CE包括暴露第一栅电极G1的一个部分的开口OA,开口OA与第一接触孔CNT1连通。节点线GB穿过电容器电极CE的开口OA和第一接触孔CNT1连接到第一栅电极G1。

[0145] 数据线DA形成在第一扫描线Sn上以沿与第一扫描线Sn交叉的另一方向延伸,并且通过接触孔连接到第二有源图案A2的第二源电极S2。数据线DA跨过第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2和发光控制线EM延伸。

[0146] 与数据线DA分开的驱动电源线ELVDD形成在第一扫描线Sn上,沿与第一扫描线Sn交叉的另一方向延伸,并且连接到通过接触孔与电容器电极CE和第一有源图案A1连接的第五有源图案A5的第五源电极S5。驱动电源线ELVDD跨过第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2和发光控制线EM延伸。

[0147] 形成在第一扫描线Sn上的节点线GB与驱动电源线ELVDD分开,通过第一接触孔CNT1分别连接到第三有源图案A3的第三漏电极D3和第四有源图案A4的第四漏电极D4,并且连接到由电容器电极CE的开口OA暴露的第一栅电极G1。即,节点线GB将一个第一薄膜晶体管T1分别连接到第三薄膜晶体管T3和第四薄膜晶体管T4。第一像素电路PC1的使节点线GB穿过的第一接触孔CNT1在平面上具有第一面积,并且具有比稍后将描述的第二像素电路的第二接触孔小的面积。的第一像素电路PC1的使节点线GB穿过的第一接触孔CNT1与第一有源图案A1的第一沟道C1叠置,并且可以在形成在节点线GB下面的至少一个绝缘层中形成。

[0148] 节点线GB与数据线DA和驱动电源线ELVDD相应地形成在同一层上并由相同的材料形成。同时,在另一示例性实施例中,数据线DA、驱动电源线ELVDD和节点线GB选择性形成在不同的层上并且由不同的材料形成。

[0149] 初始化电源线Vin形成在第二扫描线Sn-1上并且通过接触孔连接到第四有源图案A4的第四源电极S4。初始化电源线Vin与OLED的第一电极E1形成在同一层上并且由相同的材料形成。根据另一示例性实施例,初始化电源线Vin与第一电极E1形成在不同的层上并可以由不同的材料形成。

[0150] OLED包括第一电极E1、有机发光层OL和第二电极E2。第一电极E1通过接触孔连接到第六薄膜晶体管T6的第六漏电极D6。有机发光层OL形成在第一电极E1与第二电极E2之间。第二电极E2形成在有机发光层OL上。第一电极E1和第二电极E2中的至少一个可以是光透射电极、光反射电极和光半透射电极中的任意一种,从有机发光层OL发射的光可以沿第一电极E1和第二电极E2中的至少任意一个方向发射。

[0151] 覆盖OLED的覆层可以形成在OLED上,薄膜包封部可以形成在OLED上或者包封基底可以形成在OLED上并使覆层介于其间。

[0152] 第二像素PX2形成在基底SUB的显示区域DIA的第二区域AR2中以与形成在基底SUB的显示区域DIA的第一区域AR1中的第一像素PX1分开。

[0153] 图5是根据图1中示出的示例性实施例的OLED显示器的第二像素的布局图。

[0154] 在下文中,与前述第一像素PX1相比,将描述第二像素PX2的不同的部分。

[0155] 如图5中所示,位于基底SUB的显示区域DIA的第二区域EA中的第二像素PX2包括第

一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2、发光控制线EM、电容器Cst、数据线DA、驱动电源线ELVDD、节点线GB、初始化电源线Vin和OLED。这里,作为第二像素PX2的薄膜晶体管的第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7、节点线GB和电容器Cst形成连接到OLED的第二像素电路PC2。即,第二像素电路PC2位于显示区域DIA的第二区域AR2中。

[0156] 在包括在第二像素电路PC2中的薄膜晶体管中,第一薄膜晶体管T1连接到OLED以用作驱动薄膜晶体管,第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7可以分别用作连接到作为驱动薄膜晶体管的第一薄膜晶体管T1的开关薄膜晶体管。

[0157] 在第二像素电路PC2中,第一薄膜晶体管T1的第一有源图案A1、第二薄膜晶体管T2的第二有源图案A2、第三薄膜晶体管T3的第三有源图案A3、第四薄膜晶体管T4的第四有源图案A4、第五薄膜晶体管T5的第五有源图案A5、第六薄膜晶体管T6的第六有源图案A6和第七薄膜晶体管T7的第七有源图案A7彼此连接。第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5、第六有源图案A6和第七有源图案A7可以分别具有比描述的第一像素电路PC1的薄膜晶体管的每个有源图案长的宽度。这里,有源图案的宽度可以是有源图案在与有源图案的延伸方向交叉上的宽度。

[0158] 第二像素电路PC2的第一有源图案A1具有比第一像素电路PC1的第一有源图案A1长的宽度,原因是第二像素电路PC2形成在显示区域DIA的与形成有第一像素电路PC1的第一区域AR1相比靠近非显示区域NDA的第二区域AR2中。在由一个半导体层形成第一有源图案A1的光刻工艺中,形成在第二区域AR2中的光阻材料可以相较于第一区域AR1更多或更少地暴露在外部的第二区域AR2中。例如,因为形成在与数据驱动器DD相邻的外部区域的第二区域AR2中的有源图案对应于相较于其他外部区域形成有有源图案的边缘部分,所以形成比其他区域长的宽度。

[0159] 第二像素PX2的第二像素电路PC2的节点线GB通过第二接触孔CNT2将第三薄膜晶体管T3连接到第一薄膜晶体管T1,详细地,节点线GB通过第二接触孔CNT2接触第一薄膜晶体管T1的第一栅电极G1。

[0160] 形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第二接触孔CNT2不同于形成在显示区域DIA的第一区域AR1中的第一像素电路PC1的第一接触孔CNT1,第二像素电路PC2的第二接触孔CNT2与第一有源图案A1的第一沟道C1叠置以在平面中具有比第一像素电路PC1的第一接触孔CNT1大的面积。

[0161] 如上所述,在示例性实施例中,形成在显示区域DIA的第二区域AR2中的第二像素PX2的第二像素电路PC2的第二接触孔CNT2具有比形成在显示区域DIA的第一区域AR1中的第一像素PX1的第一像素电路PC1的第一接触孔CNT1大的面积。

[0162] 接下来,将参照图6至图8描述根据示例性实施例的OLED显示器。

[0163] 图6示出在一个实验示例中薄膜晶体管根据其在OLED显示器中的位置的驱动范围。例如,图6是示出在根据一个实验示例的OLED显示器的整个平面位置中的作为驱动薄膜晶体管的第一薄膜晶体管的驱动范围(DR-范围)的图。(A)是示出在OLED显示器的整个平面

位置中第一薄膜晶体管的驱动范围的图。(B)是示出在OLED显示器的整个平面位置中第一薄膜晶体管的驱动范围的曲线图。(B)的X轴示出OLED显示器的整个位置,Y轴示出第一薄膜晶体管的驱动范围的幅值。

[0164] 如图6中所示,在一个实验示例中,连接到有机发光元件的第一薄膜晶体管的驱动范围根据遍及OLED显示器的整个平面的平面位置而不同。例如,在由一个半导体层形成第一薄膜晶体管的第一有源图案的光刻工艺中形成在不同区域中的光阻的材料更深地或较少地暴露在与第一区域AR1相比是外部区域的第二区域AR2中,使得形成在第二区域AR2中的第一薄膜晶体管的驱动范围不同于形成在第一区域AR1中的第一薄膜晶体管的驱动范围。

[0165] 例如,与形成在第一区域AR1中的第一有源图案相比,形成在第二区域AR2中的第一有源图案由于工艺误差具有较长的宽度,使得与形成在第一区域AR1中的第一薄膜晶体管相比,形成在第二区域AR2中的第一薄膜晶体管的薄膜晶体管特性被改善。与形成在第一区域AR1中的第一薄膜晶体管的驱动范围相比,形成在第二区域AR2中的第一薄膜晶体管的驱动范围较小。

[0166] 为了解决这些问题,在下面描述六个薄膜晶体管并且示出根据六个薄膜晶体管的每种结构的驱动范围的差异。

[0167] 图7是分别示出在另一实验示例中具有不同的条件的多个薄膜晶体管的图。

[0168] 如图7中所示,示出了具有不同位置的接触孔的薄膜晶体管至薄膜晶体管No.1至No.6,接触孔的尺寸在 $1.8\mu\text{m}$ 、 $2.0\mu\text{m}$ 、 $2.2\mu\text{m}$ 、 $2.4\mu\text{m}$ 和 $2.6\mu\text{m}$ 处而彼此不同。在薄膜晶体管No.1至No.6之中,在第二个薄膜晶体管和第三个薄膜晶体管中,接触孔与有源图案的沟道叠置。

[0169] 图8是示出图7中示出的多个薄膜晶体管的各驱动范围的曲线图。在图8中,X轴以 μm 为单位表示的接触孔的尺寸,Y轴以V为单位来表示薄膜晶体管的驱动范围。

[0170] 如图8中所示,在具有不同位置的接触孔的薄膜晶体管No.1至No.6中,接触孔与有源图案的沟道叠置的第二个薄膜晶体管和第三个薄膜晶体管的驱动范围基本上与该驱动范围的接触孔的尺寸成正比。

[0171] 薄膜晶体管的驱动范围随着与薄膜晶体管的有源图案的沟道叠置的接触孔的尺寸增大而增大。

[0172] 因为有源图案的悬键(dangling bond)不以与接触孔的位置和尺寸成比例地平稳地去除,并且薄膜晶体管的驱动范围随着与有源图案的沟道叠置的接触孔的尺寸增大而增大,所以在接触孔形成在覆盖有源图案的绝缘层中的状态下对薄膜晶体管的有源图案进行热处理。

[0173] 接下来,将参照图9描述根据示例性实施例的OLED显示器的效果。

[0174] 图9是解释根据示例性实施例的OLED显示器的效果的曲线图。在图9中,X轴表示OLED显示器的整个位置,Y轴表示与OLED显示器的整个位置对应的第一薄膜晶体管的驱动范围(DR范围)的尺寸。

[0175] 在图9中,线B表示根据工艺的OLED显示器的每个位置的第一薄膜晶体管的驱动范围,线A表示根据使节点线穿过的接触孔的位置补偿设计的OLED显示器的每个位置的第一薄膜晶体管的预设驱动范围,线C表示实际的OLED显示器的每个位置的第一薄膜晶体管的

驱动范围。

[0176] 如图9中所示,在根据示例性实施例的OLED显示器中,与形成在第一区域AR1中的第一像素电路的第一接触孔的面积相比,形成在第二区域AR2中的第二接触孔具有较大的面积。因为形成在第二区域AR2中的第二像素电路的第一薄膜晶体管的驱动范围相较于形成在第一区域AR1中的第一像素电路的第一薄膜晶体管的驱动范围被劣化,所以第一区域AR1的第一薄膜晶体管和第二区域AR2的第一薄膜晶体管的每种特性差异被最小化。

[0177] 即,由于制造误差,使得在整个OLED显示器中,会如同线B一样产生第一薄膜晶体管的驱动范围偏差。然而,通过将OLED显示器中的第一薄膜晶体管设计为如同线A一样,第一薄膜晶体管的驱动范围偏差在整个OLED显示器中如同线C一样被最小化。

[0178] 如上所述,由于制造误差,使得与形成在第一区域AR1中的第一像素电路PC1的第一薄膜晶体管T1的驱动范围相比,形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第一薄膜晶体管T1的驱动范围会劣化。然而,在一些实施例中,相较于与第一像素电路PC1的第一薄膜晶体管T1的第一有源图案A1叠置的第一接触孔CNT1,与第二像素电路PC2的第一薄膜晶体管T1的第一有源图案A1叠置的第二接触孔CNT2在平面上具有较大的面积。因为第二像素电路PC2的第一薄膜晶体管T1的晶体管特性被劣化,使得第一薄膜晶体管T1的驱动范围增大,所以第一像素电路PC1的第一薄膜晶体管T1与第二像素电路PC2的第一薄膜晶体管T1之间的差异被最小化。

[0179] 例如,形成在第二区域AR2中的薄膜晶体管的晶体管特性(例如,电流量)可以通过将形成在第二区域AR2中的第二接触孔CNT2的面积形成为大于形成在第一区域AR1中的第一接触孔CNT1的面积而得以改善,从而解决了光刻工艺误差。形成在遍及基底SUB的整个显示区域DIA的薄膜晶体管之间的晶体管特性差异被最小化,使得连接到薄膜晶体管的有机发光元件的亮度差异被最小化。因此,提供了具有图像的最小化显示品质劣化的OLED显示器。

[0180] 例如,即使在遍及整个基底SUB的薄膜晶体管的每个有源图案的宽度方面不期望地产生差异,也提供了供应到OLED的电流被抑制具有遍及整个基底SUB的差别的OLED显示器。

[0181] 接下来,将参照图10描述根据另一示例性实施例的OLED显示器。在下文中,将描述与根据上面的示例性实施例的OLED显示器的差异。

[0182] 图10是根据另一示例性实施例的OLED显示器的第二像素的布局图。

[0183] 如图10所示,位于基底SUB的显示区域DIA的第二区域AR2中的第二像素PX2包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2、发光控制线EM、电容器Cst、数据线DA、驱动电源线ELVDD、节点线GB、初始化电源线Vin和OLED。这里,作为第二像素PX2的薄膜晶体管的第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7、节点线GB和电容器Cst形成连接到OLED的第二像素电路PC2。即,第二像素电路PC2形成在显示区域DIA的第二区域AR2中。

[0184] 在包括在第二像素电路PC2的薄膜晶体管之中,第一薄膜晶体管T1连接到OLED以用作驱动薄膜晶体管,第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄

膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7可以分别用作连接到作为驱动薄膜晶体管的第一薄膜晶体管T1的开关薄膜晶体管。

[0185] 在第二像素电路PC2中,第一薄膜晶体管T1的第一有源图案A1、第二薄膜晶体管T2的第二有源图案A2、第三薄膜晶体管T3的第三有源图案A3、第四薄膜晶体管T4的第四有源图案A4、第五薄膜晶体管T5的第五有源图案A5、第六薄膜晶体管T6的第六有源图案A6和第七薄膜晶体管T7的第七有源图案A7彼此连接,第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5、第六有源图案A6和第七有源图案A7可以分别具有比所描述的第一像素电路PC1的薄膜晶体管的每个有源图案长的宽度。

[0186] 第二像素PX2的第二像素电路PC2的节点线GB通过第二接触孔CNT2连接在第三薄膜晶体管T3与第一薄膜晶体管T1之间。例如,节点线GB通过第二接触孔CNT2接触第一薄膜晶体管T1的第一栅电极G1。

[0187] 形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第二接触孔CNT2不同于形成在显示区域DIA的第一区域AR1中的第一像素电路PC1的第一接触孔CNT1,第二像素电路PC2还包括与第二接触孔CNT2相邻的附加接触孔DCNT。

[0188] 这里,附加接触孔DCNT可以形成为虚设的;然而其不限于此。

[0189] 如上所述,在另一示例性实施例中,形成在显示区域DIA的第二区域AR2中的第二像素PX2的第二像素电路PC2还包括与第二接触孔CNT2相邻的附加接触孔DCNT。

[0190] 附加接触孔DCNT与第一薄膜晶体管T1的第一有源图案A1的第一沟道C1叠置,然而其不限于此,在一些实施例中,附加接触孔DCNT不与第一沟道C1叠置。另外,可以有多个附加接触孔DCNT。

[0191] 如上所述,在根据另一示例性实施例的OLED显示器中,由于工艺误差,使得与形成在第一区域AR1中的第一像素电路PC1的第一薄膜晶体管T1的驱动范围相比,形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第一薄膜晶体管T1的驱动范围被劣化。然而,第二像素电路PC2包括与第一薄膜晶体管T1的第一有源图案A1叠置的第二接触孔CNT2和附加接触孔DCNT。即使第二像素电路PC2的第一薄膜晶体管T1的晶体管特性被劣化,使得第一薄膜晶体管T1的驱动范围增大,也使第一像素电路PC1的第一薄膜晶体管T1和第二像素电路PC2的第一薄膜晶体管T1的每个晶体管特性差异被最小化。

[0192] 即,形成在第二区域AR2中的薄膜晶体管的晶体管特性得以改善而解决了由光刻工艺误差引起的问题。第二接触孔CNT2和附加接触孔DCNT形成在第二区域AR2中,即使形成在第二区域AR2中的薄膜晶体管的晶体管特性被劣化,也使遍及基底SUB的显示区域DIA形成的薄膜晶体管之间的晶体管特性差异被最小化,从而连接到薄膜晶体管的有机发光元件的亮度差异被最小化。因此,提供了具有图像的最小化显示品质劣化的OLED显示器。

[0193] 例如,即使在遍及整个基底SUB的薄膜晶体管的每个有源图案的宽度方面不期望地产生所述差异,也提供了供应到OLED的电流被抑制具有遍及整个基底SUB的不同的OLED显示器。

[0194] 接下来,将参照图11描述根据另一示例性实施例的OLED显示器。在下文中,将描述与根据上面的示例性实施例的OLED显示器的差异。

[0195] 图11是示出根据另一示例性实施例的OLED显示器的第二像素的布局图。

[0196] 如图11所示,位于基底SUB的显示区域DIA的第二区域AR2中的第二像素PX2包括第

一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2、发光控制线EM、电容器Cst、数据线DA、驱动电源线ELVDD、节点线GB、初始化电源线Vin和OLED。这里,作为第二像素PX1的薄膜晶体管的第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7、节点线GB和电容器Cst形成连接到OLED的第二像素电路PC2。即,第二像素电路PC2形成在显示区域DIA的第二区域AR2中。

[0197] 在包括在第二像素电路PC2中的薄膜晶体管之中,第一薄膜晶体管T1连接到OLED以用作驱动薄膜晶体管,第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7可以分别用作连接到作为驱动薄膜晶体管的第一薄膜晶体管T1的开关薄膜晶体管。

[0198] 在第二像素电路PC2中,第一薄膜晶体管T1的第一有源图案A1、第二薄膜晶体管T2的第二有源图案A2、第三薄膜晶体管T3的第三有源图案A3、第四薄膜晶体管T4的第四有源图案A4、第五薄膜晶体管T5的第五有源图案A5、第六薄膜晶体管T6的第六有源图案A6和第七薄膜晶体管T7的第七有源图案A7彼此连接,第一有源图案A1、第二有源图案A2、第三有源图案A3、第四有源图案A4、第五有源图案A5、第六有源图案A6和第七有源图案A7可以分别具有比所描述的第一像素电路PC1的薄膜晶体管的每个有源图案长的宽度。

[0199] 第二像素PX2的第二像素电路PC2的节点线GB通过第二接触孔CNT2和附加接触孔DCNT连接在第三薄膜晶体管T3与第一薄膜晶体管T1之间。例如,节点线GB通过第二接触孔CNT2和附加接触孔DCNT接触第一薄膜晶体管T1的第一栅电极G1。

[0200] 形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第二接触孔CNT2不同于形成在显示区域DIA的第一区域AR1中的第一像素电路PC1的第一接触孔CNT1,第二像素电路PC2还包括与第二接触孔CNT2相邻的附加接触孔DCNT。

[0201] 这里,节点线GB通过第二接触孔CNT2和附加接触孔DCNT接触第一栅电极G1。然而,实施例不限于此,节点线GB可以通过第二接触孔CNT2和附加接触孔DCNT中的至少一个接触第一栅电极G1。

[0202] 如上所述,在另一示例性实施例中,形成在显示区域DIA的第二区域AR2中的第二像素PX2的第二像素电路PC2还包括与第二接触孔CNT2相邻的附加接触孔DCNT。

[0203] 附加接触孔DCNT与第一薄膜晶体管T1的第一有源图案A1的第一沟道C1叠置。然而,其不限于此,在一些实施例中,附加接触孔DCNT不与第一沟道C1叠置。另外,可以有多个附加接触孔DCNT。

[0204] 如上所述,当与形成在第一区域AR1中的第一像素电路PC1的第一薄膜晶体管T1的驱动范围相比,形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第一薄膜晶体管T1的驱动范围由于工艺误差被劣化时,在一些实施例中,第二像素电路PC2包括与第一薄膜晶体管T1的第一有源图案A1叠置的第二接触孔CNT2和附加接触孔DCNT。因此,即使第二像素电路PC2的第一薄膜晶体管T1的晶体管特性劣化,使得第一薄膜晶体管T1的驱动范围增大,也使第一像素电路PC1的第一薄膜晶体管T1和第二像素电路PC2的第一薄膜晶体管T1的每个晶体管特性差异被最小化。

[0205] 即,因为第二接触孔CNT2和附加接触孔DCNT形成在第二区域AR2中,所以形成在第

二区域AR2中的薄膜晶体管的晶体管特性得以改善。因为由于制造误差导致形成在第二区域AR2中的薄膜晶体管的晶体管特性劣化,所以遍及基底SUB的显示区域DIA形成的薄膜晶体管之间的晶体管特性差异被最小化,使得连接到薄膜晶体管的有机发光元件的亮度差异被最小化。因此,提供了具有图像的最小化显示品质劣化的OLED显示器。

[0206] 例如,即使在遍及整个基底SUB的薄膜晶体管的每个有源图案的宽度方面不期望地产生差异,也提供了供应到OLED的电流被抑制具有遍及整个基底SUB的差别的OLED显示器。

[0207] 接下来,将参照图12和图13描述根据另一示例性实施例的OLED显示器。在下文中,将描述与根据上述示例性实施例的OLED显示器的差异。

[0208] 图12是示出根据另一示例性实施例的OLED显示器的第一像素的布局图。图13是示出根据另一示例性实施例的OLED显示器的第二像素的布局图。

[0209] 如图12中所示,第一像素PX1的第一像素电路PC1的第一接触孔CNT1不与作为驱动薄膜晶体管的第一薄膜晶体管T1的第一有源图案A1的第一沟道C1叠置。

[0210] 如图13中所示,第二像素PX2的第二像素电路PC2的第二接触孔CNT2与作为驱动薄膜晶体管的第一薄膜晶体管T1的第一有源图案A1的第一沟道C1叠置。

[0211] 如上所述,在另一示例性实施例中,不同于形成在第一区域AR1中的第一像素PX1的第一像素电路PC1的第一接触孔CNT1,形成在显示区域DIA的第二区域AR2中的第二像素PX2的第二像素电路PC2的第二接触孔CNT2与第一有源图案A1的第一沟道C1叠置。

[0212] 如上所述,在根据另一示例性实施例的OLED显示器中,当与形成在第一区域AR1中的第一像素电路PC1的第一薄膜晶体管T1的驱动范围相比,形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第一薄膜晶体管T1的驱动范围由于工艺误差被劣化时,第一像素电路PC1的第一接触孔CNT1不与第一有源图案A1叠置,并且第二像素电路PC2的第二接触孔CNT2与第一有源图案A1叠置。因为第二像素电路PC2的第一薄膜晶体管T1的晶体管特性被劣化,使得第一薄膜晶体管T1的驱动范围增大,所以第一像素电路PC1的第一薄膜晶体管T1和第二像素电路PC2的第一薄膜晶体管T1的每个晶体管特性差异被最小化。

[0213] 即,当第二区域AR2的第二接触孔CNT2与第一有源图案A1叠置而第一区域AR1的第一接触孔CNT1不与第一有源图案A1叠置时,形成在第二区域AR2中的薄膜晶体管的晶体管特性得以改善。即使形成在第二区域AR2中的薄膜晶体管的晶体管特性由于工艺误差被劣化,也使遍及基底SUB的整个显示区域DIA的薄膜晶体管之间的晶体管特性差异被最小化,使得连接到薄膜晶体管的有机发光元件的亮度差异被最小化。因此,提供具有图像的最小化显示品质劣化的OLED显示器。

[0214] 例如,即使在遍及整个基底SUB的薄膜晶体管的每个有源图案的宽度方面不期望地产生差异,也提供了供应到OLED的电流被抑制具有遍及整个基底SUB的差别的OLED显示器。

[0215] 接下来,将参照图14和图15描述根据另一示例性实施例的OLED显示器。在下文中,将描述与根据上述的示例性实施例的OLED显示器的不同之处。

[0216] 图14是示出根据另一示例性实施例的OLED显示器的第一像素的布局图。图15是示出根据另一示例性实施例的OLED显示器的第二像素的布局图。

[0217] 如图14中所示,第一像素PX1的第一像素电路PC1的第一接触孔CNT1的一部分与作

为驱动薄膜晶体管的第一薄膜晶体管T1的第一有源图案A1的第一沟道C1叠置。

[0218] 如图15中所示,第二像素PX2的第二像素电路PC2的第二接触孔CNT2与作为驱动薄膜晶体管的第一薄膜晶体管T1的第一有源图案A1的第一沟道C1完全叠置。

[0219] 另一方面,在另一示例性实施例中,第二像素电路PC2的第二接触孔CNT2与第一薄膜晶体管T1的第一有源图案A1的第一沟道C1部分叠置。

[0220] 即,第二像素电路PC2的第二接触孔CNT2以与第一像素电路PC1的第一接触孔CNT1相比较宽的面积与作为驱动薄膜晶体管的第一薄膜晶体管T1的第一有源图案A1叠置。

[0221] 如上所述,在另一示例性实施例中,与形成在第一区域AR1中的第一像素PX1的第一像素电路PC1的第一接触孔CNT1不同,形成在显示区域DIA的第二区域AR2中的第二像素PX2的第二像素电路PC2的第二接触孔CNT2以较宽的面积与第一有源图案A1的第一沟道C1叠置。

[0222] 如上所述,在根据另一示例性实施例的OLED显示器中,当形成在显示区域DIA的第二区域AR2中的第二像素电路PC2的第一薄膜晶体管T1的驱动范围由于工艺误差与形成在第一区域AR1中的第一像素电路PC1的第一薄膜晶体管T1的驱动范围相比被劣化时,第一像素电路PC1的第一接触孔CNT1以窄面积与第一有源图案A1叠置,并且第二像素电路PC2的第二接触孔CNT2以宽面积与第一有源图案A1叠置。即使第二像素电路PC2的第一薄膜晶体管T1的晶体管特性被劣化,使得第一薄膜晶体管T1的驱动范围增大,也使第一像素电路PC1的第一薄膜晶体管T1和第二像素电路PC2的第一薄膜晶体管T1的每个晶体管特性差异被最小化。

[0223] 即,因为第二区域AR2的第二接触孔CNT2以宽面积与第一有源图案A1叠置,而第一区域AR1的第一接触孔CNT1以窄面积与第一有源图案A1叠置,所以形成在第二区域AR2中的薄膜晶体管的晶体管特性得以改善。因此,即使形成在第二区域AR2中的薄膜晶体管的晶体管特性被劣化,遍及基底SUB的整个显示区域DIA形成的薄膜晶体管之间的晶体管特性差异被最小化,使得连接到薄膜晶体管的有机发光元件的亮度差异被最小化。因此,提供了具有图像的最小化显示品质劣化的OLED显示器。

[0224] 即使在遍及整个基底SUB的薄膜晶体管的每个有源图案的宽度方面不期望地产生差异,也提供了供应到OLED的电流被抑制具有遍及整个基底SUB的差异的OLED显示器。

[0225] 虽然已经针对目前认为是实用性的示例性实施例描述了发明技术,但是将理解的是,本发明不限于所公开的实施例,而相反,其意图涵盖包括在所附权利要求的精神和范围内的各种改变和等同布置。

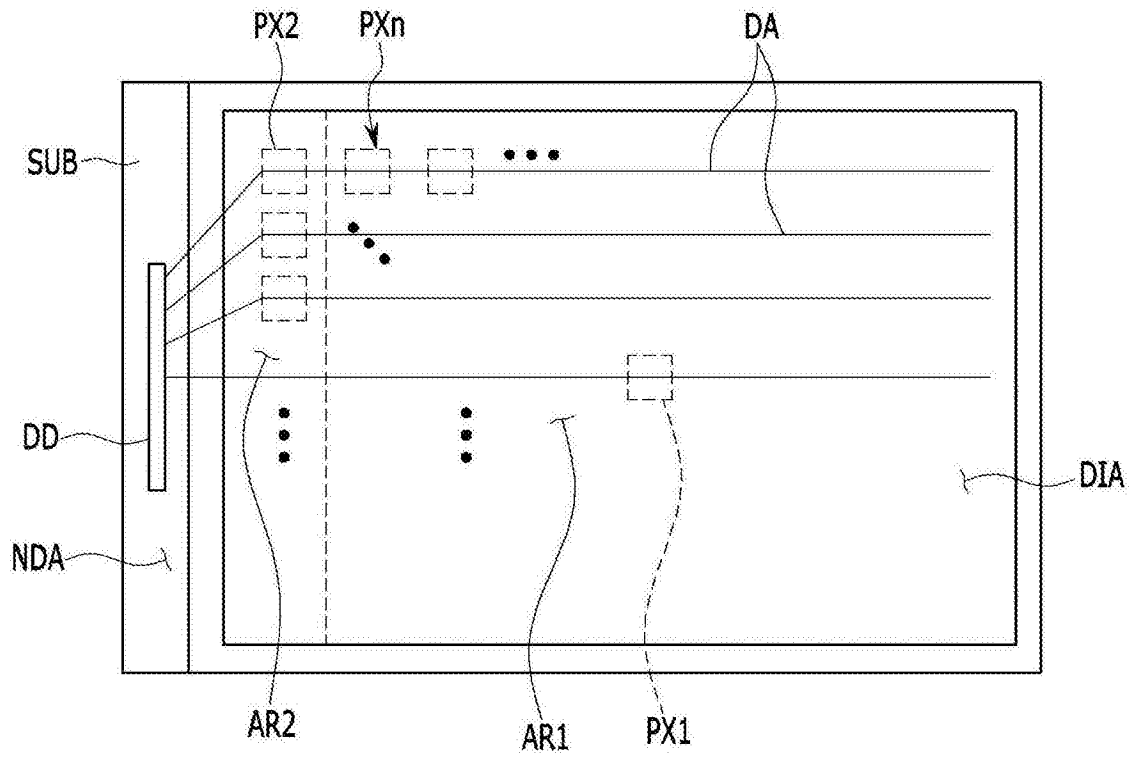


图1

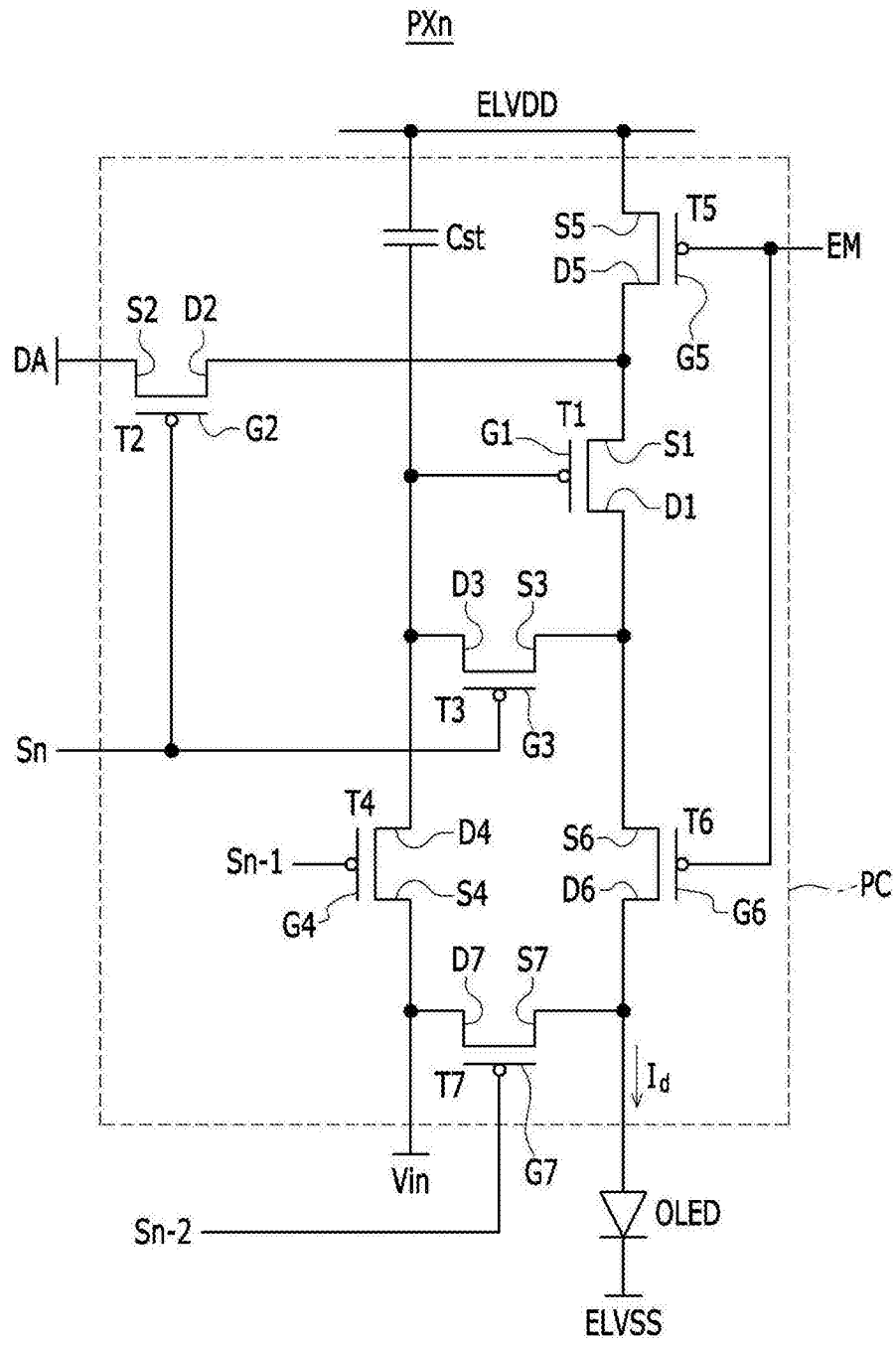


图2

PX1

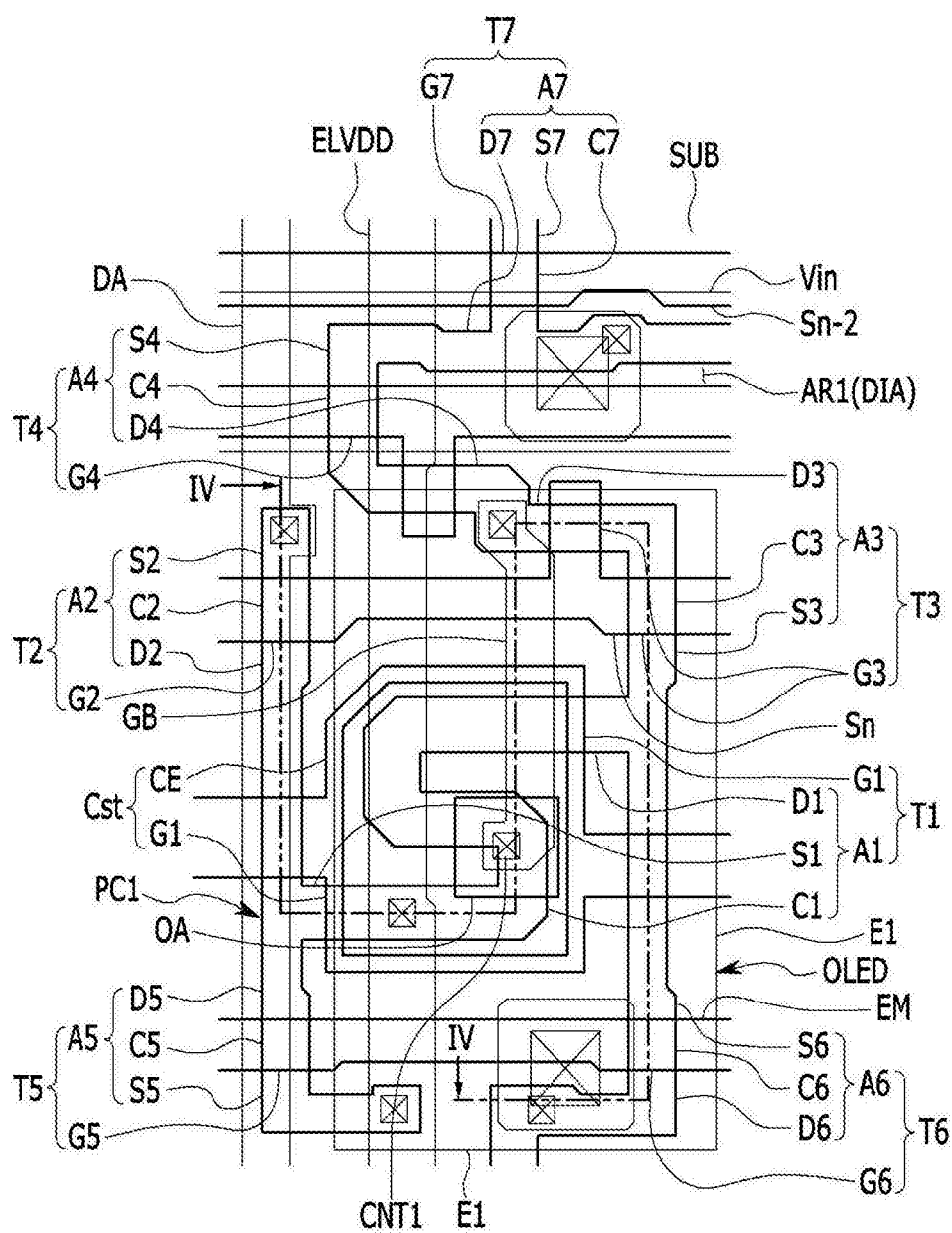


图3

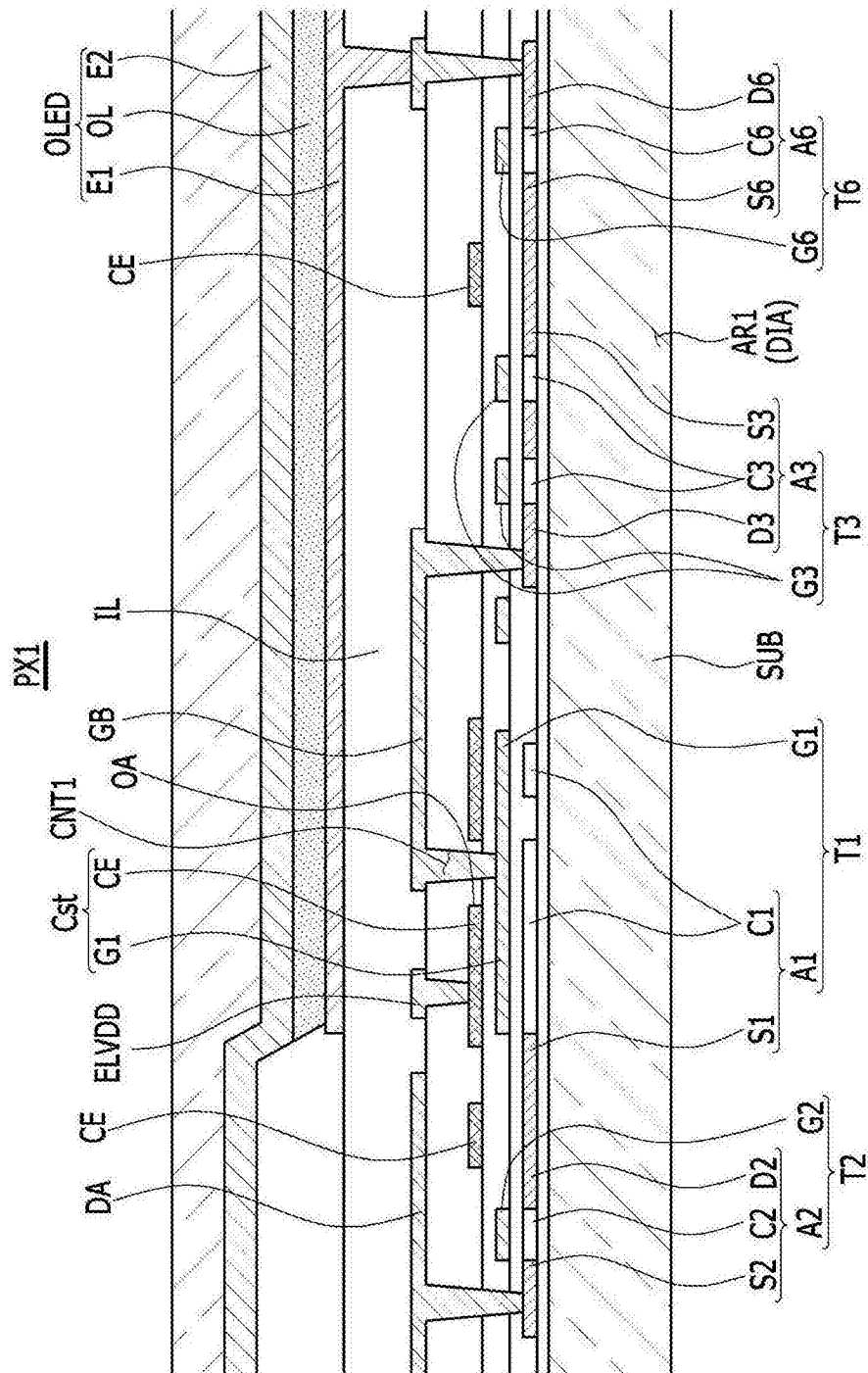


图4

PX2

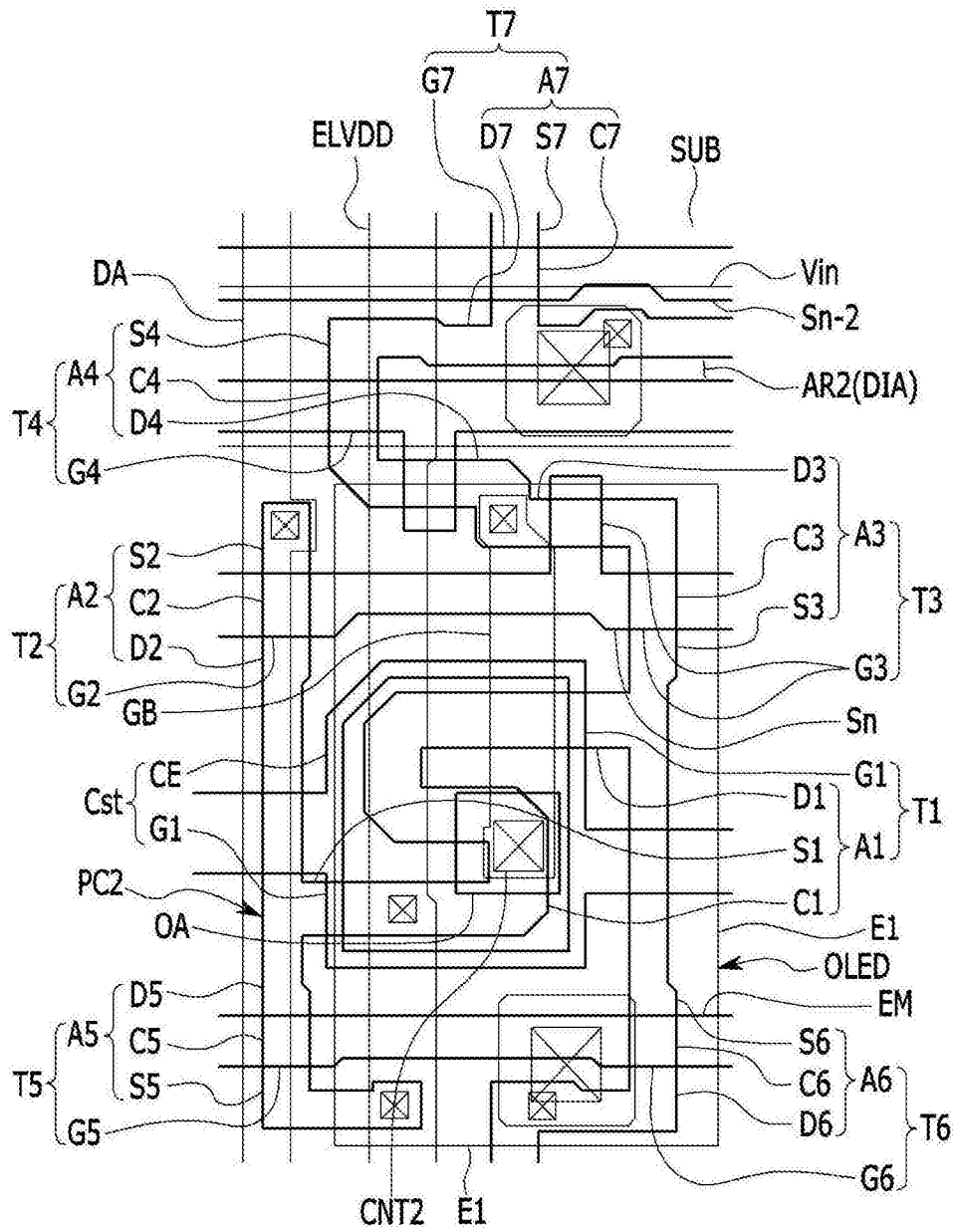


图5

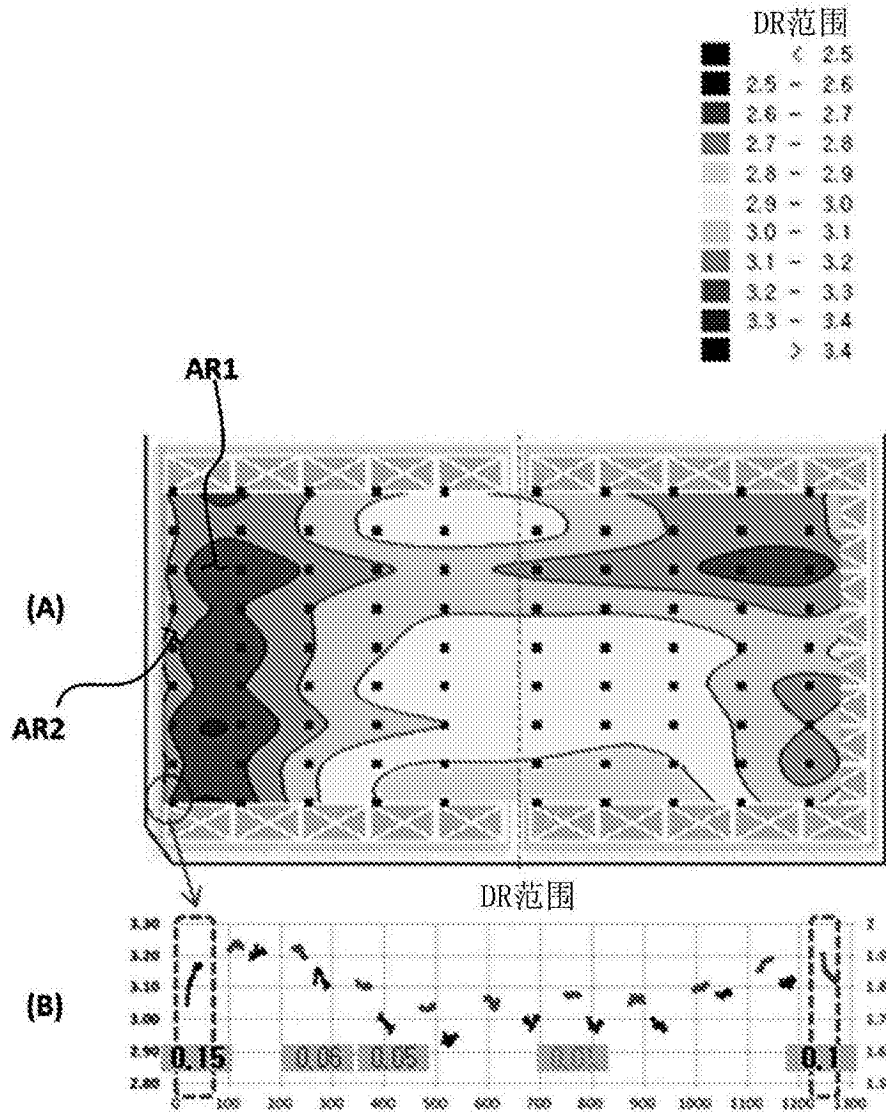


图6

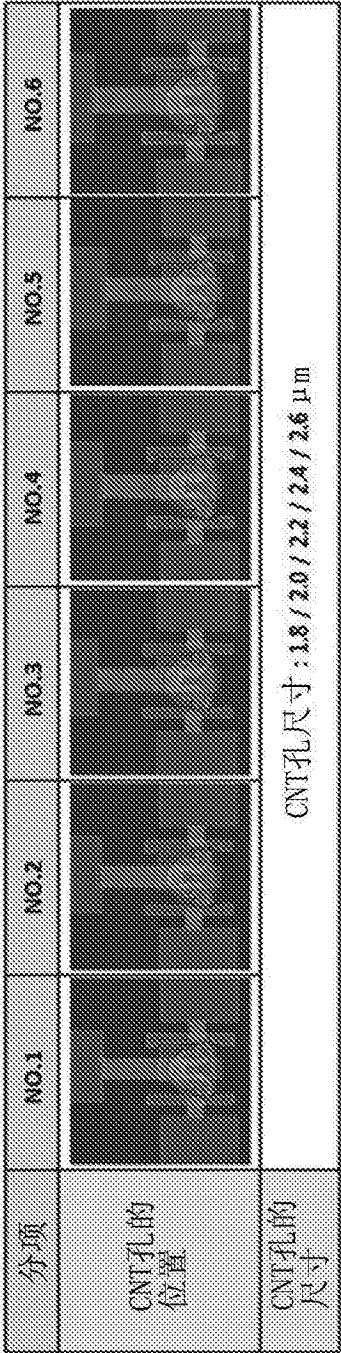


图7

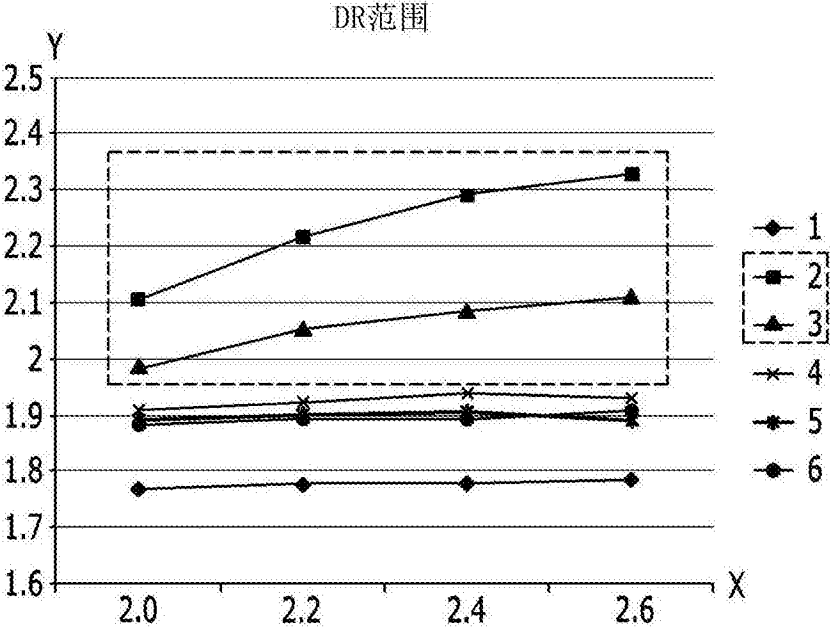


图8

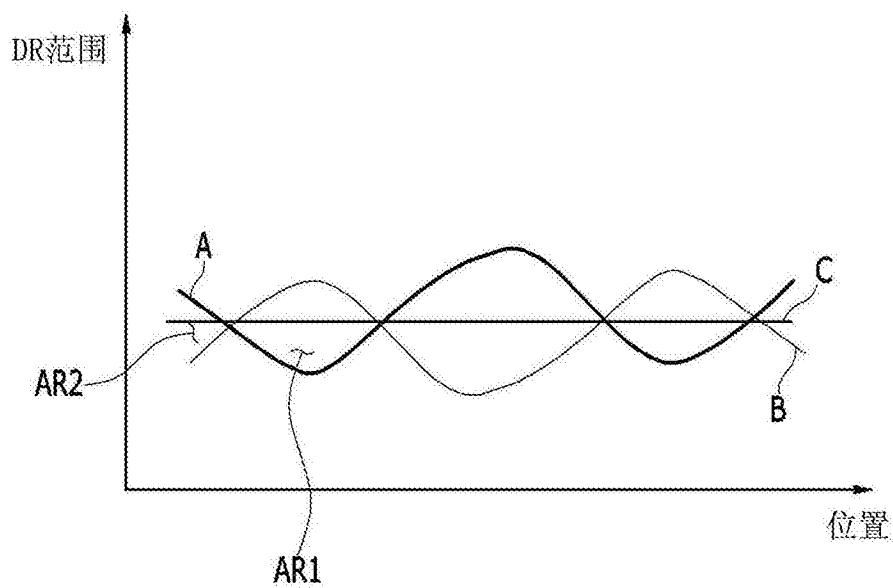


图9

PX2

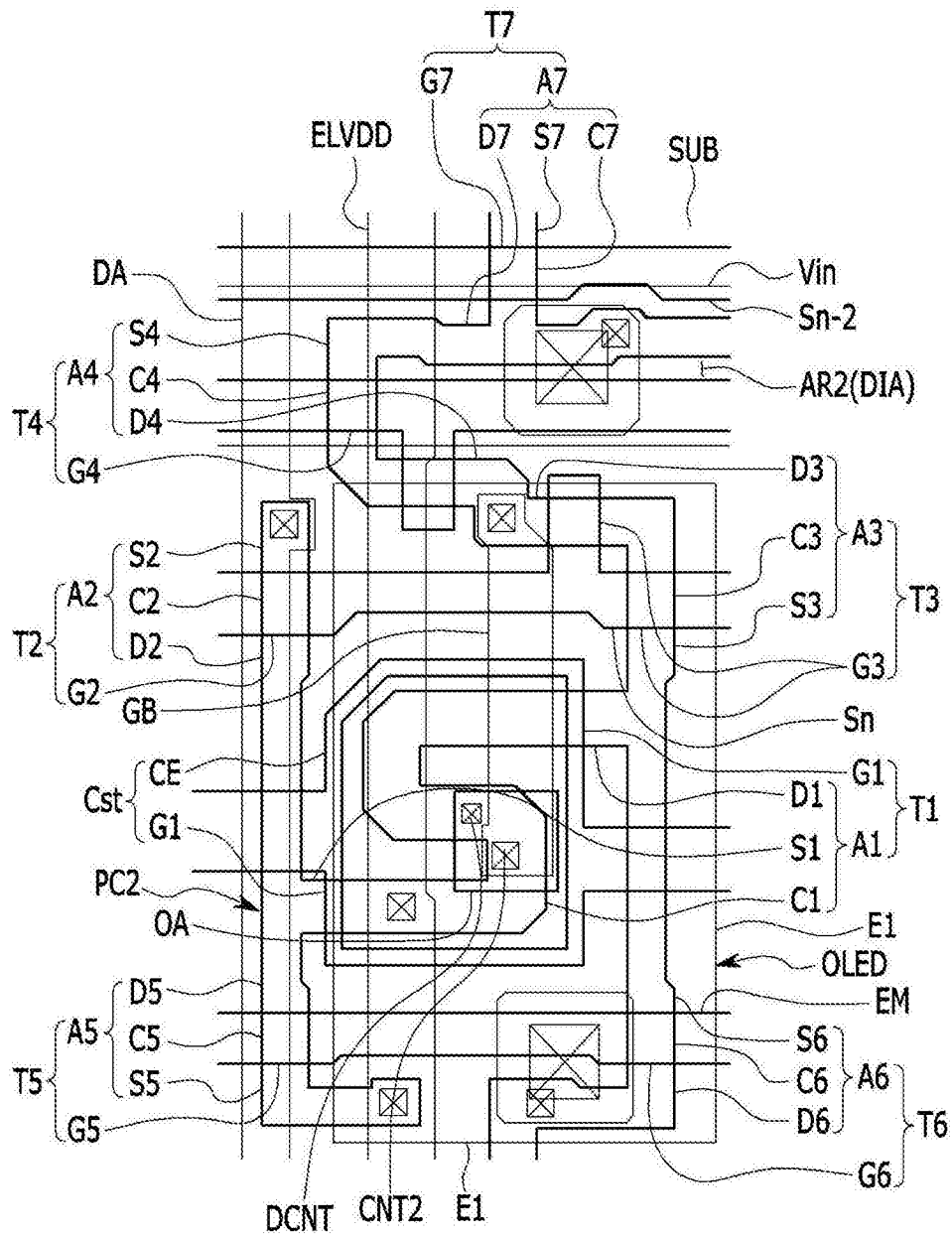


图10

PX2

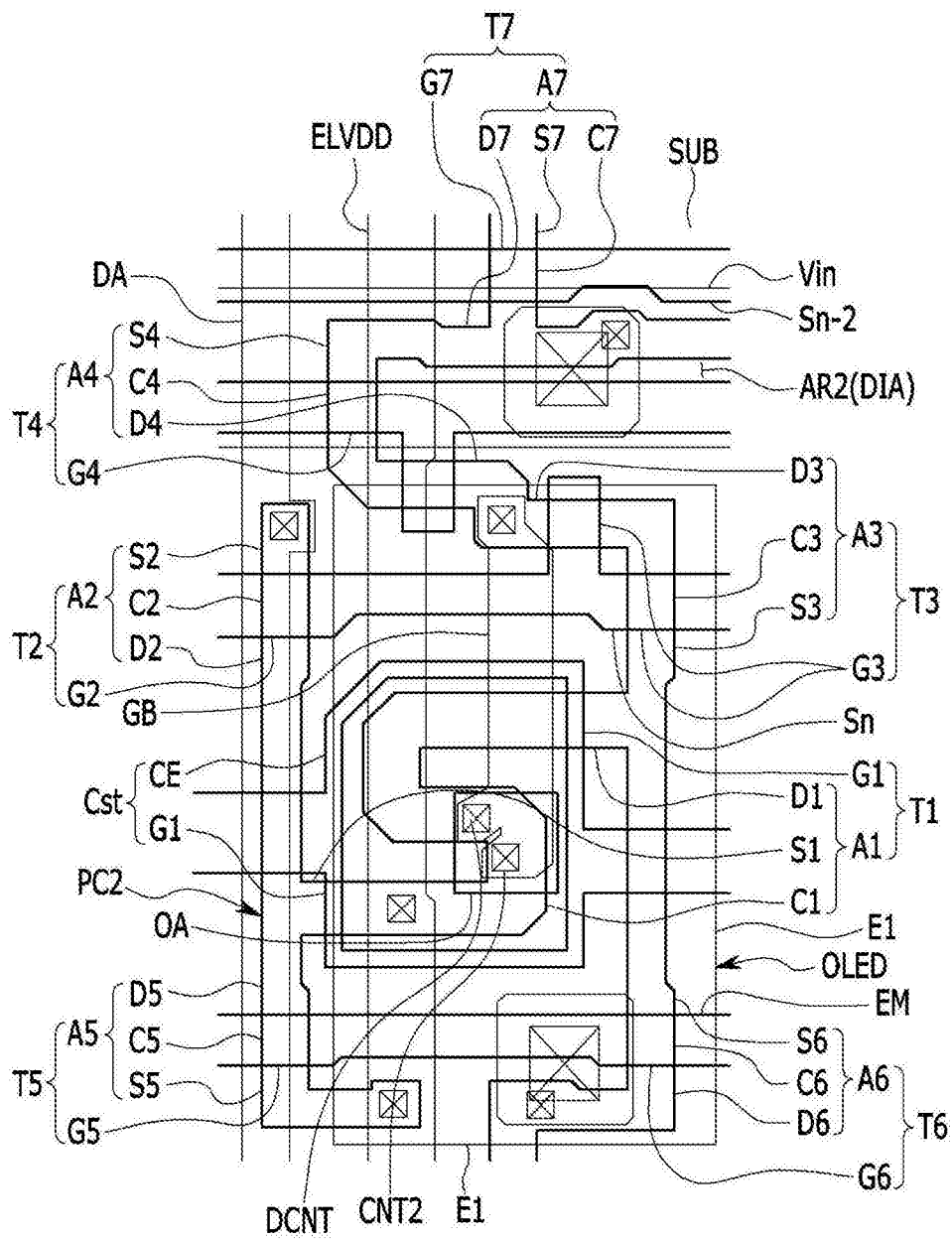


图11

PX1

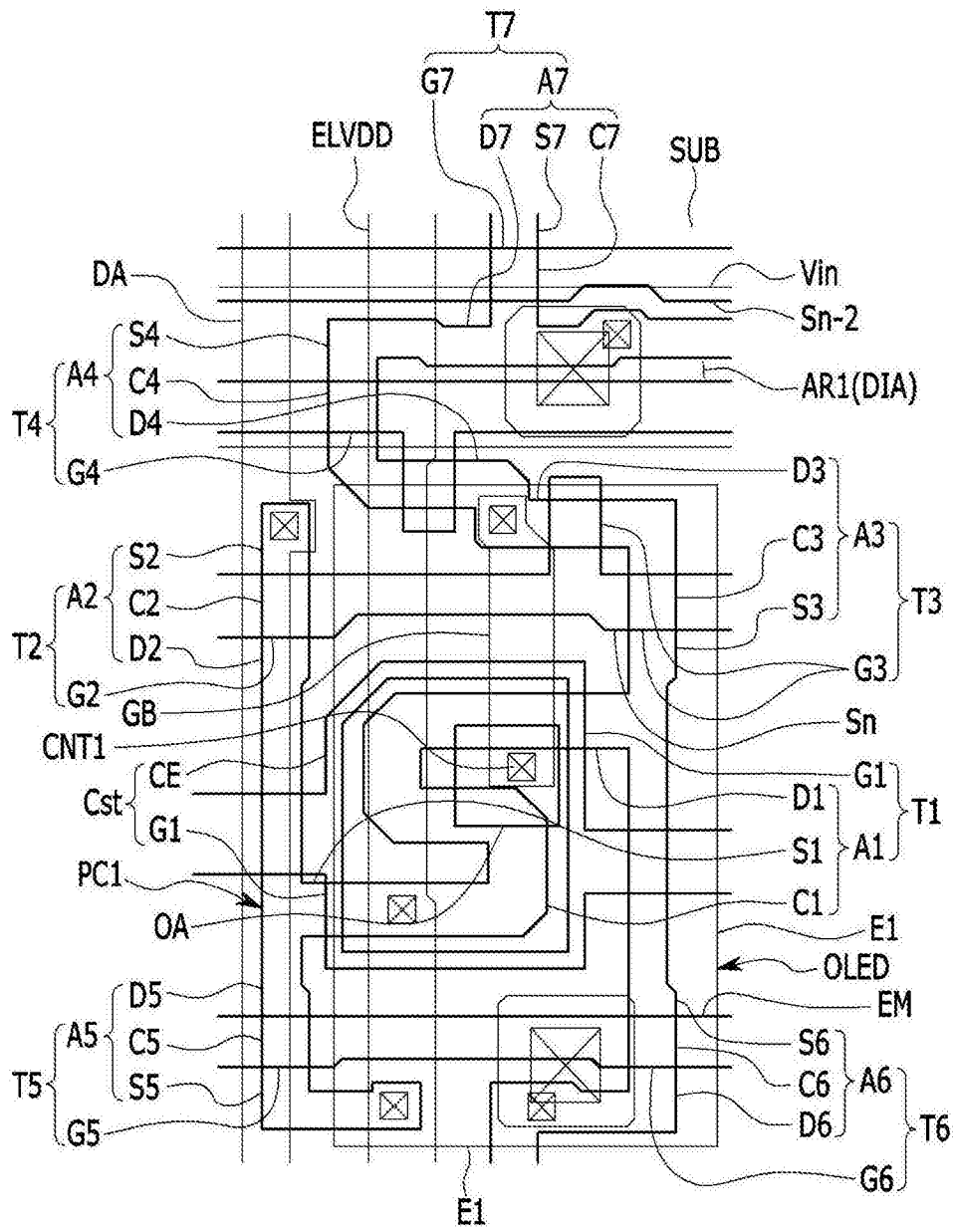


图12

PX2

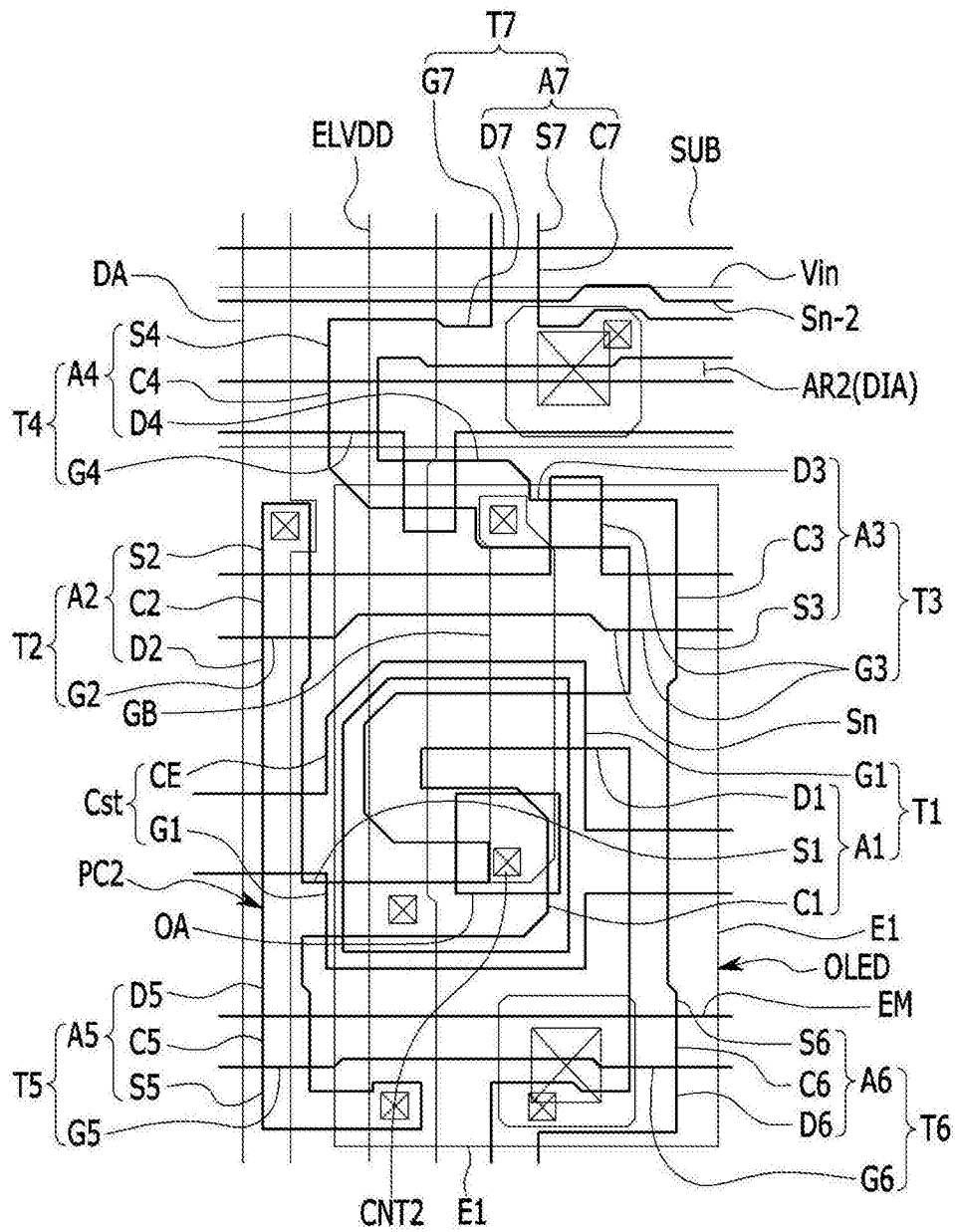


图13

PX1

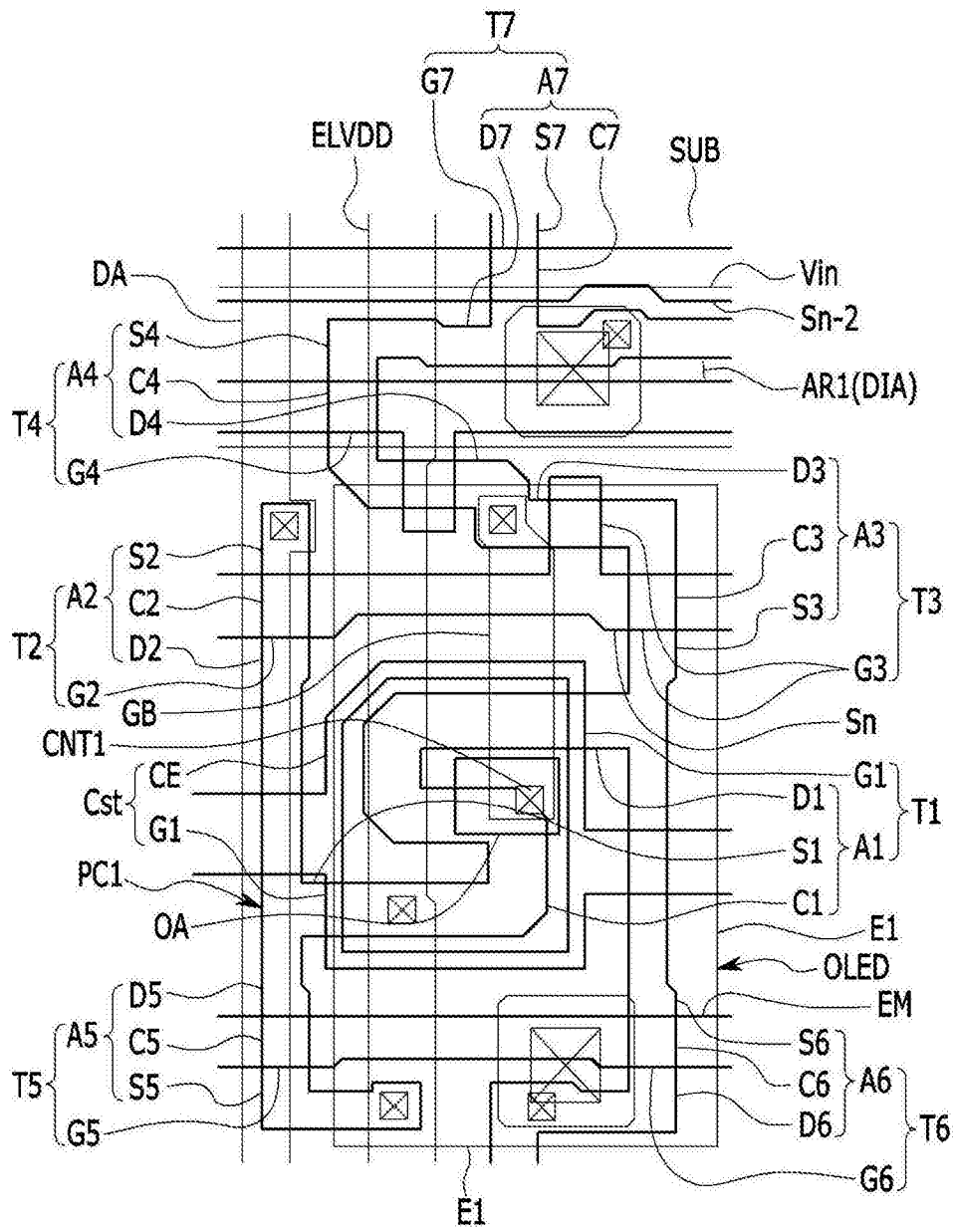


图14

PX2

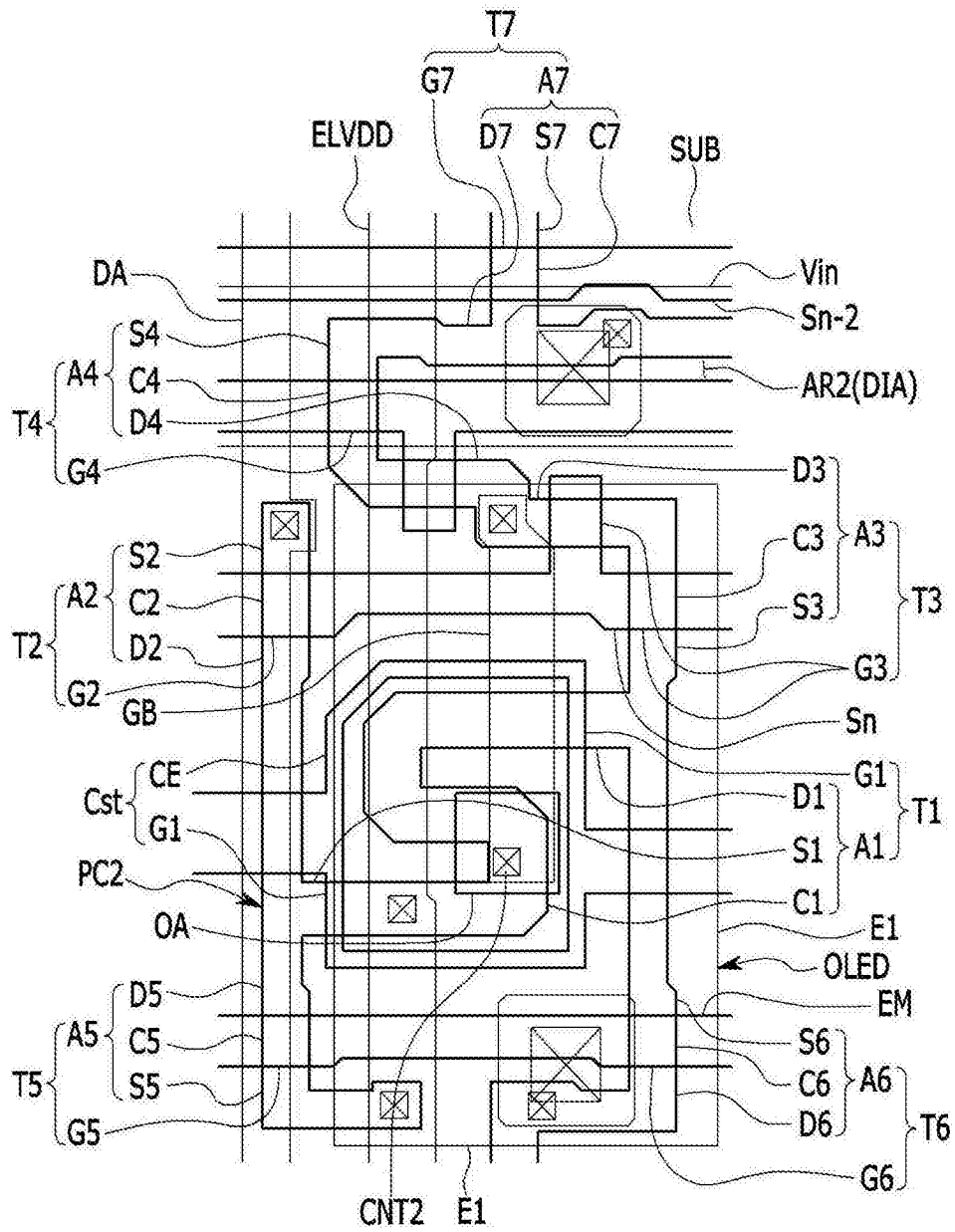


图15

专利名称(译)	有机发光二极管显示器		
公开(公告)号	CN106409866A	公开(公告)日	2017-02-15
申请号	CN201610518367.1	申请日	2016-07-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	金德会 高健祐		
发明人	金德会 高健祐		
IPC分类号	H01L27/32 G09G3/3225		
CPC分类号	H01L27/3262 G09G3/3233 G09G3/3258 G09G3/3275 G09G2300/0426 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/0626 H01L27/3258 H01L27/3265 H01L27/3244 G09G3/3225 H01L27/3276		
优先权	1020150095347 2015-07-03 KR		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种有机发光二极管(OLED)显示器。在一个方面,所述OLED显示器包括具有被构造为显示图像的显示区域的基底,显示区域包括第一区域和第二区域。多个OLED形成在显示区域中并彼此分开,多个像素电路形成在显示区域中并包括分别形成在第一区域和第二区域中的第一像素电路和第二像素电路。第一接触孔和第二接触孔分别形成在第一像素电路和第二像素电路中,每个像素电路包括具有第一TFT和第二TFT并电连接到OLED的薄膜晶体管(TFT)。每个像素电路包括被构造为通过第一接触孔和第二接触孔将第一TFT电连接到第二TFT的节点线,第一接触孔不同于第二接触孔。

