



(12) 发明专利

(10) 授权公告号 CN 101425532 B

(45) 授权公告日 2013. 04. 24

(21) 申请号 200810170797. 4

施方式部分, 附图.

(22) 申请日 2008. 10. 29

审查员 朱永全

(30) 优先权数据

2007-281083 2007. 10. 30 JP

(73) 专利权人 株式会社日立显示器

地址 日本千叶县

专利权人 松下液晶显示器株式会社

(72) 发明人 德田尚纪 秋元肇

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 杨宏军

(51) Int. Cl.

H01L 27/32(2006. 01)

H01L 23/522(2006. 01)

(56) 对比文件

US 2007/0176859 A1, 2007. 08. 02, 说明书第
0033-0042 段, 附图 7.

CN 101013557 A, 2007. 08. 08, 说明书具体实

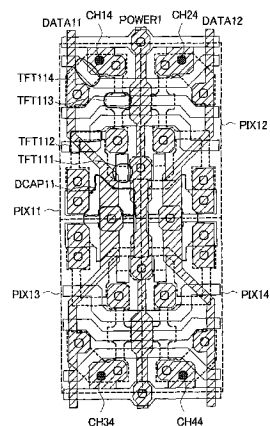
权利要求书1页 说明书9页 附图7页

(54) 发明名称

有机 EL 显示装置

(57) 摘要

本发明涉及一种有机 EL 显示装置。目的在于提高像素内的利用效率, 实现高精度的有机 EL 显示装置。一种由有机 EL 元件构成的像素被配置成矩阵状的有机 EL 显示装置, 上述像素具备控制流入上述有机 EL 元件的电流的像素电路, 上述像素电路具备电容, 上述电容配置在于上下方向相邻的像素的边界。进而, 构成上述电容的一个电极由上述上下相邻的像素所共有, 构成上述电容的另一电极被上述上下相邻的像素分离。



1. 一种有机 EL 显示装置,是矩阵状地配置由有机 EL 元件构成的像素的有机 EL 显示装置,其特征在于,

具备向所述有机 EL 元件供给电流的电源线 ;和向所述像素供给图像信号的图像信号线,

所述像素在所述图像信号线的延伸方向上具备长轴方向,

所述像素具备控制流入所述有机 EL 元件的电流的像素电路,

所述像素电路具备电容和晶体管,

所述晶体管连接在所述电源线和所述有机 EL 元件之间,

所述电容连接在所述晶体管的栅电极和上述图像信号线之间,

所述电容被配置在像素的所述长轴方向上相邻的像素的边界上,

构成所述电容的一个电极在所述像素的长轴方向上相邻的像素处连续地形成,

构成所述电容的另一电极按在所述像素的长轴方向上相邻的各个像素分离地形成。

2. 如权利要求 1 所述的有机 EL 显示装置,其特征在于,

构成所述电容的所述一个电极是含有比沟道层更高浓度磷的硅膜。

3. 如权利要求 1 所述的有机 EL 显示装置,其特征在于,

构成所述电容的所述一个电极经由 1 个接触孔连接所述图像信号线。

4. 如权利要求 1 所述的有机 EL 显示装置,其特征在于,

所述电容的所述一个电极与在像素的短轴方向上相邻的像素分离。

5. 如权利要求 1 所述的有机 EL 显示装置,其特征在于,

所述像素上的电路,在像素的长轴方向上每个像素以像素的边界为基准,为线对称。

6. 如权利要求 1 所述的有机 EL 显示装置,其特征在于,

所述像素上的电路,在像素的短轴方向上每个像素以像素的边界为基准,为线对称。

7. 如权利要求 1 所述的有机 EL 显示装置,其特征在于,

所述电源线在长度方向上延伸,

形成所述电容的一个电极与所述图像信号在接触孔处连接,

在所述电源线的线宽变细的部分具有相邻的接触孔。

8. 如权利要求 7 所述的有机 EL 显示装置,其特征在于,

所述电源线被相邻的接触孔包夹。

有机 EL 显示装置

技术领域

[0001] 本发明涉及存在于有机 EL 显示装置的各像素上的电路。

背景技术

[0002] 如专利文献 1 所述,本申请人开发了驱动有机 EL 显示装置的像素电路。

[0003] 本申请人开发了应用专利文献 1 的技术的新型像素电路。本发明人等还开始考虑能够缩小像素面积的像素电路布局。专利文献 2、专利文献 3 及专利文献 4 公开了现有像素的布局。

[0004] 专利文献 2 至 4 中公开了现有的将 2 个晶体管和 1 个电容配置在 1 个像素内的像素电路。该像素电路是最典型的像素电路。图像信号被提供给图像信号线。选择信号被提供给选择信号线。像素上的第 1 晶体管(数据输入 TFT)被选择信号控制,将图像信号读入像素。电容保持与该图像信号相对应的电位差。对应于所保持的电位差的大小控制第 2 晶体管(驱动 TFT),从电源线向有机 EL 元件供给所希望的电流。

[0005] 上述像素电路的平面布局(layout)被专利文献 2、3 公开。公开了下述结构:在 2 个像素的短轴方向的边界配置 1 条电源线,在该电源线的左右设置上述第 2 晶体管,对有机 EL 元件供给电流。即为相对于电源线左右对称的平面布局,电源线由左右像素共有,减少电源线的条数,同时抑制电压下降,实现高精细化。

[0006] 另外,专利文献 4 中也公开了现有的在 1 个像素内配置 2 个晶体管和 1 个电容的像素电路。

[0007] 专利文献 2 至 3 的技术存在必须配合像素电路才能提高精细度的情况、或不得不缩小电源线的线宽而导致出现亮度梯度的情况、或不得不减小电容而无法得到充分的灰度表现的情况。

[0008] 专利文献 4 的图 13 中,公开了上下 2 像素的像素电路为线对称、左右 2 像素的像素电路也是线对称、彼此相邻的 4 个像素为点对称的像素布局,但是完全没有公开构成像素的构成要素(TFT 和电容)由相邻的像素所共有的技术构思。

[0009] 【专利文献 1】美国专利第 6950081 号说明书

[0010] 【专利文献 2】美国专利第 6998770 号说明书

[0011] 【专利文献 3】美国专利第 6522079 号说明书

[0012] 【专利文献 4】美国专利第 6723576 号说明书

发明内容

[0013] 本发明人等希望设计出搭载有应用了专利文献 1 的像素电路的高精细有机 EL 显示装置。此时,只采用专利文献 2 及 3 的像素布局方法无法得到充分的精细度。因此,除专利文献 2 及 3 以外,还必须有提高像素电路的平面布局效率的方法。

[0014] 本发明的目的在于提高像素内的利用效率、实现高精细的有机 EL 显示装置。

[0015] 本发明人等考虑是否可以像专利文献 2 那样由左右像素并用电源线那样由相邻

的像素并用构成像素电路的构成要素,并着眼于电容。

[0016] 于是在像素的短轴方向、长轴方向或上述两方像素的边界处配置电容。从而使上述电容的一个电极由两方像素所共有。

[0017] 但是,因为电容所保持的电位差因像素不同而异,所以如果兼用相邻的全部 4 个电容的一个电极,则也可能实质上无法被有源矩阵驱动。特别是由像素短轴方向(图像信号线的法线方向)的像素并用时,有时图像信号的写入时间并不足够,所以优选像素的长轴方向(图像信号线的延伸方向)。特别是采用专利文献 1 的像素电路时,因为图像信号线连接在电容上,所以可以用连接在图像信号线上的电容的下部电极用接触孔连接 2 像素,能够有效率地配置像素电路。此时,为了连接构成电容的一个电极的半导体层和布线,在构成电容的另一电极的金属栅极层上制作切口或贯通孔。

[0018] 另外,通过在电源线的延伸方向上相邻的 2 像素的边界配置电容,像素电路的平面布局的效率也进一步提高,所以能够提高精细度。如果由电源线左右的像素并用,则在像素的边界配置电源线。因此,为了配置其他构成要素,必须使电源线的一部分与边界错开。电源线的一部分与边界错开使电源线蛇行,所以布线长度变长,电阻变大,电压容易下降。为有机 EL 显示装置的情况下,因为电源线的电压下降影响画质,所以并不希望延长电源线的布线长度。即,电源线由电源线延伸方向左右的像素共有时,优选作为电源线延伸方向的像素长轴方向的相邻 2 像素共有电容的一个电极。

[0019] 根据本发明,能够实现浪费少的像素电路的平面布局,所以可以实现高精度的有机 EL 显示装置。

附图说明

[0020] 【图 1】是有机 EL 显示装置的显示区域的一部分的等效电路图。

[0021] 【图 2】表示第 1 像素 (PIX11) 的像素电路的等效电路。

[0022] 【图 3】表示用于实现像素电路的层结构。

[0023] 【图 4】是表示半导体层 (FG 层) 的平面布局的图。

[0024] 【图 5】是表示半导体层 (FG 层) 的掺杂图案的图。

[0025] 【图 6】是表示像素电路的平面布局 (FG 层 +SG 层) 的图。

[0026] 【图 7】是表示平面布局 (FG 层 +SG 层 +SD 层) 的图。

具体实施方式

[0027] 以下,说明本发明的实施例。

[0028] < 等效电路 >

[0029] 图 1 是有机 EL 显示装置的显示区域的一部分的等效电路图。图 1 为 8 像素 (4×2 像素) 的等效电路。将左侧的 4 像素从左上至右下称为第 1 像素 (PIX11)、第 2 像素 (PIX12)、第 3 像素 (PIX13)、第 4 像素 (PIX14)。上述 4 像素构成基本像素组 (set) PIXS。图 1 中,配置 2 个 PTXS (左侧第 1 像素组 (PIXS1)、右侧第 2 像素组 (PIXS2))。

[0030] 在上述第 1 像素组 (PTXS1) 中,每个像素列各配置 1 条第 1 图像信号线 (DATA11)、第 2 图像信号线 (DATA12)。

[0031] 在上述第 2 像素组 (PIXS2) 中,每个像素列各配置 1 条第 3 图像信号线 (DATA21)、

第 4 图像信号线 (DATA22)。

[0032] 在第 1 图像信号线 (DATA11) 和第 2 图像信号线 (DATA12) 之间,配置 1 条第 1 电源线 (POWER1)。上述第 1 电源线 (POWER1) 由第 1 像素 (PIX11)、第 2 像素 (PIX12)、第 3 像素 (PIX13) 及第 4 像素 (PIX14) 共用。即,从第 1 电源线 (POWER1) 向第 1 像素 (PIX11)、第 2 像素 (PIX12)、第 3 像素 (PIX13) 及第 4 像素 (PIX14) 的各有机 EL 元件 (OLED11, 21, 31, 41) 供给电流。

[0033] 在第 1 像素组 (PIXS1) 的某一像素行中,配置 8 条向像素的短轴方向延伸的布线。从上开始的顺序为第 1 连接电源线 (MESH12)、第 1 检测控制线 (MST12)、第 1 发光控制线 (ILM12)、第 1 复位控制线 (RES12)、第 2 复位控制线 (RES34)、第 2 发光控制线 (ILM34)、第 2 检测控制线 (MST34)、第 2 连接电源线 (MESH34)。其他表述方式为从第 1 像素 (PIX11) 及第 2 像素 (PIX12)、和第 3 像素 (PIX13) 及第 4 像素 (PIX14) 的边界分别向对向的边界 (在像素的长轴方向) 按复位控制线 RES、发光控制线 ILM、检测控制线 MST、连接电源线 MESH 的顺序排列。

[0034] 图 2 表示第 1 像素 (PIX11) 的像素电路的等效电路。

[0035] 将第 1 电源线 (POWER1) 连接在第 1 驱动 TFT (TFT111) 的源极。

[0036] 将第 1 图像信号线 (DATA11) 连接在第 1 保持电容 (DCAP11) 的一端。

[0037] 将第 1 复位控制线 (RES12) 连接在第 1 复位 TFT (TFT112) 的栅极。

[0038] 将第 1 发光控制线 (ILM12) 连接在第 1 发光控制 TFT (TFT113) 的栅极。

[0039] 将第 1 检测控制线 (MST12) 连接在第 1 检测控制 TFT (TFT114) 的栅极。

[0040] 将第 1 驱动 TFT (TFT111) 的栅极连接在第 1 保持电容 (DCAP11) 的另一端。

[0041] 将第 1 复位 TFT (TFT112) 的源极和漏极连接在第 1 驱动 TFT (TFT111) 的栅极和漏极之间。

[0042] 将第 1 复位 TFT (TFT112) 和第 1 发光控制 TFT (TFT113) 连接在第 1 驱动 TFT (TFT111) 的漏极和第 1 有机 EL 元件 (OLED11) 的阳极之间。

[0043] 将第 1 检测控制 TFT (TFT114) 连接在第 1 图像信号线 (DATA11) 和第 1 有机 EL 元件 (OLED11) 的阳极之间。

[0044] 因为使连接第 1 驱动 TFT (TFT111) 和第 1 发光控制 TFT (TFT113) 之间的布线通过第 1 复位控制线 (RES12) 的下方,所以在其重叠部产生第 1 负载电容 (ACAP111)。进而,因为使连接 OLED11 和 TFT113 之间的布线通过第 1 检测控制线 (MST12) 的下方,所以在其重叠部产生第 2 负载电容 (ACAP112)。

[0045] 各电容的大小和沟道的大小、NMOS、PMOS 的类别如下所述。

[0046] 第 1 驱动 TFT (TFT111) 是 PMOS 晶体管、沟道长度为 $4\mu\text{m}$ 、沟道宽 $5\sim 20\mu\text{m}$ 的单栅极结构。

[0047] 第 1 复位 TFT (TFT112) 是 NMOS 晶体管、沟道长度为 $4\mu\text{m}$ 、沟道宽 $4\mu\text{m}$ 的被分离的栅极串联 2 个而成的双栅极结构。

[0048] 第 1 发光控制 TFT (TFT113) 是 NMOS 晶体管、沟道长度为 $4\mu\text{m}$ 、沟道宽 $5\sim 20\mu\text{m}$ 的单栅极结构。

[0049] 第 1 检测控制 TFT (TFT114) 是 NMOS 晶体管、沟道长度为 $4\mu\text{m}$ 、沟道宽 $5\sim 20\mu\text{m}$ 的单栅极结构。

[0050] 第 1 保持电容 (DCAP11) 为 80 ~ 200fF, 第 1 负载电容 (ACAP111) 和第 2 负载电容 (ACAP112) 为 10fF 以下。这些电容的大部分构成在间隔栅极绝缘膜将半导体层和金属栅极层重叠的部分上。

[0051] 由于上述电路的驱动原理已经在其他申请中详细说明, 所以本申请中只简单描述。

[0052] < 驱动方法 >

[0053] 上述像素电路分成 A : 灰度电压写入期间、B : 输出电压写入期间、C : 残像检测期间 3 个期间驱动。或者, 也可以不设置 C : 残像检测期间, 分成 A : 灰度电压写入期间、B : 输出电压写入期间 2 个期间驱动。

[0054] • 期间 A

[0055] 由第 1 图像信号线 (DATA11) 供给灰度电压。使作为双栅极 TFT 的第 1 复位 TFT (TFT112) 接通、第 1 发光控制 TFT (TFT113) 接通、NMOS 的第 1 检测控制 TFT (TFT114) 断开时, 处于第 1 有机 EL 元件 (OLED11) 和第 1 图像信号线 (DATA11) 经第 1 保持电容 (DCAP11) 连接的状态。然后, 将第 1 复位 TFT (TFT112) 或第 1 发光控制 TFT (TFT113) 断开, 由此使第 1 保持电容 (DCAP11) 保持电位差。此时, 通过接通第 1 复位 TFT (TFT112), 使第 1 驱动 TFT (TFT111) 的漏极和栅极为相同电位, 所以能够在解除第 1 驱动 TFT (TFT111) 的 V_{th} 偏移的状态下, 写入对应于灰度电压的电位差。

[0056] • 期间 B

[0057] 然后, 向第 1 图像信号线 (DATA11) 供给输出波 VSWEET (三角波)。该输出波 VSWEET 可以不是三角波, 只要是步式波 (stepped wave)、阶梯波、弯曲波等在 2 值间振幅与时间一同改变的波形即可。第 1 保持电容 (DCAP11) 保持的电位差 ΔV 加上输出波 VSWEET 的电压波形得到的电压波形被输入第 1 驱动 TFT (TFT111) 的栅极。该电位差 ΔV + 输出波 VSWEET 的电压波形决定了第 1 驱动 TFT (TFT111) 接通的时间及流过的电流量, 时间为发光期间。因此, 灰度电压写入期间所保持的电位差小时, 发光期间缩短。在向第 1 发光控制线 (ILM12) 输入断开信号的时间点, 停止向第 1 图像信号线 (DATA11) 供给输出波 VSWEET。

[0058] • 期间 C

[0059] 然后, 在向第 1 发光控制线 (ILM12) 供给截止电压的状态下, 向第 1 检测控制线 (MST12) 供给导通电压。第 1 有机 EL 元件 (OLED11) 和第 1 图像信号线 (DATA11) 连接。在该状态下流入第 1 有机 EL 元件 (OLED11) 的电流经第 1 图像信号线 (DATA11) 供给至测定电路。测定电路由显示区域外的外围电路构成。电流测定后, 向第 1 检测控制线 (MST12) 供给截止电压, 返回期间 A。

[0060] < 层结构及像素电路的平面布局 >

[0061] 图 3 表示有机 EL 显示装置的层结构。

[0062] 形成了本发明的像素电路的有机 EL 显示装置具有依次层叠基板 (SUB)、底层 (UC)、半导体层 (FG)、栅极绝缘膜 (栅极氧化膜 (GI 层))、金属栅极层 (SG)、第 1 层间绝缘膜 (ILI1)、源极・漏极金属层 (SD)、第 2 层间绝缘膜 (ILI2)、第 3 层间绝缘膜 (ILI3)、像素电极 (AD)、元件分离膜 (BNK)、有机层 (OEL)、共用电极 (CD) 而形成的层结构。

[0063] 基板 (SUB) 由厚 0.3 ~ 1.0mm 的无碱玻璃构成。

[0064] 接下来, 底层 (UC) 由 30 ~ 300nm 的氮化硅膜、和 30 ~ 300nm 的氧化硅膜的层叠

膜构成。采用等离子体 CVD 在基板 (SUB) 的整个表面成膜。

[0065] 接下来,在薄膜晶体管(以下称为 TFT)的形成部位形成岛状的半导体层 (FG)。采用等离子体 CVD 将非晶硅成膜,实施结晶化退火进行聚硅化后,通过干式蚀刻,光刻加工成岛状。

[0066] 图 5 表示第 1 ~ 第 4 像素 (PIX11 ~ 14) 的半导体层 (FG) 的掺杂图案。

[0067] 该掺杂图案以像素的边界线为对称轴,第 1 像素 (PIX11) 和第 2 像素 (PIX12)、及第 1 像素 (PIX11) 和第 3 像素 (PIX13) 为线对称,进而,第 4 像素 (PIX14) 也以和第 1 像素 (PIX11) 的边界为中心,构成点对称,所以以下以第 1 像素 (PIX11) 为中心进行说明。

[0068] 另外,金属栅极层 (SG 层)、金属源极・漏极层 (SD 层) 也同样地以像素的边界线为对称轴,第 1 像素 (PIX11) 和第 2 像素 (PIX12) 及第 3 像素 (PIX13) 为线对称,进而,第 4 像素 (PIX14) 也以与第 1 像素 (PIX11) 的边界为中心,构成点对称,所以以第 1 像素 (PIX11) 为中心进行说明。

[0069] 在第 1 布线区域 DP1-1、第 2 布线区域 DP1-2、作为 PMOS 的第 1 驱动 TFT (TFT111) 的半导体区域 PP1、第 1 保持电容 DCAP 的下部电极 DP2,以几十 keV 左右的加速电压注入高浓度的 IIIb 属离子 (氮、磷、砷等)。在其他半导体区域,以几十 keV 左右的加速电压注入高浓度的 Vb 属离子 (硼、镓、铟等)。上述掺杂在金属栅极层 (SG) 形成前进行,但是也可以在部分形成后进行。

[0070] 第 1 像素 (PIX11) ~ 第 4 像素 (PIX14) 的平面布局如图 4 所示。

[0071] 图 1 中的等效电路的各构成要素 (TFT 及电容) 在第 1 像素 (PIX11) 中的形成部位为区域 A1 ~ A5,与金属源极・漏极层 (SD) 的接触孔是接触孔 CH11-1、接触孔 CH11-3、接触孔 CH12、接触孔 CH13-1、接触孔 CH13-2。

[0072] 图 1 中的等效电路的各构成要素 (TFT 及电容) 在第 2 像素 (PIX12) 中的形成部位为 B1 ~ B5,与金属源极・漏极层 (SD 层) 的接触孔为接触孔 CH21-1、接触孔 CH21-3、接触孔 CH22、接触孔 CH23-1、接触孔 CH23-2。

[0073] 图 1 中的等效电路的各构成要素 (TFT 及电容) 在第 3 像素 (PIX13) 中的形成部位为 C1 ~ C5,与金属源极・漏极层 (SD 层) 的接触孔为接触孔 CH31-1、接触孔 CH31-3、接触孔 CH32、接触孔 CH33-1、接触孔 CH33-2。

[0074] 图 1 中的等效电路的各构成要素 (TFT 及电容) 在第 4 像素 (PIX14) 中的形成部位为 D1 ~ D5,与金属源极・漏极层 (SD 层) 的接触孔为接触孔 CH41-1、接触孔 CH41-3、接触孔 CH42、接触孔 CH43-1、接触孔 CH43-2。

[0075] A1、B1、C1、D1 是第 1 保持电容 (DCAP11)、第 2 保持电容 (DCAP21)、第 3 保持电容 (DCAP31)、第 4 保持电容 (DCAP41) 的形成部位。

[0076] A2、B2、C2、D2 是第 1 驱动 TFT (TFT111)、第 2 驱动 TFT (TFT211)、第 3 驱动 TFT (TFT311)、第 4 驱动 TFT (TFT411) 的形成部位。

[0077] A3、B3、C3、D3 是第 1 复位 TFT (TFT112)、第 2 复位 TFT (TFT212)、第 3 复位 TFT (TFT312)、第 4 复位 TFT (TFT412) 的形成部位。

[0078] A4、B4、C4、D4 是第 1 发光控制 TFT (TFT113)、第 2 发光控制 TFT (TFT213)、第 3 发光控制 TFT (TFT313)、第 4 发光控制 TFT (TFT413) 的形成部位。

[0079] A5、B5、C5、D5 是第 1 检测控制 TFT (TFT114)、第 2 检测控制 TFT (TFT214)、第 3 检

测控制 TFT(TFT314)、第 4 检测控制 TFT(TFT414) 的形成部位。

[0080] 然后,作为栅极氧化膜(GI 层),形成通常称为 TEOS 膜的厚 50 ~ 200nm 的氧化硅膜。采用等离子体 CVD 在基板(SUB)的整个表面成膜。

[0081] 接触孔 CH11-1、接触孔 CH11-2、接触孔 CH11-3、接触孔 CH12、接触孔 CH13-1、接触孔 CH13-2 是在形成下述第 1 层间绝缘膜(ILI1)后,在形成第 1 层间绝缘膜(ILI1)的接触孔的同时形成的。在上述区域上,没有设置金属栅极层(SG 层),所以金属栅极层(SG 层)不会构成蚀刻阻挡层,可一并蚀刻。形成可以采用湿式蚀刻,也可以采用干式蚀刻。金属栅极层(SG 层)和半导体层(FG 层)并不直接连接,而是间隔金属源极·漏极层(SD 层)进行连接。这是为了减少光掩模。

[0082] 接下来,作为金属栅极层(SG 层),在栅极氧化膜(GI 层)上和半导体层(FG 层)的重叠区域(沟道区域)上,形成厚 50 ~ 200nm 的钼、钨、铬、钛、钽等高熔点金属或其合金。溅射成膜后,通过湿式蚀刻进行图案加工。

[0083] 到此为止的第 1 像素(PIX11) ~ 第 4 像素(PIX14) 中的像素电路的平面布局(FG+SG)如图 6 所示。是在图 5 的半导体层(FG 层)的平面布局上加上金属栅极层(SG 层)的平面布局得到的图。

[0084] 第 1 像素组(PIXS1)中,在行方向(像素的短边方向)上延伸的金属栅极层(SG 层)的布线·电极有 10 个。图中从上开始为第 1 连接电源线(MESH12)、第 1 检测控制线(MST12)、第 1 发光控制线(ILM12)、第 1 复位控制线(RES12)、第 1 保持电容电极(CDEN1)及第 2 保持电容电极(CDEN2)、第 3 保持电容电极(CDEN3)及第 4 保持电容电极(CDEN4)、第 2 复位控制线(RES34)、第 2 发光控制线(ILM34)、第 2 检测控制线(MST34)、第 2 连接电源线(MESH34)的顺序。第 1 保持电容电极(CDEN1)、第 3 保持电容电极(CDEN3)成为第 1 保持电容(DCAP11)、第 3 保持电容(DCAP13)的上部电极及第 1 驱动 TFT(TFT111)及第 3 驱动 TFT(TFT311)的金属栅极。上述配置的其他表示方式为从第 1 像素(PIX11)和第 3 像素(PIX13)的边界分别向对向的边界(图中上下纵向)按 CDEN、RES、ILM、MST、MESH 的顺序排列。

[0085] 用第 1 像素(PIX11)进一步说明详细的平面布局。

[0086] 将第 1 保持电容电极(CDEN1)配置在区域 A1,作为第 1 保持电容(DCAP11)的上部电极。通过在突出部配置接触孔 CH11-4,与第 1 复位 TFT(TFT112)连接。另外,将其他突出部作为第 1 驱动 TFT(TFT111)的栅电极。使第 1 保持电容电极(CDEN1)和第 3 保持电容电极(CDEN3)的边界成为第 1 像素(PIX11)和第 3 像素(PIX13)的边界。即,在长轴方向相邻的像素的边界上,作为连接在长轴方向上相邻的 2 像素的电容下部电极的部件而形成,形成为间隔栅极绝缘膜 GI、在其上长轴方向上相邻的 2 像素的电容上部电极被长轴方向上邻的像素的边界线分离的状态。

[0087] 使第 1 复位控制线(RES12)在第 1 像素(PIX11)中按 0 度 -45 度 -90 度 -135 度 -180 度的顺序在图中向上(像素的长轴方向)弯曲。使第 1 复位控制线(RES12)在弯曲前后间隔栅极氧化膜(GI 层)通过半导体层(FG 层)的区域 A3 上方 2 次,作为第 1 复位 TFT(TFT112)的双栅极。这是为了确保在上述第 1 复位控制线(RES12)的弯曲部配置接触孔 CH11-2、CH12 的空间。另外,第 1 复位控制线(RES12)在弯曲后间隔栅极氧化膜(GI 层)再通过半导体层(FG 层)上方 1 次。其下的半导体层(FG 层)通过布线在交叉部产生第 2

负载电容 (ACAP112)。另外,在上述第 1 复位控制线 (RES12) 的弯曲部的中间点 (第 2 复位控制线 (RES34) 的弯曲部的中间点),间隔 ILI1 与第 1 电源线 (POWER1) 交叉。减小被上述第 1 复位控制线 (RES12) 包围的区域的第 1 电源线 (POWER1) 的宽度。这是为了确保在第 1 复位控制线 (RES12) 的弯曲部配置接触孔 CH12 的区域。

[0088] 使第 1 发光控制线 (ILM12) 在第 1 像素 (PIX11) 中按 0 度-45 度-135 度-180 度的顺序在图中向上弯曲。使第 1 发光控制线 (ILM12) 在第 1 像素 (PIX11) 的图中向上弯曲部间隔栅极氧化膜 (GI 层) 通过半导体层 (FG 层) 的宽幅部上方 1 次。在上述交叉部构成第 1 发光控制 TFT (TFT113)。因为能够将接触孔 CH13-2 配置在通过上述弯曲在与第 1 检测控制线 (MST12) 之间形成的区域,所以可以实现有效率的布局。

[0089] 使第 1 检测控制线 (MST12) 在第 1 像素 (PIX11) 中按 0-45 度-90 度-135 度-180 度的顺序向下弯曲。由于可以将接触孔 CH13-2 配置在通过上述弯曲在与第 1 发光控制线 (ILM12) 之间形成的区域,所以能够实现有效率的布局。另外,因为也可以将接触孔 CH13-1 和接触孔 CH14 配置在通过上述弯曲在与第 1 连接电源线 (MESH12) (第 2 连接电源线 (MESH34)) 之间形成的区域,所以进而能够实现像素电路的有效率的平面布局。

[0090] 用接触孔 CHm12 及接触孔 CHm34 连接第 1 连接电源线 (MESH12) 及第 2 连接电源线 (MESH34) 和金属源极·漏极层 (SD 层) 的第 1 电源线 (POWER1) 及第 2 电源线 (POWER2)。

[0091] 然后,用厚 100 ~ 500nm 的氧化硅在金属栅极层 (SG 层) 的上层和 TEOS 膜之上形成第 1 层间绝缘膜 (ILI1)。采用等离子体 CVD 成膜。

[0092] 然后,如上所述,形成连接在像素电极 (AD) 上的接触孔 CH14 以外的接触孔 CH11-1、接触孔 CH11-2、接触孔 CH11-3、接触孔 CH11-4、接触孔 CH12、接触孔 CH13-1、接触孔 CH13-2。上述形成通过湿式蚀刻进行。

[0093] 然后,用高熔点金属 / 低电阻金属 / 高熔点金属的层叠布线形成金属源极·漏极层 (SD 层)。各层的厚度为 10 ~ 100nm、100 ~ 500nm、10 ~ 100nm。高熔点金属是钼、钨、铬、钛、钽等金属或其合金,低电阻金属是以铝为主体的金属、或其合金。溅射成膜后,进行湿式蚀刻或干式蚀刻加工成规定图案而形成。

[0094] 第 1 像素 (PIX11) ~ 第 4 像素 (PIX14) 中的像素电路的平面布局 (FG 层 + SG 层 + SD 层) 如图 7 所示。

[0095] 是在图 6 中加上金属源极·漏极层 (SD 层) 得到的平面布局。

[0096] 作为金属源极·漏极层 (SD 层),形成第 1 电源线 (POWER1)、第 1 图像信号线 (DATA11)、第 2 图像信号线 (DATA12)、集中在接触孔 CH11-3 和接触孔 CH11-4、接触孔 CH12 周围的低电阻化膜、接触孔 CH13-1 和接触孔 CH14 间的布线。

[0097] 将第 1 电源线 (POWER1) 成直线地配置在第 1 像素 (PIX11) 和第 2 像素 (PIX12) 的边界线 (向像素的长轴方向延伸的边界线)、及第 3 像素 (PIX13) 和第 4 像素 (PIX14) 的边界线 (向像素的长轴方向延伸的边界线),使其轴重合。不仅连接在图中纵向的 1 列像素列 (第 1 像素 (PIX11) 和第 3 像素 (PIX13)) 的像素电路上,也连接在纵向的 2 列像素列 (第 1 像素 (PIX11)、第 2 像素 (PIX12)、第 3 像素 (PIX13)、第 4 像素 (PIX14)) 的像素电路上。另外,将第 1 电源线 (POWER1) 在接触孔相邻配置的部分缩窄、在上述部分以外的部分加宽。上述宽度变化也是左右线对称的,所以被接触孔包夹的电源线变细。

[0098] 第 1 图像信号线 (DATA11) 是由纵向的 1 列像素列 (第 1 像素 (PIX11) 和第 3 像

素 (PIX13)) 共有的布线。在相邻的 2 条第 1 电源线 (POWER1) 和第 2 电源线 (POWER2) 之间,配置 2 条第 2 图像信号线 (DATA12) 和第 3 图像信号线 (DATA21)。

[0099] 然后,用厚度 $0.2 \sim 1 \mu\text{m}$ 的氮化硅膜形成第 2 层绝缘膜 (ILI2)。利用等离子体 CVD 进行成膜,采用干式蚀刻加工成规定图案。

[0100] 接下来,作为第 3 层绝缘膜 (ILI3),形成厚度 $0.3 \sim 5 \mu\text{m}$ 的选自聚酰亚胺树脂、丙烯酸树脂、环氧树脂的有机绝缘膜。涂布树脂后,在与光刻工序的抗蚀剂图案化相同的工序中,加工成规定图案。此时,形成连接在像素电极 (AD) 上的接触孔 CH14。第 3 层绝缘膜 (ILI3) 也可以使用由氧化硅或氮化硅构成的无机绝缘膜。

[0101] 然后,用厚度 $10 \sim 100\text{nm}$ 的钼、钨、铬、钛、钽等高熔点金属或其合金形成第 1 反射膜 (REF1)。进而,用厚度 $50 \sim 200\text{nm}$ 的以铝或银为主体的金属、或含有上述金属的合金形成第 2 反射膜 (REF2)。上述第 1 反射膜 (REF1) 和第 2 反射膜 (REF2) 在通过溅射形成各膜后,采用湿式蚀刻一并蚀刻。

[0102] 接下来,作为像素电极 (AD),形成厚度 $10 \sim 200\text{nm}$ 的 ITO。此时,也可以形成在与金属源极·漏极层 (SD 层) 相连接的接触孔 CH14 上。

[0103] 第 1 反射膜 (REF1)、第 2 反射膜 (REF2) 及像素电极 (AD) 的平面图案具有以下关系。

[0104] 第 2 反射膜 (REF2) 的外缘位于第 1 反射膜 REF1 的外缘的内侧。即,第 2 反射膜 (REF2) 被不露出地配置在第 1 反射膜 (REF1) 上。

[0105] 像素电极 AD 的外缘位于第 2 反射膜 (REF2) 的外缘及第 1 反射膜 (REF1) 的外缘的外侧。即,全部外缘露出地配置在第 2 反射膜 (REF2) 及第 1 反射膜 REF 上。

[0106] 然后,在与光刻工序的抗蚀剂图案化相同的工序中,将厚度 $0.3 \mu\text{m} \sim 5 \mu\text{m}$ 的选自聚酰亚胺树脂、丙烯酸树脂、环氧树脂的树脂形成元件分离膜 (BNK)。此时,形成为不仅覆盖第 1 反射膜 (REF1)、第 2 反射膜 (REF2) 及像素电极 (AD) 的间隙,还从外侧覆盖第 1 反射膜 (REF1)、第 2 反射膜 (REF2) 及像素电极 (AD) 的全部外缘,并使像素电极 (AD) 的中央露出。

[0107] 接下来,形成元件分离膜 (BNK) 后,实施氧等离子体处理。这是为了调整像素电极 (AD) 表面的功函数。

[0108] 然后,将有机层 (OEL) 形成在像素电极 (AD) 的被元件分离膜 (BNK) 包围的露出区域和元件分离膜 (BNK) 上面。由在与像素的长轴方向相同的方向相同的颜色排列形成的 3 色条纹图案构成该有机层,从而在元件分离膜 (BNK) 上面配置条纹状的边界。上述有机层 (OEL) 通过蒸镀成膜。

[0109] 有机层 (OEL) 由空穴注入/输送层、发光层、电子输送层、电子注入层构成。

[0110] 空穴注入/输送层例如可以使用四芳基联苯胺化合物 (三苯基二胺:TPD)、芳香族叔胺、脞衍生物、咪唑衍生物、三唑衍生物、咪唑衍生物、具有氨基的噁二唑衍生物、聚噻吩衍生物、铜酞菁衍生物等。

[0111] 作为发光层材料,是在具有电子、空穴输送能力的主体材料中添加通过它们的再结合而发出荧光或磷光的掺杂物而得到的、并可以通过共蒸镀而形成发光层的材料,没有特别限定,例如,作为主体,可以为三 (8-羟基喹啉) 铝、双 (8-羟基喹啉) 镁、双 (苯并 {f} -8-羟基喹啉) 锌、双 (2-甲基-8-羟基喹啉) 铝氧化物、三 (8-羟基喹啉) 铟、三 (5-甲基-8-羟基喹啉) 铝、8-羟基喹啉锂、三 (5-氯-8-羟基喹啉) 镓、双 (5-氯-8-羟基喹啉)

钙、(5,7-二氯-8-羟基喹啉)铝、三(5,7-二溴-8-羟基喹啉)铝、聚[锌(II)-双(8-羟基-5-喹啉基)甲烷]之类配位化合物、蒽衍生物、咔唑衍生物等。

[0112] 另外,作为掺杂物,可以是在主体中捕捉电子和空穴使其复合而发光的物质,例如为发出红色荧光的吡喃衍生物、发出绿色荧光的香豆素衍生物、发出蓝色荧光的蒽衍生物等发出荧光的物质或铱配位化合物、吡啶盐(pyridinate)衍生物等发出磷光的物质。

[0113] 作为电子输送层,只要是显示电子输送性、通过与碱金属共蒸镀容易进行电荷移动形成配位化合物的层即可,没有特别限定,例如可以使用三(8-羟基喹啉)铝、三(4-甲基-8-羟基喹啉)铝、双(2-甲基-8-羟基喹啉)-4-苯基苯酚-铝、双[2-[2-羟基苯基]苯并噁唑]锌等金属配位化合物或2-(4-联苯基)-5-(4-叔丁基苯基)-1,3,4-噁二唑、1,3-双[5-(对叔丁基苯基)-1,3,4-噁二唑-2-基]苯等。

[0114] 电子注入层是将对电子输送层中使用的物质显示电子给予性的材料进行共蒸镀而形成的,例如可以从锂、铯等碱金属,镁、钙等碱土类金属,进而稀土类金属等金属类,或其氧化物、卤化物、碳酸化物等中选择显示电子给予性的物质进行使用。

[0115] 作为共用电极(CD),采用溅射形成全部像素共用的10~200nm的IZO、ZnO、ITZO等透明导电膜。图中未示出,但是也可以在其上设置将铝或锌等布线通过蒸镀等形成在元件分离膜上得到的辅助布线。

[0116] 以上的像素电路的平面布局具有以下特征。

[0117] (1) 左右相邻的第1像素(PIX11)和第2像素(PIX12)、及左右相邻的第3像素(PIX13)和第4像素(PIX14)相对其纵向边界线构成线对称。

[0118] (2) 上下相邻的第1像素(PIX11)和第3像素(PIX13)、及上下相邻的第2像素(PIX12)和第4像素(PIX14)相对其横向边界线构成线对称。

[0119] (3) 第1保持电容(DCAP11)的由半导体层(FG层)构成的下部电极和第3保持电容(DCAP31)的由半导体层(FG层)构成的下部电极成为连接图案。即,第1像素(PIX11)和第3像素(PIX13)共有电容的下部电极。

[0120] (4) 第2保持电容(DCAP21)的由半导体层(FG层)构成的下部电极和第4保持电容(DCAP41)的由半导体层(FG层)构成的下部电极成为连接图案。即,第2像素(PIX12)和第4像素(PIX14)共有电容的下部电极。

[0121] (5) 在第1保持电容(DCAP11)及第3保持电容(DCAP31)的下部电极的连接图案的中央(像素的长轴方向的中央)配置接触孔。

[0122] (6) 在第2保持电容(DCAP21)及第4保持电容(DCAP41)的下部电极的连接图案的中央(像素的长轴方向的中央)配置接触孔。

[0123] 如上述(5)及(6)所述,分离第1保持电容(DCAP11)及第3保持电容(DCAP31)的下部电极,则必须设置2个接触孔,但是由于以连接图案构成第1保持电容(DCAP11)及第3保持电容(DCAP31)的下部电极,所以用1个接触孔即可连接。需要说明的是,上述接触孔也可以分离成2个。

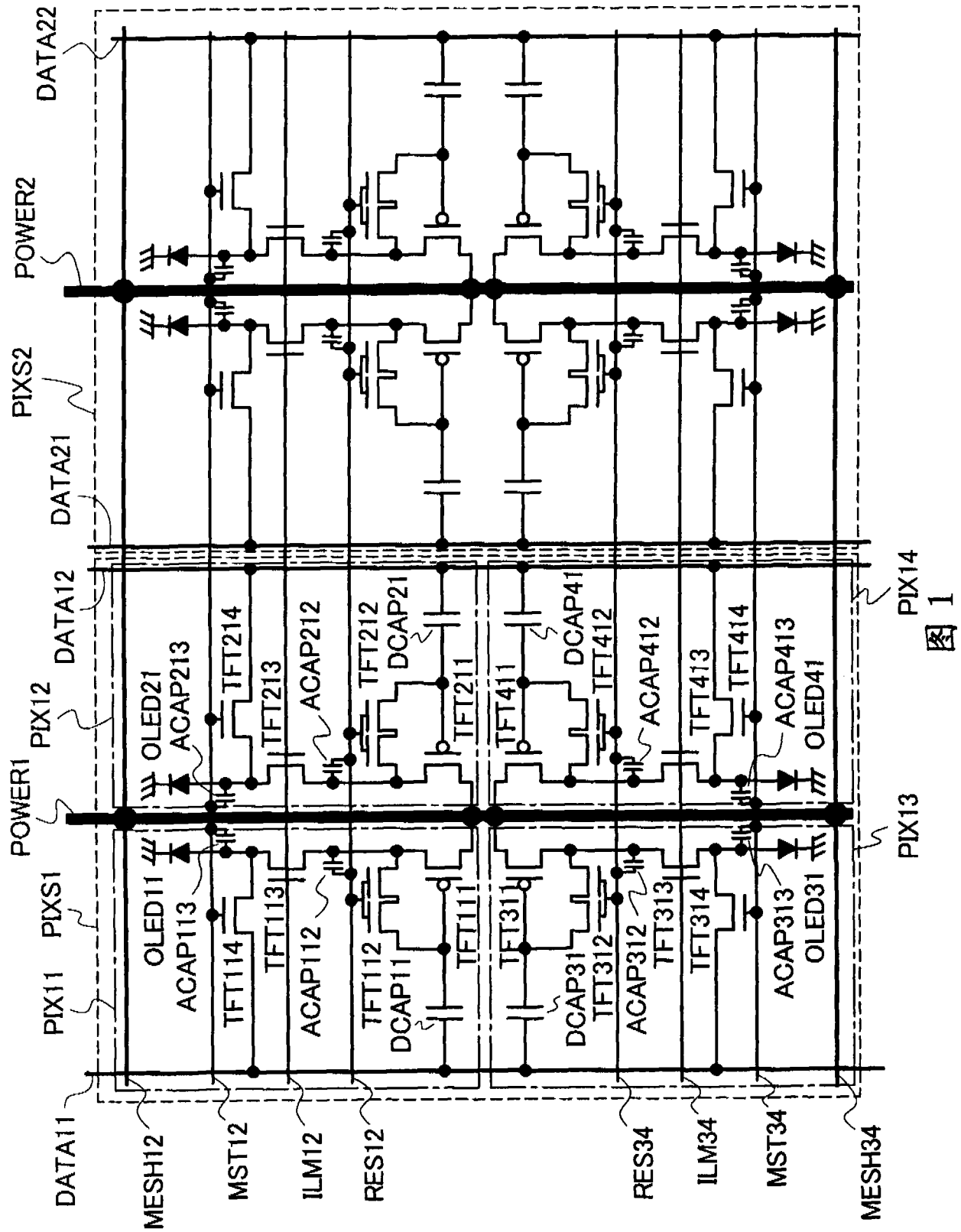


图 1

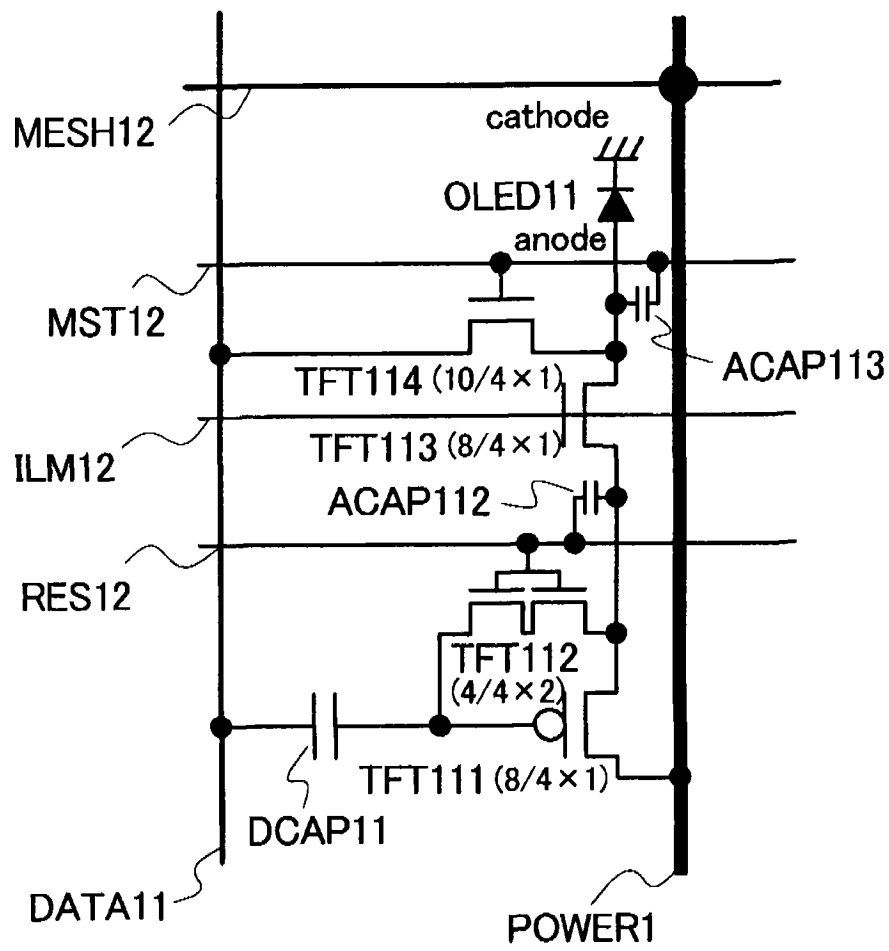


图 2

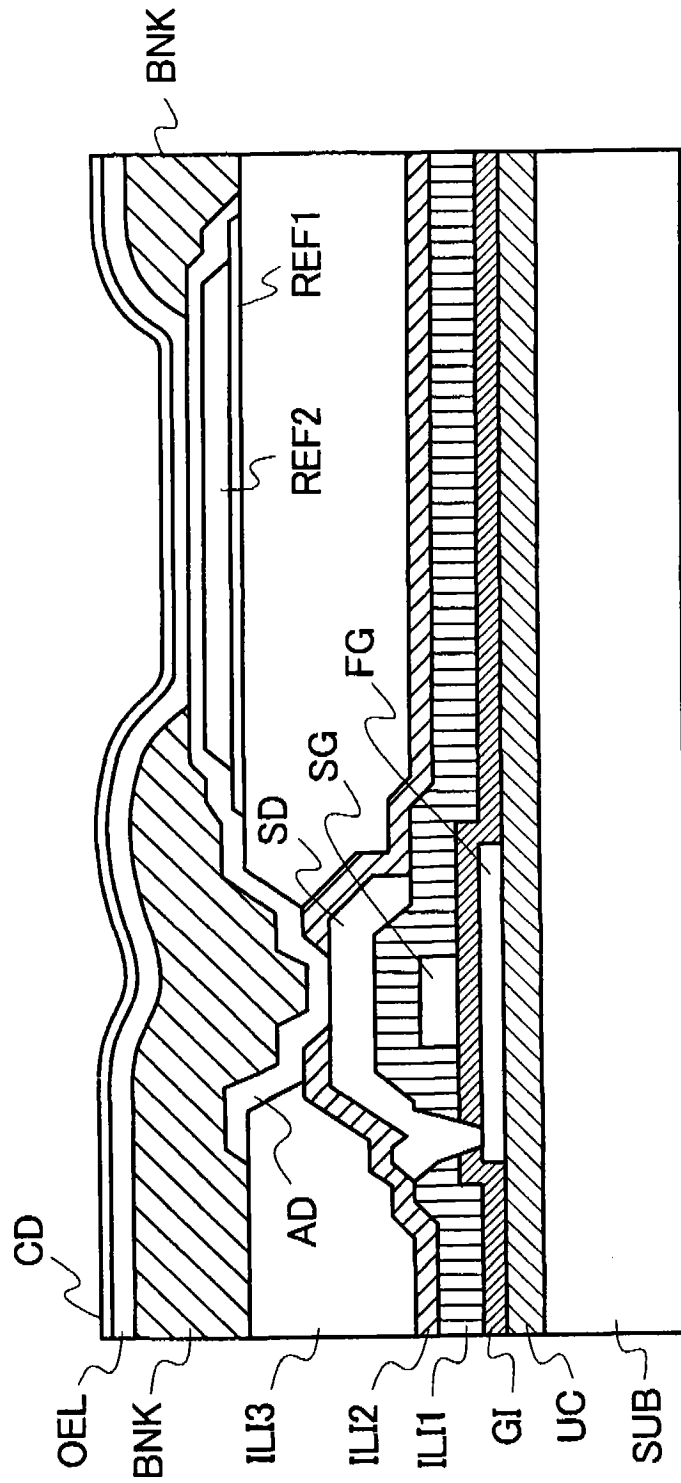


图 3

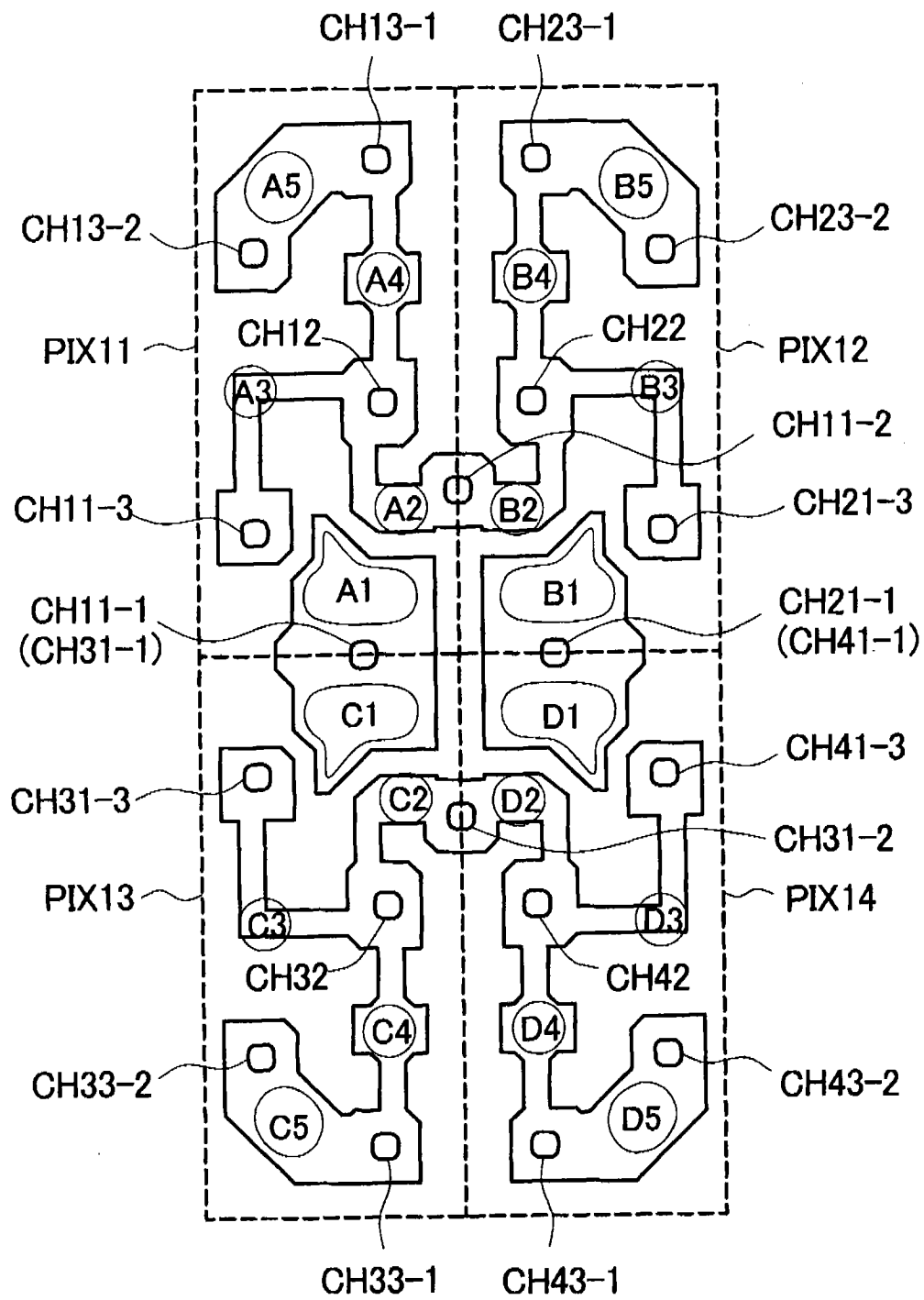


图 4

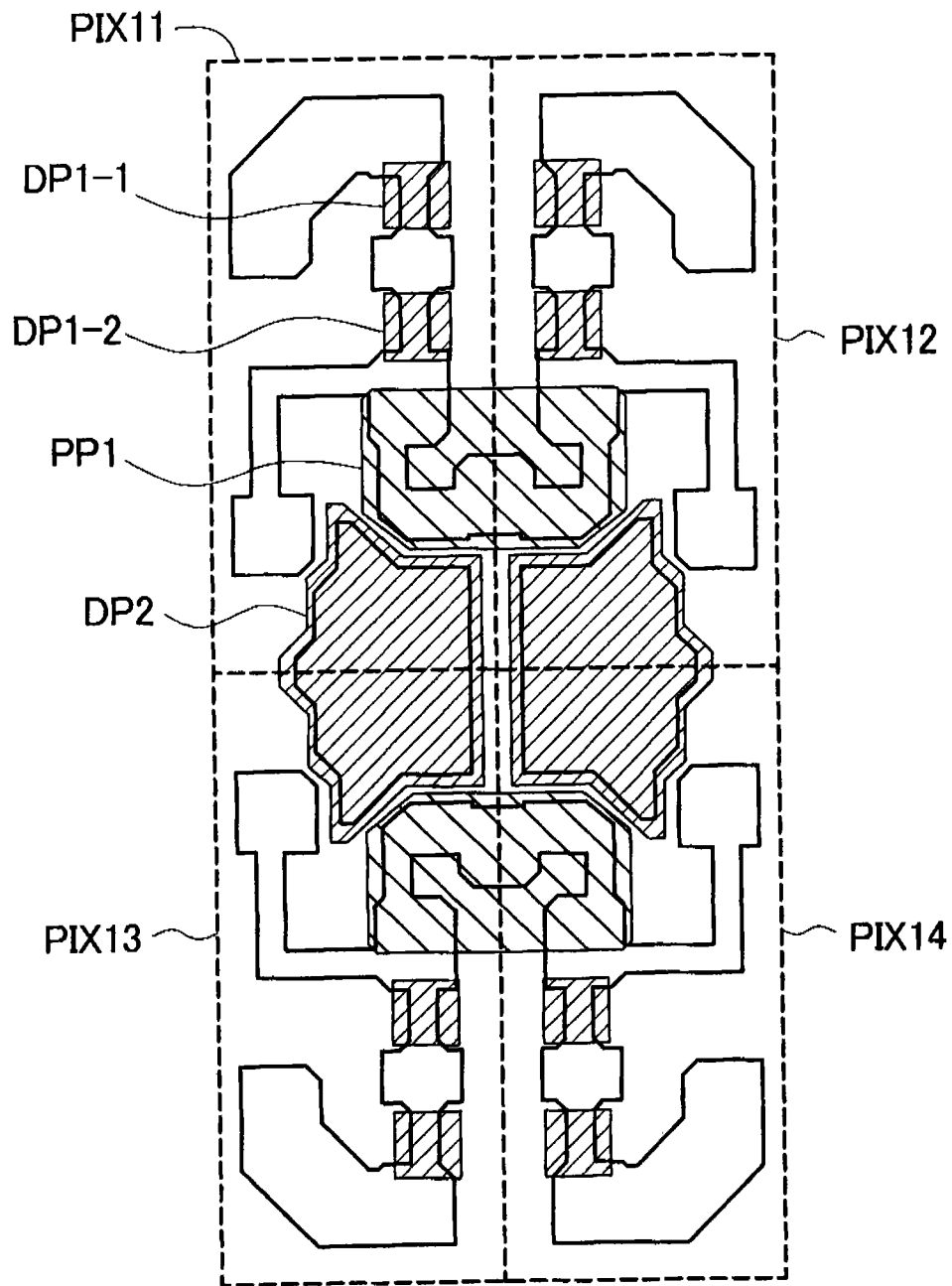


图 5

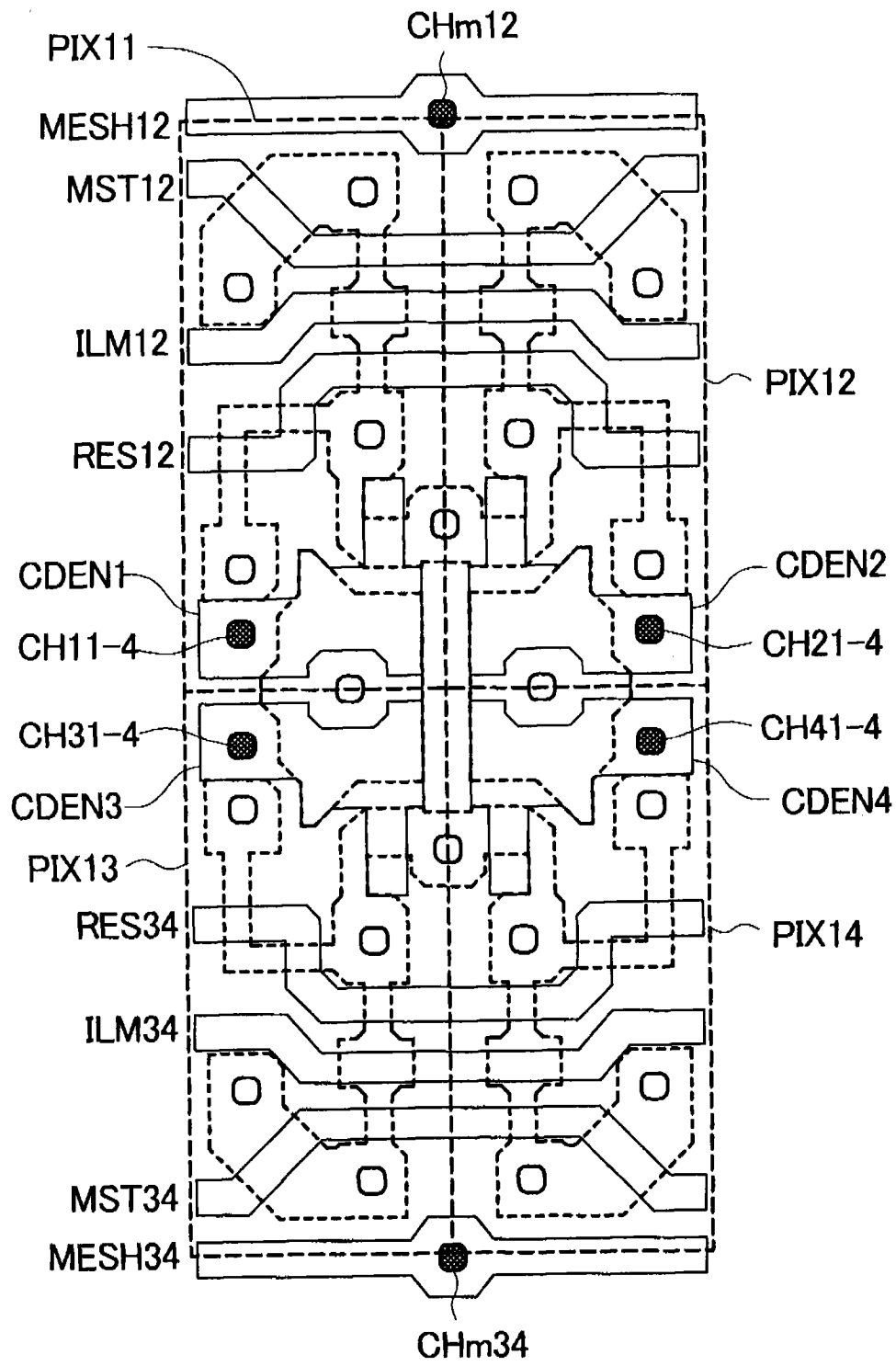


图 6

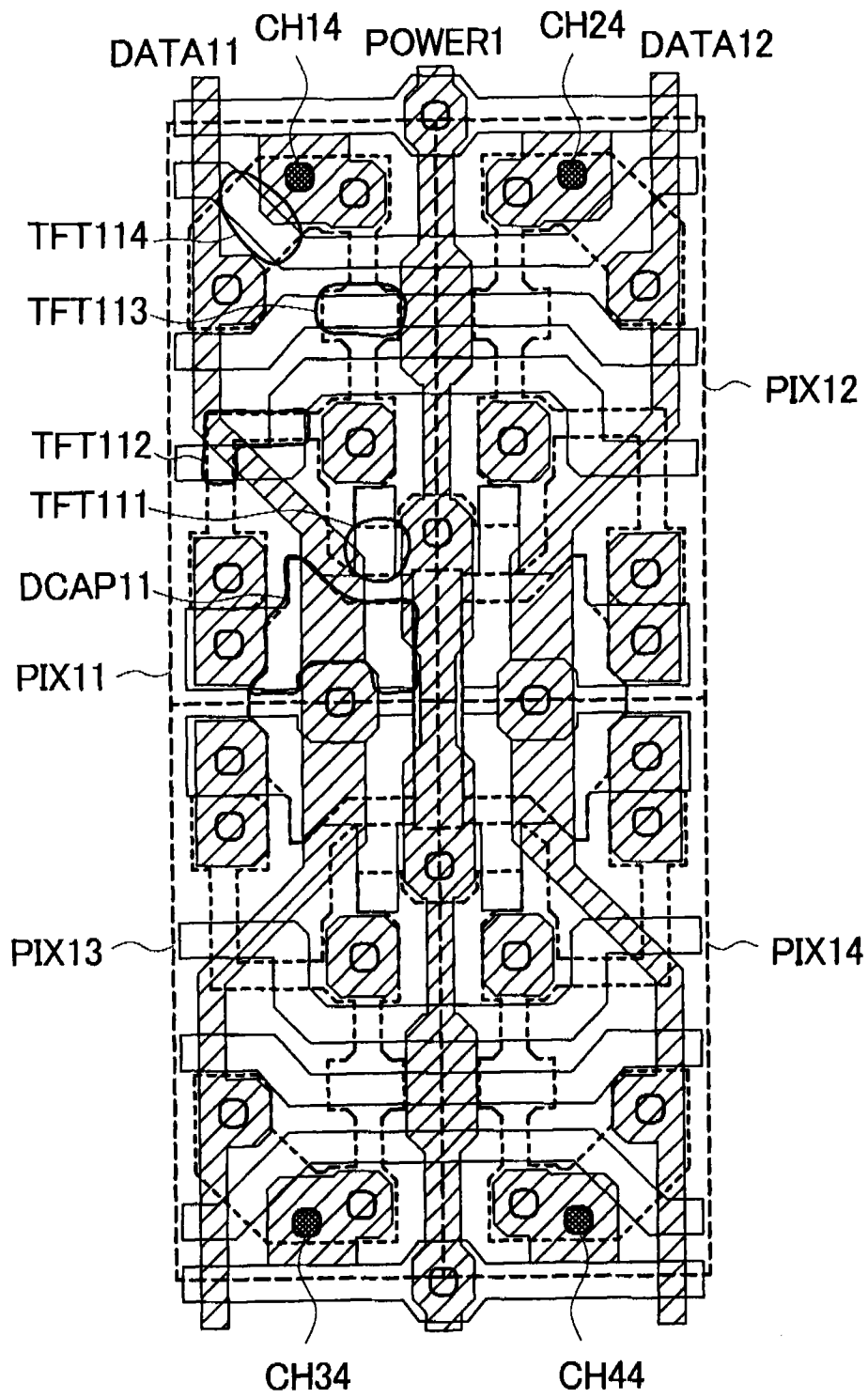


图 7

专利名称(译)	有机EL显示装置		
公开(公告)号	CN101425532B	公开(公告)日	2013-04-24
申请号	CN200810170797.4	申请日	2008-10-29
[标]申请(专利权)人(译)	株式会社日立显示器		
申请(专利权)人(译)	株式会社日立显示器		
当前申请(专利权)人(译)	株式会社日立显示器 松下液晶显示器株式会社		
[标]发明人	德田尚纪 秋元肇		
发明人	德田尚纪 秋元肇		
IPC分类号	H01L27/32 H01L23/522		
CPC分类号	H01L27/3265		
代理人(译)	杨宏军		
审查员(译)	朱永全		
优先权	2007281083 2007-10-30 JP		
其他公开文献	CN101425532A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种有机EL显示装置。目的在于提高像素内的利用效率，实现高精细的有机EL显示装置。一种由有机EL元件构成的像素被配置成矩阵状的有机EL显示装置，上述像素具备控制流入上述有机EL元件的电流的像素电路，上述像素电路具备电容，上述电容配置在于上下方向相邻的像素的边界。进而，构成上述电容的一个电极由上述上下相邻的像素所共有，构成上述电容的另一电极被上述上下相邻的像素分离。

