[19] 中华人民共和国国家知识产权局

[12] 发明专利说明书

专利号 ZL 200610118169.2

[51] Int. Cl.
G09G 3/32 (2006.01)
G09G 3/30 (2006.01)
G09G 3/20 (2006.01)
H05B 33/08 (2006.01)
H05B 33/14 (2006.01)
H05B 37/02 (2006.01)

[45] 授权公告日 2009 年 9 月 2 日

[11] 授权公告号 CN 100535974C

[51] Int. Cl. (续)
H01L 51/50 (2006.01)
H01L 27/32 (2006.01)

[22] 申请日 2006.11.9

[21] 申请号 200610118169.2

[73] 专利权人 上海大学

地址 200444 上海市宝山区上大路 99 号

[72] 发明人 陈章进 徐美华 冉 峰 郑 方 姜玉稀

[74] 专利代理机构 上海上大专利事务所（普通合伙）

代理人 何文欣

[56] 参考文献

JP2003－228351A 2003.8.15

CN1396582A 2003.2.12

CN1794328A 2006.6.28

审查员 姜颖婷

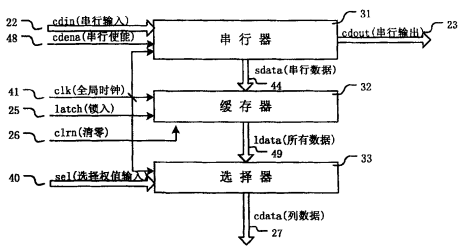
权利要求书 2 页 说明书 11 页 附图 5 页

[54] 发明名称

完全缓存 OLED 显示屏列控制电路

[57] 摘要

本发明涉及一种完全缓存 OLED 显示屏列控制电路。它包括输入数据为串行输入信号和输出数据为串行输出信号的串行器，以及从串行器输入串行数据的缓存器，还包含有从缓存器输入所有数据和输出列数据的选择器，串行器有使能端输入串行使能信号，缓存器输入的锁入信号和清零信号为同步信号，选择器有选择端输入选择权值输入信号，串行器、缓存器和选择器采用统一的全局时钟。本发明电路中，适当增大图像缓存，以提高显示的扫描效率并降低扫描中的亮度损失。



1. 一种完全缓存 OLED 显示屏列控制电路，包括输入数据为串行输入信号（cdin）和输出数据为串行输出信号（cdout）的串行器(31)，以及从串行器(31)输入串行数据（sdata）的缓存器(32)，其特征在于：

(1) 还包含有输出列数据（cdata）的选择器(33)，该选择器(33)的输入是缓存器(32)输出的缓存器数据（1data）；

(2) 所述的串行器(31)具有使能端，该使能端输入串行使能信号（cdena）；

(3) 所述的缓存器(32)输入的锁入信号（1atch）和清零信号（clrn）为同步信号；

(4) 所述的选择器(33)具有选择端，该选择端输入选择信号（sel）；

(5) 所述的串行器(31)、缓存器(32)和选择器(33)采用统一的全局时钟（clk）；

数据传送依赖于串行使能信号（cdena），只要串行使能信号（cdena）有效，开始下一行的传送，传送完成时若清零信号（clrn）有效已出现则无效清零信号（clrn）并有效锁入信号（latch）信号，否则无效串行使能信号（cdena）并等待清零信号（clrn）有效后的下一个时钟再有效锁入信号（latch）和串行使能信号（cdena），并无效清零信号（clrn）；而显示依赖于锁入信号（latch），只要锁入信号（latch）有效则清零信号（clrn）同时为高，开始通过选择信号（sel）顺序选出权值数据，并对显示时间按权值进行计数，所有权值数据显示完成后，清零信号（clrn）有效，消隐图像，再下一个时钟若清零信号（clrn）无效，串行使能信号（cdena）无效，则有效锁入信号（latch），若串行使能信号（cdena）有效，则等待串行使能信号（cdena）无效后的下一个时钟再有效；锁入信号（latch）和清零信号（clrn）不能同时有效，在等待期间应保持清零信号（clrn）为低电平。

2. 根据权利要求 1 所述的完全缓存 OLED 显示屏列控制电路，其特征在于所述的串行器(31)是一个由多组多位带使能的寄存器组成的串行器，寄存器位数为接受的灰度数据的位宽，所有寄存器共用相同的时钟端，即全局时钟（clk）和共用相同的使能端，串行使能信号（cdena），第一组的寄存器，其输入数据为串行输入信号（cdin），第一组的寄存器的输出数据连至第二组的寄存器的输入，第二组的寄存器输出连至第三组的寄存器的输入，以此类推，最后一组寄存器的数据输出至串行输出信（号 cdout），各组寄存器的输出构成串行数据（sdata），在全局时钟（clk）上升沿且串行使能（cdena）高电平有效时，串行器(31)中的各组寄存器将输入数据锁入至输出数据。

3. 根据权利要求 1 所述的完全缓存 OLED 显示屏列控制电路，其特征在于所述的缓存器(32)是多个多位带使能和清零的寄存器，所有寄存器共用相同的时钟端，即全局时钟（clk），并共用相同的使能端输入锁入信号（latch）和清零端输入清零

信号（clrn），在全局时钟（clk）上升沿时，如果清零信号（clrn）低电平有效，则缓存器数据（ldata）输出全部低电平，以关闭显示屏的显示，否则如果清零信号（clrn）无效且锁入信号（latch）高电平有效，则将串行数据（sdata）锁入至缓存器数据（ldata），以输入到选择器选出特定权值的列数据输出显示。

4. 根据权利要求 1 所述的完全缓存 OLED 显示屏列控制电路，其特征在于所述的选择器(33)是多个多位 N 选一选择器，灰度数据的位宽为 N，所有 N 选一选择器共用相同的选择端输入选择信号（sel），当一个选择信号（sel）输入选择器(33)时，选择器(33)将缓存器数据（ldata）中所有相应的权值全部输出至列数据（cdata），以驱动显示屏的显示。

5. 根据权利要求 1 所述的完全缓存 OLED 显示屏列控制电路，其特征在于所述的串行输入信号（cdin）和串行输出信号（cdout）有相同位宽；串行数据（sdata）和缓存器数据（ldata）也具有相同位宽。

完全缓存 OLED 显示屏列控制电路

技术领域

本发明涉及一种 OLED（有机电致发光器件）显示屏列控制电路，特别是一种完全缓存 OLED 显示屏列控制电路。其中适当增大图像缓存，以提高显示的扫描效率并降低扫描中的亮度损失，而且可以直接接受灰度数据。

背景技术

随着 VLSI（大规模集成电路）和新型显示器件的飞速发展，人们对 OLED（有机电致发光器件）在显示领域应用的日益重视，与之配套的 OLED 显示器件驱动芯片也就相应出现。对于功能丰富，性能优越，应用方便的显示驱动芯片的要求日益强烈。

传统 OLED 平板显示器的显示数据从控制器传送到显示面板通常采用的方法是串行传输方式，如图 1 所示。

传统列控制电路包括串行器（11）和缓存器（12）两个部分，其中串行器（11）是一个多组多位寄存器，多个寄存器共用相同的时钟端（串行时钟 cp，21），第一组寄存器的输入数据为串行输入信号 cdin（22），第一组的输出数据连至第二组的输入，第二组的输出连至第三组的输入，以此类推，最后一组的数据输出至串行输出信号 cdout（23），各组寄存器的输出按第一组为高位，最后一组为低位方式构成串行数据 sdata（24），在串行时钟 cp（21）上升沿时，串行器（11）中的各寄存器将输入数据锁入至输出数据；缓存器（12）是一个多位带清零控制端的锁存器，多个锁存器共用相同的锁存端，锁入信号 latch（25）和清零端（清零信号 clrn，26），当清零信号 clrn（26）低电平有效时，列数据 cdata（27）输出全部为低电平，以关闭显示屏的显示，当清零信号 clrn（26）无效且锁入信号 latch（25）高电平有效时，将串行数据 sdata（24）锁存至列数据 cdata（27），以驱动显示屏的显示。传统电路中信号 cdin（22）和 cdout（23）有相同位宽；数据 sdata（24）和 cdata（27）也具有相同位宽。

使用串行方法扫描生成高灰度图像，一般采用按权值（按位）扫描方式，如图 2 所示，图 2 表示一个 32 级灰度的扫描波形片断，图中“1.8”表示第一行权值 8 对应的数据，“2.1”表示第二行权值 1 对应的数据等，权值按“1-2-4-8-16”的顺序进行扫描。

在时间点 A，首先由 cp（21）与 cdin（22）将第一行第一个权值的数据“1.1”

传送到面板上，传送一个权值所有的数据所需的时间称为一个传送时间，在一个传送时间后，“1.1”传送结束；

在时间点 B，“1.1”传送结束，有效 latch（25）信号以产生一个时钟宽度的高电平脉冲，以将数据锁入到缓存器中，在 latch（25）高电平期间，为保证锁入的正确性，应保持 cp（21）为高电平，同时清零信号 clrn（26）无效（高电平）以进行“1.1”数据的显示，由于权值只有 1，显示所占用的时间最短，权值 1 对应的显示时间称为一个显示时间，为了达到高灰度要求，一个显示时间比一个传送时间要小得多；

在时间点 C，开始下一个权值数据“1.2”的传送，这时“1.1”的显示结束，有效清零信号 clrn（26）以关闭显示；

在时间点 D，“1.2”传送结束，产生一个 latch（25）高电平脉冲，同时无效 clrn（26）以显示“1.2”数据；

在时间点 E，开始“1.4”数据的传送；

在时间点 F，“1.2”的显示结束，有效 clrn（26）以关闭“1.2”的显示；

在时间点 G，“1.4”传送结束，产生一个 latch（25）高电平脉冲，同时无效 clrn（26）以显示“1.4”数据；

在时间点 H，开始“1.8”数据的传送；

在时间点 I，“1.4”的显示结束，有效 clrn（26）以关闭“1.4”的显示；

在时间点 J，“1.8”传送结束，产生一个 latch（25）高电平脉冲，同时无效 clrn（26）以显示“1.8”数据；

在时间点 K，开始“1.16”数据的传送；

在时间点 L，“1.16”传送结束，而这时“1.8”的显示仍未结束，应保持 cp（21）为高电平；

在时间点 M，“1.8”显示结束，产生一个 latch（25）高电平脉冲以显示“1.16”；

在时间点 N，开始下一行权值“2.1”的传送；

在时间点 O，“2.1”传送结束，但“1.16”仍在显示，保持 cp（21）为高电平；

在时间点 P，“1.16”显示结束，产生一个 latch（25）高电平脉冲以开始下一行的显示。

至此第一行的扫描就算完成，从权值 1 显示开始到权值 16 显示结束（时间点 C 到 P）为一个行周期，不断重复该周期以进行下一行的扫描，最终完成整个 32 级灰度图像的扫描。

记显示时间为 Ts，权值 n 对应的显示时间为 Ts(n)，有 Ts(n) = n×Ts(1)，有效显示的总时间 ΣTs = (2^N-1)×Ts(1) ，其中 N 为权值个数；

记传送时间为 Tt，权值 n 对应的传送时间为 Tt(n)，有 Tt(n)=Tt(1)，有效传送的总时间 ΣTt = N×Tt(1)；

记单个权值实际时间为 Tw，权值 n 对应的实际时间为 Tw(n)，它是相应显示时间和传送时间的最大值，有 Tw(n) = max(Ts(n), Tt(n))；

记行周期时间为 Tc，它是所有权值的实际时间累加和，有 Tc = ΣTw；

记 Fsc 为一个行周期内的空闲显示时间，有 Fsc = Tc - ΣTs；记 Rsc 为显示时间空闲率，有 Rsc = Fsc/Tc×100%；

记 Ftc 为一个行周期内的有效传送时间，有 Ftc = ΣTt = N×Tt(1)；记 Rtc 为传送时间利用率，有 Rtc = Ftc / Tc ×100%。

显然，Tc 越小越好，Tc 越小则扫描一行所需时间减少，可以提高帧频、提高灰度等级或增加图像尺寸；Fsc 与 Rsc 越小越好，越大则用于实际显示的时间总量减少，显示屏亮度损失增多，屏体偏暗；Ftc 与 Rtc 越大越好，越小则用于实际传送的时间比率减少，由于传送总量不变，需要更多的时间完成传送。Rsc 用于衡量亮度损失，Rtc 用于衡量扫描传送性能。

在 cp（21）时钟频率和显示图像尺寸不变的情况下，Tt 不变，记 R 为一个显示时间与一个传送时间的比值，即 R=Ts(1) / Tt(1)。如果 R 越小，则越多 Ts 小于 Tt，越多 Tw 取值为 Tt，则 Tc 越小，但 Fsc 越大，因此可以提高灰度和帧频，但损失显示屏总体亮度；如果 R 越大，则相反地，显示屏亮度损失减少，但灰度和帧频提不高。这是传统实现方式的一对矛盾。

在图 2 所示的 32 级灰度扫描方法中，以 Ts(1)为基本时间单位，则 Ts(1)=1，实际传送为 4 次，加上等待 latch（25）需一个时钟，故 Tt(1)=5，R=1/5，Ts(n)=n，Tt(n)=5，Tw(n)=若 n 小于 5 为 5 否则为 n，Tc=5+5+5+8+16=39，Fsc=39-31=8，Ftc=4*5=20，Rsc=22.51%，Rtc=51.28%。

因此，采用图 1 和图 2 所示的控制电路方法，亮度损失超过五分之一，传送利用率基本只有五成。

发明内容

本发明的目的在于提供一种完全缓存 OLED 显示屏列控制电路，能有效降低甚至消除扫描过程中造成的亮度损失，提高显示帧频，并可直接接收灰度图像数据，明

显简化扫描控制复杂度，有效降低扫描控制电路的数据传输的时钟频率。

为达到上述目的，本发明的构思是：

参见图1，传统列控制电路包括串行器（11）和缓存器（12）两个部分，其中串行器(11)是一个由多组多位寄存器组成的串行器，多个寄存器共用相同的时钟端(串行时钟 cp，21)，第一组寄存器的输入数据为串行输入信号 cdin（22），第一组的输出数据连至第二组的输入，第二组的输出连至第三组的输入，以此类推，最后一组的数据输出至串行输出信号 cdout（23），各组寄存器的输出按第一组为高位，最后一组为低位方式构成串行数据 sdata（24），在串行时钟 cp（21）上升沿时，串行器（11）中的各寄存器将输入数据锁入至输出数据；缓存器（12）是一个多位带清零控制端的锁存器，多个锁存器共用相同的锁存端（锁入信号 latch，25）和清零端（清零信号 clrn，26），当清零信号 clrn（26）低电平有效时，列数据 cdata（27）输出全部为低电平，以关闭显示屏的显示，当清零信号 clrn（26）无效且锁入信号 latch（25）高电平有效时，将串行数据 sdata（24）锁存至列数据 cdata（27），以驱动显示屏的显示。传统电路中信号 cdin（22）和 cdout（23）有相同位宽；数据 sdata（24）和 cdata（27）也具有相同位宽。本发明所采用的电路包括串行器（31）、缓存器（32）和选择器（33）三个部分，其中串行器（31）是一个多组多位带使能的寄存器，寄存器位数为接受的灰度数据的位宽，多个寄存器共用相同的时钟端（全局时钟 clk，41）和使能端（串行使能 cdena，48），第一组寄存器的输入数据为串行输入信号 cdin（22），第一组的输出数据连至第二组的输入，第二组的输出连至第三组的输入，以此类推，最后一组的数据输出至串行输出信号 cdout（23），各组寄存器的输出构成串行灰度数据 sdata（44），在全局时钟 clk（41）上升沿且串行使能 cdena（48）高电平有效时，串行器（31）中的各寄存器将输入数据锁入至输出数据；缓存器（32）是一个多位带使能和清零的寄存器，多个寄存器共用相同的时钟端（全局时钟 clk，41）、使能端（锁入信号 latch，25）和清零端（清零信号 clrn，26），在全局时钟 clk（41）上升沿时，如果清零信号 clrn（26）低电平有效，则锁存器数据 ldata（49）输出全部为低电平，以关闭显示屏的显示，否则如果清零信号 clrn（26）无效且锁入信号 latch（25）高电平有效，则将数据 sdata（44）锁入至锁存器数据 ldata（49），以输入到选择器选出特定权值的列数据输出显示；选择器(33)是一个多位N选一选择器，灰度数据的位宽为N，多个N选一选择器共用相同的选择端（选择信号 sel，40），当一个选择信号 sel（40）输入选择器（33）时，选择器（33）将灰度数据 ldata（49）中所有相应得权值全部

输出至列数据 cdata（27），以驱动显示屏的显示；本发明电路中信号 cdin（22）和 cdout（23）有相同位宽；数据 sdata（44）和 ldata（45）也具有相同位宽。本发明电路与传统电路相比，串行器（31）增加使能控制端，缓存器（32）改为时钟同步方式，并增大了存储容量，增加了选择器（33）电路，将串行时钟信号 cp（21）改为全局时钟信号 clk（41），锁入信号 latch（25）改为同步工作方式，增加控制信号 cdena（48）和 sel（40）。

根据上述的发明构思，本发明采用下述技术方案：

一种完全缓存 OLED 显示屏列控制电路，包括输入数据为串行输入信号 cdin(22)和输出数据为串行输出信号 cdout(23)的串行器(31)，以及从串行器(31)输入串行数据 sdata(44)的缓存器(32)，其特征在于：

(1) 还包含有输出列数据 cdata(27)的选择器(33)，该选择器(33)是缓存器(32)输出的所有数据 ldata(49)；

(2) 所述的串行器(31)有使能端输入串行使能信号 cdena(48)；

(3) 所述的缓存器(32)输入的锁入信号 latch(25)和清零信号 clrn(26)为同步信号；

(4) 所述的选择器(33)有选择端输入选择权值输入信号 sel(40)；

(5) 所述的串行器(31)、缓存器(32)和选择器(33)采用统一的全局时钟 clk(41)。

上述的串行器(31)是一个多组多位带使能的寄存器，寄存器位数为接受的灰度数据的位宽，多个寄存器共用相同的时钟端，即全局时钟 clk(41)和共用相同的使能端，串行使能 cdena(48)，第一组寄存器的输入数据为串行输入信号 cdin(22)，第一组的输出数据连至第二组的输入，第二组的输出连至第三组的输入，以此类推，最后一组的数据输出至串行输出信号 cdout(23)，各组寄存器的输出构成串行数据 sdata(44)，在全局时钟 clk(41)上升沿并且串行使能 cdena(48)高电平有效时，串行器(31)中的各寄存器将输入数据锁入至输出数据。

上述的缓存器(32)是一个多位带使能和清零的寄存器，多个寄存器共用相同的时钟端，即全局时钟 clk(41)，并共同相同的使能端输入锁入信号 latch(25)和清零端输入清零信号 clrn(26)，在全局时钟 clk(41)上升沿时，如果清零信号 clrn(26)低电平有效，则锁存器数据 ldata(49)输出全部低电平，以关闭显示屏的显示，否则如果清零信号 clrn(26)无效且锁入信号 latch(25)高电平有效，则将数据 sdata(44)锁入至锁存器数据 ldata(49)，以输入到选择器选出特定权值的列数据输出显示。

上述的选择器(33)是一个多位 N 选一选择器，灰度数据的位宽为 N，多个 N 选一

选择器共用相同的选择端输入选择信号 sel(40)，当一个选择信号 sel(40)输入选择器(33)时，选择器(33)将所有数据 ldata(49)中所有相应得权值的全部数据输出至列数据 cdata(27)，以驱动显示屏的显示。

上述的串行输入信号 cdin(22)和串行输出信号 cdout(23)有相同位宽；串行数据 sdata(44)和所有数据 ldata(49)也具有相同位宽。

本发明与现有技术相比较，具有如下显而易见的突出实质性特点和显著优点：在显示屏列数据传统串行传输电路的基础上，采用完全缓存结构，即通过增大锁存器和增加选择器，并使用同步方式，可以有效地降低，甚至消除扫描过程中造成的亮度损失，提高显示帧频，并可以直接接收灰度图像数据，明显简化扫描控制复杂度，有效降低了扫描控制电路的数据传输的时钟频率。在 256 级灰度下，与传统结构在 R=1/33 的条件下相比，采用本发明，亮度损失仅为 0.39%，传送利用率高达 100%，比传统结构亮度损失减少 98.87%，基本消除亮度损失，并且传送利用率达到极限。完全缓存结构仅增加了一个选择器控制信号，电路简单，适合 OLED 芯片设计。

附图说明

图 1 是传统 OLED 列控制电路图。

图 2 是传统列控制电路的 32 级灰度扫描波形图。

图 3 是本发明采用的列控制电路图。

图 4 是采用本发明的 32 级灰度扫描波形图。

图 5 是采用本发明的 32 列 256 级灰度的串行器详细电路图。

图 6 是采用本发明的 32 列 256 级灰度的缓存器详细电路图。

图 7 是采用本发明的 32 列 256 级灰度的选择器详细电路图。

图 8 是采用本发明的 256 列 256 级灰度的顶层模块详细电路图。

具体实施方式

本发明的一个优选实施例并结合附图详述如下：

本完全缓存 OLED 显示屏列控制电路是基于图 1 所示的传统 OLED 列控制电路，将图 1 中的 latch（25）与 clrn（26）改为同步信号，cp（21）改为全局时钟信号，更名为 clk（41），增加一个串行使能信号 cdena（48），该信号高电平有效时允许串行锁入 cdin（22），同时选择器（32），并增加一个选择信号 sel（40），如图 3 所示。

参见图 3，串行器（31）是一个多组多位带使能的寄存器，寄存器位数为接受的灰度数据的位宽，多个寄存器共用相同的时钟端（全局时钟 clk，41）和使能端（串

行使能 cdena，48），第一组寄存器的输入数据为串行输入信号 cdin（22），第一组的输出数据连至第二组的输入，第二组的输出连至第三组的输入，以此类推，最后一组的数据输出至串行输出信号 cdout（23），各组寄存器的输出构成串行灰度数据 sdata（44），在全局时钟 clk（41）上升沿且串行使能 cdena（48）高电平有效时，串行器（11）中的各寄存器将输入数据锁入至输出数据；缓存器（32）是一个多位带使能和清零的寄存器，多个寄存器共用相同的时钟端（全局时钟 clk，41）、使能端（锁入信号 latch，25）和清零端（清零信号 clrn，26），在全局时钟 clk（41）上升沿时，如果清零信号 clrn（26）低电平有效，则缓存器数据 ldata（49）输出全部为低电平，以关闭显示屏的显示，否则如果清零信号 clrn（26）无效且锁入信号 latch（25）高电平有效，则将数据 sdata（44）锁入至缓存器数据 ldata（49），以输入到选择器选出特定权值的列数据输出显示；选择器（33）是一个多位 N 选一选择器，灰度数据的位宽为 N，多个 N 选一选择器共用相同的选择端（选择信号 sel，40），当一个选择信号 sel（40）输入选择器（33）时，选择器（33）将灰度数据 ldata（49）中所有相应得权值全部输出至列数据 cdata（27），以驱动显示屏的显示；本发明电路中信号 cdin（22）和 cdout（23）有相同位宽；数据 sdata（44）和 ldata（49）也具有相同位宽。

同样以 32 级灰度为例来说明扫描过程，如图 4 所示，权值按“1-2-4-8-16”的顺序进行扫描。

在时间点 A，在全局时钟 clk（41）作用下，通过串行输入 cdin（22）将第一行的所有图像数据串行到串行器中，第一行的图像数据传送结束，若前一行的显示尚未结束，则必须无效串行使能 cdena（48）信号（低电平）以关闭传送，等待显示结束，否则继续有效串行使能 cdena（48）信号（高电平）继续传送；若显示结束，图像已消隐，则有效 latch（25）信号以产生一个时钟宽度的高电平脉冲，并且无效清零 clrn（26）信号（高电平），以将串行数据 sdata（44）缓存到 ldata（49）中并开始第一行“1”图像的显示，同时有效串行使能 cdena（48）信号（高电平）继续第二行“2”图像数据传送；

在时间点 B，开始第一行“1.1”图像的显示，在扫描控制电路产生的权值选择信号 sel（40）为二进制数 000，并计数相应的时间长度，选择器（33）从灰度图像数据 ldata（49）中选出权值为 1 的数据送至列数据 cdata（27），以驱动 OLED 面板显示；

在时间点 C，开始第一行“1.2”图像的显示，在扫描控制电路产生的权值选择

信号 sel（40）为二进制数 001，并计数相应的时间长度，选择器（33）从灰度图像数据 ldata（49）中选出权值为 2 的数据送至列数据 cdata（27），以驱动 OLED 面板显示；

在时间点 D，开始第一行“1.4”图像的显示，在扫描控制电路产生的权值选择信号 sel（40）为二进制数 010，并计数相应的时间长度，选择器（33）从灰度图像数据 ldata（49）中选出权值为 4 的数据送至列数据 cdata（27），以驱动 OLED 面板显示；

在时间点 E，开始第一行“1.8”图像的显示，在扫描控制电路产生的权值选择信号 sel（40）为二进制数 011，并计数相应的时间长度，选择器（33）从灰度图像数据 ldata（49）中选出权值为 8 的数据送至列数据 cdata（27），以驱动 OLED 面板显示；

在时间点 F，开始第一行“1.16”图像的显示，在扫描控制电路产生的权值选择信号 sel（40）为二进制数 100，并计数相应的时间长度，选择器（33）从灰度图像数据 ldata（49）中选出权值为 16 的数据送至列数据 cdata（27），以驱动 OLED 面板显示；

在时间点 G，第一行“1”图像数据显示即将结束，有效清零 clrn（26）信号（低电平），以将缓存器清零，图像显示将在下一个时钟上升沿时开始消隐；

在时间点 H，第一行图像显示结束；

在时间点 I，第二行图像数据传送结束，若上一行图像显示尚未结束，则必须无效串行使能 cdena（48）以关闭传送，否则有效串行使能 cdena（48）继续传送；若第一行显示结束，有效 latch（25）信号以产生一个时钟宽度的高电平脉冲，并且无效清零 clrn（26）信号（高电平），以将串行数据 sdata（44）缓存到 ldata（49）中并准备开始第二行“2”图像的显示，同时有效串行使能 cdena（48）以继续第三行“3”图像数据传送；

在时间点 J，开始第二行图像的显示，在扫描控制电路产生的权值选择信号 sel（40）的控制下，选择器（33）开始按照“1-2-4-8-16”的权值扫描顺序，以及相应的时间长度，从锁存器（32）存储的图像数据 ldata（49）中选出送至列数据 cdata（27），以驱动 OLED 面板显示。

按“1-2-4-8-16”的权值顺序，从权值 1 的显示开始，到图像消隐和新的数据锁入锁存器（32）结束，这个阶段为一个行周期（从时间点 C 到 L），不断重复这个周期进行下一行的扫描，可以完成整个图像的扫描。

由于完全缓存，使得当传送结束而显示未结束时，可以提前进行下一个权值的传送，减少传送的空闲时间；同时，由于完全缓存把一行图像的灰度数据全部缓存，当一个权值数据显示结束时，可以直接进行下一个权值的数据的显示，所以不必等待传送结束而立即开始下一权值的显示，减少显示的空闲时间。

对缓存器的管理是通过 latch（25）和 clrn（26）这两个信号，对于选择器的管理是通过 sel（40）一个信号，扫描电路设计时应确保 latch（25）信号与 clrn（26）信号不同时有效，sel（40）信号可以按照任意顺序扫描。

数据传送依赖于 cdena（48）信号，只要 cdena（48）有效即可开始下一行的传送，传送完成时若 clrn（26）有效已出现则无效 clrn（26）并有效 latch（25）信号，否则无效 cdena（48）并等待 clrn（26）有效后的下一个时钟再有效 latch（25）和 cdena（48），并无效 clrn（26）；而显示依赖于 latch（25）信号，只要 latch（25）有效则 clrn（26）同时为高，开始通过 sel（40）顺序选出权值数据，并对显示时间按权值进行计数，所有权值数据显示完成后，clrn（26）有效，消隐图像，再下一个时钟若 clrn（26）无效，cdena（48）无效，则有效 latch（25），若 cdena（48）有效，则等待 cdena（48）无效后的下一个时钟再有效；latch（25）和 clrn（26）不能同时有效，在等待期间应保持 clrn（26）为低电平。

由于低权值的显示时间小于传送时间，如果采用“1-2-4-8-16”权值顺序，则权值 1 和权值 2 的显示全部完成而一次传送可能还未完成，因此不得不插入显示等待时间，这会引起亮度损失。

当相邻权值的有效显示时间小于相应的传送时间时，扫描时必须插入无效的时间以等待传送完成，这样就会增加总的扫描时间。

权值序列采用“1-2-4-8-16”顺序。

在图 4 所示扫描方法中，Ts(1)=1，Tc=32，Fsc=32-31=1，Ftc=32，Rsc=1/32=3.13%，Rtc=32/32=100%，与图 2 所示方法相比较，传输利用率达到 100%，帧频提高了 95.01%，亮度损失降低了 86.10%，亮度损失基本消除。

在 256 级高灰度情况下，256 级灰度有 8 个权值，以 Ts(1)为 1 个时间单位，则显示时间总和为 ΣTs=255。权值扫描采用 “1-2-4-8-16-32-64-128”的扫描顺序。

若取 R=1/33，则 Ftc=8×33=264，与 ΣTs=255 相近，这时注重提高传送利用率。

在传统方法中，可计算出 Tc=33+33+33+33+33+33+64+128=390，则亮度损失 Rsc=34.62%，传送利用率 Rtc=67.69%。

使用本发明电路的方法，可计算出 Tc=256（传送时间为 256；显示时间为 255；无效显示时间为 256-255=1），则亮度损失 Rsc=0.39%，可以忽略，传送利用率 Rtc=100%，与传统比较，亮度损失减少 98.87%，亮度损失基本消除，而传送利用率达到 100%。

可以看到，在列控制电路中采用完全缓存结构后，可以极大的降低亮度损失，甚至可以完全消除，与此同时，显示性能也有相当可观的提高。

本发明电路的传输利用率 Rtc 和亮度损失 Rsc 可由以下的公式计算得出：

首先定义 M 表示驱动的显示面板的列数，N 表示图像灰度数据的位数，串行器的串入数据位宽为 W，为了电路简洁，一般选择 M×N 可被 W 整除，这时$(M\times N)/W$个单位时间就是串行器串入一整行图像的灰度数据所需要的传送时间，

当$(M\times N)/W \geq 2^N-1$时，$Rtc=100\%$，$Rsc=\left[M\times N-\left(2^N-1\right)\times W\right]/(M\times N)\times 100\%$；

当$(M\times N)/W < 2^N-1$时，$Rtc=(M\times N)/\left[\left(2^N-1\right)\times W\right]\times 100\%$，$Rsc=0\%$。

从以上公式可以看出，在电路设计时，为了达到最高的传输效率和最低的亮度损失，应尽量设计使$(M\times N)/W$与2^N-1接近。

本发明的一个具体实施例如图 5、图 6 与图 7 所示，这是一个 32 列单色 OLED 串行列控制电路，整个电路是由 3 个模块，共 96 个元件构成，从 U1 至 U96，其中，U1 至 U32 构成串行器（31），详细电路见图 5，U33 至 U64 构成缓存器（32），详细电路见图 6，U65 至 U96 构成选择器（33），详细电路见图 7。

元件 REG8#ENA 为一个 8 位带使能寄存器，CLK 为时钟，ENA 为时钟使能，D[7:0]为输入数据，Q[7:0]为寄存器输出数据，当 CLK 上升沿并且 ENA 有效时，IN 数据锁存到 OUT 端口。

元件 REG8 为一个 8 位同步清零带使能的寄存器，功能与 REG8#ENA 类似，增加一个同步清零信号 CLRN，当 CLK 上升沿时，如果 CLRN 有效（低电平），则 OUT 清零，否则如果 ENA 有效，则将 D[7:0]锁存至 Q[7:0]。

元件 8MUX1 为一个 1 位八选一选择器，当 SEL[2:0]为 0 时，选择 A0 输出至 Y，当 SEL[2:0]为 1 时，选择 A1 输出至 Y，当 SEL[2:0]为 2 时，选择 A2 输出至 Y，当 SEL[2:0]为 3 时，选择 A3 输出至 Y，当 SEL[2:0]为 4 时，选择 A4 输出至 Y，当 SEL[2:0]为 5 时，选择 A5 输出至 Y，当 SEL[2:0]为 6 时，选择 A6 输出至 Y，当 SEL[2:0]为 7 时，选择 A7 输出至 Y。

图 5 中，由 32 个 REG8#ENA 构成一个串行器（31），当 clk（41）上升且 cdena

（48）有效时， cdin[7:0]（22）锁入到 sdata[7:0]，同时 sdata 的低位隔 8 位向高位串行，即 sdata[7:0]锁至 sdata[15:8]，sdata[15:8]锁至 sdata[23:16]，sdata[23:16]锁至 sdata[31:24]，以此类推，而信号 sdata[255:248]输出至 cdout[7:0]（23）以便列控制信号串级联接，信号 sdata[255:0]（24）输出至缓存器（32）。

图 6 中，元件 U33 至 U64 为缓存器（32），当 clk（41）上升沿时，如果 clrn（26）为低电平，则 ldata[31:0]（27）输出低电平，如果 clrn（26）为高电平且 latch（25）有效，则将 sdata[255:0]（45）锁入至 ldata[255:0]（27）。

图 7 中，元件 U65 至 U96 为选择器（33），当 sel[2:0]（40）为 n 时，则按照 $ldata[n+i\times 8]=cdata[i]$ $(i=0, 1, 2, 3, 4, 5 \ldots\ldots 31)$规则，将以每间隔 31 位选择一位 ldata（45）信号至 cdata（27）输出。

本发明的另一个具体实施例如图 8 所示，它由八个相同的子模块 SU1 至 SU8 级联扩展构成，子模块 32Driver 是第一种具体实施中描述的 32 列单色 OLED 串行列控制电路。八个子模块 SU1 至 SU8 的时钟 clk 连接在一起构成整个电路的时钟信号 clk，八个子模块 SU1 至 SU8 的使能端 cdena 连接在一起构成整个电路的串行使能信号 cdena，八个子模块 SU1 至 SU8 的清零端 clrn 连接在一起构成整个电路的清零信号 clrn，八个子模块 SU1 至 SU8 的锁存端 latch 连接在一起构成整个电路的锁存信号 latch，八个子模块 SU1 至 SU8 的权值选择 sel[2:0]连接在一起构成整个电路的权值选择信号 sel[2:0],SU1 的串行器输出数据 cdout[7:0]与 SU2 的串行器输入数据 cdin[7:0]相连，SU2 的串行器输出数据 cdout[7:0]与 SU3 的串行器输入数据 cdin[7:0]相连，SU3 的串行器输出数据 cdout[7:0]与 SU4 的串行器输入数据 cdin[7:0]相连，SU4 的串行器输出数据 cdout[7:0]与 SU5 的串行器输入数据 cdin[7:0]相连，SU5 的串行器输出数据 cdout[7:0]与 SU6 的串行器输入数据 cdin[7:0]相连，SU6 的串行器输出数据 cdout[7:0]与 SU7 的串行器输入数据 cdin[7:0]相连，SU7 的串行器输出数据 cdout[7:0]与 SU8 的串行器输入数据 cdin[7:0]相连，串行时的数据宽度为 8 位，SU1 的串行器输入 cdin[7:0]为整个电路的串行器的串行输入 cdin[7:0]，SU8 的串行器输出 cdout[7:0]为整个电路的串行器的串行输出 cdout[7:0]，八个子模块中所有的 U1 至 U32 构成了整个电路的串行器，八个子模块中所有的 U33 至 U64 构成了整个电路的缓存器，八个子模块中所有的 U65 至 U96 构成了整个电路的选择器。

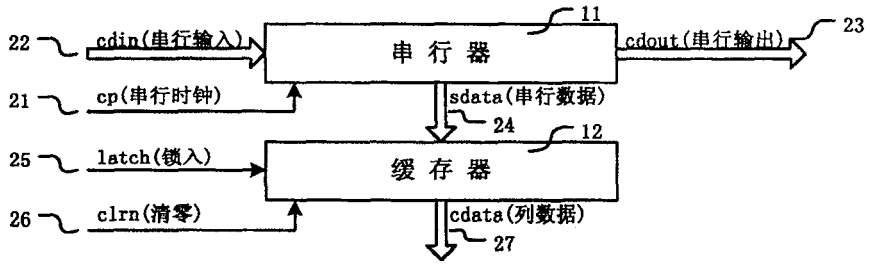

22
cdin(串行输入)
11
串 行 器
cdout(串行输出)
23
21
cp(串行时钟)
sdata(串行数据)
24
12
25
latch(锁入)
缓 存 器
26
clrn(清零)
cdata(列数据)
27

图 1

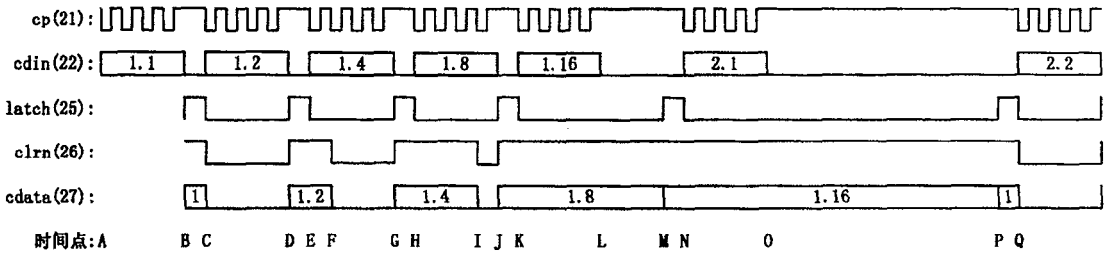

cp(21):
cdin(22):
1.1
1.2
1.4
1.8
1.16
2.1
2.2
latch(25):
clrn(26):
cdata(27):
1
1.2
1.4
1.8
1.16
1
时间点:A
B C
D E F
G H
I J K
L
M N
O
P Q

图 2

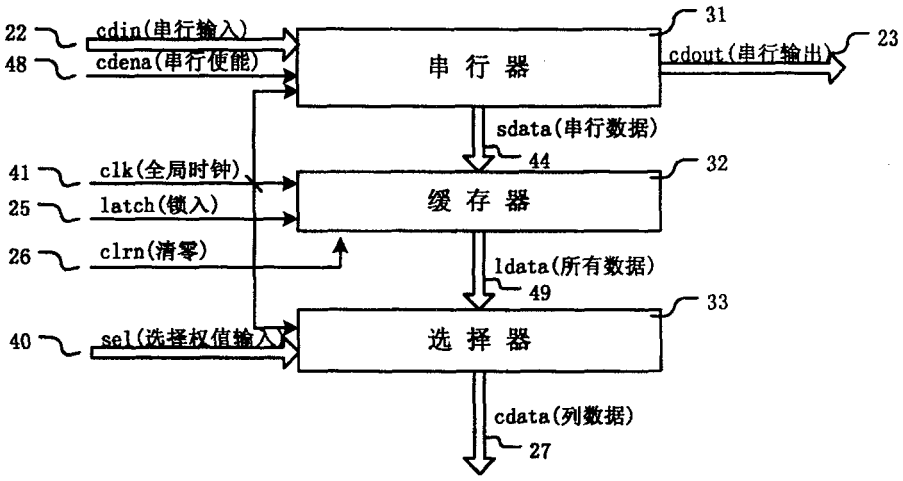

22
cdin(串行输入)
48
cdena(串行使能)
31
串 行 器
cdout(串行输出)
23
sdata(串行数据)
44
41
clk(全局时钟)
32
25
latch(锁入)
缓 存 器
26
clrn(清零)
ldata(所有数据)
49
33
40
sel(选择权值输入)
选 择 器
cdata(列数据)
27

图 3

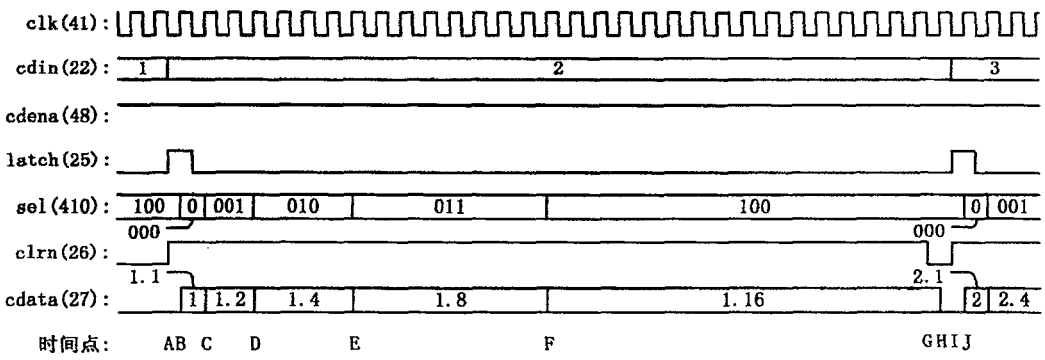

clk(41):
cdin(22):
1
2
3
cdena(48):
latch(25):
sel(410):
100
0
001
010
011
100
0
001
000
000
clrn(26):
1.1
2.1
cdata(27):
1
1.2
1.4
1.8
1.16
2
2.4
时间点:
AB C
D
E
F
GHIJ

图 4

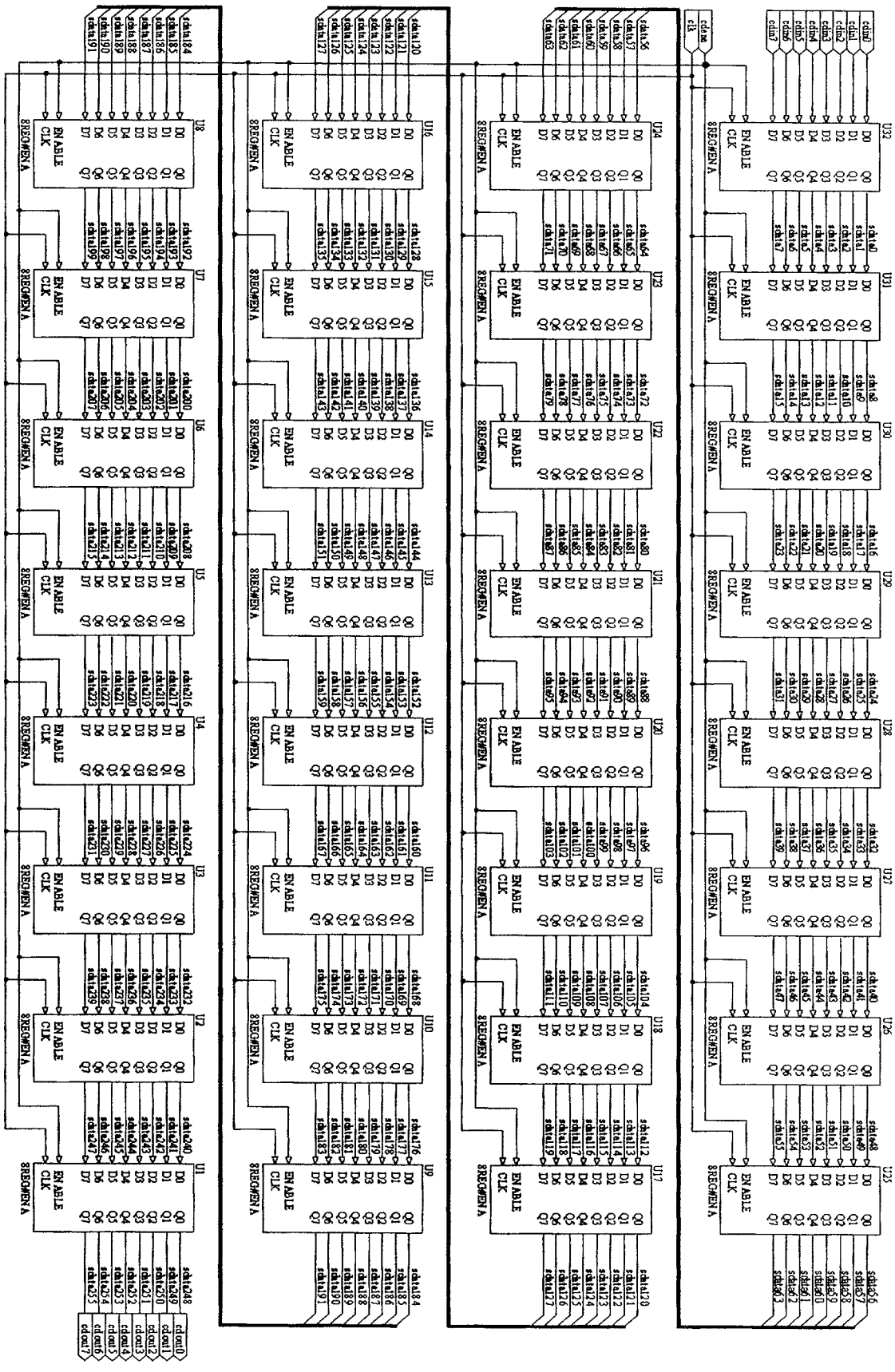


图 5

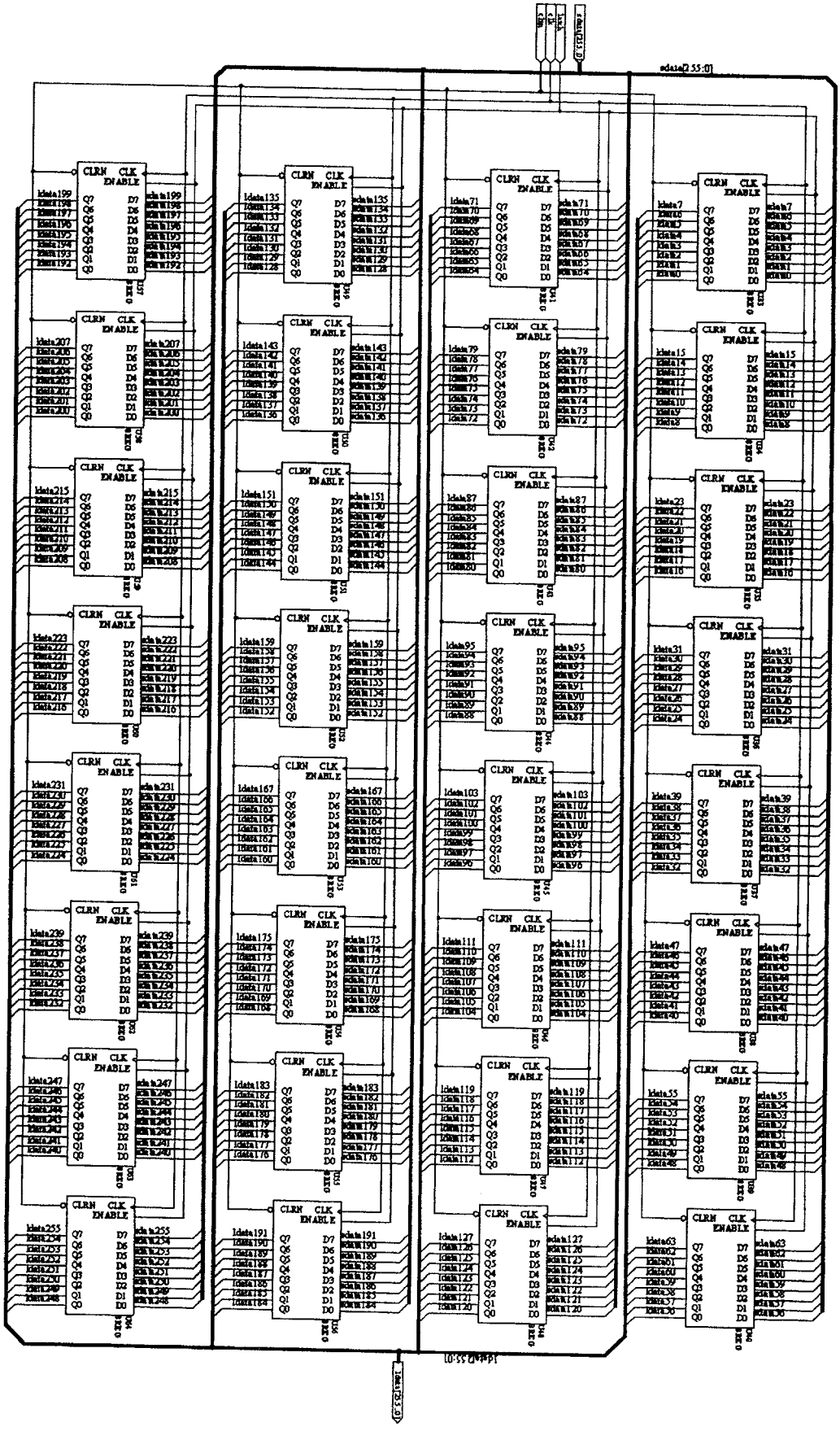


图 6

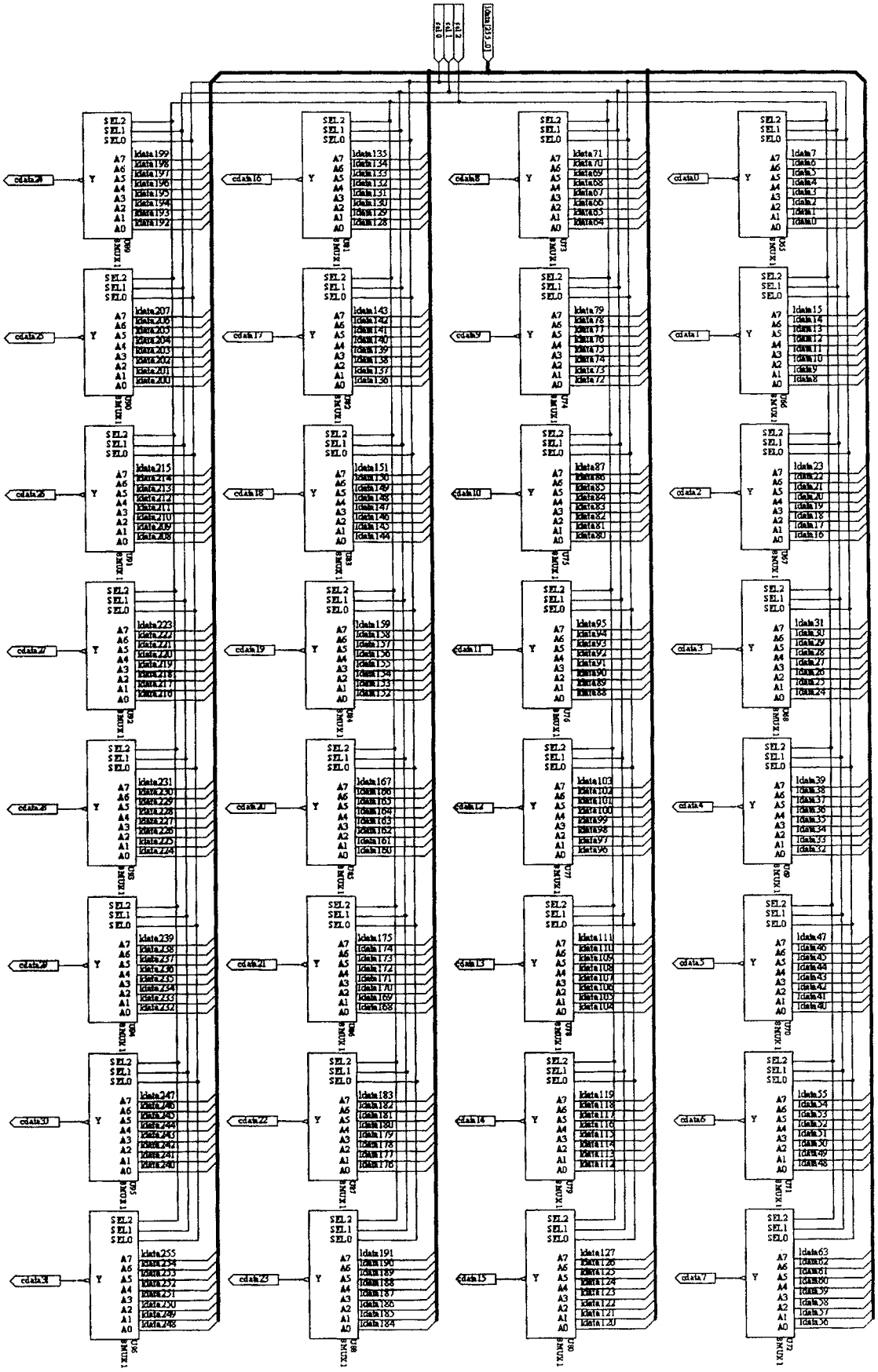


图 7

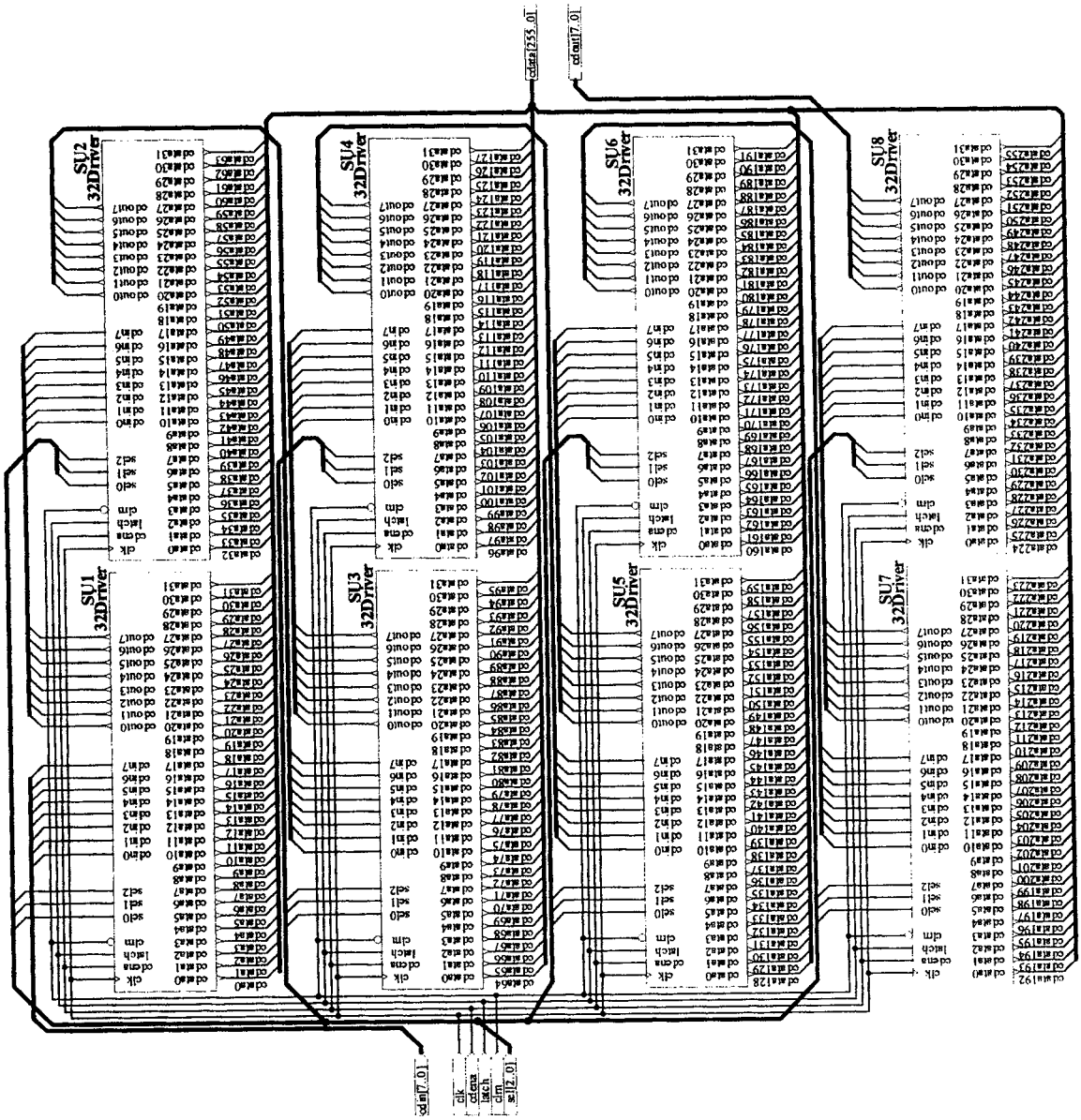
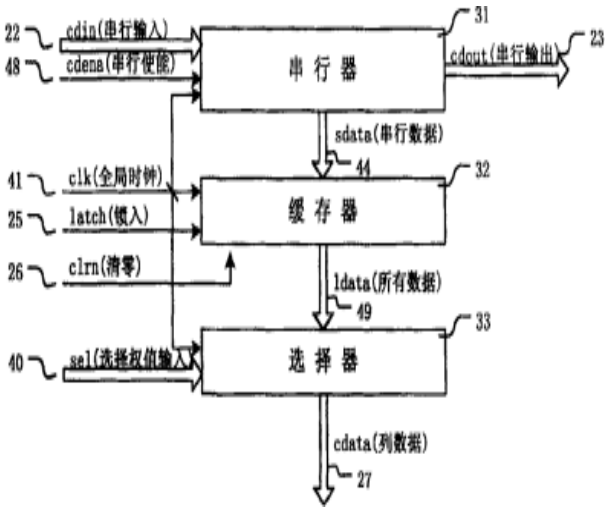

SU1 32Driver
SU2 32Driver
SU3 32Driver
SU4 32Driver
SU5 32Driver
SU6 32Driver
SU7 32Driver
SU8 32Driver
odata[255..0]
odata[7..0]
clk
oclrn
latch
clm
sel[2..0]

图 8

专利名称(译)	完全缓存OLED显示屏列控制电路		
公开(公告)号	CN100535974C	公开(公告)日	2009-09-02
申请号	CN200610118169.2	申请日	2006-11-09
[标]申请(专利权)人(译)	上海大学		
申请(专利权)人(译)	上海大学		
当前申请(专利权)人(译)	上海大学		
[标]发明人	陈章进 徐美华 冉峰 郑方 姜玉稀		
发明人	陈章进 徐美华 冉峰 郑方 姜玉稀		
IPC分类号	G09G3/32 G09G3/30 G09G3/20 H05B33/08 H05B33/14 H05B37/02 H01L51/50 H01L27/32 G09G3/3208		
CPC分类号	Y02B20/42		
代理人(译)	何文欣		
其他公开文献	CN101064091A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种完全缓存OLED显示屏列控制电路。它包括输入数据为串行输入信号和输出数据为串行输出信号的串行器，以及从串行器输入串行数据的缓存器，还包含有从缓存器输入所有数据和输出列数据的选择器，串行器有使能端输入串行使能信号，缓存器输入的锁入信号和清零信号为同步信号，选择器有选择端输入选择权值输入信号，串行器、缓存器和选择器采用统一的全局时钟。本发明电路中，适当增大图像缓存，以提高显示的扫描效率并降低扫描中的亮度损失。