

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03821603.5

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

G11C 27/02 (2006.01)

H05B 33/14 (2006.01)

[45] 授权公告日 2008 年 9 月 17 日

[11] 授权公告号 CN 100419832C

[22] 申请日 2003.9.3 [21] 申请号 03821603.5

[30] 优先权

[32] 2002. 9. 13 [33] JP [31] 268036/2002

[86] 国际申请 PCT/JP2003/011235 2003. 9. 3

[87] 国际公布 WO2004/025614 日 2004. 3. 25

[85] 进入国家阶段日期 2005. 3. 11

[73] 专利权人 索尼株式会社

地址 日本东京都

[72] 发明人 高木祐一 大贺玄一郎 日月央

[56] 参考文献

CN1339772A 2002. 3. 13

CN1341915A 2002. 3. 27

JP200142827A 2001. 2. 16

JP2000 - 81920 2000. 3. 21

审查员 李 原

[74] 专利代理机构 北京东方亿思知识产权代理有
限责任公司

代理人 宋 鹤

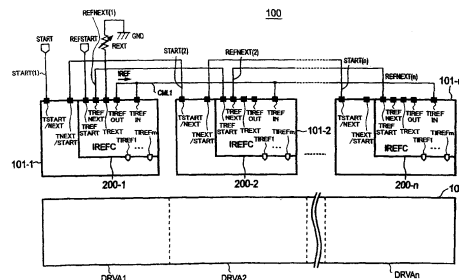
权利要求书 6 页 说明书 39 页 附图 24 页

[54] 发明名称

电流输出型驱动电路和显示设备

[57] 摘要

一种具有多个对应于显示板(102)的分割区域而设置的驱动器(IC101-1至101-n)的电路,每个驱动器包括用于将所提供的基准电流 IREF 作为驱动电流输出给显示板(102)的对应的被驱动区域(DRVA1到DRVAn)的输出电路,以及用于从基准电流输入端采样和保持基准电流输入并随后向输出电路提供此基准电流的基准电流源电路(200-1至200-n)。所述基准电流输入端通过公共电流互连接(CML1)连接到另一驱动器的基准电流输入端,并且所述基准电流按时分的方式被分配到驱动器的基准电流源电路中。根据本发明,可将用分割方式驱动显示装置(被驱动对象)的驱动器之间的亮度阶变得很小,并且可以实现用常规方法无法实现的大尺寸、高动态范围显示的有机 EL 显示装置。



1. 一种电流输出型驱动电路,用于向通过被分割成多个区域共享的被驱动对象输出驱动电流,

包括对应于所述被驱动对象的每个共享区域布置的多个驱动器,每个驱动器包括

输出装置,用于将提供的基准电流和对应于图像数据的驱动电流输出到所述被驱动对象的对应共享区域,以及

基准电流源电路,用于采样和保持来自基准电流输入端的基准电流输入,随后将其提供给所述输出装置。

2. 如权利要求1所述的电流输出型驱动电路,其特征在于,所述基准电流源电路至少包括:

电流采样电路,包括用于根据控制信号采样并保持所述基准电流的电流存储器,及

控制电路,用于向所述电流采样电路输出控制信号,以控制所述电流采样电路的电流存储器中的所述基准电流的写和读取操作。

3. 如权利要求2所述的电流输出型驱动电路,其特征在于,

所述电流采样电路包括第一电流存储器和第二电流存储器,以及

所述控制电路向所述电流采样电路输出所述控制信号,以便在所述第一电流存储器和第二电流存储器上交替执行来自所述基准电流输入端的基准电流输入的写操作和写入基准电流的读取操作。

4. 如权利要求2所述的电流输出型驱动电路,其特征在于,所述输出装置

包括多个电流输出型数字/模拟转换电路,以及

所述电路包括用于通过进一步拷贝或用时分方式进行分配而将从所述基准电流源电路的电流采样电路的电流存储器中读取的基准电流增加为多个基准电流的装置,以及

将所述多个基准电流提供给所述多个数字/模拟转换电路。

5. 如权利要求4所述的电流输出型驱动电路, 其特征在于,
每个驱动器是根据输入数据输出多个通道的电流的驱动器,
还包括用于保持所述输入数据的寄存器阵列, 及
还包括用于通过进一步拷贝或用时分方式进行分配而将由所述
基准电流源电路采样和保持基准电流增加为多个基准电流的装置, 以
及

所述输出装置包括

多个转换电路, 用于接收所述多个基准电流, 并根据由所述寄存
器阵列保持的数据输出电流, 以及

电流输出电路, 包括根据所述转换电路的输出电流交替工作于电
流写模式和电流读取模式的第一组电流采样电路和第二组电流采样
电路。

6. 如权利要求5所述的电流输出型驱动电路, 其特征在于,
所述输入数据是数字图像数据,

所述电流包括用于在垂直消隐周期内将所述基准电流分配到所
述驱动器中的装置, 其中在所述垂直消隐周期期间挂起对所述图像数
据的操作, 以及

每个驱动器在所述垂直消隐周期之后采用保持在所述驱动器的
所述基准电流源电路的电流作为基准电流, 其中与传送所述图像数据
一道产生数字噪声。

7. 一种电流输出型驱动电路, 用于向通过被分割成多个区域共享
的被驱动对象输出驱动电流,

包括对应于所述被驱动对象的每个共享区域布置的多个驱动器,
每个驱动器包括

输出装置, 用于将提供的基准电流作为驱动电流输出到所述被驱
动对象的对应共享区域, 以及

基准电流源电路, 用于采样和保持来自基准电流输入端的基准电
流输入, 随后将其提供给所述输出装置,

所述基准电流输入端通过公共电流互连接连接到另一驱动器的基准电流输入端，以及

所述基准电流通过时分方式被分配到所述驱动器的基准电流源电路，

其中每个驱动器在接收到指示所述基准电流分配开始的信号时，将所述基准电流从所述基准电流输入端取到所述基准电流源电路中，并向下一级的驱动器电路输出指示开始分配基准电流的信号。

8. 如权利要求7所述的电流输出型驱动电路，其特征在于，每个驱动器包括数据存储器，在接收到指示开始写数据的第一信号时将输入数据写入所述数据存储器中，并向下一级的驱动器输出指示开始写数据的所述第一信号，以及在接收到指示基准电流分配开始的第二信号时，与所述第一信号同步地将所述基准电流从所述基准电流输入端取到所述基准电流源电路中，并向下一级的驱动器电路输出指示基准电流分配开始的所述第二信号。

9. 如权利要求7所述的电流输出型驱动电路，其特征在于所述基准电流源电路至少包括：

电流采样电路，包括用于根据控制信号采样并保持所述基准电流的电流存储器，及

控制电路，用于向所述电流采样电路输出控制信号，以控制所述电流采样电路的电流存储器中的所述基准电流的写和读取操作。

10. 如权利要求9所述的电流输出型驱动电路，其特征在于所述电流采样电路包括第一电流存储器和第二电流存储器，以及所述控制电路向所述电流采样电路输出所述控制信号，以便在所述第一电流存储器和第二电流存储器上交替执行来自所述基准电流输入端的基准电流输入的写操作和写入基准电流的读取操作。

11. 如权利要求9所述的电流输出型驱动电路，其特征在于，所述输出装置

包括多个电流输出型数字/模拟转换电路，以及

所述电路包括用于通过进一步拷贝或用时分方式进行分配而将从所述基准电流源电路的电流采样电路的电流存储器中读取的基准电流增加为多个基准电流的装置, 以及

将所述多个基准电流提供给所述多个数字/模拟转换电路。

12. 如权利要求7所述的电流输出型驱动电路, 其特征在于, 至少用作主驱动器的驱动器的基准电流源电路包括产生基准电流并将它提供给所述公共电流互连接的基准电流源电路。

13. 如权利要求9所述的电流输出型驱动电路, 其特征在于, 至少用作主驱动器的驱动器的基准电流源电路包括产生基准电流并将它提供给所述公共电流互连接的基准电流源电路。

14. 如权利要求7所述的电流输出型驱动电路, 其特征在于, 每个驱动器是根据输入数据输出多个通道的电流的驱动器, 还包括用于保持所述输入数据的寄存器阵列, 及

还包括用于通过进一步拷贝或用时分方式进行分配而将由所述基准电流源电路采样和保持的基准电流增加为多个基准电流的装置, 以及

所述输出装置包括

多个转换电路, 用于接收所述多个基准电流, 并根据由所述寄存器阵列保持的数据输出电流, 以及

电流输出电路, 具有根据所述转换电路的输出电流交替工作于电流写模式和电流读取模式的第一组电流采样电路和第二组电流采样电路。

15. 如权利要求14所述的电流输出型驱动电路, 其特征在于, 所述输入数据是数字图像数据,

所述电路包括用于在垂直消隐周期内将所述基准电流分配到所述驱动器中的装置, 其中在所述垂直消隐周期期间挂起对所述图像数据的操作, 以及

每个驱动器在所述垂直消隐周期之后采用保持在所述驱动器的

基准电流源电路中的电流作为基准电流，在此期间与传送所述图像数据一道产生数字噪声。

16. 如权利要求7所述的电流输出型驱动电路，其特征在于，所述基准电流的互连接布置在用于防护的电源互连接之间。

17. 如权利要求7所述的电流输出型驱动电路，其特征在于，在多层互连接包括用于防护的电源层时，所述基准电流的互连接被布置在用于防护的所述电源层的顶层。

18. 如权利要求7所述的电流输出型驱动电路，其特征在于还包括用于在采样并保持所述驱动器的基准电流的电路均断开时抑致所述公共基准电流互连接的电位大波动的装置。

19. 如权利要求11所述的电流输出型驱动电路，其特征在于
将所述基准电流增加到多个基准电流的所述装置包括由恒定电流源和多个基准电流源配置的电流镜像电路，所述恒定电流源包括布置在输入级的电阻器元件，所述多个基准电流源包括并行布置在输出级的电阻器元件，以便对应于所述输出装置的输出部分，以及

在所述多个基准电流源中的两端布置的基准电流源的电阻器元件布置在靠近所述恒定电流源的电阻器元件。

20. 如权利要求19所述的电流输出型驱动电路，其特征在于构成所述基准电流源的电阻器元件分开布置并交叉连接。

21. 一种显示设备，其用于向通过被分割成多个区域共享的显示板的共享区域输出驱动电流，

包括对应于所述显示板的每个共享区域布置的多个驱动器，
每个驱动器包括

输出装置，用于将提供的基准电流输出到所述被驱动对象的对应共享区域，以及

基准电流源电路，用于采样和保持来自基准电流输入端的基准电流输入，随后将其提供给所述输出装置，

所述基准电流输入端通过公共电流互连接连接到另一驱动器的

基准电流输入端，以及

所述基准电流通过时分方式被分配到所述驱动器的基准电流源电路，

其中，每个驱动器在接收到指示基准电流分配开始的信号时，将所述基准电流从所述基准电流输入端取到所述基准电流源电路中，并向下一级的驱动器电路输出指示开始分配基准电流的信号。

22.如权利要求21所述的显示设备，其特征在于，每个驱动器包括数据存储器，在接收到指示开始写数据的第一信号时将输入数据写入到所述数据存储器中，并向下一级的驱动器输出指示开始写数据的所述第一信号，以及在接收到指示基准电流分配开始的第二信号时，与所述第一信号同步地将所述基准电流从所述基准电流输入端取到所述基准电流源电路中，并向下一级的驱动器电路输出指示基准电流分配开始的所述第二信号。

23.如权利要求21所述的显示设备，其特征在于，所述基准电流的互连接布置在用于防护的电源互连接之间。

24.如权利要求21所述的显示设备，其特征在于，在多层互连接包括用于防护的电源层时，所述基准电流的互连接被布置在用于防护的所述电源层的顶层。

25.如权利要求21所述的显示设备，其特征在于还包括用于在采样并保持所述驱动器的基准电流的电路均断开时抑致所述公共基准电流互连接的电位大波动的装置。

电流输出型驱动电路和显示设备

技术领域

本发明涉及利用了适用于例如有机EL(电致发光)显示设备的基准电流的时分分配系统的电流输出型驱动电路,并涉及设有这种驱动电路的显示设备。

背景技术

近年来,由于有机EL显示板提供明显的对比度以及较宽的视角,并且它们在其自身上发光,故而不需要用背光并适于减少厚度,因此它正引起人们的注意。

现在以英寸大小的有机EL显示板已进入到商业阶段。材料、生产技术以及驱动电路方面的改进已使得在近几年里连续推出了13到17英寸大小的样板。

有机EL元件具有类似于二极管的电流电压特征曲线。亮度电流特征具有线性比例关系。

在这方面,有机EL元件和薄膜式晶体管(TFT)具有阈值电压,并较大的差别。为此,在有机EL显示板中,建议采用具有与亮度成比例关系的电流受控的驱动电路,以减少显示板的不均匀亮度。

在用于个人计算机、电视机以及其它应用中的液晶面板中,要求多位高等级显示。

由于在面板上形成有低温多晶硅TFT电路,制造多位数字/模拟转换器(DAC)和其它复杂电路比较困难,因此实际中已将用于驱动垂直方向数据线的电压输出型驱动器IC结合到面板的外围部分,以便形成模块。

在大尺寸显示板的驱动电路中,实际中已采用多个驱动器来驱

动所分割的屏幕。在这种情况下，如果在驱动器之间特征发生变化，便会出现通过分割而驱动的屏幕的边界线上产生亮度阶的问题。

如果是液晶显示装置，则数据线驱动器是电压输出型。为此，可以通过公共连接驱动器集成电路(驱动器IC)之间的基准电压的互连接线的简便方法，便可使亮度阶变得非常小。

图1是用于液晶显示装置的数据线驱动器等的基准电压产生电路的电路图。

此基准电压产生电路通过串联连接在电源电压 V_{DD} 的电源线和地线GND之间的电阻器元件R0到R7的电阻分压，而产生9个基准电压，分别是V0、V8、...以及V64。随后，通过用DAC等在这些基准电压中间进一步精细插补例如均用8相除，便可获得64级的电压输出。

当在驱动器IC中设有此基准电压产生电路时，即使对每个驱动器而言电阻的绝对值是不同的，但基准电压输出是由电阻比确定的，因此在驱动器IC之间几乎没有变化。

图2是用于阐述在电压输出型数据线驱动器中的基准电压的驱动器IC间的连接系统的视图。

在此情况下，显示板PNL是通过将它用n个正极驱动器IC 1到n分割来驱动的。

即使在驱动器IC之间基准电压输出中有变化，如图2所示，当所有驱动器IC的基准电压端对于每个基准电压V0、V8、...以及V64而言均为连接的时，对每个基准电压平均的电压将供给所有的驱动器IC 1到n。

因此，将不会在通过分割而驱动的屏幕的边界线上产生导致问题的电平的亮度阶。

在有机EL显示装置中，电流输出型适于用作数据线驱动器。

在适用于有机EL显示装置的电流输出型驱动器IC中，如果将公共基准电压提供给驱动器IC，并随后使各个驱动器IC执行电压电流转换以产生上述的基准电流，则基准电流将会由于构成电压电流转

换电路的运算放大器和电阻器元件的偏置电压的变化而在驱动器IC之间有所不同。而且，即使在最终输出之前执行电压电流转换，该输出电流也将会在输出端之间有所变化。

为减少引起电流变化的因素，已提出在电流输出型阳极驱动器IC中采用电流连接系统的有机EL全色模块驱动系统(参见例如非专利文献1：“有机EL全色模块驱动系统的开发”，PioneerR&D, VO1.11, no.1, page29-36, 2001, Ochi, sakamoto, Ishizuka, Tsuchida)。

图3A是这种有机EL全色模块驱动系统的视图。在此驱动系统中，显示板OPNL是通过用n个阳极驱动器IC 11到1n分割而驱动的。

在本驱动系统中，当在每个驱动器IC上提供基准电流源以设定电流时，这些基准电流将会由于IC或电流建立部分的性能的个体差异而稍微有所不同，因此有时在IC元件中会产生亮度阶。而且，对每个IC采用可变电阻器以针对每个IC进行调节不适用于大规模生产，因此通过把相邻IC的最近的电流输出用作基准电流，便可吸收设定电流的变化，同时可消除亮度阶。

根据这种电流连接系统，在驱动器之间调节亮度的阶变成不必要的，而且可使面板上基准电流的互连接数量相对变少。

如上所述，在图3A所示的电流连接系统中，可消除对应于水平相邻的驱动器的边界线的亮度阶。

然而，如图3B所示，左端上的驱动器的基准电流IREF和右端上的基准电流IREF(n-1)因增加了驱动器IC中的n个电流变化而变得不同。

在大尺寸显示设备中，不仅通过在横向上分割显示板来驱动它，而且面板上的数据线也在垂直方向上的1/2位置处被垂直分割，以将数据线的互连接电容减半。与此同时，通过垂直排列驱动器并并联驱动它们，以及通过将必须由每个驱动器驱动的扫描线数量减半，驱动频率也得以降低。

在此情况下，利用这种电流连接系统，有时会在显示板的垂直

边界处产生亮度阶。

如上所述，利用提供基准电流的常规方法，难以实现大尺寸、高等级显示型有机EL显示装置。

为此，在有机EL显示板中，有待于出现适用于驱动有机EL元件的电流输出型数据线驱动器(源驱动器)。

发明内容

本发明的目的是提供一种电流输出型驱动电路，它能够使在用于以分割方式驱动显示装置或其它被驱动对象的驱动器之间的亮度阶变得足够小，能够减少显示板上的基准电流的互连接数量，并适于驱动有机EL元件和设有有机EL元件的显示设备。

为达上述目的，根据本发明第一方面，电流输出型驱动电路提供了用于向通过被分割成多个区域共享的被驱动对象输出驱动电流的电流输出型驱动电路，它包括多个对应于被驱动对象的每个共享区域布置的驱动器，每个驱动器包括用于将所提供的基准电流和对应于图像数据的驱动电流输出到被驱动对象的对应共享区域的输出装置，以及用于从基准电流输入端采样和保持基准电流输入、并随后向所述输出装置提供此基准电流输入的基准电流源电路。

根据本发明第二方面，电流输出型驱动电路提供了用于将驱动电流输出给通过被分割成多个区域共享的被驱动对象的电流输出型驱动电路，它包括多个对应于被驱动对象的每个共享区域布置的驱动器，每个驱动器包括用于将所提供的作为驱动电流的基准电流输出到被驱动对象的对应共享区域的输出装置，以及用于从基准电流输入端采样和保持基准电流输入、随后将其提供给所述输出装置的基准电流源电路。

此外，基准电流输入端通过公共电流互连接连接到另一驱动器的基准电流输入端，基准电流通过时分分配到驱动器的基准电流源电路中。

根据本发明第三方面，显示设备提供了用于将驱动电流输出给通过被分割成多个区域共享的显示板的共享区域的显示设备，它包括多个对应于显示板的每个共享区域布置的驱动器，每个驱动器包括用于将所提供的基准电流输出到被驱动对象的对应共享区域中的输出装置，以及用于从基准电流输入端采样并保持基准电流输入，随后将其提供给输出装置的基准电流源电路。

根据本发明第四方面，显示设备提供了用于将驱动电流输出给通过被分割成多个区域共享的显示板的共享区域的显示设备，它包括多个对应于显示板的每个共享区域布置的驱动器，每个驱动器包括用于将所提供的基准电流输出到被驱动对象的对应共享区域中的输出装置，以及用于从基准电流输入端采样并保持基准电流输入，随后将其提供给输出装置的基准电流源电路，基准电流输入端通过公共电流互连接连接到另一驱动器的基准电流输入端，基准电流以时分方式分配到驱动器的基准电流源电路中。

根据本发明，例如每个驱动器的基准电流输入端通过公共电流互连接连接到另一驱动器的基准电流输入端。

在每个驱动器中，当接收到指示开始分配基准电流的信号时，便将基准电流从基准电流输入端取出到基准电流源电路中，并将指示开始基准电流分配的信号输出到下一级驱动器电路中。

基准电流源电路取基准电流样本并保持该基准电流，随后将其提供给输出装置。

接着，基准电流源电路所提供的基准电流作为驱动电流从输出装置输出到被驱动对象的对应共享区域中。

此外，例如将基准电流在垂直消隐周期内被分配到驱动器中，在此期间对图像数据的操作被挂起。在垂直消隐周期期间传送图像数据的同时产生数字噪声，在垂直消隐周期之后，将保持在每个驱动器的基准电流源电路中的电流用作基准电流。

根据本发明，通过分割驱动的驱动器之间的亮度阶可大大变小，

并且显示板上互连接的数量也可得以减少。

而且，通过在垂直消隐周期期间固定图像数据信号并将它分配到数据线驱动器中，数字信号的串扰对基准电流的影响也可得以极大地减少。

而且，当传送图像数据时，通过利用电流采样电路中采样并保持的基准电流，其中所述电流采样电路设在每个驱动器的基准电流源电路中，操作期间的噪声影响可变小。

因此，优点在于可以实现大尺寸、高等级有机EL显示装置。

附图说明

图1是用于针对液晶显示装置的数据线驱动器等的基准电压产生电路的电路图。

图2是用于阐述电压输出型数据线驱动器中的基准电压的互连驱动器IC连接系统的视图。

图3A和图3B是在电流输出型阳极驱动器IC中采用电流连接方法的有机EL全色模块驱动系统的视图。

图4是根据本发明采用电流输出型驱动电路的有机EL显示设备的第一实施例的配置视图。

图5A至图5H是用于阐述在图1的显示设备中基准电流的采样和传送操作的视图。

图6是根据本发明的电流输出型驱动器IC的示范性配置的框图。

图7是根据本实施例的基准电流源电路的第一示例配置的框图。

图8是图7的恒定电流源电路的配置示例的电路图。

图9是图7的电流采样电路和电流镜电路的配置的具体示例的电路图。

图10A至图10M是用于阐述利用控制信号产生电路控制电流采样电路工作的视图。

图11A至图11C是说明构成电流镜电路的电阻器元件的布局示例

的视图。

图12是用于阐述图11A至图11C的布局效果的视图。

图13A至图13H是用于阐述在驱动器IC之间分配基准电流的操作的视图。

图14是用于阐述用于将基准电流分配到驱动器IC中的基准电流互连接的防护和稳定方法的视图。

图15是根据本实施例的基准电流源电路的第二示例的配置框图。

图16是根据本实施例构成电流输出型驱动器IC的电流输出电路的配置示例的电路图。

图17是用于第一和第二排电流输出电路的电流采样电路的配置示例的电路图。

图18A至图18H是说明根据本实施例的电流输出型驱动器IC的工作的时序图。

图19是构成根据本实施例的电流输出型驱动器IC的寄存器阵列的配置示例的电路图。

图20是包括构成根据本实施例的电流输出型驱动器IC的寄存器阵列、控制信号产生电路、DAC以及电流输出电路的部分电路配置的框图。

图21A至图21G是说明根据本实施例的电流输出型驱动器IC的部分电路工作的时序图。

图22是采用根据本发明的电流输出型驱动电路有机EL显示设备的第二实施例的配置视图。

图23A至图23N是用于阐述图22的显示设备中的基准电流的采样和传送操作的视图。

具体实施方式

<第一实施例>

图4是根据本发明采用电流输出型驱动电路的有机EL显示设备的第一实施例的配置视图。

本显示设备100具有n个构成电流输出型驱动电路的电流输出型数据线驱动器(后文中简称为“驱动器IC”)101-1至101-n, 以及作为如图4中所示的被驱动对象的显示板102。

本显示设备100被分割成n个驱动区域DRVA1到DRVAn。此外, n个驱动器IC101-1至101-n在显示板102的图(图中的上一级侧上)中的径向上并行排列在一侧, 以便对应于驱动区域DRVA1到DRVAn。通过用n个驱动器IC101-1到101-n分割的方式驱动显示板100。

这种配置适于例如个人计算机或小尺寸电视的监视器情况。

驱动器IC101-1至101-n基本上具有相同的配置, 并如图4所示包括基准电流源电路(IREFC)200-1至200-n。

基准电流源电路200(-1至-n)连接用作主(本实施例中的101-1)的一个驱动器IC的基准电流产生电路的外部电阻器连接端TREXT与地GND之间的电阻器元件REXT, 并根据电阻器元件REXT的电阻值给基准电流输出端TIREFOUT产生出驱动器IC101-1至101-n公用的基准电流IREF, 以便驱动显示板102的所分割的驱动区域DRVA1至DRVAn。

驱动器IC101-1至101-n的基准电流源电路200-1至200-n采样并保持所提供的基准电流IREF, 并随后将它提供给驱动器的内部。

每个基准电流源电路200-1至200-n具有输入端TREFSTART、输出端TREFNEXT、端TREXT、基准电流输出端TIREFOUT、基准电流输入端TIREFIN以及电流分配端TIREF1到TIREEm。

在本实施例中, 从主驱动器IC(图4中的101)中的基准电流输出端TIREFOUT输出的基准电流IREF通过公共电流互连接CML1连接到驱动器IC101-1至101-n的基准电流输入端TIREFIN。

接着, 在图4的配置中, 为使主驱动器的基准电流IREF和驱动器IC101-1至101-n接收的电流相同, 驱动器IC101-1、驱动器IC101-2、...

以及驱动器IC101-n采用电流分配方法，以便以时分方式接收基准电流IREF，这将在下文进行详细阐述。

注意，在图4中，基准电流IREF是在驱动器IC101-1上产生的，但也可以将该系统配置成设置另一电流输出型DAC来提供。

此外，按照驱动器IC101-1、驱动器IC101-2、...和驱动器IC101-n的顺序来取基准电流，因此，为了用输入端TREFSTART和输出端TREFNEXT来移动用于取基准电流的标志，这些输入/输出端最好按顺序连接。

具体地说，初始级的主电路IC101-1的基准电流源电路200-1的输入端TREFSTART连接到信号REFSTART的输入端，而输出端TREFNEXT连接到下一级的驱动器IC101-2的基准电流源电路200-2的输入端TREFSTART。

驱动器IC101-2的输出端TREFNEXT连接到未示出的下一级的驱动器IC101-3的输入端TREFSTART。

下面，按与上述相同的方式，将驱动器IC101-(n-1)的输出端TREFNEXT连接到最后级的驱动器IC101-n的输入端TREFSTART。

注意，也可以不采用这种方法，而是提供指示采样周期的控制端，并通过设于面板上的控制用IC以集中方式来控制它。

而且，本显示板100还按序列将图像数据写入多个驱动器IC，以便可由如上所述的多个驱动器IC101-1至101-n以分割方式驱动显示板102。

为此，提供了用于传送指示驱动器IC之间写位置的标志的输入/输出端TSTART/NEXT和TNEXT/START。

然后，初始级的主驱动器IC101-1的输入/输出端TSTART/NEXT连接到指示图像数据传送开始的脉冲信号START的输入端，而输入/输出端TNEXT/START连接到下一级的驱动器IC101-2的输入/输出端TSTART/NEXT。驱动器IC101-2的输入/输出端TNEXT/START连接到未示出的下一级的驱动器IC101-3的输入/输出端TSTART/NEXT。

下面，按与上述相同的方式，将驱动器IC101-(n-1)的输入/输出端TNEXT/START连接到最后级的驱动器IC101-n的输入/输出端TSTART/NEXT。

在这种配置中，当通过例如未示出的写方向控制信号DIR使DIR=H(逻辑高电平)时，输入/输出端TSTART/NEXT用作START输入。TNEXT/START端用作NEXT输出，标志从图中的驱动器IC左边移动到右边，并写入图像数据。

此外，当DIR=L(逻辑低电平)时，输入/输出端TSTART/NEXT用作START输入。输入/输出端TSTART/NEXT用作NEXT输出，驱动器IC101-n的输入/输出端 TNEXT/START连接到指示开始图像数据传送的脉冲信号START的输入端，标志从图中的驱动器IC的右边移动到左边，从而写入图像数据。

换句话说，当驱动器IC设置在显示板的上侧时，便使写方向控制信号DIR等于H，而当驱动器IC设置在显示板的下侧时，便使写方向控制信号DIR等于L，由此，这可通过用相同的半导体芯片处理。

这里，将会参考图5A到图5H的时序图阐述图4的显示设备100中的基准电流的采样和传送操作。注意以下对操作的阐述仅为示范性的。也可以将该系统配置成使得设在面板上的控制用IC可集中控制该系统。

在此情况下，使未示出的写方向控制信号DIR处于DIR=H(逻辑高电平)的状态。输入/输出端TSTART/NEXT用作START输入，而输入/输出端TNEXT/START用作NEXT输出。

这里，如图5A所示，在水平同步信号HSYNC的(向下)脉冲输入以后，如图5B所示，指示图像数据的传送开始的第一信号的脉冲信号START=START(1)输入到驱动器IC101-1的输入/输出端TSTART(NEXT)。

当标志在驱动器IC101-1中移动，并且在存储器中对于驱动器IC101-1的图像数据的写操作结束时，指示驱动器IC101-2的写开始的

脉冲信号START(2)从驱动器IC101-1的输入/输出端TNEXT(/START)输出到驱动器IC101-2的输入/输出端TSTART(/NEXT)。由此，标志移动到驱动器IC101-2，同时将图像数据写入到对于驱动器IC101-2的图像数据的存储器中。

按上述相同的方式，连续输出脉冲信号START(3)到START(n)，同时将图像数据写入到对于驱动器IC101-3至101-n的图像数据的存储器中。

此外，如图5E所示，指示基准电流IREF的分配开始的第二信号的脉冲信号REFSTART输入到驱动器IC101-1的输入端TREFSTART。

如图5B和图5E所示，输入脉冲信号REFSTART，以便交叠脉冲START(1)。驱动器IC101-1用脉冲信号START(1)作为驱动时钟来锁存脉冲信号REFSTART，并在1个循环之后的脉冲信号START(1)的后沿上从输出端TREFNEXT输出1个循环宽度的信号REFNEXT(1)脉冲。驱动器IC101-1在产生脉冲信号REFNEXT(1)的同时从基准电流输入端TIREFIN取得基准电流IREF。

脉冲信号REFNEXT输入到驱动器IC101-2的输入端TREFSTART。如图5c和图5F所示，脉冲信号REFNEXT(1)交叠脉冲信号START(2)。驱动器IC101-2利用脉冲信号START(2)作为驱动时钟来锁存脉冲信号REFNEXT(1)，并在1个循环之后的脉冲信号START(2)的后沿上从输出端TREFNEXT输出1个循环宽度的脉冲信号REFNEXT(2)。驱动器IC101-2在产生脉冲信号REFNEXT(2)时从基准电流输入端TIREFIN取得基准电流IREF。

以上述同样方式，脉冲REFNEXT(3)到REFNEXT(n)依次从驱动器IC101-3至101-(n-1)输出，并且按顺序将基准电流IREF取进驱动器IC101-3至101-n。

下面，将参考附图顺序阐述具有以上功能和每个部分的功能的驱动器IC101(-1至-n)的具体配置。

图6是根据本发明的电流输出型驱动器IC的配置示例的框图。

如图6所示,本驱动器IC101具有基准电流源电路(IREFC)200、控制电路(CTL)300、写电路(WRT)400、标志用双向移位寄存器(FSFT)500、图像数据用寄存器阵列(REGARY)600、控制信号产生电路(GEN)700-1和700-(m/2)、电流输出型DAC(数字/模拟转换器)800-1、800-2、...、800-(m-1)和800-m、电流输出电路(TOUT)900-1、900-2、.../900-(m-1)和900-m以及测试电路(TST)1000。

每个驱动器IC101-1至101-n的基准电流源电路200在输入信号REFNEXT的控制下通过基准电流输入端TIREFIN将基准电流IREF取入驱动器IC,按DAC的数量拷贝所取的基准电流IREF或按时分方式分配它们,同时将它们输出到DAC800-1至800-m中。

基准电流源电路200连接用作主的一个驱动器IC(本实施例中的101-1)的基准电流产生电路的外部电阻器连接端REXT和地GND之间的电阻器元件REXT,并根据电阻器元件REXT的电阻值向基准电流输出端TIREFOUT产生用于驱动显示板102的所分割的驱动区域DRVA1到DRVAn的驱动器IC公用的公共基准电流IREF。

或者,本系统配置成从例如分开设于显示板102上的恒定电流产生电路或电流输出型DAC的电流源向用作主的一个驱动器IC(本实施例中的101-1)提供基准电流IREF。

图7是根据本实施例的基准电流源电路的第一示例的配置框图。

如图7所示,本基准电流源电路200A具有用作基准电流产生电路的恒定电流源电路(ISRC)201、用于以时分方式取基准电流的电流采样电路(CSMPL)202、电流镜电路(CURMR)203和用于产生控制信号CTL201和CTL202以控制电流采样电路202的工作的控制信号产生电路(CLTGEN)204。

在用于用作主的一个驱动器IC(本实施例中的101-1)时,恒定电流源电路201连接外部电阻器连接端TREXT和地GND之间的电阻器元件REXT,根据其电阻值产生基准电流IREF,并将其从基准电流输出端TIREFOUT输出。

基准电流输出端TIREFOUT连接到该电流源电路的电流采样电路202的基准电流输入端TIREFIN, 以及通过公共互连接CML1连接到其他基准电流源电路(图7中未示出)。

在驱动器IC内提供恒定电流源电路201, 以便减少显示板102上的部件数量。

图8是图7的恒定电流源电路的配置示例的电路图。

如图8所示, 恒定电流源电路201具有带隙恒定电压产生电路(BGVGEN)、采用运算放大器的反馈电路2012、用电阻器元件R201和pnp型晶体管Q201配置的第一电流源2013、用电阻器元件R202和pnp型晶体管Q202配置的电流源2014、pnp型晶体管Q203和Q204以及外部电阻器元件REXT。

电阻器元件R201的一端连接到电源电压 V_{DD} 的电源线上, 而另一端连接到晶体管Q201的发射极。晶体管Q201的集电极连接到晶体管Q203的发射极, 晶体管Q203的集电极连接到端TREXT和反馈电路2012的同向输入端(+).

电阻器元件R202的一端连接到电源电压 V_{DD} 的电源线上, 而另一端连接到晶体管Q202的发射极。晶体管Q202的集电极连接到晶体管Q204的发射极, 而晶体管Q204的集电极连接到基准电流输出端TIREFOUT。

晶体管Q201和Q202的基极连接到反馈电路2012的输出, 而晶体管Q203和Q204的基极连接到未示出的偏置电路的基本电压VKP1的电源线。

此外, 反馈电路2012的反向输入端(-)连接到带隙恒定电压产生电路2011的电压电源线。带隙恒定电压产生电路2011产生通过使电源电压相关性和温度相关性变得很小来获得的电压VBG。

反馈电路2012通过输出电压AMPO控制流过第一电流源2013和第二电流源2014的电流值, 以使端TREXT的电压与VBG一致。

由此, 恒定电流源电路201给晶体管Q204的集电极侧产生由下面

等式给出的基准电流IREF，并从基准电流输出端TIREFOUT将它输出。

$$IREF = (VBG/KREXT) \times (KR201/KR202) \quad (1)$$

这里，KREXT表示外部电阻器元件REXT的电阻值，KR201表示第一电流源2013的电阻器元件R201的电阻值，而KR202表示第二电流源2014的电阻器元件R202的电阻值。

电流采样电路202具有例如第一电流存储器和第二电流存储器，并响应于控制信号产生电路204的第一控制信号CTL201和第二控制信号CTL202，把从基准电流输入端TIREFIN提供的基准电流IREF写入到第一电流存储器或第二电流存储器。随后，它与第一电流存储器或第二电流存储器的写操作并行地将已写入到第二电流存储器或第一电流存储器的基准电流IREF从输出端TIRCISO输出(读取)到电流镜电路203。

电流镜电路203在接收到电流采样电路202的第一或第二电流存储器中已采样的(已写入的)基准电流IPEF时，按对应于DAC800-1至800-m的数量拷贝基准电流IREF1至IREFm，并将它们提供给DAC800-1至800-m。

图9是图7的电流采样电路202和电流镜电路203的具体配置示例的电路图。

如图9所示，电流采样电路202具有第一电流存储器2021和第二电流存储器2022。对于基准电流输入端TIREFIN而言，这些第一电流存储器2021和第二电流存储器2022是并行连接的。

在图9中，在第一电流存储器2021从基准电流输入端IREFIN取基准电流的状态中，它将先前通过第二电流存储器2022所取的电流从输出端TIRCISO输出到电流镜电路203。

第一电流存储器2021是一种绝缘栅型场效应晶体管，具有例如n沟道MOS(NMOS)晶体管M211和M212、开关元件SW211至SW216以及电容器C211和C212。

NMOS晶体管M211的源极连接到地GND，电容器C211的第一电极和电容器C212的第一电极连接到地GND，而漏极连接到NMOS晶体管M212的源极以及开关元件SW211的a端。栅极连接电容器C211的第二电极、开关元件SW211的b端以及开关元件SW215的a和b端。

NMOS晶体管M212的漏极连接到开关元件SW212的a端、开关元件SW213的a端以及开关元件SW214的a端。栅极连接到电容器C212的第二电极、开关元件SW212的b端以及开关元件SW216的a和b端。

然后，开关元件SW213的b端连接到基准电流输入端TIREFIN，而开关元件SW214的b端连接到输出端TIRCISO。

第二电流存储器2022具有NMOS晶体管M221和M222、开关元件SW221至SW226以及电容器C221和C222。

NMOS晶体管M221的源极连接地GND，电容器C221的第一电极和电容器C222的第一电极连接到地GND。漏极连接到NMOS晶体管M222的源极和开关元件SW221的a端，而栅极连接到电容器C221的第二电极、开关元件SW221的b端以及开关元件SW225的a和b端。

NMOS晶体管M222的漏极连接到开关元件SW222的a端、开关元件SW223的a端以及开关元件SW224的a端。栅极连接到电容器C222的第二电极、开关元件SW222的b端以及开关元件SW226的a和b端。

然后，开关元件SW223的b端连接到基准电流输入端TIREFIN，开关元件SW224的b端连接到输出端TIRCISO。

通过基于由控制信号产生电路204产生的控制信号CTL201和CTL202的开关元件SW211至216和SW221至SW226的开关(闭合/断开)控制，具有上述配置的电流采样电路202 执行把由基准电流输入端TIERFIN提供的基准电流IREF写入到第一电流存储器2021或第二电流存储器2022的操作，并将已写入第二电流存储器2022或第一电流存储器2021的基准电流IREF输出(读取)到输出端TIRCISO。

具体的控制稍后将会介绍。

电流镜电路203例如由以下部分构成：Wilson恒定电流源2031，

它包括电阻器元件R211和R212以及pnp型晶体管Q211、Q212、Q213和Q214；输出电流负载2032，它接收Wilson恒定电流源的输出电流，包括npn型晶体管Q215和Q216；基极电流宿2033，它用于消除晶体管Q214的基极电流，包括npn晶体管Q217、Q218、Q219和Q220；电流源2034-1，它包括电阻器元件R221和pnp型晶体管Q221和Q231(电流源2034 - 包括电阻器元件R222和pnp型晶体管Q222和Q223)...；以及电流源2034-m，它包括电阻器元件R22m和pnp型晶体管Q22m和23m。

基准电流IREF的输入端TIRCSI连接到电流采样电路202的输出端TIRCSO。而且，晶体管Q213的集电极、晶体管Q214的基极以及晶体管Q217的集电极连接到输入端TIRCSI。

电阻器元件R211的一端连接到电源电压 V_{DD} 的电源线上，而另一端连接到晶体管Q211的发射极，晶体管Q211的集电极连接到晶体管Q213的发射极。电阻器元件R212的一端连接到供电电压 V_{DD} 的电源线上，而另一端连接到晶体管Q212的发射极，晶体管Q212的集电极连接到晶体管Q214的发射极和晶体管Q211和Q212的基极以及晶体管Q221至Q22m的基极。

晶体管Q214的集电极连接到晶体管Q215的发射极，晶体管Q215的集电极连接到晶体管Q216的集电极和基极，而晶体管Q216的集电极连接到地GND。

晶体管Q215的基极连接到晶体管Q218的集电极和晶体管Q217和Q218的基极。晶体管Q217的发射极连接到晶体管Q219的集电极和晶体管Q219和Q220的基极。晶体管Q218的发射极连接到晶体管Q220的集电极，而晶体管Q219和Q220的发射极连接到地GND。

此外，电阻器元件R221的一端连接到电源电压 V_{DD} 的电源线上，而另一端连接到晶体管Q221的发射极。晶体管Q221的集电极连接到晶体管Q231的发射极，晶体管Q231的集电极连接到基准电流输出端TIERF1。

按上述相同的方式，电阻器元件R22n的一端连接到电源电压 V_{DD}

的电源线上，而另一端连接到晶体管Q22n的发射极。晶体管Q22n的集电极连接到晶体管Q23n的发射极，而晶体管Q23n的集电极连接到基准电流输出端TIERFn。

此外，晶体管Q213和Q231至Q23m的基极连接到未示出的偏置电压产生电路的基极电压VKP2的电源线上。

在具有这种配置的电流镜电路203中，由电流采样电路202所提供的基准电流IREF被传送到电流源2034-1至2034-m，并被拷贝。这些拷贝的基准电流IREF1至IREFm从基准电流输出端TIERF1至TIERm提供给DAC800-1至800-m。

控制信号产生电路204通过控制信号CTL201执行电流采样电路202第一电流存储器2021的开关元件SW211至216的开关(闭合/关断)控制，通过控制信号CTL202执行第二电流存储器2022的开关元件SW221至SW226的开关(闭合/关断)控制，使第一电流存储器2021或第二电流存储器2022写入由基准电流输入端TIERFIN提供的基准电流IREF，以及使第二电流存储器2022或第一电流存储器2021将已写入的基准电流IREF输出到输出端TIRCISO。

控制信号产生电路204在驱动器IC正产生脉冲信号REFNEXT时，使第一电流存储器2021或第二电流存储器2022执行基准电流IREF的写操作。

此外，无论何时输入脉冲信号REFNEXT，控制信号产生电路204均使第一电流存储器2021和第二电流存储器2022交替执行写。

换句话说，控制信号产生电路204控制电流采样电路202，使得即使在一个电流存储器中实施了写操作，输出电流仍然可由另一个电流存储器可靠地来提供。

由控制信号产生电路204产生的控制信号CTL201包括用于电流采样电路202的第一电流存储器2021的开关元件SW211的闭合/关断控制的信号CSW211、用于开关元件SW212的闭合/关断控制的信号CSW212、用于开关元件SW213的闭合/关断控制的信号CSW213、用

于开关元件SW214的闭合/关断控制的信号CSW214、用于开关元件SW215的闭合/关断控制的信号CSW215以及用于开关元件SW216的闭合/关断控制的信号CSW216。

以上述同样的方式，由控制信号产生电路204产生的控制信号CTL202包括用于电流采样电路202的第二电流存储器2022的开关元件SW221的闭合/关断控制的信号CSW221、用于开关元件SW222的闭合/关断控制的信号CSW222、用于开关元件SW223的闭合/关断控制的信号CSW223、用于开关元件SW224的闭合/关断控制的信号CSW224、用于开关元件SW225的闭合/关断控制的信号CSW225以及用于开关元件SW226的闭合/关断控制的信号CSW226。

接下来，将参考图10A到图10M阐述利用控制信号产生电路204的电流采样电路202的控制操作。

注意，这里将针对第一电流存储器2021来阐述控制操作。针对第二电流存储器2022的控制操作是按相同的方式实施的，因此这里省略了对其的说明。

在电流写的时候，如图10B到图10G所示，由控制信号产生电路204提供给电流采样电路202控制信号CSW214和CSW211至CSW213，使得开关元件SW211和SW212和SW213变为ON(闭合)，在这种状态下，开关元件SW214是OFF(关断)。

与此同时，开关元件SW211和SW212以及SW213变为ON，NMOS晶体管M211和M212进入二极管连接状态。由此，输入电流流过每个MOS晶体管，每个漏极电压输入到电容器C211的电极和电容器C212的电极上。此时，漏极电压=栅极电压，因此输入栅极电压，使输入电流刚好变为饱和电流。

当操作模式从电流写变为电流读取时，通过控制信号产生电路204把控制信号CSW214和CSW211至CSW213提供给电流采样电路202，使得开关元件SW211、SW212和SW213依次变为OFF，在这种状态下，开关元件SW214为OFF。

与此同时，NMOS晶体管M211的栅极电压和NMOS晶体管M212的栅极电压相继在电容器C211的电极和电容器C212的电极中保持。

最后，由控制信号产生电路204向电流采样电路202提供控制信号CSW214，使得开关元件SW214变为ON。

此外，由控制信号产生电路204向电流采样电路202提供控制信号CSW215和CSW216，使得在开关元件SW211和SW212变为OFF时，开关元件SW215和SW216相反地变为ON。

通过闭合开关元件SW215和SW216，并关断开关元件SW211和SW212，便消除了由开关元件SW211和SW212的开关操作产生的电荷。

在电流读取的时候，由控制信号产生电路204向电流采样电路202提供控制信号CSW214和CSW211至CSW213，使得开关元件SW211和SW212以及SW213关断，而开关元件SW214闭合。

与此同时，在开关元件SW211和SW211以及SW213是OFF以及开关元件SW214是ON的状态下，由保持在电容器C211中的栅极电压确定的NMOS晶体管M211的饱和电流输出到输出端TIRCSO。在电流读取的时候，NMOS晶体管M212用作共射-共基放大器（cascode）晶体管。

通过提供具有共射-共基放大器配置的MOS晶体管和提供开关元件以消除由开关操作产生的电荷，在电流写时以及电流读取时电流值均符合足够的精度。为此，可以很高的精度将主的基准电流分配到驱动器中。

通过增加具有共射-共基放大器配置的MOS晶体管，在电流写和电流读取时的电流精度可得到提高，但缺点是，由于采用这种共射-共基放大器配置，确定保持在电容器中的电压VGS之间的电流值IREF的有效电压 $V_{eff}=V_{GS}-V_{th}$ 变小。

电流采样电路的操作所必需的电压 V_{max} 由以下等式2到等式6给出。首先，这里当 $V_{GS1}=V_{eff1}+V_{th}$ 和 $V_{GS2}=V_{eff2}+V_{th}$ 时，以下等式

代表第一MOS晶体管M211。

$$\begin{aligned} I_{\max} &= (1/2)\beta(W1/L)*(VGS1-V_{th})^2 \\ &= (1/2)\beta(W1/L)*V_{\text{eff}1}^2 \end{aligned} \quad (2)$$

以上述同样的方式，以下等式是针对第二MOS晶体管M212获得的。

$$\begin{aligned} I_{\max} &= (1/2)\beta(W2/L)*(VGS2 - V_{th})^2 \\ &= (1/2)\beta(W2/L)*V_{\text{eff}2}^2 \end{aligned} \quad (3)$$

在等式2和等式3中，W1和W2表示晶体管M211和M212的沟道宽度，L表示晶体管M211和M212的沟道长度。I_{max}是电流输出型驱动电路的输出电流的最大值。

等式2和等式3中的V_{eff1}和V_{eff2}可以是用于使电流通过MOS晶体管M211和M212所必要的有效电压。当有效电压低时，它容易受漏极和栅极之间的耦合电容以及开关元件SW211和SW212的闭合/关断操作的影响。

通过以下等式给出提供给采用共射-共基放大器配置的MOS晶体管M211和M212的最大电压V_{max}：

$$\begin{aligned} V_{\max} &= VGS1 + VGS2 + \alpha \\ &= V_{\text{eff}1} + V_{\text{eff}2} + 2V_{th} + \alpha \end{aligned} \quad (4)$$

在等式4中，常数α是构成开关元件SW213和SW214的MOS晶体管的漏极和源极之间的电压，α≈V_{DS}≈0.2V。当考虑与DAC输出相连时，以下等式给出了最大电压V_{max}：

$$V_{\max} \leq (1/2)VDD \quad (5)$$

这里，当V_{th}=0.75V且VDD=4.75V时，得到以下结果：

$$V_{\text{eff}1} + V_{\text{eff}2} = 0.675V \quad (6)$$

根据等式6，发现V_{eff1}和V_{eff2}取相当小的电压，比如几百毫伏。在采样和保持期间产生的几毫伏误差将成为问题，因此需要足够的关注，使数字信号串扰将不会依赖于在驱动器IC之间分配基准电流的基准电流互连接。

下面，将参考附图阐述构成电流镜电路203的电阻器元件的布

局、驱动器IC之间的基准电流的分配操作，和用于在驱动器IC之间分配基准电流的基准电流互连接的防护以及稳定方法。

图11A到图11C是说明构成电流镜电路203的电阻器元件的布局示例的视图。

这里，将阐述设于驱动器IC中的DAC的数量为 $m=8$ 的情况。如上所述，电阻器元件R211和R212是构成Wilson恒定电流源2031的电阻器元件。而且，电阻器R221、R222、...和R228是构成电流源2034-1、电流源2034-2、...和电流源2034-8的电阻器元件。

而且，电流镜电路203向在图中从左至右布置在驱动器IC中的DAC800-1、DAC800-2、...和DAC800-8提供基准电流IREF1、IREF2、...和IREF8，。

图11A显示了最优布局的示例。

在图11A的示例中，这样布局使得驱动器IC芯片左端处的DAC800-1的基准电流源2034-1的电阻器元件R221和芯片右端处的DAC800-8的基准电流源2034-8的电阻器元件R228接近Wilson恒定电流源2031的电阻器元件R211和R212。

而且，向DAC提供基准电流源的电阻器元件从左至右被轮流指配给DAC，并且还指配成使得从右至左轮流返回基准电流。

通过以这种方式实现该布局，对应于驱动器IC左端和驱动器IC右端的部分的亮度差异可以变小，同时使驱动器IC中相邻DAC之间的亮度差异实际上变小。因此，例如如图12所示，通过将显示板102在径向上（图4中的横向上）分割，可使用于驱动显示板的驱动器之间的亮度阶变小。

图11B也显示了最佳布局的示例。

图11B与图11A的布局差异在于，每个电阻器元件实际是由各具有例如 $1/2$ 值的两个电阻器元件配置的，并按交叉连接（cross-lacing）方式布局。

通过用折起（tuck up）的方式实现Wilson恒定电流源2031的电

阻器元件R211和R212的布局，可使Wilson恒定电流源2031的变化小。

按上述相同的方式，通过用交叉连接方式来完成驱动器IC左端的DAC800-1的基准电流源的电阻器R21和驱动器IC右端的DAC800-8的基准电流源的电阻器R28的布局，可使对应于驱动器IC左端和驱动器IC右端的部分的亮度差异变小。而且，其它电阻器元件按与它们匹配的交叉连接方式进行布局。

此外，晶体管最好是按与如图11A或图11B所示的电阻器元件的布局相同的顺序布局。图11C显示了一个较差的示例以作比较。

在图11C中，驱动器IC芯片左端的DAC800-1的基准电流源2034-1的电阻器元件R221接近Wilson恒定电流源2031的电阻器元件R211和R212，但远离芯片右端的DAC800-8的基准电流源2034-8的电阻器元件R228，因此，即使驱动器IC中相邻DAC之间的亮度差异小，但对应于驱动器左端和驱动器右端部分的亮度差异变大。为此，当要布置多个驱动器时，便容易在驱动器之间产生亮度阶。

图13A到图13H是用于阐述分配驱动器IC之间的基准电流IREF的操作的视图。

如图13A到图13H所示，本显示设备100在垂直消隐周期TBLK期间将基准电流IREF分配到驱动器IC(数据线驱动器)，并且驱动器IC101-1至101-n将在电流采样电路202中采样和保持的电流用作实质的基准电流。

在例如大尺寸显示板的情况下，主基准电流的互连接将会沿显示板长延伸。为此，由于数字信号的串扰和电源系统存在阻抗，数字噪声容易被叠加。例如，当传送图像数据的同时产生的数字噪声叠加在主基准电流上时，存在这样的问题，即在显示装置产生大数字噪声的特定图案时，出现由于噪声的亮度变化。

通常，在垂直消隐周期内，不在屏幕上显示图像，因此可通过固定图像数据的值来抑致数字噪声的产生。

在此周期内，通过将基准电流分配到数据线驱动器中，可分配

具有相同值的未叠加噪声的基准电流。

在垂直消隐周期之后，不直接使用面板上流过的基准电流，而是将在驱动器IC101-1至101-n的基准电流源电路200-1至200-n的电流采样电路202中采样并保持的电流用作每个驱动器IC的基准电流。利用这种方法，便可解决噪声问题。

此外，在垂直消隐周期之后，驱动器IC的所有的采样并保持基准电流的电路均变为OFF(断开)，并且公共基准电流互连接的电位产生波动。为此，最好提供电流采样电路202的虚设电路，便可理想地抑致公共基准电流互连接的电位波动。

图14是阐述用于在驱动器IC之间分配基准电流的基准电流互连接的防护和稳定方法的视图。

在本显示板100中，主基准电流IREF的互连接在防护用电源互连接之间通过。

此外，在多层基底情况下，它被放于(互连接在)用于防护的电源层上。作为用于防护的电源，在例如如上所述设在基准电流源电路200中构成电流采样电路202的第一电流存储器2021中，当二极管连接的晶体管M211和M212是n沟道MOS(NMOS)时，它们连接到模拟系统的地电压源端GNDa。

当二极管连接的晶体管M211和M212是p沟道MOS(PMOS)时，它们连接到模拟系统的供电电压源端VDDa。

许多数字信号输入到数据线驱动器IC。当在主基准电流IREF的互连接和这些数字信号互连接之间存在串扰时，流进电流采样电路202的电流会在数字信号改变之后波动几百纳秒到几微秒的时间。当电流在它波动时结束由电流存储器保持时，对于通过分割方式驱动显示板的每个数据线驱动器，便会终止亮度阶的产生。

为此，主基准电流的互连接经过防护用电源互连接之间，以尽可能地防止耦合电容Ccross附加到数字信号互连接上。

此外，在多层基底的情况下，通过将主基准电流IREF的互连接

放在用于防护的电源层上，可使互连接电容 C_s 的值大，并使由于串扰引起的波动 ΔV_{cross} 变小。

$$\Delta V_{cross} = (V_{IH} - V_{IL}) \times (C_{cross} / C_s) \times N_{dig}$$

$$\Delta I / I \approx 2 \Delta V_{cross} / V_{eff} \quad (7)$$

这里， V_{eff} 是在电流存储器的电容器中保持的有效电压
 $V_{eff} = V_{gs} - v_{th}$ 。

此外，在本显示板100中，如上所述，图像数据的值在垂直消隐周期内被固定，以减少分配基准电流过程中的串扰量。对于传送数字数据而言，最好采用小幅度传送技术或小幅度差分传送技术(LVDS)。

例如，在第一电流存储器2021中，当二极管连接的晶体管M211和M212是上述的NMOS时，采用模拟系统的地 GND_a 作为标准确定 I_{DS} ，因此电容器C211和C212的接地端连接到地电压源 GND_a 。

当二极管连接的晶体管M211和M212是PMOS时，采用模拟系统的电源电压源 VDD_a 作为标准确定 I_{DS} ，因此电容器C211和C212的接地端连接到电源电压源 VDD_a 。

为此，在与电容器C211和C212的接地端相同的方式，防护用电源互连接在NMOS电流存储器的情况下采用模拟系统的地电压源 GND_a ，而在PMOS电流存储器的情况下采用模拟系统的电源电压源 VDD_a 。

当具有相反极性的电源用于防护时，甚至模拟系统的地电压源 GND_a 和电源电压源 VDD_a 有几十毫伏或更多的噪声，因此在电流存储器执行采样和保持时对其精度造成影响。

在传送图像数据的周期期间，显示板102上的每个驱动器工作于高频率。为此，由于电源系统中存在的阻抗，使IC的电源电平不同地波动。

如上所述的示例，假定主基准电流从驱动器IC101-1输出，并在驱动器IC101-n上接收，对于驱动器IC101-n而言，驱动器IC101-1的

GNDa和驱动器IC101-n的GNDa之间的电平差异看上去交叠到基准电流中，成为噪声。

通过提供电流采样电路202，即使地电源电压GNDa的电平波动，栅极电压也会通过电流存储器的电容器C211和C212而一起波动。最后，晶体管M211和M212的栅极-源极电压不会波动，因此可向驱动器提供稳定的基准电流。

图15是根据本实施例基准电流源电路的配置的第二示例的框图。

本基准电流源电路200B与图7的基准电流源电路200A之间的差异在于，对于每个驱动器IC(本实施例中的101-1到n)而言，不提供恒定电流源电路，而是从电流源(如分别设于显示板102上的恒定电流产生电路或电流输出型DAC)提供基准电流IREF。

其余配置和功能与图7中的电路中的那些相同。

注意，还可以这样配置系统，使它们连接到多个电流采样电路而不是电流镜电路上。

以上给出了基准电流源电路200的具体配置和功能的详细说明。下面，将阐述驱动器IC101其余部件的功能。

测试电路1000响应于输入信号TMODE和TCLK测试整个电路的工作，并将对应电路的测试输出输出到TOUT。

控制电路300响应于方向控制信号DIR、复位信号RESET、负载脉冲LOAD、锁存脉冲LATCH和时钟信号MCLK而向写电路400、标志用双向移位寄存器500和控制信号产生电路700-1至700-(m/2)输出驱动时钟信号和控制信号。

写电路400基于控制电路300的驱动时钟信号和控制信号锁存输入m位的图像数据Din[m-1, 0]，最好用串/并转换降低工作频率，并将结果输出到图像数据用寄存器阵列600。

标志用双向移位寄存器500根据从控制电路300输入的方向控制信号DIR和驱动时钟信号和控制信号将标志信号(脉冲信

号)START/NEXT和NEXT/START输入从移位寄存器的两端移向左或右方向的任何一个方向。将移位的标志信号提供给图像数据用寄存器阵列600, 并选择用于写入从写电路400输入的图像数据的寄存器阵列的位置(地址)。

图像数据用寄存器阵列(图像用存储器)600通过例如双缓冲型寄存器配置, 并在前级的寄存器中保持从写电路400输入的图像数据。它响应于锁存脉冲LATCH的输入将保持的图像数据传送到后级寄存器中, 并响应于从控制信号产生电路700-1和700-(m/2)输入的通道选择信号而顺序地将其输出到数字/模拟转换电路DAC800-1至800-m中。

DAC800-1至800-m是电流输出型数字/模拟转换电路。也就是说, 这些转换电路产生对应于从图像数据用寄存器阵列600依次输入的图像数据的电流信号, 并以时分方式将其输出到构成电流输出电路900-1至900-m的电流采样电路中。

电流输出电路900-1、900-2、...、和900-m由根据上述本发明的电流采样电路和根据上述本发明的高耐压或中度耐压的电流输出晶体管来配置。这些电流输出电路采样并保持对应于从数字/模拟转换电路DAC800-1、800-2、...、和800-m输入的图像数据的转换电流, 并响应于LOAD信号输入将所保持的电流输出到多个输出端。

本实施例的电流输出型驱动器IC101基于从外部提供的控制信号保持输入图像数据 $Din[m-1, 0]$ 。它根据通道选择信号将所保持的图像数据输出到DAC800-2至800-m中。

数字/模拟转换电路DAC800-1至800-m产生并向电流输出电路900-1至900-m提供从基准电流源电路200提供的基准电流IREF和根据输入图像数据的电流。随后, 电流输出电路900-1至900-m保持从数字/模拟转换电路DAC800-1至800-m提供的电流, 响应于LOAD信号输入向多个输出端输出所保持的电流, 并将它们提供给显示板上未示出的多个数据线。

图16是本实施例的电流输出电路的配置示例的电路图。

电流输出电路900具有如图16所示的第一排901和第二排902，每排包括多个电流采样电路，电流输出晶体管阵列903包括多个具有满足驱动显示板102所需要的电压的中度耐压或高耐压的预定耐压的晶体管。

如图16所示，在第一排901和第二排902中布置了具有确切数量的输出电流通道的多个电流采样电路901-1至901-n和902-1至902-n。

第一排901的通道的电流采样电路901-1至901-n对应于第二排902的通道的电流采样电路902-1至902-n布置。

此外，第一排901和第二排902的通道的电流采样电路901-1至901-n和902-1至902-n对应于电流输出晶体管阵列903的通道的具有预定耐压的晶体管903-1至903-n进行布置。

例如，在第一排901中，它们对应于第一通道的电流采样电路901-1、第二排902的第一通道的电流采样电路902-1，以及电流输出晶体管阵列903中的第一通道的具有预定耐压的晶体管903-1进行布置。

电流采样电路901-1的电流输出端IOUT和电流采样电路902-1的电流输出端IOUT共同连接到具有预定耐压的晶体管903-1的源极。

按以上同样的方式，它们对应于第一排901的第n通道的电流采样电路901-n、第二排902的第n通道的电流采样电路902-n，以及电流输出晶体管阵列903中第n通道的具有预定耐压的晶体管903-n进行布置。

电流采样电路901-n的电流输出端IOUT和电流采样电路902-n的电流输出端IOUT共同连接到具有预定耐压的晶体管903-n的源极。

在电流输出晶体管阵列903中，具有预定耐压的晶体管903-1，903-2、...、和903-n的漏极连接到输出焊盘904-1、904-2、...、和904-n。

第一排901和第二排902的所有电流采样电路901-1至901-n和902-

1至902-n的电流输入端IIN连接到未在图16中显示的电流输出型DAC的电流输出端。第一排901的电流采样电路901-1至901-n和第二排902的电流采样电路902-1至902-n响应于控制信号OE0和OE1被交替控制为写模式和读取模式。

通过这些电流采样电路901-1至901-n和902-1至902-n，根据DAC的输出电流的驱动电流经由电流输出晶体管903-1、903-2、...、和903-n连接到在负载侧上未示出的数据线上。

本实施例的电流输出电路900在驱动有机EL元件时必须根据DAC的输出电流用约为10V至20V的电压向有机EL元件提供驱动电流。

为此，通过为每个输出通道提供具有中度耐压或高耐压的预定耐压的晶体管903-1至903-n的其中之一，并经由焊盘904-1至904-n将电流采样电路的输出电流输出给通道的有机EL元件，便可控制高电压。

图17是用于电流输出电路900的第一和第二排901和902的电流采样电路901-1至901-n和902-1至902-n的配置的具体示例的电路图。

本电流输出电路900的电流采样电路具有如图17所示的PMOS晶体管M901和M902、开关元件SW901至SW906、电容器C901和C902、2输入“NAND”门电路NG901至NG903，以及反相器INV901至905。

如图17所示，在电流输出电路900的电流采样电路中，开关元件SW901和SW905的闭合/关断控制是通过“NAND”门电路NG901和反相器INV901的输出信号来进行，而开关元件SW902和SW906的闭合/关断控制是通过“NAND”门电路NG902和反相器INV902的输出信号来进行的。

此外，开关元件SW903的闭合/关断状态受反相器INV903的输出信号控制，而开关元件SW904的闭合/关断状态受反相器INV905的输出信号控制。

注意，如图17所示，开关元件SW901、SW902、SW905和SW906

由PMOS晶体管构成，而开关元件SW903和SW904由NMOS晶体管构成。

时钟信号CK1和反相器INV903的输出信号输入到“NAND”门电路NG901的输入端，时钟信号CK2和反相器INV903的输出信号输入到“NAND”门电路NG902的输入端。

选择信号SEL和写使能信号WE提供给“NAND”门电路NG903的输入端。

反相器INV901的输入端连接到“NAND”门电路NG901的输出端，而反相器INV902的输入端连接到“NAND”门电路NG902的输出端。反相器INV903的输入端连接到“NAND”门电路NG903的输出端。

此外，输出使能信号OE提供给反相器INV904的输入端。反相器INV905的输入端连接到反相器INV904的输出端。

在本电流采样电路中，当选择信号SEL和写使能信号WE在电流写(采样)时保持在高电平时，反相器INV903的输出变为高电平，开关元件SW903闭合“ON”。此时，时钟信号CK1和CK2保持在高电平，因此“NAND”门电路NG901和NG902的输出保持在高电平，而反相器INV901和INV902的输出保持在低电平。此时，开关元件SW901、SW902和SW903变为“ON”，而其它开关元件SW904、SW905和SW906变为OFF。由此，晶体管M901和M902的栅极电压输入到电容器C901的电极和C902的电极。

在电流写结束之后，时钟信号CK1和CK2依次变为低电平。响应于此，开关元件SW901和SW902依次变为OFF状态。另一方面，与开关元件SW901的关断一道，开关元件SW905闭合，并且与开关元件SW902的关断一道，开关元件SW906闭合。

随后，当写使能信号WE切换到低电平时，开关元件SW903关断。此时，电容器C901和C902保持晶体管M901和M902的栅极电压。

在电流读取(电流输出)的时候,输出使能信号 OE 保持在高电平。响应于此,开关元件 SW904 闭合,因此,利用保持在电容器 C901 和 C902 上的电压,晶体管 M901 和 M902 传送由它们的栅极电压确定的饱和电流。这些电流从输出端 Tout 输出到负载侧。

本电流采样电路的 PMOS 晶体管 M902 用作共射-共基放大器晶体管,因此可提高输出电流精度,并减小由于负载侧的变化而产生的影响。

在本电流采样电路中,构成开关元件 SW905 的 MOS 晶体管的沟道宽度最好形成为约构成开关元件 SW901 的 MOS 晶体管的沟道宽度的 1/2。或者,三个门电路中的一个用作开关元件 SW905,而其中两个用作开关元件 SW901。注意,对于构成开关元件 SW902 和 SW906 的 MOS 晶体管,情况也如此。

当操作模式从电流写转变为保持状态时,为保持正确的电流写,重要的是要消除在关断开关元件 SW901 和 SW902 时产生的电荷。当开关元件 SW905 和 SW906 在开关元件 SW901 和 SW902 关断之前闭合时,消除效果变得非常小。为此,开关元件 SW905 和 SW906 在用于驱动开关元件 SW901 和 SW902 的“NAND”输出之后由反相器的输出驱动。

根据本电流采样电路,减少了在形成半导体集成电路时成为问题的开关操作的影响。电流写和电流读取时的电流值符合足够的精度,并且由输出负载侧上的电路变化而产生的影响得到抑制。

如上所述,在每个电流采样电路中,当选择信号 SEL 和写使能信号 WE 处于有效状态(例如高电平)时,栅极电压响应于 DAC 的输出电流在由时钟信号 CK1 和 CK2 设置的定时时被取进电流采样电路的电容器 C901 和 C902 中,并被保持。随后,当读取使能信号 OE 处于有效状态(例如高电平)时,根据保持在电容器 C901 和 C902 上的栅极电压输出电流。

为此,通过本实施例的电流输出电路 900,每个电流采样电路基

于 DAC 的输出电流向每个通道的有机 EL 元件提供了高精度的驱动电流。

图 18A 到图 18H 是说明图 6 的电流输出型驱动器 IC 的工作的时序图。下面，通过参照图 16 和图 18A 到图 18H 将阐述图 6 的电流输出型驱动器 IC 的工作。

如图 16 所示，在第一排 901 和第二排 902 的电流采样电路中，写操作和读取操作轮流受使能信号 OE0 和 OE1 控制。也就是说，使能信号 OE0 作为第一排 901 的每个电流采样电路的写使能信号 WE 输入，而使能信号 OE1 作为读取使能信号 OE 输入。相反，在第二排 902 的每个电流采样电路中，使能信号 OE1 作为写使能信号 WE 输入，而使能信号 OE0 作为读取使能信号 OE 输入。

为此，当第一排 901 的电流采样电路正在写时，第二排 902 的电流采样电路输出电流，相反，在第二排 902 的电流采样电路正在写时，第一排 901 的电流采样电路输出电流。也就是说，第一排 901 的电流采样电路和第二排 902 的电流采样电路被轮流控制为写模式和读取(电流输出)模式。

如图 18A 到图 18F 所示，时钟信号 CK1 和 CK2 及使能信号 OE0 和 OE1 与锁存脉冲 LATCH 同步产生。注意锁存脉冲 LATCH 由系统产生，并提供给控制信号产生电路 700-1 和 700-(m/2)。这些控制信号产生电路 700-1 和 700-(m/2) 产生时钟信号 CK1 和 CK2 和使能信号 OE0 和 OE1，并将它们提供给电流输出电路 900。

如图 18A 到图 18F 所示，与锁存脉冲 LATCH 同步，产生时钟信号 CK1 和 CK2 以及使能信号 OE0 和 OE1。对于锁存脉冲 LATCH 的每个循环，使能信号 OE0 和使能信号 OE1 交替保持在高电平和低电平上。

当使能信号 OE0 处于高电平时，第一排 901 的电流采样电路执行写。此时，在由时钟信号 CK1 和 CK2 设定的定时上，第一排 901 的电流采样电路 901-1、901-2、...、901-n 向电容器 C901 和 C902 提供晶体管 M901 和 M902 的栅极电压，并保持它们。

在下一锁存脉冲LATCH循环中，使能信号OE0切换到低电平，而使能信号OE1切换到高电平。因此，第二排902的电流采样电路执行写，而第一排901的电流采样电路执行读取，也就是电流输出。

如图18G和图18H所示，此时，例如电流从第一排901的电流采样电路901-1的电流输出端IOOUT输出。

如上所述，在本实施例的电流输出电路900中，响应于使能信号OE0和OE1，第一排901的电流采样电路和第二排902的电流采样电路被交替控制为写模式和读取模式，电流采样电路在写模式中响应于DAC的输出电流执行写，并在读取模式中输出在写模式操作时所保持的电流，因此可响应于DAC的输出电流向负载侧提供具有高精度的电流。

图19是图6的电流输出型驱动器IC101中的寄存器阵列600(图像存储器)的配置示例的电路图。

注意，图19所示的示范电路是对应于图6中的一个DAC的寄存器阵列的部分电路。在以下说明中，为简便起见，将这部分电路作为指配了标号600的寄存器阵列来说明。

如图19所示，构成寄存器阵列600的单位单元例如为双缓冲型锁存电路602-11、602-12、...、602-1n至602-m1、602-m2、...和602-mn，其中连接了两级具有传输门的D型锁存电路。

锁存电路602-11至602-mn配置 $n \times m$ 阵列，其中连接到一个DAC的输出的电流采样电路的通道数 n 是字数，而图像数据的位宽度 m 是位宽度。

在锁存电路602-11至602-mn中，前一级锁的存电路的传输门由标志寄存器500-1、500-2、...、和500- i 的输出WD1，WD2、...、WD i 来接通/断开。

在这种配置中，例如，开始脉冲信号START输入至标志寄存器500-1。此外，图像数据经由写电路输出到驱动器IC内部的数据总线DX0至DX $m-1$ 、DY0至DY $m-1$ 以及DZ0至DZ $m-1$ 上。

通过由标志寄存器500-1、500-2、...和500-i例如在两个级连接的双缓冲型锁存电路之间顺序移位开始脉冲信号START，将图像数据以各三个通道的量写入前一级锁存电路中。

当写图像数据由于锁存脉冲LATCH的输入而结束时，在每个双缓冲型锁存电路中，前一级锁存电路中保持的图像数据输出至后一级锁存电路中。后一级锁存电路的输出部分变为选择电路，并且每个选择电路的输出连接到公共数据总线600[m-1, 0]的对应位线上。数据总线606[m-1, 0]连接到缓冲器604的输入侧。缓冲器604的输出端连接到DAC的译码器的输入端。即，双缓冲型锁存电路的输出经由缓冲器604输入至DAC的译码器。

将双缓冲型锁存电路602-11、602-12、...和602-1n中哪一个锁存电路的输出输出至缓冲器604是由输入到后一级双缓冲型锁存电路的选择电路的选择信号SEL1、SEL2、...、和SELn来控制的。

如图16所示，选择信号SEL1、SEL2、...、和SELn输入至缓冲器605，缓冲器605缓冲的选择信号输出至双缓冲型锁存电路602-11、602-12、...、602-1n至602-m1, 602-m2、...和602-mn。

此外，图20是包括图6的寄存器阵列600、控制信号产生电路700、DAC800以及电流输出电路900的部分电路的配置的框图。

在图20的配置中，相继以时分方式执行从寄存器阵列600读取数字图像数据、根据图像数据由DAC800输出电流以及将其写到电流输出电路900中的操作序列。控制信号产生电路700产生用于控制这系列操作的控制信号，并将其输出到电流输出型驱动电路的部件中。

例如，DAC800的译码器的输入侧经由选择电路和输出缓冲器604连接到n个通道worth的寄存器阵列603-1、603-2、...、和603-n。DAC800的输出侧连接到电流输出电路900，以便输出n个通道worth的电流I01、I02、...和I0n。从寄存器阵列600选择哪一通道的图像数据并输出至DAC800是由控制信号产生电路700产生的选择信号SEL1、SEL2、...、和SELn来控制的。所选通道的图像数据从寄存器阵列600

输入到DAC800的译码器中，由DAC800转换为电流输出，并被写入电流输出电路900。

如图20所示，在电流输出电路900中，第一排901的电流采样电路和第二排902的电流采样电路响应于使能信号OE0和OE1在控制信号产生电路700输入的高电平和低电平之间的交替切换，而重复写模式和读取模式，取从DAC800输出的电流，并进一步将其经由电流输出晶体管输出到未示出的图像显示元件中，例如有机EL元件。

图21A至图21G是显示了元件工作的时序图。下面，通过参照图20和图21A至图21G将说明此电路组的基本工作。

在每个工作循环中，输入锁存脉冲LATCH使控制信号产生电路700清零，并开始工作。

如图21A至图21G所示，在锁存脉冲LATCH之后，选择信号SEL1、SEL2、...、和SELn依次从控制信号产生电路700产生。此外，与选择信号一道，提供给通道的时钟信号CK11、CK12、CK21、CK22、...、CK1n和CK2n也依次产生。

选择信号SEL1、SEL2、...、和SELn提供给寄存器阵列600，保持在寄存器阵列600中的通道的图像数据依次被读取，并输入至数字/模拟转换电路DAC800的译码器中。

通过DAC800，输入图像数据被相继转换成电流输出，并输出到电流输出电路900中。在电流输出电路900中，在第一排901和第二排902之间，由使能信号OE0和OE1将其中一个控制为写模式，而将另一个控制为读取模式。从DAC800输出的电流响应于通道选择信号SEL1、SEL2、...、和SELn依次写入存在于写模式侧上的排中的电流采样电路中。

注意，同时给电流采样电路提供：通道选择信号；第一时钟信号组CK11、CK12、...和CK1n，以便先关断第一开关电路；以及第二时钟信号组CK21、CK22、...和CK2n，以便以滞后于第一开关电路某一时间关断第二开关电路。也可以在这些选择信号对于每个通

道不一致的情况下，以组合一些类型的选择信号的形式减少互连接数量，或者在时钟信号对于每个通道不一致的情况下，只公共使用两或三组信号。

如图21A至图21G所示，当从外部输入负载脉冲LOAD时，用于控制写模式和读取模式之间切换的OE0和OE1信号反向，并在低电平和高电平之间交替切换。当使能信号OE0处于低电平且使能信号OE1处于高电平时，第一排901的电流采样电路工作于电流读取模式，并输出电流，而第二排902的电流采样电路工作于写模式，并取DAC的输出电流。另一方面，当使能信号OE0处于高电平而使能信号OE1处于低电平时，第二排902的电流采样电路工作于读取模式，所保持的电流从每个电流采样电路输出，而第一排901的电流采样电路工作于写模式，并取DAC的输出电流。

如上所述，通过在采用具有足够电流输出精度的电流采样电路在电流采样电路中提供用于以时分方式控制电流写的控制信号产生电路，以及还通过采用以时分方式将电流输出型D/A转换电路的输出电流写到多个电流采样电路中的方法，可以减少D/A转换电路的数量，并可以布置多位DAC。

如上所述，根据第一实施例，通过利用电流采样电路，可公共使用主基准电流，因此，可使以分割方式驱动显示的驱动器之间的亮度阶变得足够小，并且也可减少显示板上的基准电流的互连接数量。

而且，通过在垂直消隐周期内固定图像数据信号，并将其分配到数据线驱动器中，可大大减少数字信号串扰对基准电流的影响。此外，当传送图像数据时，通过利用保持在设于每个驱动器的基准电流源电路的电流采样电路中的基准电流，可使操作期间的噪声影响变小。

根据上述说明，可利用根据本实施例的显示设备实现大尺寸、高等级的有机EL显示装置。

<第二实施例>

图22是说明根据本发明的有机EL显示设备的第二实施例的配置视图。

第二实施例与第一实施例的差别在于，在图中显示板102A被按径向(横向)分割，并又进行垂直分割，由顶部和底部的驱动器IC101-1至101-n和101-(n+1)至101-(2n)来驱动。

在第二实施例中，驱动显示板102A使得图中的上半部分由n个驱动器IC101-1至101-n分割驱动，而下半部分由n个驱动器IC101-(n+1)至101-(2n)以相同方式分割驱动。

在大尺寸显示装置情况下，优选采用这种配置。

在第二实施例中，基准电流按驱动器IC101-1至101-(2n)顺序被取出，因此，对于取基准电流的标志最好是由输入端TREFSTART和输出端TREFNEXT移动，以便这些输入/输出端依次连接。

也可以不采用此方法，而是这样配置系统，使得它提供指示采样周期的控制端，并中央控制设于面板上的控制用IC的工作。

此外，以与第一实施例相同的方式，本显示设备100A通过将显示板102用多个驱动器IC101-1至101-n、101-(n+1)至101-(2n)分割来驱动它，从而依次将图像数据写入多个驱动器IC。

为此，提供输入/输出端TSTART/NEXT和TNEXT/START，以用于传送指示驱动器IC之间的写位置的标志。

随后，初始级的主驱动器IC101-1的输入/输出端TSTART/NEXT连接到指示开始图像数据传送的脉冲信号START的输入端，而输入/输出端TNEXT/START连接到下一级的驱动器IC101-2的输入/输出端TSTART/NEXT。驱动器IC101-2的输入/输出端TNEXT/START连接到下一级的未示出的驱动器IC101-3的输入/输出端TSTART/NEXT。

下面，按与上述相同的方式，将驱动器IC101-(2n-1)的输入/输出端TNEXT/START连接到最后级的驱动器IC101-(2n)的输入/输出端

TSTART/NEXT.

在这种配置中，在通过例如未示出的写方向控制信号DIR，在DIR=H(逻辑高电平)时，输入/输出端TSTART/NEXT用作START输入，TNEXT/START端用作NEXT输出，在图中标志从驱动器IC左边移动至右边，同时图像数据被写入(显示板上侧的驱动器IC101-1至101-n)。

此外，在DIR=L(逻辑低电平)时，输入/输出端TNEXT/START用作START输入，输入/输出端TSTART/NEXT用作NEXT输出，标志从在图中的驱动器IC右边移动至左边(显示板中从左至右)，并且图像数据被写入(显示板下侧的驱动器101-(n+1)至101-(2n))。

在此，参照图23A至图23N的时序图将说明图22的显示板100A中的基准电流的采样和传送操作。注意，以下对操作的说明仅作为示例。也可以配置本系统，使得它由设于面板上的控制用IC中央控制该操作。

在此情况下，给显示板上侧的驱动器IC101-1至101-n提供有未示出的写方向控制信号DIR=H(逻辑高电平)，则输入/输出端TSTART/NEXT用作START输入，而输入/输出端TNEXT/START用作NEXT输出。

与此相反，给显示板下侧的驱动器101-(n+1)至101-(2n)提供未示出的写方向控制信号DIR=L(逻辑低电平)，则输入/输出端TSTART/NEXT用作NEXT输入，而输入/输出端TNEXT/START用作START输出。

这里，如图23A所示，在输入水平同步信号HSYNC(向下)脉冲之后，如图23B和图23E所示，指示传送图像数据开始的脉冲信号START脉冲=START(1)脉冲=START(n+1)输入至驱动器IC101-1的输入/输出端TSTART(/NEXT)和驱动器IC101-(n+1)的输入/输出端T(NEXT)/START。

当标志在驱动器IC101-1中移动，并且结束了写入驱动器IC101-1

的图像数据用存储器时，指示驱动器IC101-2写开始的脉冲信号START(2)从驱动器IC101-1的输入/输出端TNEXT(/START)输出至驱动器IC101-2的输入/输出端TSTART(/NEXT)。由此，标志移动到驱动器IC101-2，并且图像数据被写入驱动器IC101-2的图像数据用存储器。

按与上述相同的方式，当标志在驱动器IC101-(n+1)中移动，并且结束了写入驱动器IC101-(n+1)的图像数据用存储器时，指示驱动器IC101-(n+2)写开始的脉冲信号START(n+2)从驱动器IC101-(n+1)的输入/输出端TSTART(/NEXT)输出至驱动器IC101-(n+2)的输入/输出端TNEXT(/START)。由此，标志移动到驱动器IC101-(n+2)，并且图像数据被写入驱动器IC101-(n+2)的图像数据用存储器。

按与上述相同的方式，脉冲信号START(3)至START(n)和START(n+3)至START(2n)相继输出，并且图像数据被写入驱动器IC101-3至101-n以及101-(n+3)至101-(2n)的图像数据用存储器。

此外，如图23H所示，指示基准电流IREF分配开始的脉冲信号REFSTART输入至驱动器IC101-1的输入端TREFSTART。

输入脉冲信号REFSTART，以便交叠脉冲START(1)，如图23B和图23H所示。驱动器IC101-1用脉冲信号START(1)作为驱动时钟来锁存脉冲信号REFSTART，并从输出端TREFNEXT端在1个循环之后的脉冲信号START(1)的后沿输出1个循环宽度的信号REFNEXT(1)脉冲。驱动器IC101-1在产生脉冲信号REFNEXT(1)脉冲的时候从基准电流输入端IREFIN取基准电流IREF。

脉冲信号REFNEXT(1)输入至驱动器IC101-2的输入端TREFSTART。脉冲信号REFNEXT(1)交叠脉冲信号START(2)，如图23C和图23I所示。驱动器IC101-2用脉冲信号START(2)作为驱动时钟来锁存脉冲信号REFNEXT(1)，并从输出端TREFNEXT端在1个循环之后的脉冲信号START(2)的后沿输出1个循环宽度的脉冲信号REFNEXT(2)。驱动器IC101-2在产生脉冲信号REFNEXT(2)的时候从

基准电流输入端IREFIN取基准电流TIREF。

以上述相同的方式，REFNEXT(3)至REFNEXT(2n)的脉冲相继从驱动器IC101-3至101-(2n-1)输出，并且基准电流IREF相继取入驱动器IC101-3至101-(2n)。

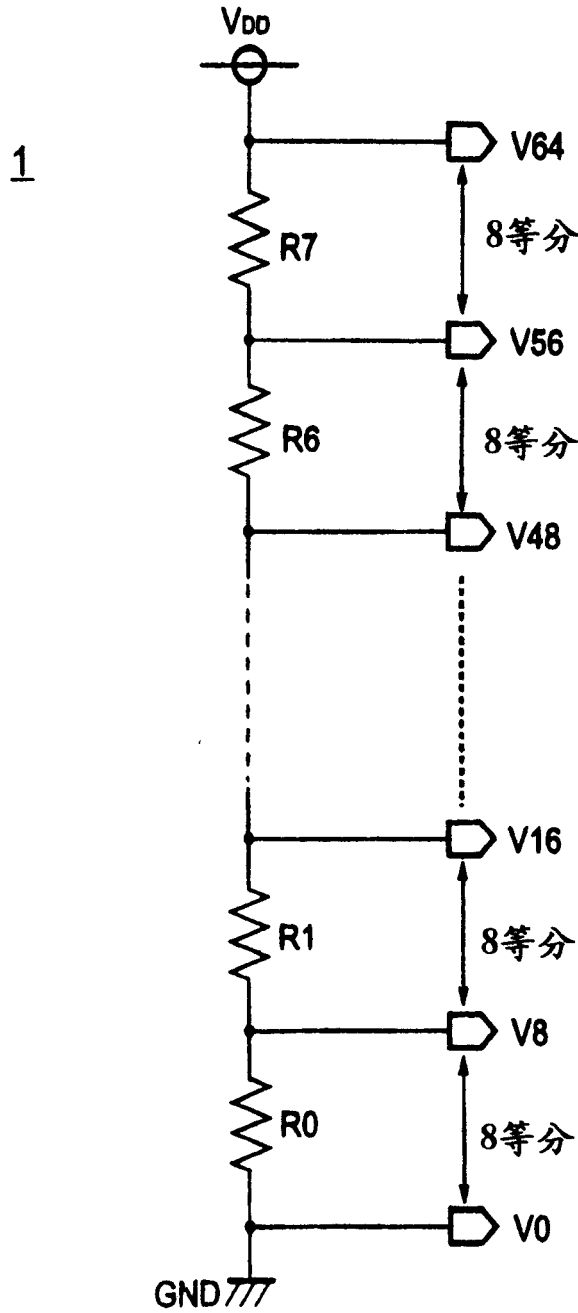
在第二实施例中，其余配置和功能与第一实施例中的那些相同。

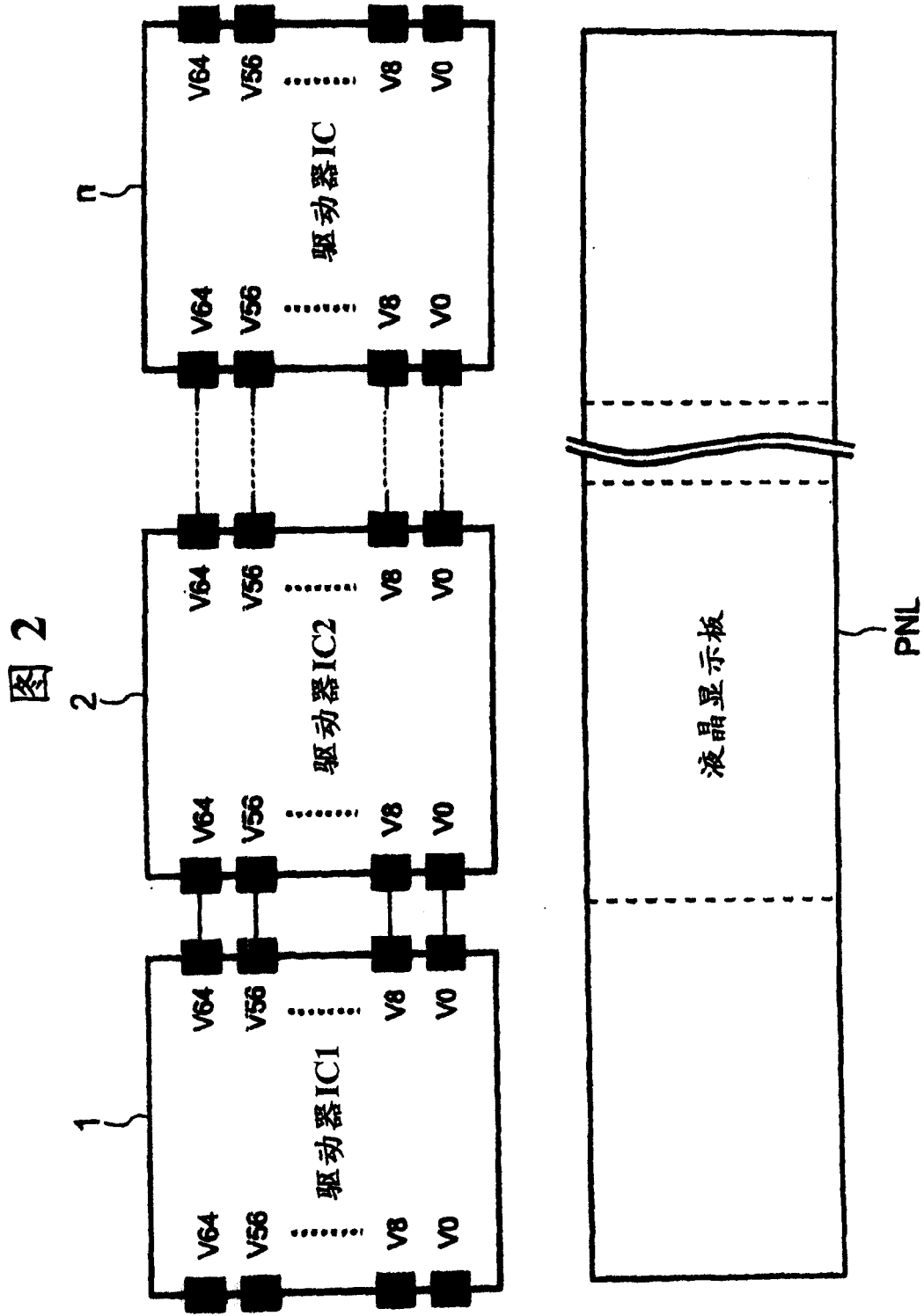
根据第二实施例，优点在于，不仅可以获得与第一实施例的效果相同的效果，而且本实施例可最佳地应用于大尺寸显示装置。

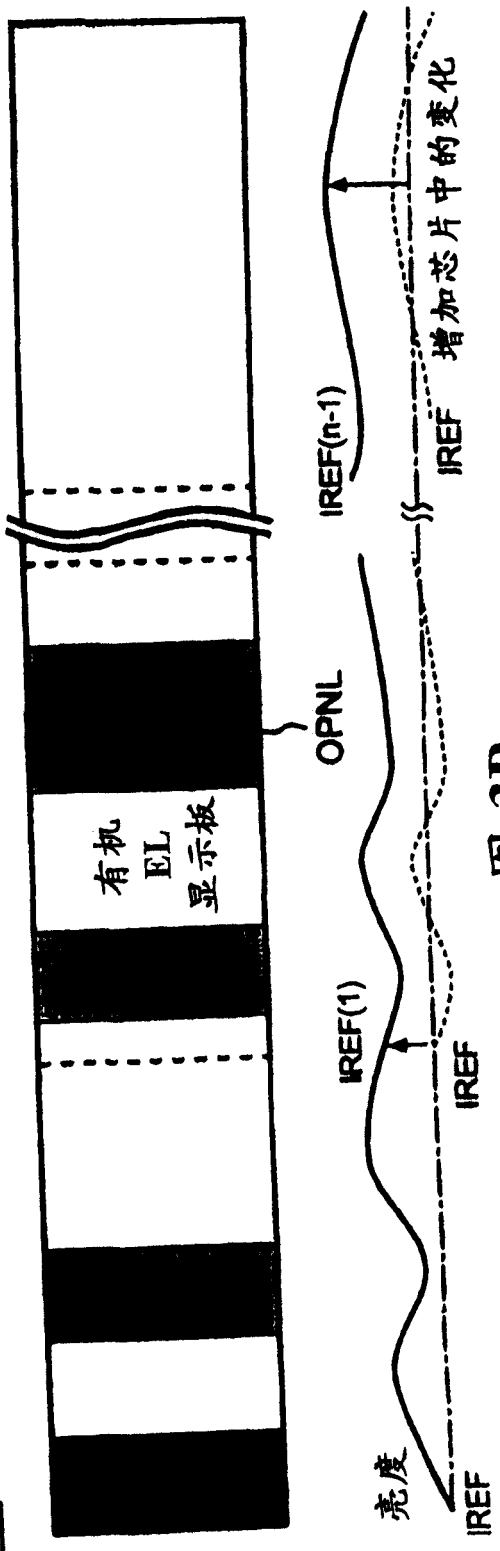
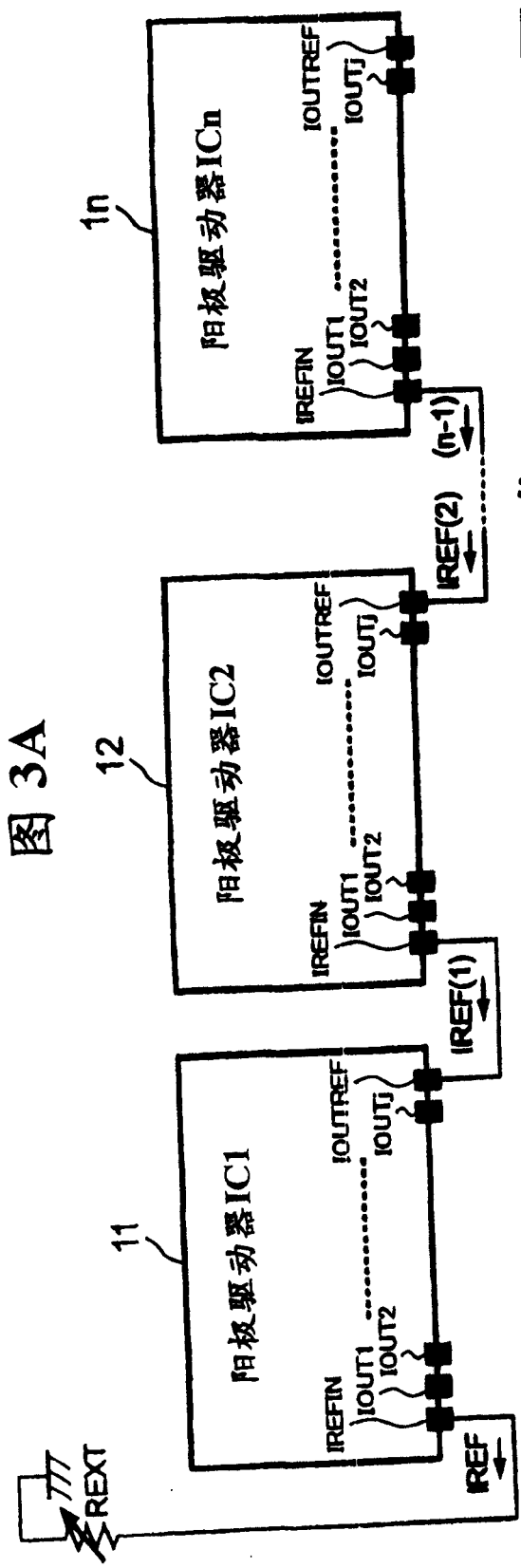
工业实用性

本发明的电流输出型驱动电路使以分割方式驱动面板的驱动器之间的亮度阶变得足够小，可减少显示板上的基准电流的互连接数量，可使数字信号串扰对基准电流的影响变小，并且可减少操作期间噪声的影响，因此可应用于大尺寸、高等级有机EL显示装置。

图 1







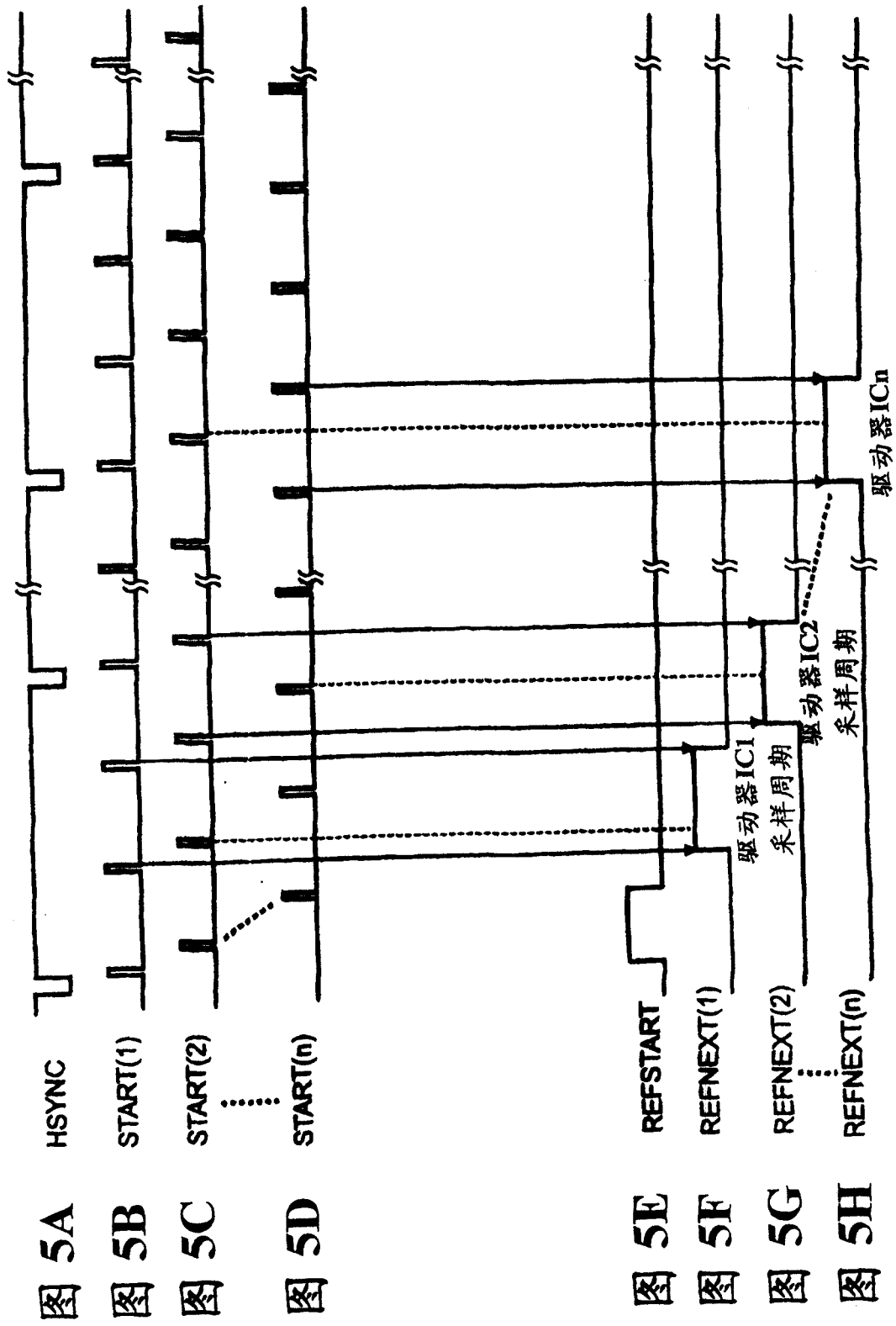


图 6

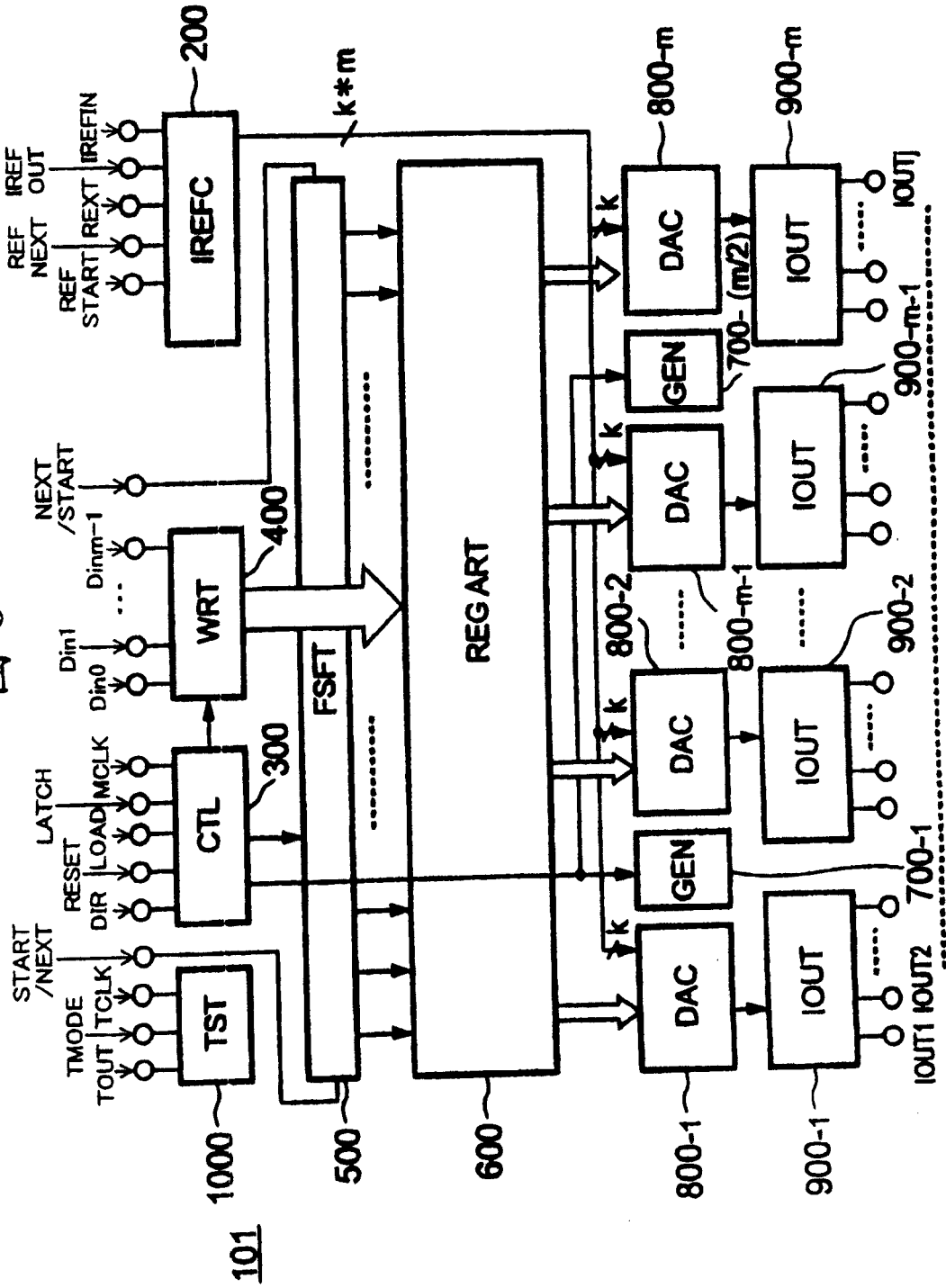
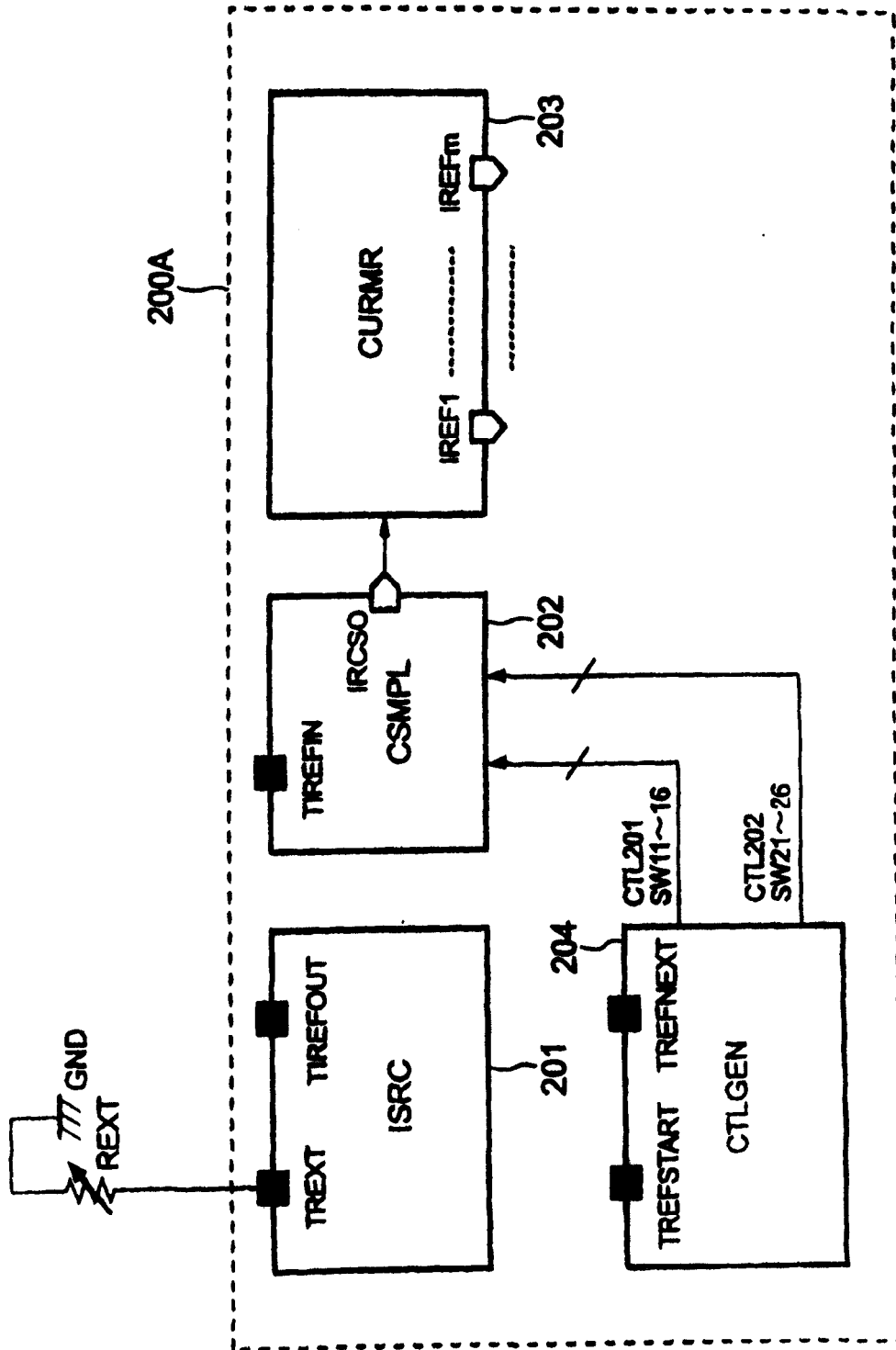


图 7



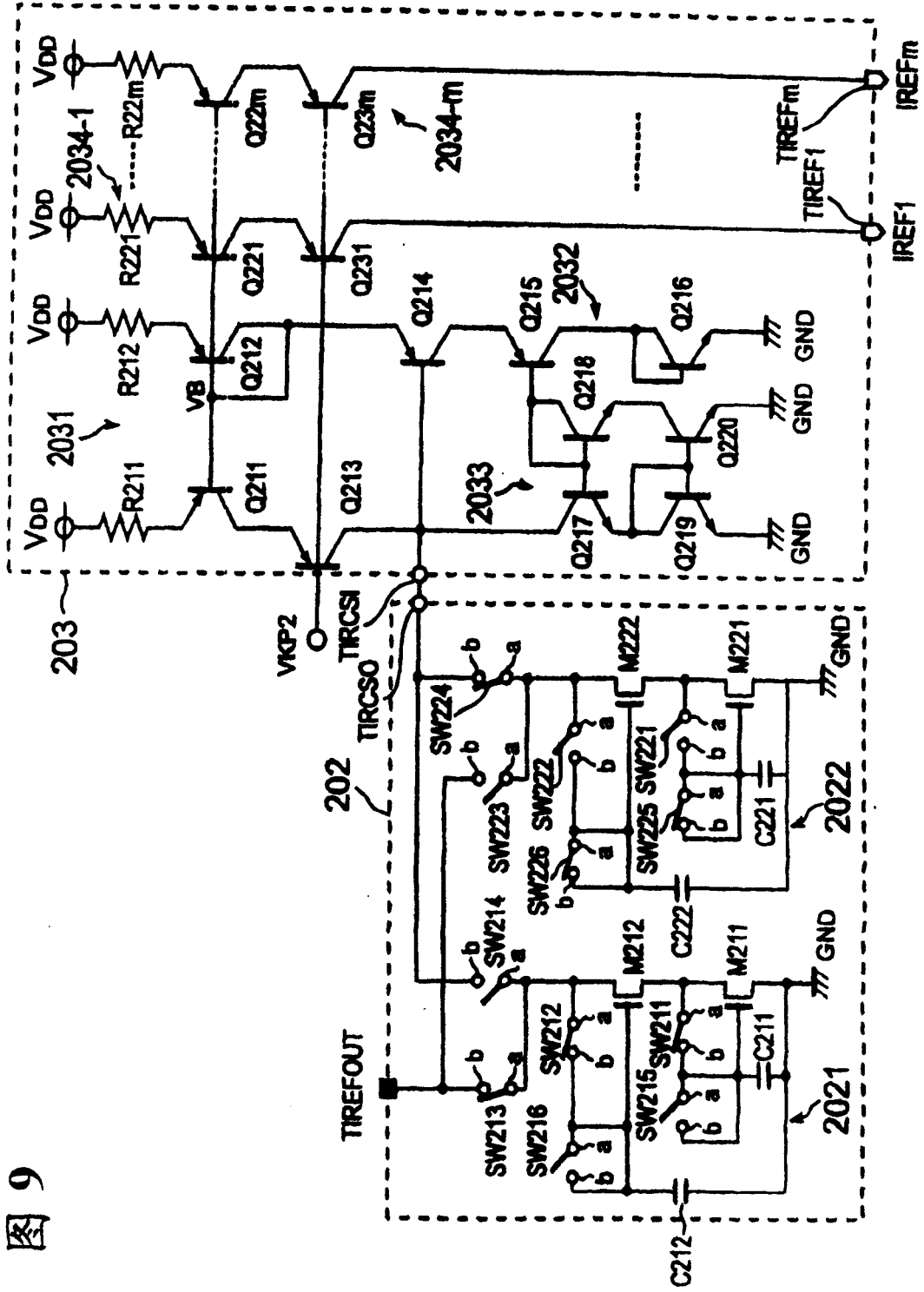
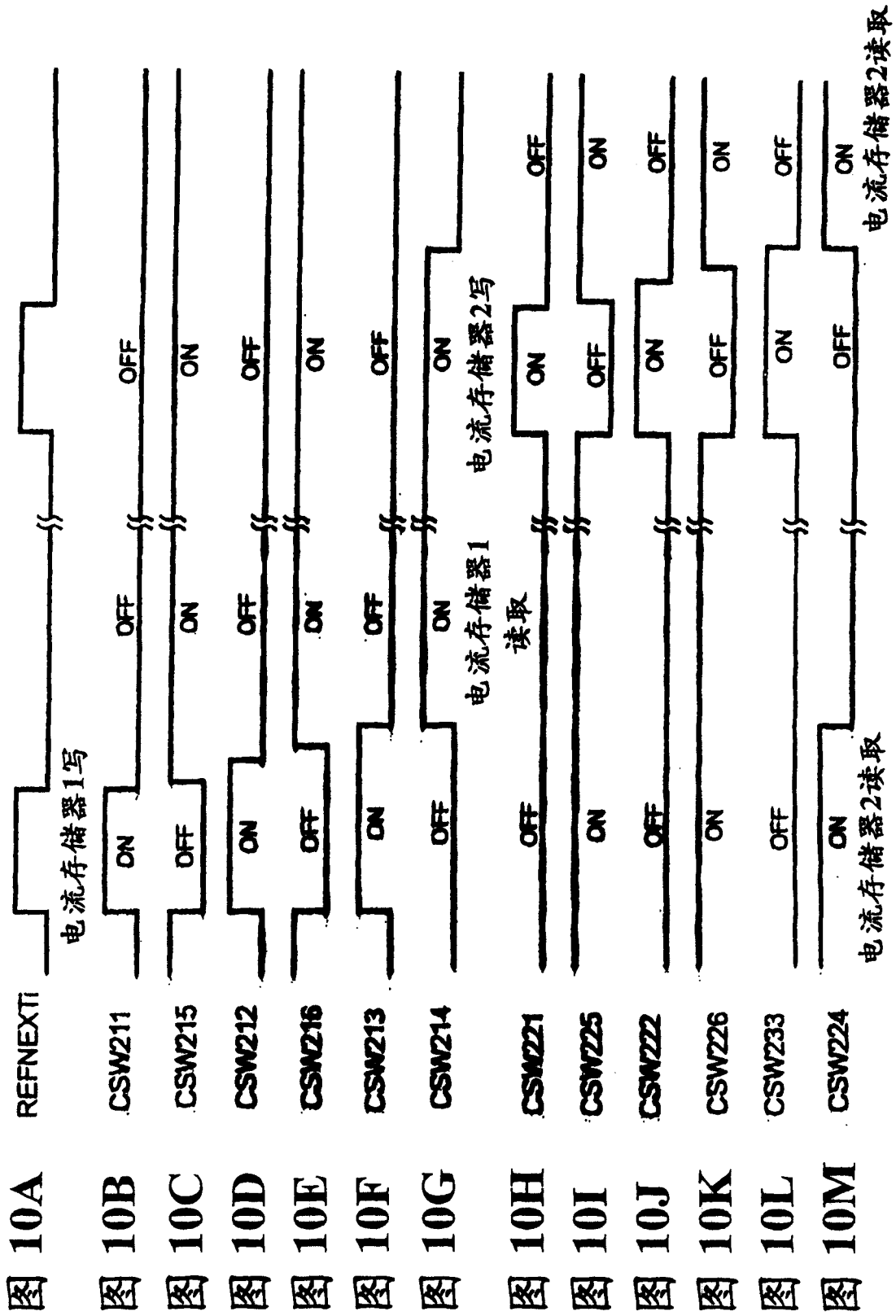


图 9



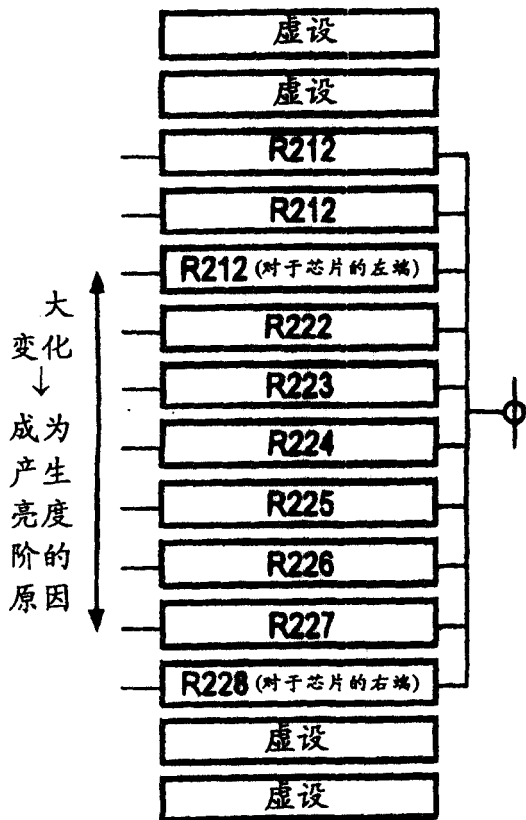


图 11C

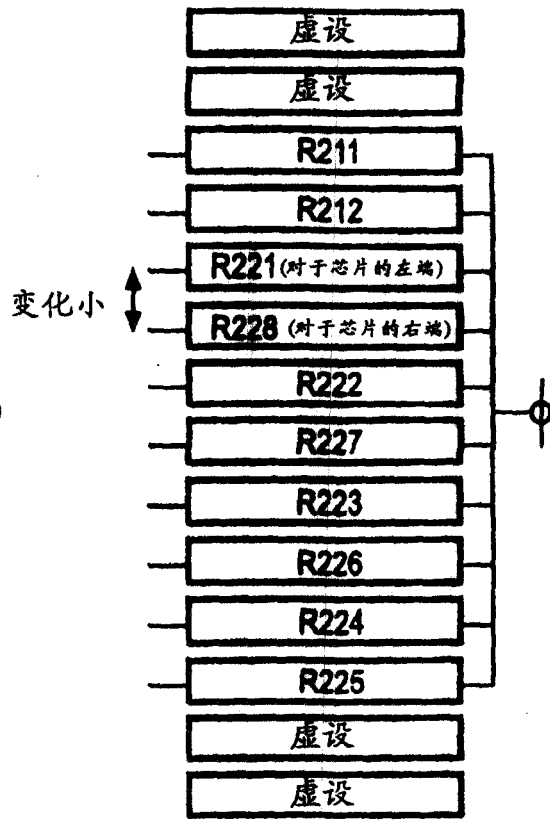


图 11A

图 11B

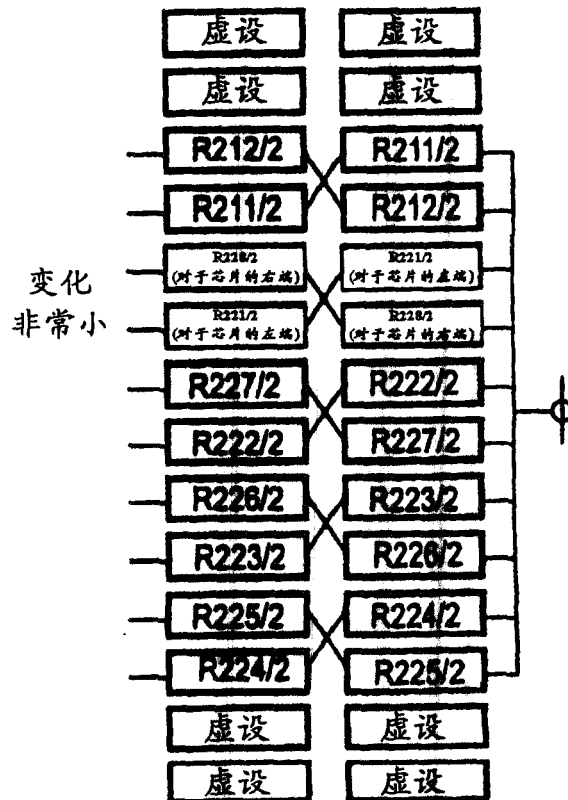
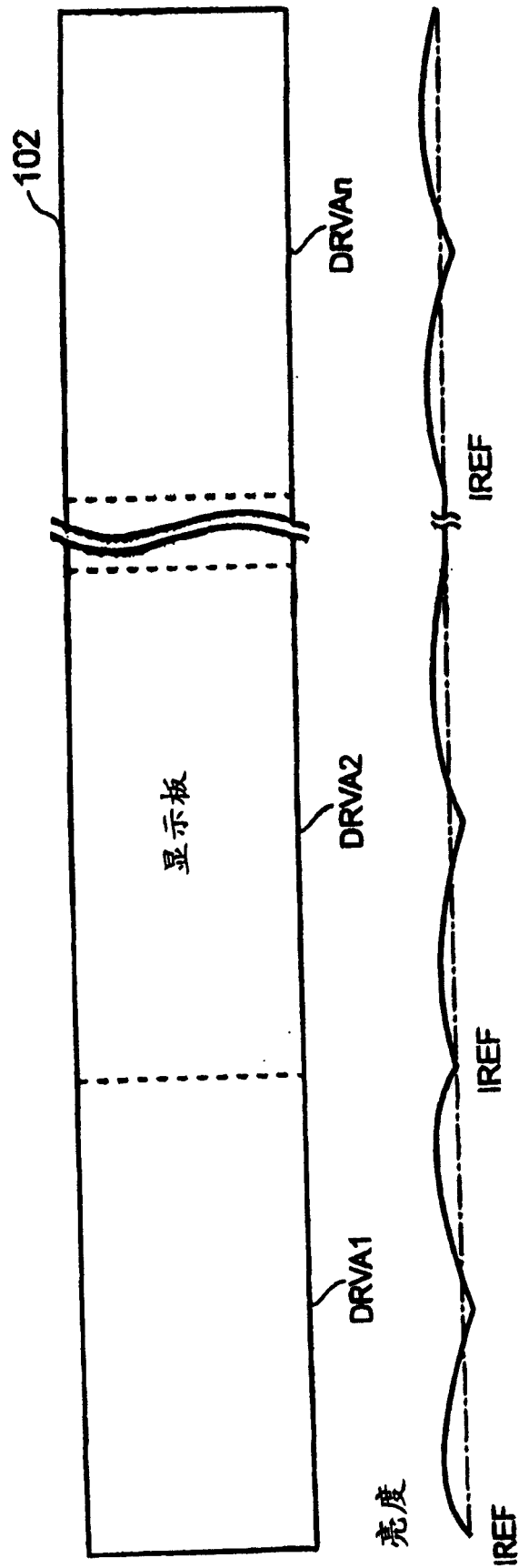
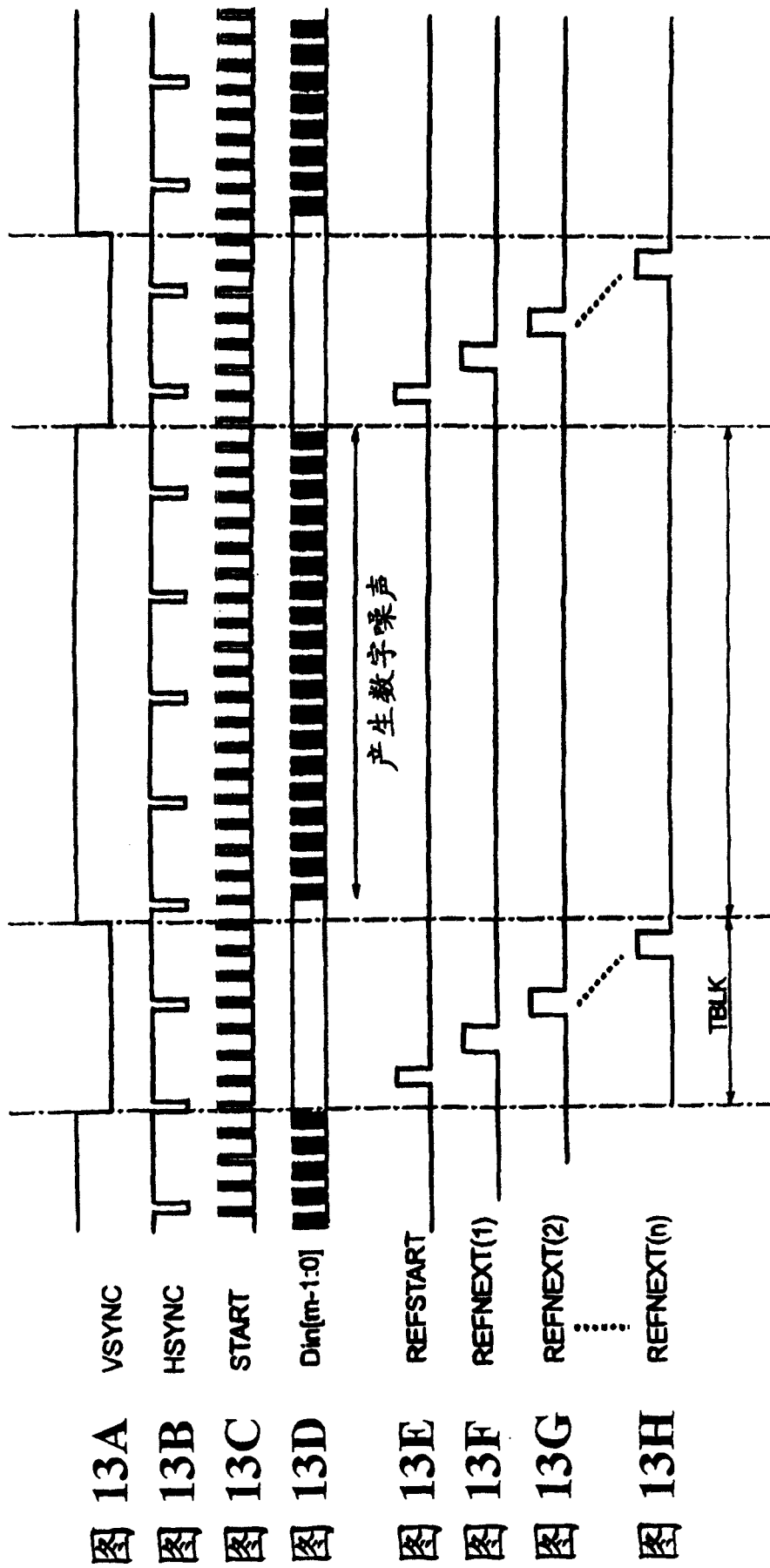


图 12





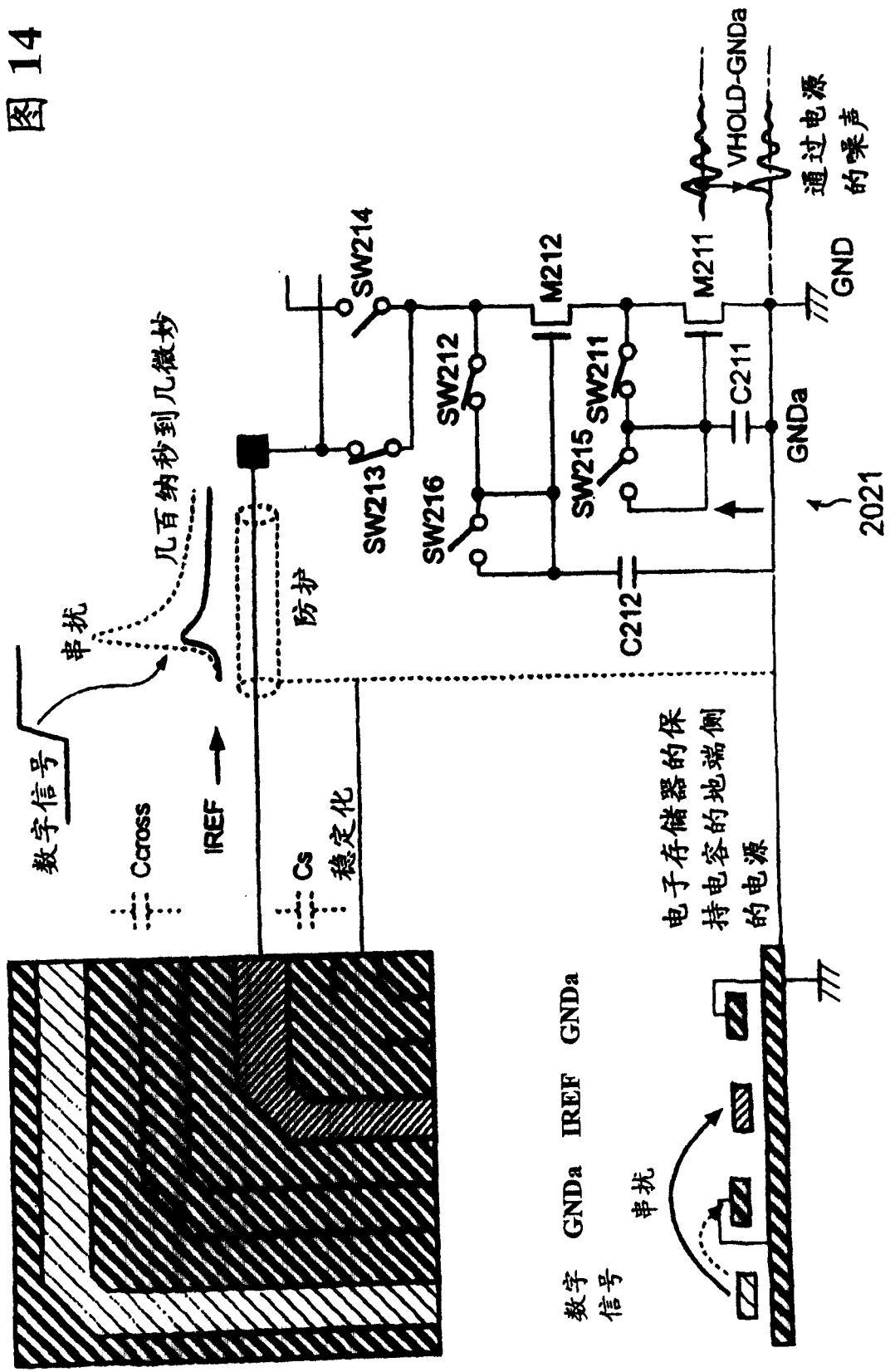
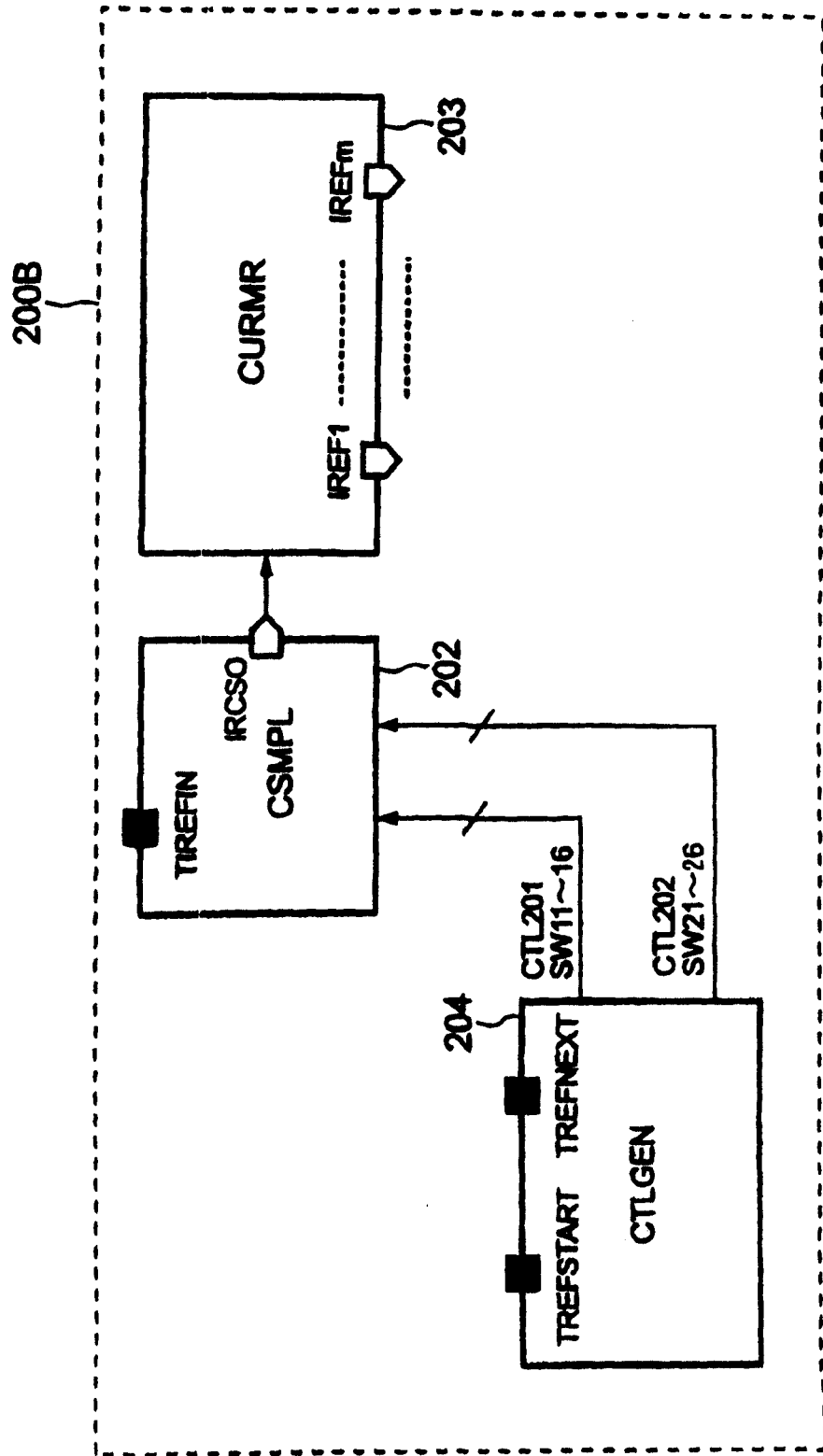


图 14

图 15



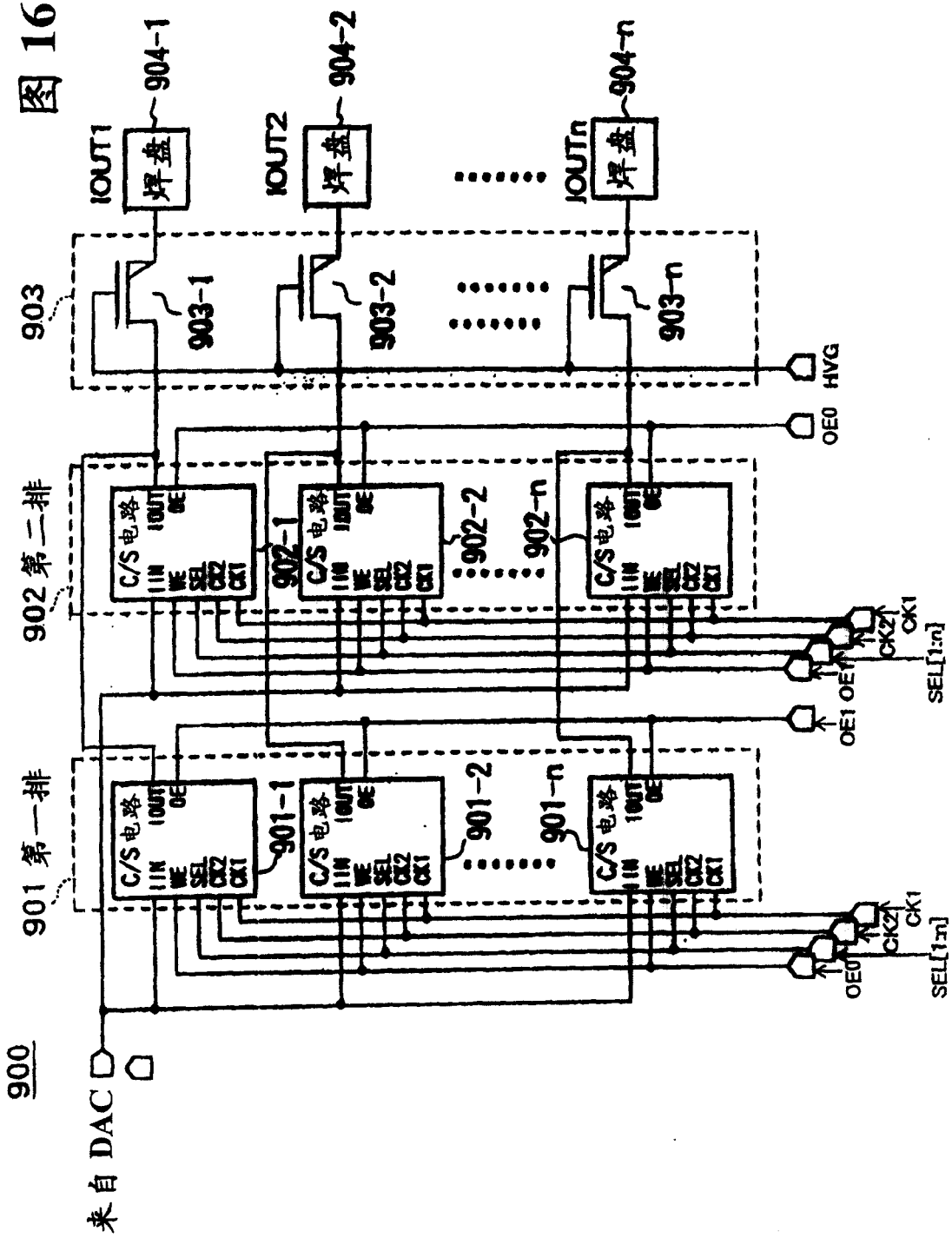
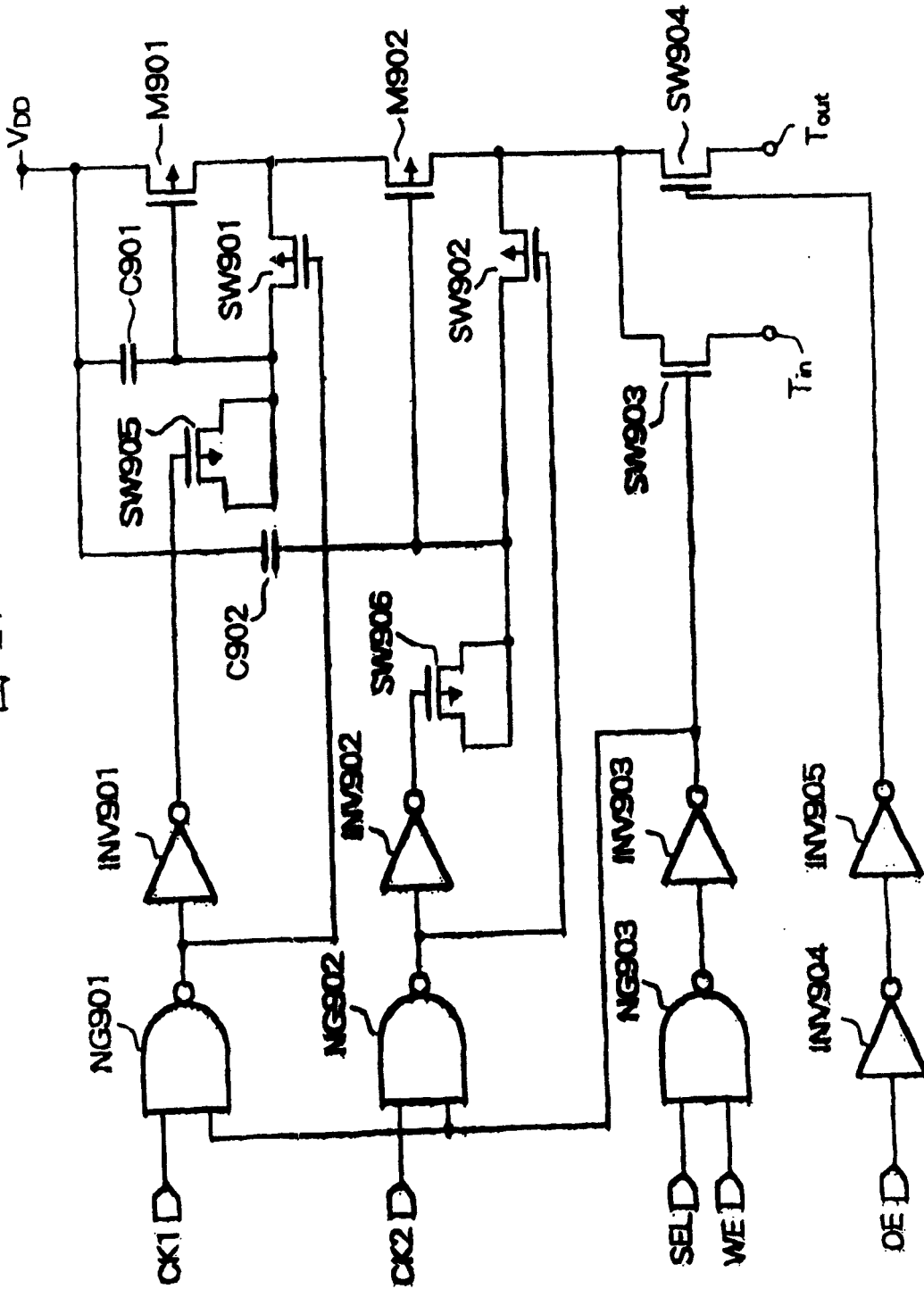


图 16

图 17



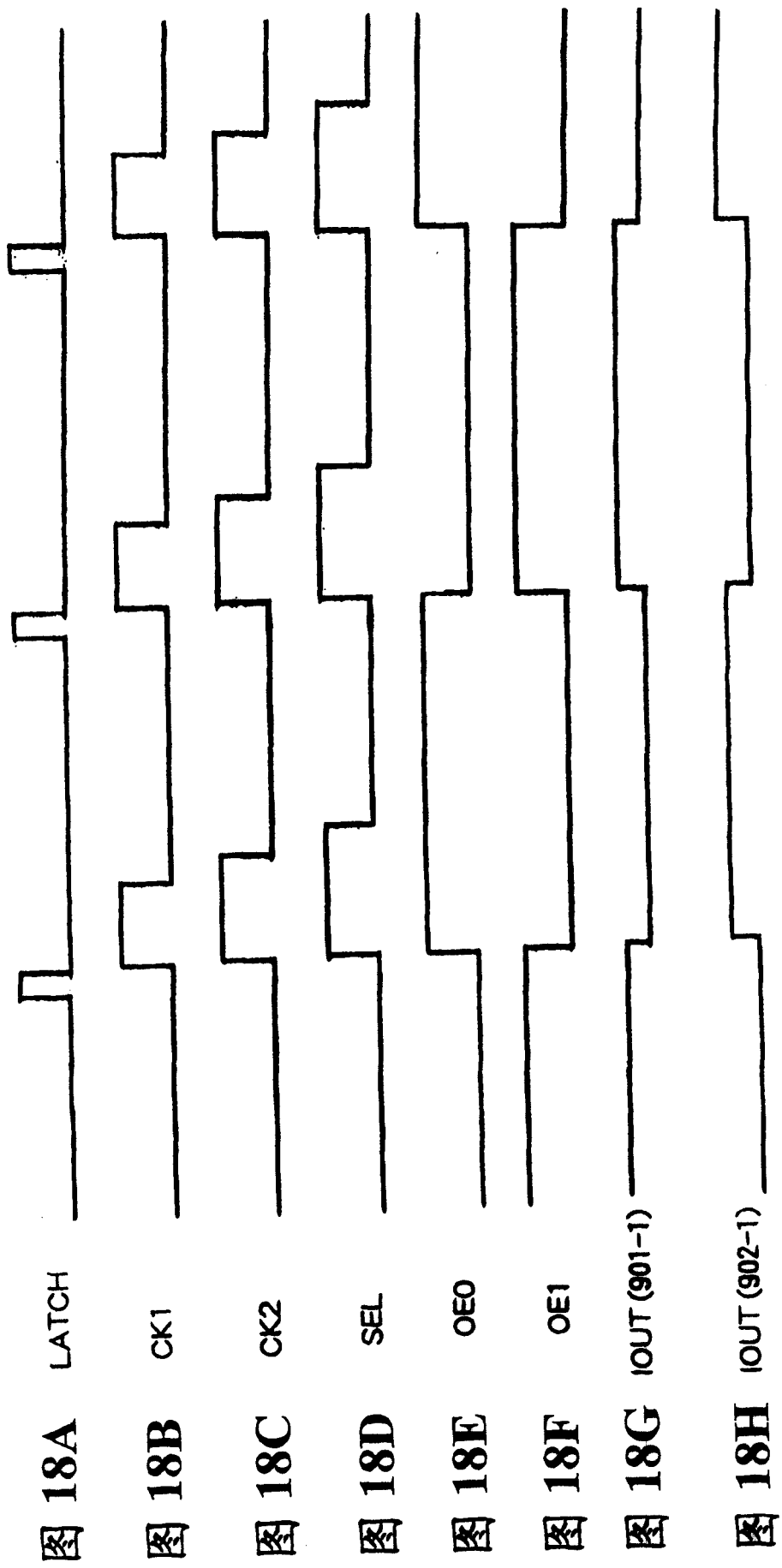


图 18A LATCH

图 18B CK1

图 18C CK2

图 18D SEL

图 18E OE0

图 18F OE1

图 18G IOUT(901-1)

图 18H IOUT(902-1)

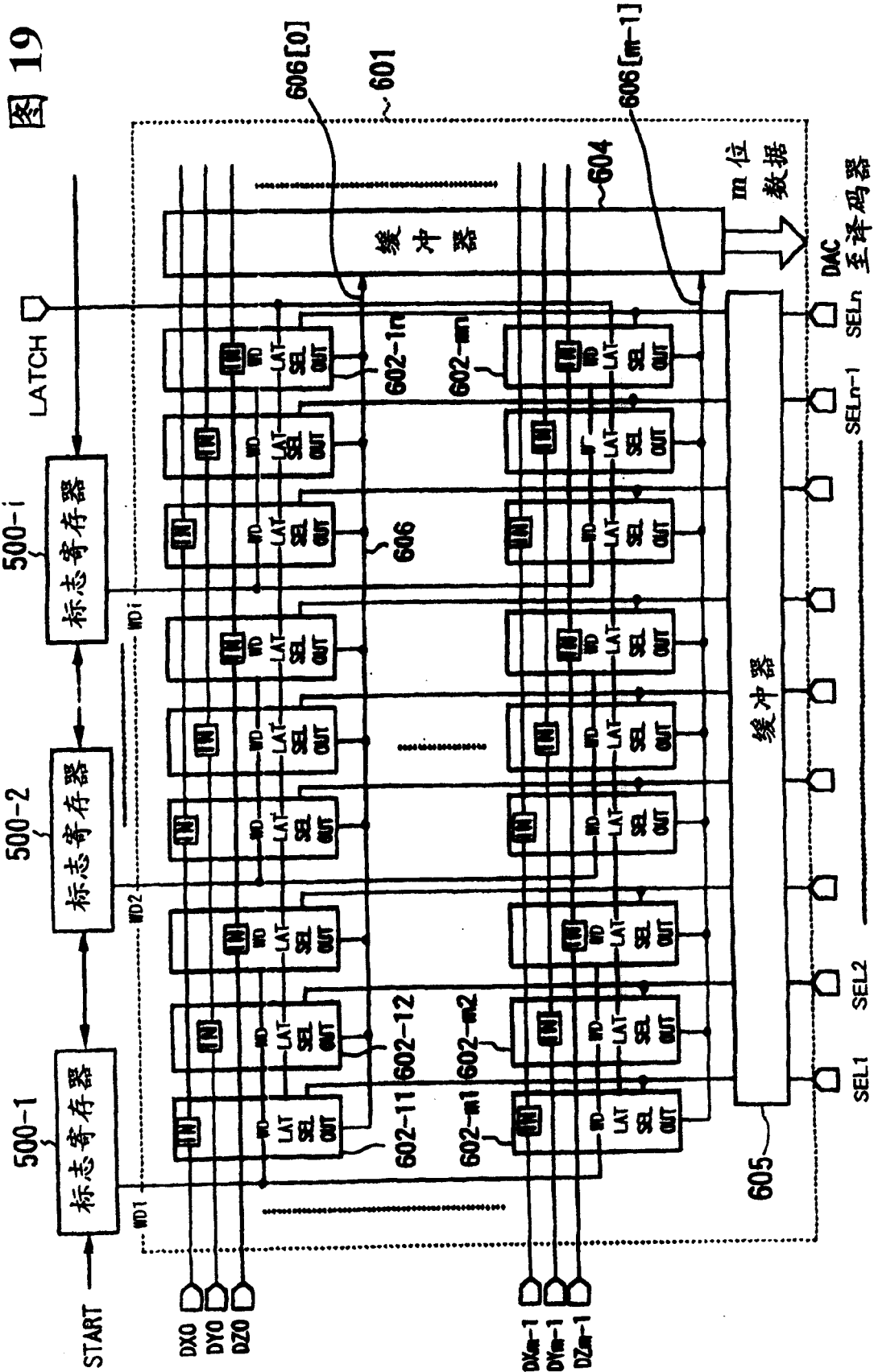
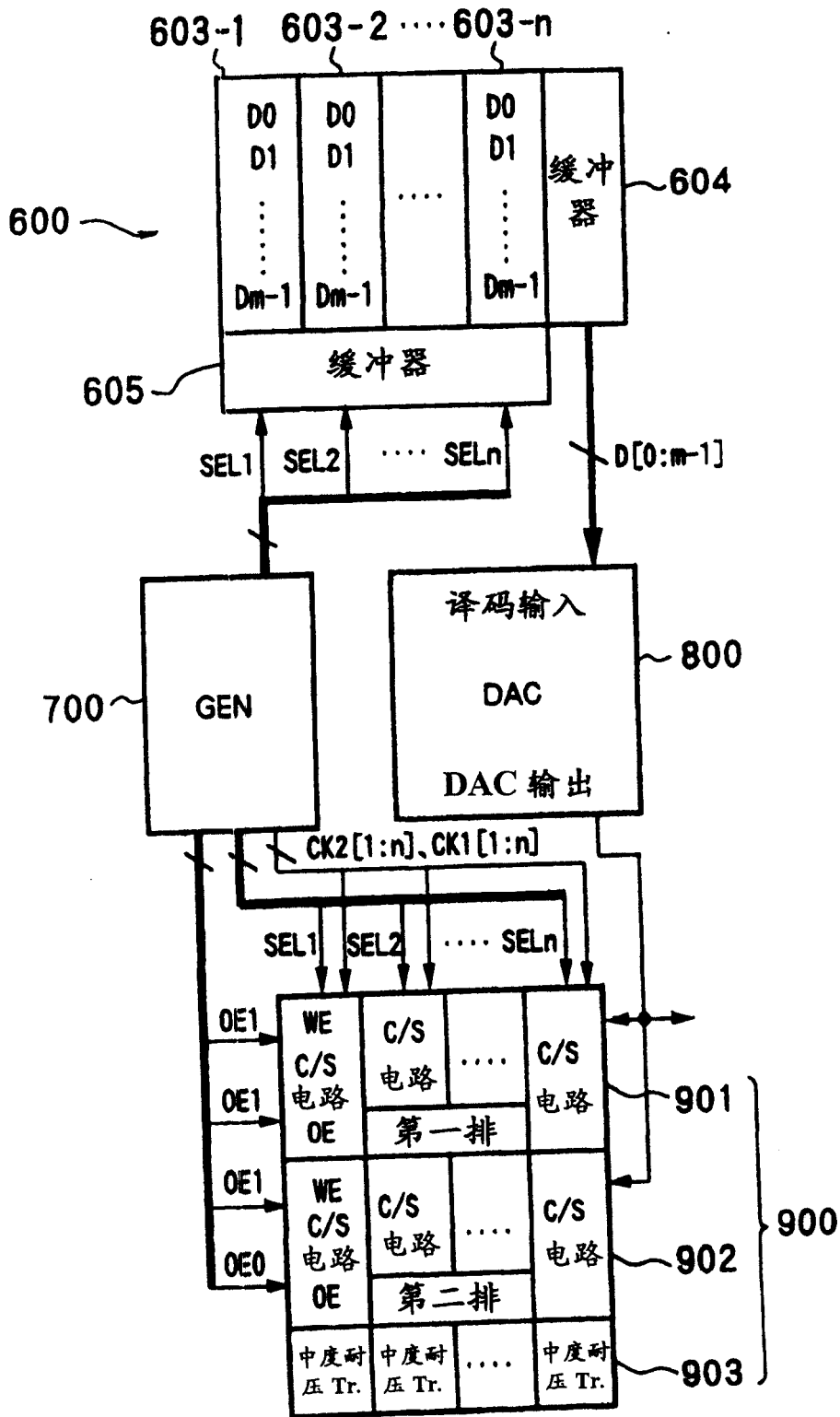
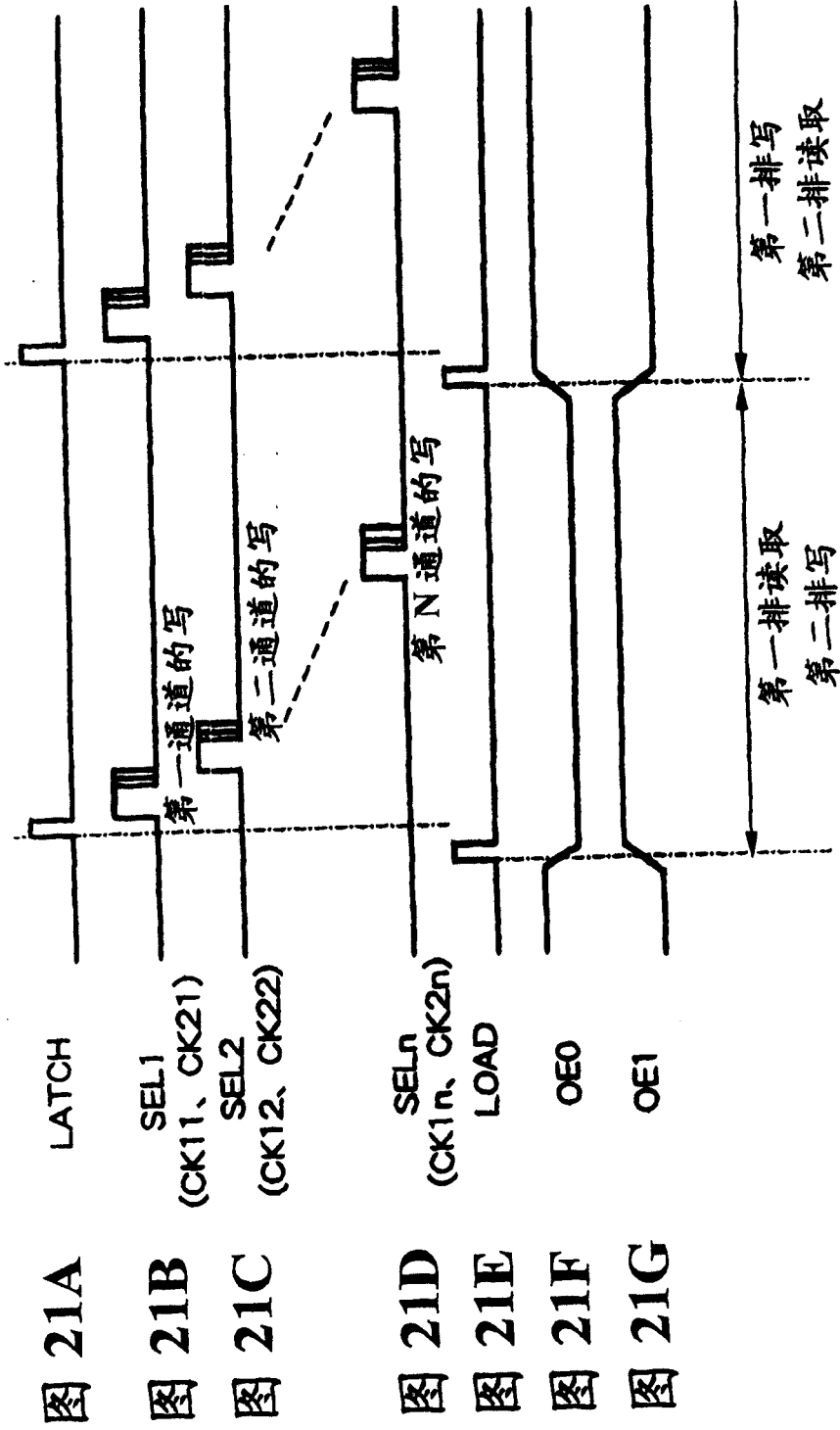


图 20





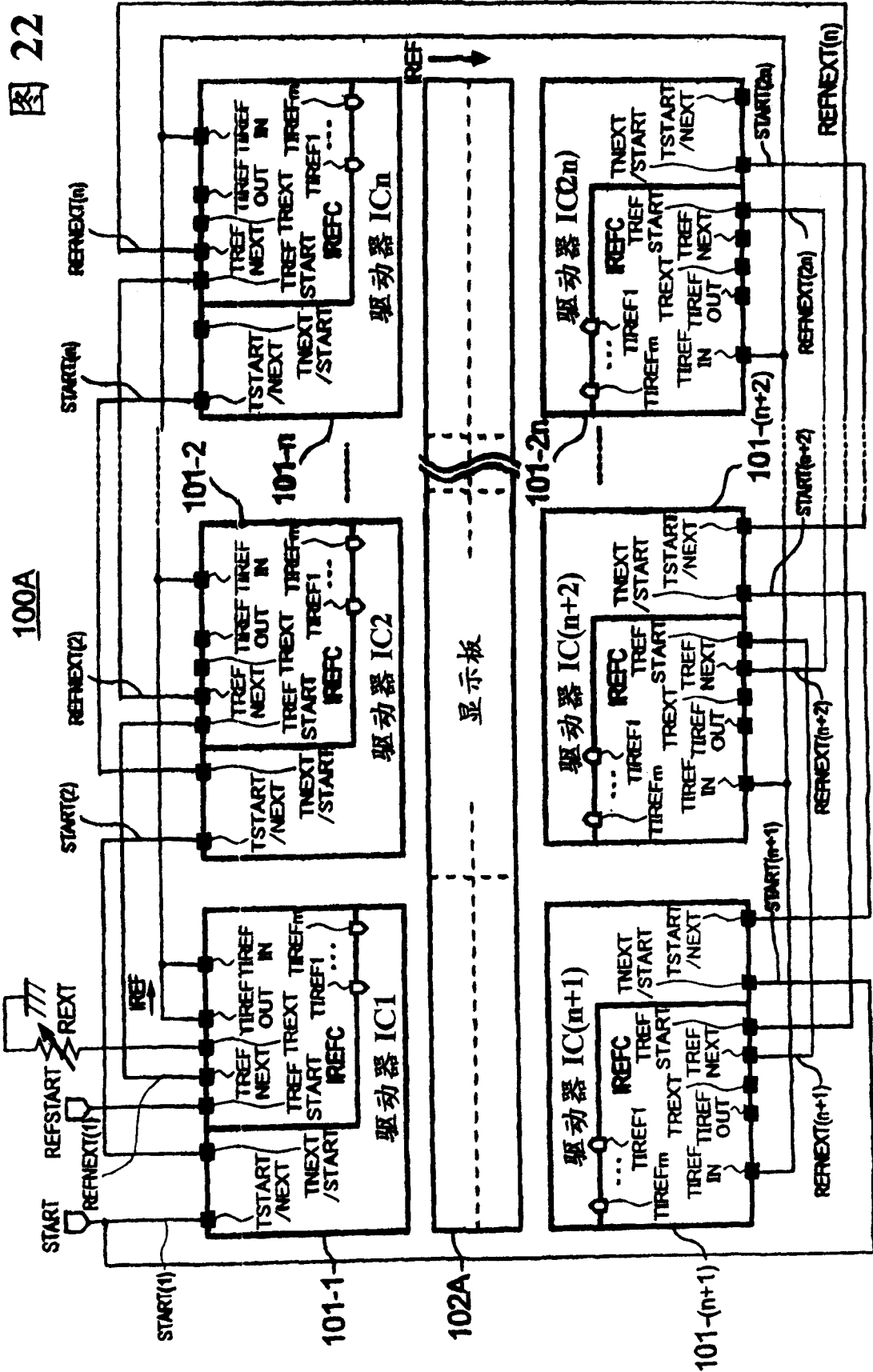
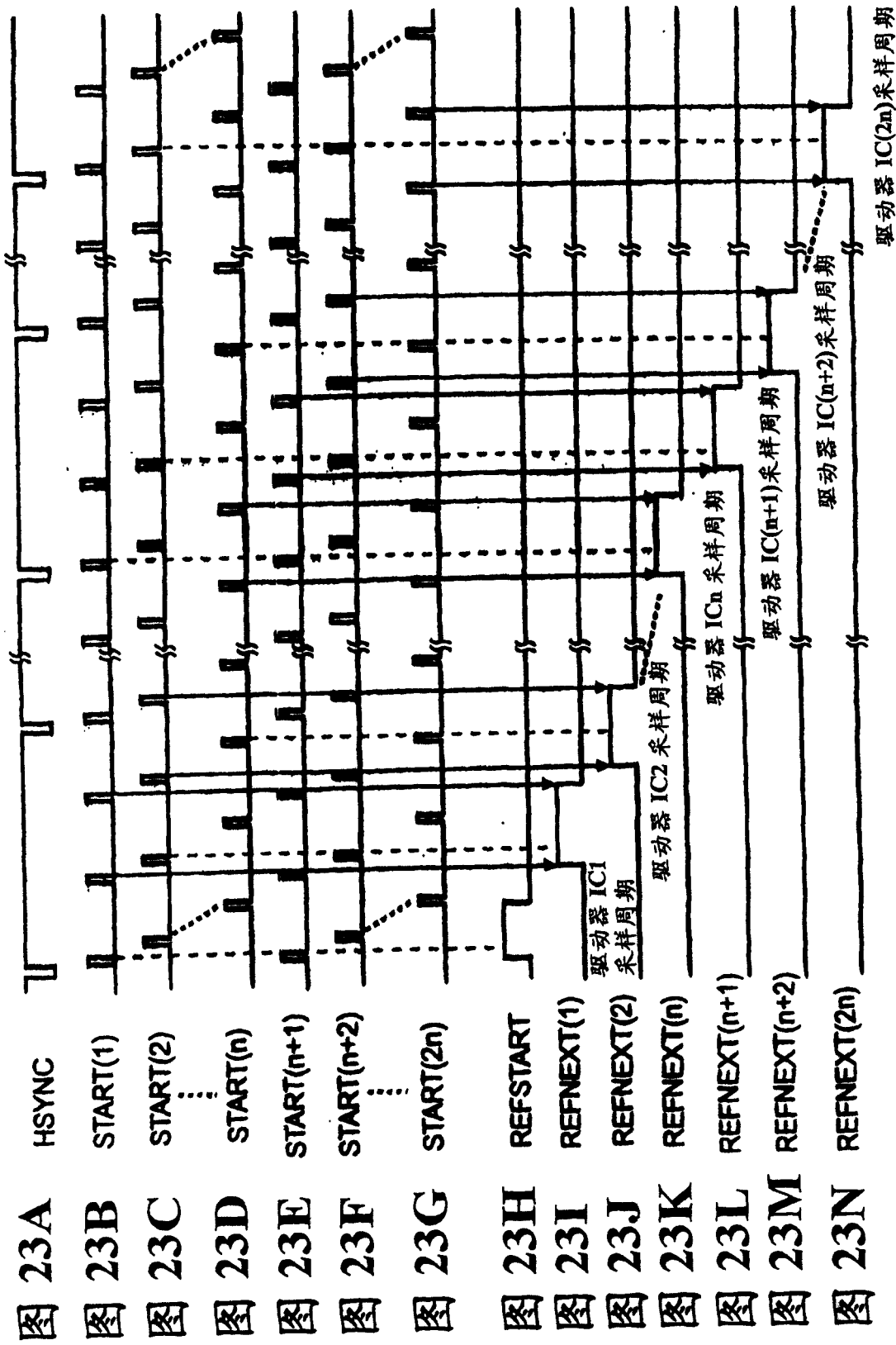


图 22



标号清单

- 100.....有机 EL 显示设备
- 101、101-1 至 101-n ...电流输出型数据线驱动器(驱动器 IC)
- 200(-1 至 -n),200A, 200B...基准电流源电路(IREFC)
- 300...控制电路(CTL)
- 400...写电路(WRT)
- 500...标志使用双向移位寄存器(FSFT)
- 600...图像数据使用寄存器阵列(REGARY)
- 700-1、700-(m/2)...控制信号产生电路(GEN)
- 800-1 至 800-m...电流输出型 DAC(数模转换器)
- 900-1 至 900-m...电流输出电路(IOUT)
- 901 第一排
- 902 第二排
- 903 电流输出晶体管阵列
- 1000 测试电路(TST)

专利名称(译)	电流输出型驱动电路和显示设备		
公开(公告)号	CN100419832C	公开(公告)日	2008-09-17
申请号	CN03821603.5	申请日	2003-09-03
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼株式会社		
当前申请(专利权)人(译)	索尼株式会社		
[标]发明人	高木祐一 大贺玄一郎 日月央		
发明人	高木祐一 大贺玄一郎 日月央		
IPC分类号	G09G3/30 G09G3/20 G11C27/02 H05B33/14 H01L51/50 G09G3/32		
CPC分类号	G09G2310/027 G09G2330/028 G09G3/3283		
代理人(译)	宋鹤		
审查员(译)	李原		
优先权	2002268036 2002-09-13 JP		
其他公开文献	CN1682264A		
外部链接	Espacenet SIPO		

摘要(译)

一种具有多个对应于显示板(102)的分割区域而设置的驱动器(IC101-1至101-n)的电路，每个驱动器包括用于将所提供的基准电流IREF作为驱动电流输出给显示板(102)的对应的被驱动区域(DRVA1到DRVA_n)的输出电路，以及用于从基准电流输入端采样和保持基准电流输入并随后向输出电路提供此基准电流的基准电流源电路(200-1至200-n)。所述基准电流输入端通过公共电流互连接(CML1)连接到另一驱动器的基准电流输入端，并且所述基准电流按时分的方式被分配到驱动器的基准电流源电路中。根据本发明，可将用分割方式驱动显示装置(被驱动对象)的驱动器之间的亮度阶变得很小，并且可以实现用常规方法无法实现的大尺寸、高动态范围显示的有机EL显示装置。

