

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公开说明书

[21] 申请号 200510089245.7

[51] Int. Cl.

G09G 3/32 (2006.01)

G09G 3/30 (2006.01)

H05B 33/08 (2006.01)

[43] 公开日 2006 年 2 月 15 日

[11] 公开号 CN 1734546A

[22] 申请日 2005.8.2

[21] 申请号 200510089245.7

[30] 优先权

[32] 2004. 8. 2 [33] US [31] 60/598,168

[32] 2004.12. 7 [33] US [31] 60/634,401

[32] 2005. 7. 1 [33] US [31] 11/173,820

[71] 申请人 统宝光电股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 彭杜仁 黄士峰

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 任默闻

权利要求书 4 页 说明书 9 页 附图 13 页

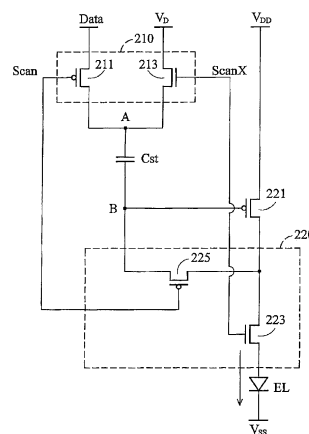
[54] 发明名称

像素驱动电路以及驱动显示组件的方法

[57] 摘要

一种可补偿临界电压与电源供应的像素驱动电路，包括一储存电容、一转移电路、一驱动晶体管以及一开关电路，转移电路将一数据信号或一可变参考信号转移至该储存电容的第一节点，驱动晶体管有一第一端点耦接至一第一固定电位，有一第二端点耦接至该储存电容的第二节点，并有一第三端点输出一驱动电流，开关电路耦接至该驱动晶体管的该第三端点与该储存电容的第二节点，并可在一时段内使该驱动晶体管成二极管连接，并使得一驱动电流可在另一时段内输出至一显示组件。本发明的有益效果在于，使得驱动电流与临界电压或电源供应无关，因此每一像素的亮度也就与临界电压或电源供应无关。

200



1. 一种像素驱动电路，其特征在于包括：

一储存电容，有第一与第二节点；

一转移电路，耦接至所述储存电容的第一节点，所述转移电路将一数据
5 信号或一可变参考信号转移至所述储存电容的第一节点；

一驱动晶体管，有一第一端点耦接至一第一固定电位，有一第二端点耦
接至所述储存电容的第二节点，并有一第三端点输出一驱动电流；以及

一开关电路，耦接至所述驱动晶体管的所述第三端点与所述储存电容的
第二节点，并可在一时段内使所述驱动晶体管成二极管连接，并使得一驱动
10 电流可在另一时段内输出至一显示组件。

2. 根据权利要求 1 所述的一种像素驱动电路，其特征在于：所述可变参
考信号为一脉冲参考信号。

3. 根据权利要求 1 所述的一种像素驱动电路，其特征在于所述转移电路
包括：

15 一第一晶体管，有一第一端点接收所述数据信号，有一第二端点连接至
一第一扫描线，并有一第三端点耦接至所述储存电容的所述第一节点；以及

一第二晶体管，有一第一端点接收所述可变参考信号，有一第二端点连
接至一第二扫描线，并有一第三端点耦接至所述储存电容的所述第一节点。

4. 根据权利要求 3 所述的一种像素驱动电路，其特征在于：所述第一与
20 第二晶体管分别为一 P 型金氧半晶体管与 N 型金氧半晶体管。

5. 根据权利要求 3 所述的一种像素驱动电路，其特征在于：所述第一与
第二晶体管皆为 P 型金氧半晶体管。

6. 根据权利要求 4 所述的一种像素驱动电路，其特征在于：所述第一与
第二扫描线有相同极性的脉冲。

25 7. 根据权利要求 5 所述的一种像素驱动电路，其特征在于：所述第一与

第二扫描线有不同极性的脉冲。

8. 根据权利要求 7 所述的一种像素驱动电路，其特征在于：所述第二扫描线有一脉冲，其结束时间比所述第一扫描线晚。

9. 根据权利要求 1 所述的一种像素驱动电路，其特征在于所述开关电路
5 包括：

一第三晶体管，有一第一端点连接至所述显示组件，有一第二端点连接至一第二扫描线，并有一第三端点连接至所述驱动晶体管的第三端点；以及

一第四晶体管，有一第一端点耦接至所述驱动晶体管和所述第三晶体管的所述第三端点，有一第二端点连接至所述储存电容的所述第二节点和所述
10 驱动晶体管的所述第二端点，并有一第三端点连接至一第一扫描线。

10. 根据权利要求 9 所述的一种像素驱动电路，其特征在于：所述第三与第四晶体管分别为一 N 型金氧半晶体管与 P 型金氧半晶体管。

11. 根据权利要求 9 所述的一种像素驱动电路，其特征在于：所述第三与第四晶体管皆为 P 型金氧半晶体管。

12. 根据权利要求 1 所述的一种像素驱动电路，其特征在于还包括一参考信号产生器耦接至所述转移电路。

13. 根据权利要求 12 所述的一种像素驱动电路，其特征在于：所述参考信号产生器包括：

一第一与门，有两输入接收来自垂直位移缓存器的输出信号，且所述第
20 一与门产生一输出信号；

一第一与非门，有一第一输入接收来自所述第一与门的所述输出信号，并有一第二输入接收一第一使能信号，且所述第一与非门产生一第一扫描信号给第二扫描线；

一第二与非门，有三个输入，分别接收来自所述第一与门的输出信号、
25 所述第一使能信号与一第二使能信号，且所述第二与非门产生一第二扫描信

号给第一扫描线；以及

一第二与门，有一第一输入接收来自所述第一与门的所述输出信号，并有一第二输入接收所述第二使能信号，且所述第二与门产生一参考信号。

14. 根据权利要求 12 所述的一种像素驱动电路，其特征在于所述参考信号产生器包括：

一第一与非门，有两输入接收来自垂直位移缓存器的信号，并有一第三输入接收一第一使能信号，且所述第一与非门产生一第一扫描信号给第二扫描线；

一第二与非门，有两输入接收来自垂直位移缓存器的信号，并有两输入分别接收所述第一使能信号与一第二使能信号，所述第二与非门产生一第二扫描信号给第一扫描线；以及

一与门，有两输入接收来自垂直位移缓存器的信号，并有一第三输入接收所述第二使能信号，所述与门产生一参考信号。

15. 一种驱动显示组件的方法，所述显示组件有一驱动晶体管与一储存电容，所述特征在于包括：

施加一参考信号于一可切换的电路，并通过其使一储存电容放电；

将一数据信号以及所述驱动晶体管的一临界电压加载于所述储存电容；

以及

将加载的所述数据信号与所述临界电压耦合至所述驱动晶体管，以提供一与临界电压无关的驱动电流给所述显示组件。

16. 根据权利要求 15 所述的一种驱动显示组件的方法，其特征在于：

在加载步骤中，一第一固定供应电压与所述数据信号以及所述驱动晶体管的所述临界电压一同被加载于所述储存电容；以及

在耦合步骤中，加载的所述第一固定供应电压与加载的所述数据信号以及所述临界电压一同被耦合至所述驱动晶体管。

17. 根据权利要求 16 所述的一种驱动显示组件的方法，其特征在于：
在所述加载步骤前，所述储存电容的放电步骤起始于一高电平的参考信号
施加于所述储存电容。

18. 根据权利要求 16 所述的一种驱动显示组件的方法，其特征在于：
5 所述加载步骤起始于一扫描信号施加于一开关组件，以使所述数据信号得以
施加于所述储存电容。

19. 根据权利要求 16 所述的一种驱动显示组件的方法，其特征在于：
将加载的所述数据信号、所述临界电压与所述第一固定供应电压耦合至所述
驱动晶体管的步骤起始于一低电平的参考信号施加于所述储存电容步骤之
10 后。

20. 根据权利要求 18 或 19 任意一项所述的一种驱动显示组件的方法，
其特征载于：所述参考信号在通过一开关组件施加于所述储存电容前改变其
逻辑状态。

像素驱动电路以及驱动显示组件的方法

技术领域

本发明是有关于显示面板的电路，且特别是有关于可补偿临界电压与电源供应的像素驱动电路。

背景技术

主动矩阵式有激发光二极管显示器为正在萌芽的下一代平面显示器，与主动矩阵式液晶显示器相较，主动矩阵式有激发光二极管显示器有许多优点，诸如较高的对比度、较宽的视角、不需背光而有较薄的模块厚度、较低的功耗以及较低的成本，主动矩阵式液晶显示器由电压驱动，而主动矩阵式有激发光二极管显示器需要由电流驱动电致发光组件，电致发光组件的亮度正比于通过的电流，电流量的变异对于主动矩阵式有激发光二极管显示器的亮度均匀度有负面的影响，因此，像素驱动电路的品质对于画质非常重要。

图1绘示一传统主动矩阵式有激发光二极管显示器的2T1C(两个晶体管与一个电容)的像素驱动电路，当一信号SCAN导通一晶体管M1时，图中以 V_{data} 所示的数据会被加载一P型晶体管M2的栅极，并储存于电容 C_s 内，因此，会有一固定的电流驱动电致发光组件发光，在典型的主动矩阵式有激发光二极管显示器中，电流源通常是一个P型薄膜晶体管(如图1中的M2)，栅极为一数据电压 V_{data} 所控制，且漏极与源极分别连接至 V_{dd} 与电致发光组件，如图1所示，电致发光组件的亮度相对于 V_{data} 有以下的关系：

$$\text{亮度} \propto \text{电流} \propto (V_{dd} - V_{data} - V_{th})^2$$

其中， V_{th} 为晶体管M2的临界电压， V_{dd} 为电源供应电压。

由于在低温多晶硅制造工艺中，低温多晶硅薄膜晶体管通常会有临界电压 V_{th} 的变异，若临界电压 V_{th} 没有经过适当的补偿，主动矩阵式有激发光

二极管显示器便会有不均匀的现象产生，再者，在电源在线的压降也会产生亮度不均匀的问题，为了解决此一问题，构建一可补偿临界电压 V_{th} 与电源供应 V_{dd} 的像素电路变成了改善画质的重要课题。

发明内容

5 本发明实施例揭露一可补偿临界电压与电源供应的像素电路，会影响像素电流的输入变压(诸如：开关临界电压、电源供应电压或两者皆有)的变异可被补偿，且驱动电流会比较少受到电路设计的影响，甚至与 V_{th} 或 V_{dd} 无关，因此，每一像素的亮度皆与 V_{th} 或 V_{dd} 无关。

10 依据本发明可补偿临界电压与电源供应的像素电路包括一储存电容、一转移电路、一驱动晶体管以及一开关电路，转移电路将一数据信号或一可变参考信号转移至该储存电容的第一节点，驱动晶体管有一第一端点耦接至一第一固定电位，有一第二端点耦接至该储存电容的第二节点，并有一第三端点输出一驱动电流，开关电路耦接至该驱动晶体管的该第三端点与该储存电容的第二节点，并可在一时段内使该驱动晶体管成二极管连接，并使得一驱动电流可在另一时段内输出至一显示组件。

 本发明的驱动显示组件的方法包括施加一参考信号于一可切换的电路，并通过其使一储存电容放电；将一数据信号以及该驱动晶体管的一临界电压加载于该储存电容；以及将加载的该数据信号与该临界电压耦合至该驱动晶体管，以提供一与临界电压无关的驱动电流给该显示组件。

20 本发明的有益效果在于，能够使得驱动电流与临界电压或电源供应无关，因此每一像素的亮度也就与临界电压或电源供应无关。

附图说明

 图1绘示一传统主动矩阵式有激发光二极管显示器的2T1C(两个晶体管与一个电容)的像素驱动电路；

图 2 显示依据本发明实施例之一可补偿临界电压与电源供应的像素驱动电路结构图;

图 3 绘示图 2 所示像素驱动电路的第一与第二扫描线信号 Scan、ScanX 以及可变参考信号 V_D 的时序图;

5 图 4 显示传统的与依据本发明实施例像素驱动电路的电流变异相对于临界电压 V_{th} 变异的比例示意图;

图 5 绘示依据本发明一实施例的驱动显示组件的方法流程图;

图 6 为一显示依据本发明一实施例显示面版的结构区块示意图;

图 7 显示依据本发明另一实施例像素驱动电路图;

10 图 8 绘示图 7 所示像素驱动电路的扫描线信号 Scan、ScanX 与可变参考信号 V_D 的时序图;

图 9 为依据本发明一实施例参考信号产生器的结构示意图;

图 10 为依据本发明另一实施例参考信号产生器的结构示意图;

图 11 为依据本发明另一实施例像素驱动电路的电路图;

15 图 12 为图 11 所示像素驱动电路扫描线信号 Scan、ScanX 以及参考信号 V_D 的时序图;

图 13 为一包括图 6 所揭露显示面板的电子装置示意图。

符号说明:

Cst ~ 储存电容

20 210 ~ 转移电路

221 ~ 驱动晶体管

220 ~ 开关电路

A ~ 第一节点

Data ~ 数据信号

V_D ~ 可变参考信号

B ~ 第二节点

V_{DD} ~ 电源供应电压

EL ~ 显示组件

V_{SS} ~ 接地电位

25 211 ~ 第一晶体管

213 ~ 第二晶体管

- | | | |
|----|--|----------------|
| | Scan ~ 第一扫描线 | ScanX ~ 第二扫描线 |
| | 223 ~ 第三晶体管 | 225 ~ 第四晶体管 |
| | 302 ~ 放电模式 | 304 ~ 扫描模式 |
| | 306 ~ 发光模式 | |
| 5 | 930、950 ~ 与非门 | 910、970 ~ 与门 |
| | VSR1、VSR2 ~ 栅极驱动电路中垂直位移缓存器所产生的信号 | |
| | 911、913、931、933、951、953、955、971、973 ~ 输入 | |
| | ENBV1 ~ 第一使能信号 | ENBV2 ~ 第二使能信号 |
| | 110、120 ~ 与非门 | 130 ~ 与门 |
| 10 | 121、123、125、127、131、133、135 ~ 输入 | |
| | 510 ~ 对一储存电容进行放电 | |
| | 520 ~ 将一第一固定供应电压与该数据信号以及该驱动晶体管的该临界电压加载于该储存电容 | |
| | 530 ~ 将该加载的第一固定供应电压、该数据信号以及该临界电压耦合至 | |
| 15 | 该驱动晶体管 | |
| | 610 ~ 像素数组 | 640 ~ 控制器 |
| | 700 ~ 电子装置 | |

具体实施方式

为了让本发明上述和其它目的、特征和优点能更明显易懂，下文特举较佳
 20 实施例并配合附图作详细说明如下。

图 2 显示依据本发明实施例的一可补偿临界电压与电源供应的像素驱动
 电路结构图，像素驱动电路包括一储存电容 Cst、一转移电路 210、一驱动晶
 25 体管 221 以及一开关电路 220。转移电路 210 耦接至该储存电容 Cst 的第一节
 点 A，并将一数据信号 Data 或一可变参考信号 V_0 转移至该储存电容的第一节
 点，可变参考信号 V_0 可以是一脉冲参考信号，驱动晶体管 221 为一 P 型金氧

半晶体管，有一第一端点(源极)耦接至一第一固定电位，有一第二端点(栅极)耦接至该储存电容 Cst 的第二节点 B，更明确地说，该第一固定电位为电源供应电压 V_{DD} ，开关电路 220 耦接至该驱动晶体管 221 的第三端点(漏极)，开关电路 220 可被用以使驱动晶体管 221 成二极管连接(diode-connected)，也就是栅极与漏极相通；一显示组件 EL 耦接至开关电路 220，较佳而言，显示组件 EL 可以是一电致发光组件，此外，显示组件 EL 的阴极耦接至一第二固定电位，更明确地说，该第二固定电位为一接地电位 V_{SS} 。

依据本发明一实施例的转移电路 210 包括第一晶体管 211 与第二晶体管 213，如图 2 所示，在图 2 中，该第一与第二晶体管分别为一 P 型金氧半晶体管与一 N 型金氧半晶体管，第一晶体管 211 有一第一端点(源极)接收该数据信号 Data，其第二端点(栅极)与第三端点(漏极)分别连接至一第一扫描线 Scan 以及储存电容 Cst 的第一节点 A，第二晶体管 213 的第一端点(漏极)接收一可变参考信号 V_0 ，其第二端点(栅极)与第三端点(源极)分别连接至一第二扫描线 ScanX 以及该储存电容 Cst 的该第一节点 A，更明确地说，第一晶体管 211 与第二晶体管 213 为薄膜晶体管，较佳而言，该薄膜晶体管为多晶硅薄膜晶体管，可提供较高的电流驱动能力，当第一扫描线 Scan 被拉到低电平时，转移电路 210 将一数据信号 Data 移转到储存电容 Cst 的第一节点 A，当一第二扫描线 ScanX 被拉到高电平时，转移电路 210 将可变参考信号 V_0 移转至储存电容 Cst 的该第一节点 A。

依据本发明此一实施例的开关电路 220 包括第三晶体管 223 与第四晶体管 225，如图 2 所示，该第三与第四晶体管分别为一 N 型金氧半晶体管与一 P 型金氧半晶体管，第三晶体管 223 有一第一端点(源极)连接至该显示组件 EL 的阳极，而其第二端点(栅极)与第三端点(漏极)分别连接至一第二扫描线 ScanX 以及该驱动晶体管 221 的该第三端点(漏极)，第四晶体管有一第一端点(漏极)耦接至该驱动晶体管 221 与该第三晶体管 223 的该等第三端点(漏极)，

其第二端点(源极)连接至该储存电容 Cst 的该第二节点 B 与该驱动晶体管 221 的该第二端点(栅极), 并有一第三端点(栅极)连接至一第一扫描线 Scan, 更明确地说, 第三晶体管 223 与第四晶体管 225 为薄膜晶体管, 较佳而言, 该等薄膜晶体管为多晶硅薄膜晶体管, 可提供较高的电流驱动能力, 当第一扫描线 Scan 被拉至低电平时, 开关电路 220 内的第四晶体管 225 会使得驱动晶体管 221 成为一二极管连接(diode-connected)的晶体管。

图 3 绘示图 2 所示的像素驱动电路 200 的第一与第二扫描线信号 Scan、ScanX 以及可变参考信号 V_b 的时序图, 接着像素驱动电路的前一发光模式, 当可变参考信号 V_b 被拉至高电平且扫描信号 Scan 与 ScanX 维持在高电平, 图 2 内的像素驱动电路 200 会操作于一放电模式 302, 在此放电模式中, 一高电平的

10 的可变参考信号 V_b 会输入到储存电容 Cst 的第一节点 A, 使得晶体管 223 与 225 导通, 储存在储存电容 Cst 内的电荷便可在放电模式中释放, 储存电容 Cst 的放电可确保二极管连接的驱动晶体管 221 与第四晶体管 225 在后续步骤中的正常操作。

15 接续储存电容 Cst 的放电之后, 扫描线 Scan 与 ScanX 被拉至低电平, 然后像素驱动电路 200 会进入扫描模式 304, 当第一与第二扫描线 Scan 与 ScanX 被拉至低电平, 晶体管 211 与 225 导通而晶体管 213 与 223 关闭, 由于晶体管 211 与 225 导通, 储存电容 Cst 的第一节点 A 的电压等于数据信号 Data 的电压 V_{data} , 且储存电容 Cst 的第二节点 B 的电压等于 $V_{dd}-V_{th}$, 其中, V_{th} 为

20 驱动晶体管 221 的临界电压, 因此储存在储存电容的跨压为 $V_A - V_B = V_{data} - V_{dd} + V_{th}$ 。

当第一扫描线 Scan 与第二扫描线 ScanX 被拉至高电平时, 扫描模式 304 结束, 且像素驱动电路 200 会进入发光模式 306, 此外, 在扫描模式 304 结束的时候, 参考信号 V_b 被拉至低电平, 由于第一扫描线 Scan 维持在高电平, 而

25 第二扫描线 ScanX 也被拉至高电平, 晶体管 211 与 225 关闭, 而晶体管 213

与 223 导通, 由于 V_b 被拉至低电平, 晶体管 213 会导通, 储存电容 Cst 的第一节点 A 的电压 V_A 也会被拉至低电平, 由于储存电容的跨压无法瞬间改变, 因此储存电容 Cst 的第二节点 B 的电压 V_B 也就变为 $V_{dd} - V_{data} - V_{th}$, 流经显示组件的电流正比于 $(V_{sg} - V_{th})^2$, 也就是正比于 V_{data}^2 , 因此流经显示组件的电流与驱动晶体管 221 的临界电压 V_{th} 以及驱动晶体管 221 的电源供应 V_{dd} 无关, 前述像素驱动电路的操作会一再重复, 以控制像素的发光。

图 4 显示传统的与依据本发明实施例像素驱动电路的电流变异相对于临界电压 V_{th} 变异的比例示意图, 以临界电压为 1.4 伏特作为基准, 在传统的像素驱动电路中, 当临界电压偏离 1.4 伏特时, 电流的变异量非常显著, 而在依据本发明实施例的像素驱动电路中, 其电流变异量与传统的像素驱动电路相较下可说是微乎其微。

图 7 显示依据本发明一第二实施例的像素驱动电路, 其结构与图 2 所示的像素驱动电路相似, 不同处在于图 7 中的第一扫描线 Scan 与第二扫描线 ScanX 互相连接, 并为相同信号 Scan 所控制, 图 8 绘示图 7 所示的像素驱动电路的扫描线信号 Scan、ScanX 与可变参考信号 V_b 的时序图。

图 11 显示依据本发明一第三实施例的像素驱动电路, 其结构近似于图 2, 图 12 为图 11 所示像素驱动电路的扫描线信号 Scan、ScanX 以及参考信号 V_b 的时序图, 第 2 与 11 图的差异在于被第二扫描线控制的晶体管为不同的类型, 因此, 如图 12 所示, 第二扫描线的信号也随之反转, 以使图 11 所示的像素驱动电路得以运作, 于此实施力中, 有三种操作模式, 其操作类似于第一实施例所描述, 且无须进一步阐述, 便可为本领域技术人员所了解。

此处, 本发明提供参考信号产生器的实施例, 参考信号产生器的一实施例包括两个与非门 930、950 以及两个与门 910、970, 如图 9 所示, 信号 VSR1 与 VSR2 被送入第一与门 910 的两输入 911 与 913, 其中 VSR1 与 VSR2 代表栅极驱动电路中垂直位移缓存器所产生的信号, 该第一与门 910 的输出信号与

第一使能信号 ENBV1 分别被送至第一与非门 930 的第一输入 931 与第二输入 933, 并产生出第一扫描信号 ScanX, 第一与门 910 的输出信号与使能信号 ENBV1、ENBV2 被送至第二与非门 950 的输入 953、951 与 955, 因此第二与非门 950 产生一第二扫描信号 Scan, 第一与门 910 的输出信号与第二使能信号 ENBV 分别被送至第二与门 970 的第一输入 973 与第二输入 971, 因而可提供一参考信号 V_0 。

图 10 显示参考信号产生器的另一实施例, 此一参考信号产生器实施例包括两与非门 110、120 以及一与门 130, 信号 VSR1、VSR2、ENBV1 与 ENBV2 分别被送至第二与非门 120 的输入 123、125、121 与 127, 因此第二与非门产生一第二扫描信号 Scan, 信号 VSR1、VSR2 与 ENBV2 分别被送至与门 130 的输入 131、133 与 135, 因此产生出参考信号 V_0 。

此外, 本发明的实施例提供一显示面板, 如图 6 所示, 显示面板 600 包括一像素数组 610 与一控制器 640, 像素数组包括复数个前述的像素驱动电路, 控制器耦接至该像素数组, 并控制储存电容、转移电路、驱动晶体管以及开关电路的操作, 此外, 如图 13 所示, 本发明还提供一电子装置 700, 包括如图 6 所示的显示面板。

图 5 绘示依据本发明一实施例的驱动显示组件的方法, 该驱动方法起始于一放电模式中对一储存电容进行放电, 步骤 510; 放电模式发生于扫描模式之前, 并于参考信号第一次切换时开始, 并于一扫描模式开始时结束。其后, 在扫描模式中一数据信号、该驱动晶体管 221 的一临界电压以及一固定电压被加载于该储存电容, 步骤 520。接着, 将加载的该数据信号、该临界电压与固定电压耦合至该驱动晶体管, 以提供一与临界电压无关的驱动电流给该显示组件, 步骤 530。更明确地说, 依据本发明实施例的显示组件为一电致发光组件, 当参考信号的第二次切换发生时, 扫描模式结束, 且像素驱动电路便进入发光模式。

较佳而言，参考信号的第二次切换发生于扫描模式结束之前，以获得较佳的画质，此外，驱动晶体管的栅极连接至储存电容，且其源极连接至固定电位，更明确地说，该固定电位为一电源供应电位。

本发明实施例提供一可补偿临界电压与电源供应的像素驱动电路，临界
5 电压、电源供应或两者皆有的变异可被补偿，有益效果在于，使得驱动电流与临界电压或电源供应无关，因此每一像素的亮度也就与临界电压或电源供应无关。

虽然本发明以较佳实施例作了如上的说明，但是其并非用以限定本发明，任何本技术领域的技术人员，在不脱离本发明的方法和范围内，可作各种替
10 换与修改，因此本发明保护范围以权利要求书中所规定的为准。

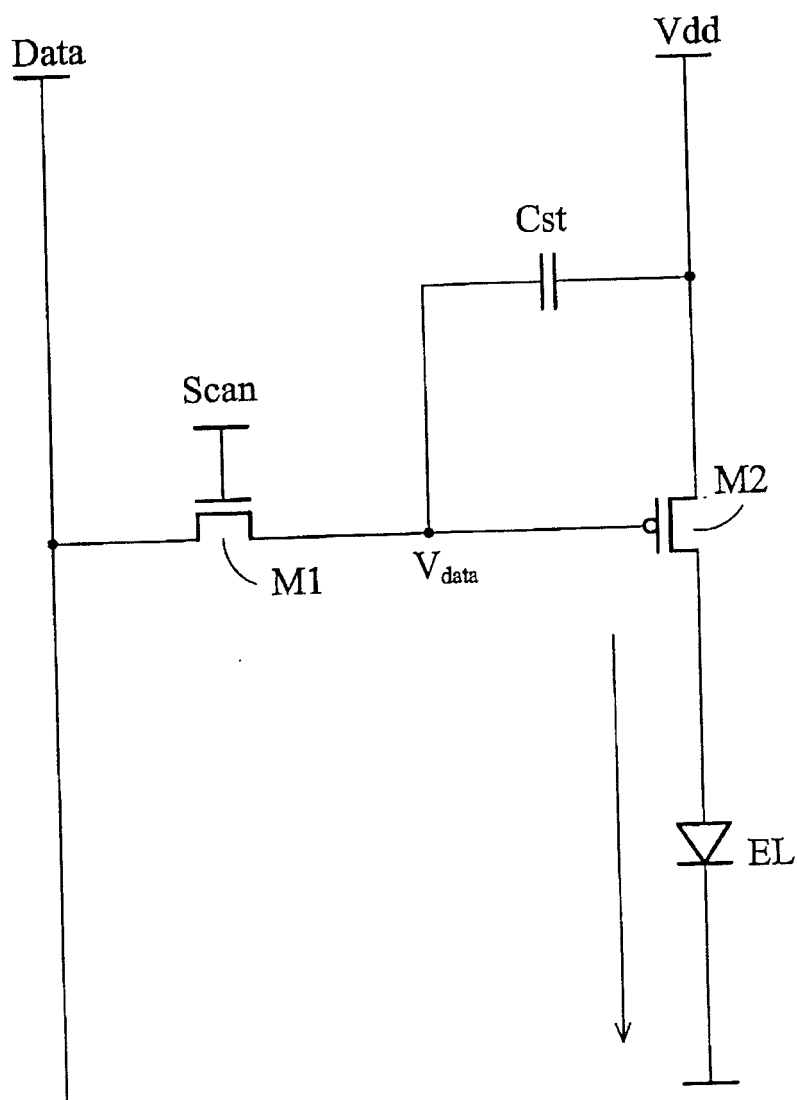


图 1

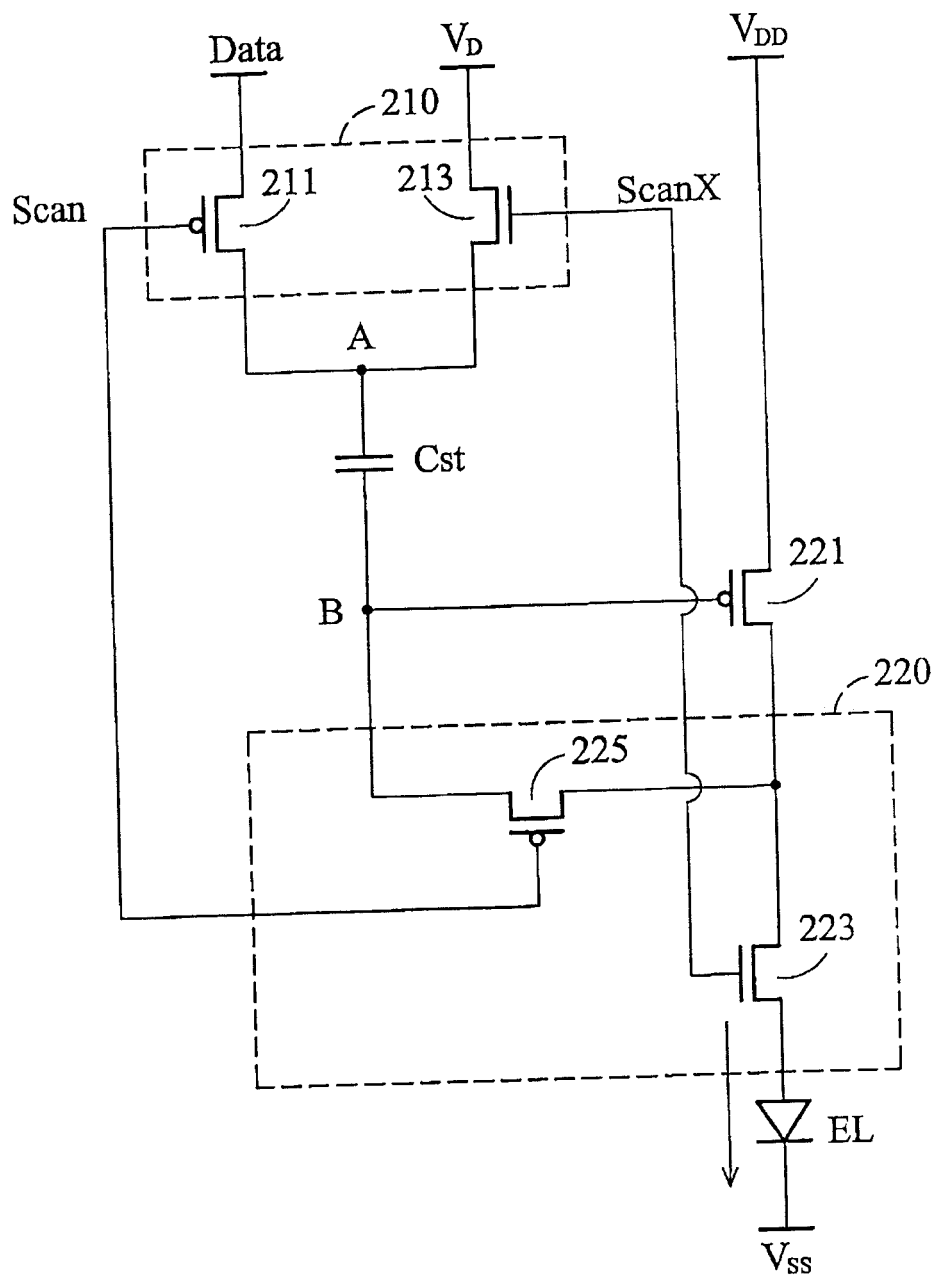
200

图 2

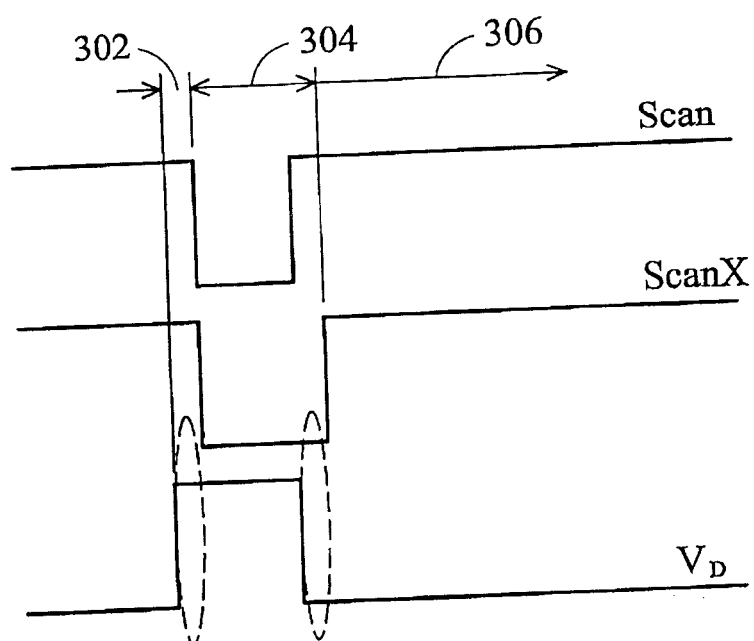


图 3

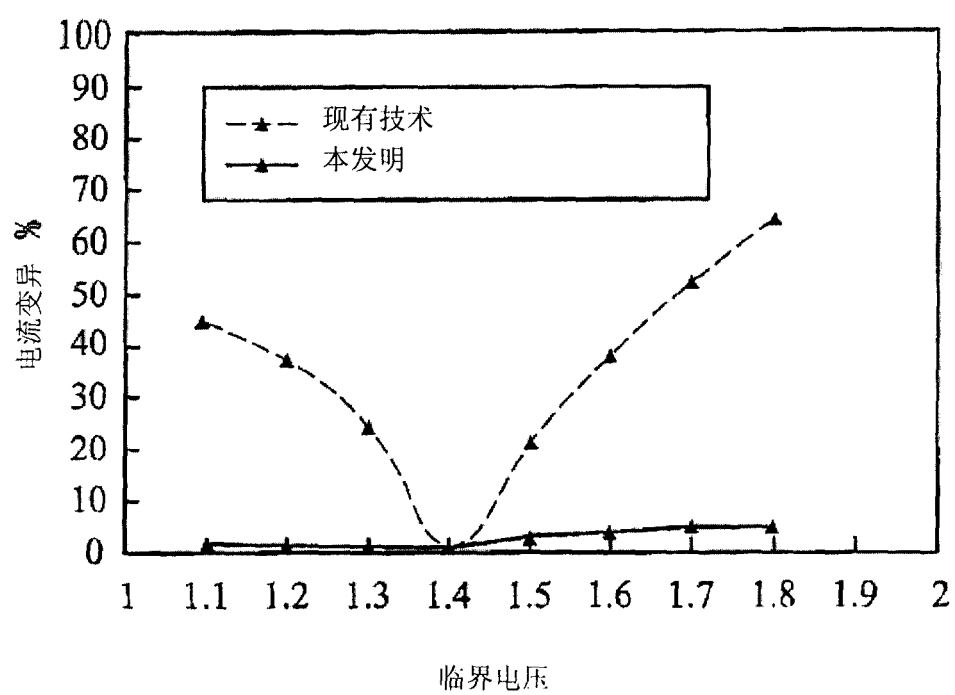


图 4

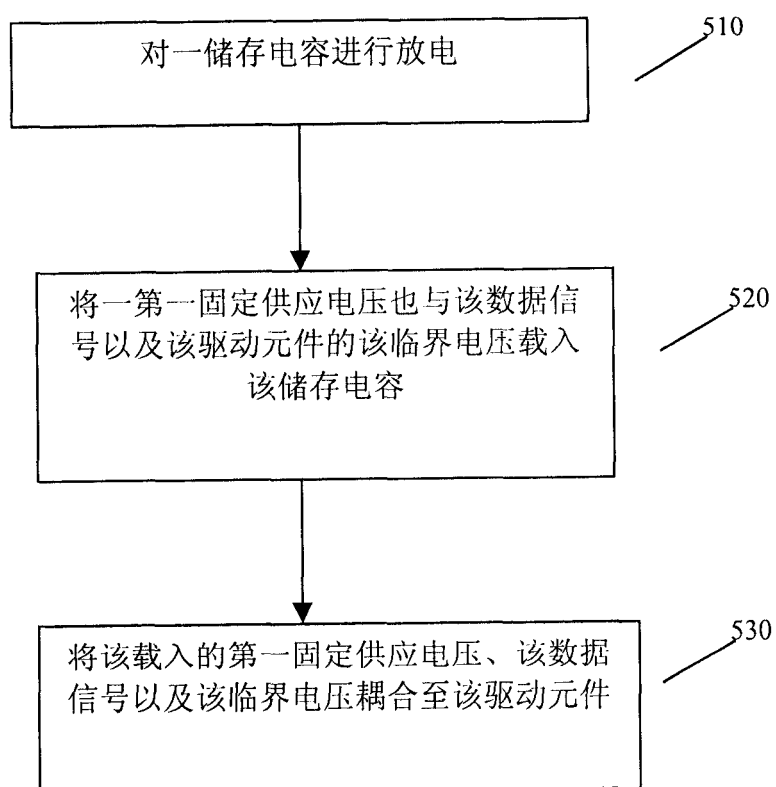


图 5

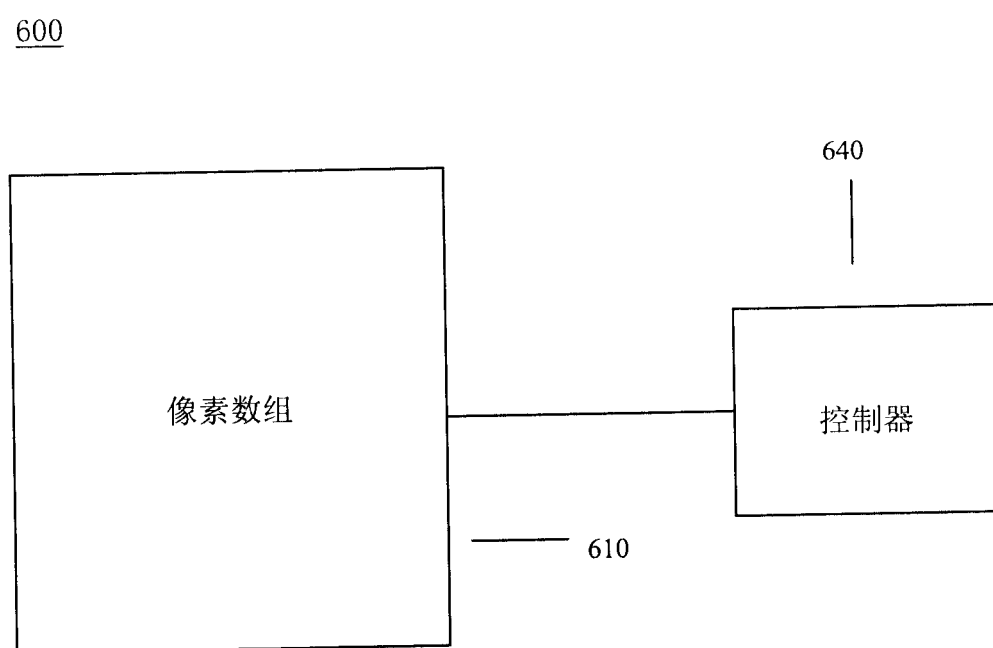


图 6

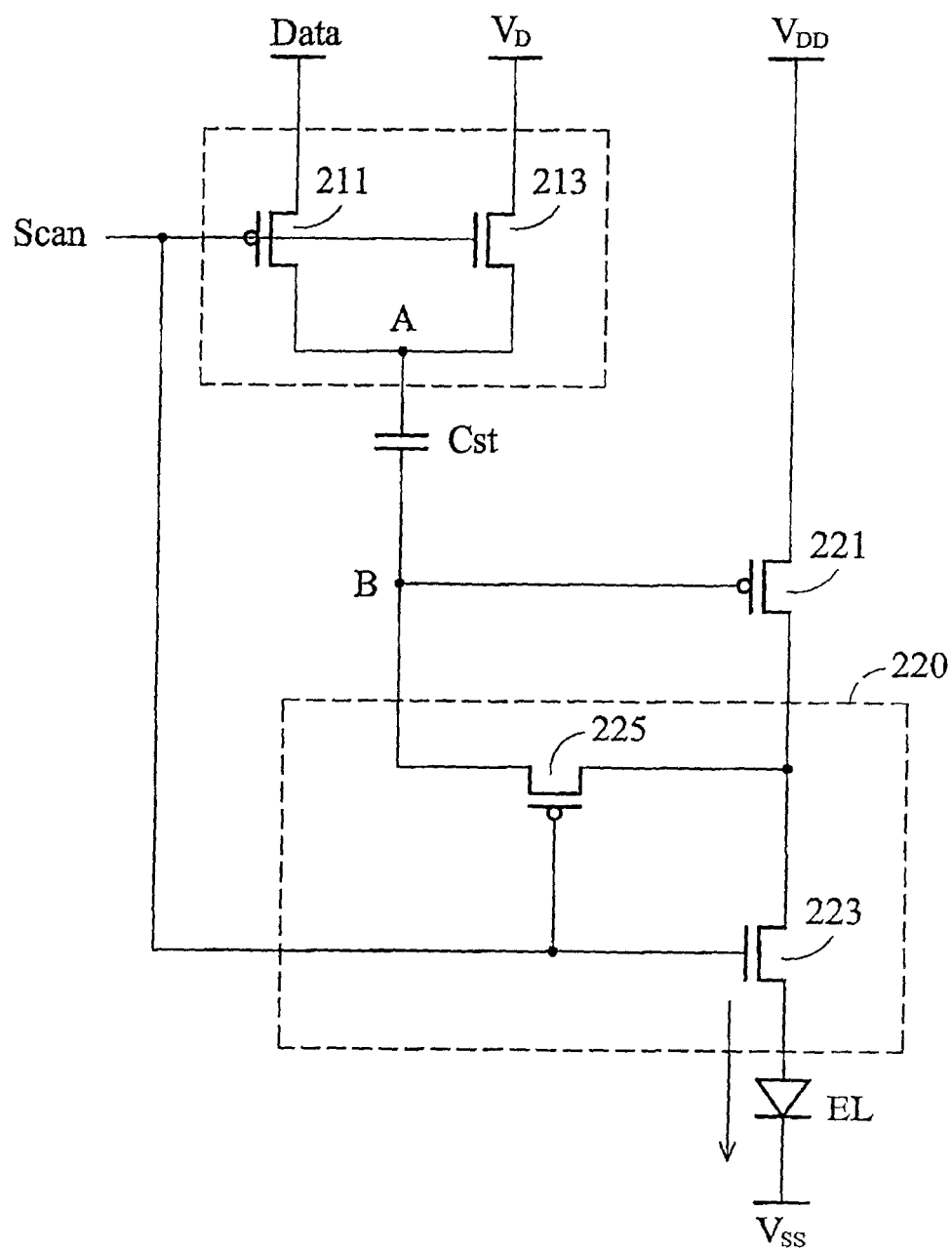
200

图 7

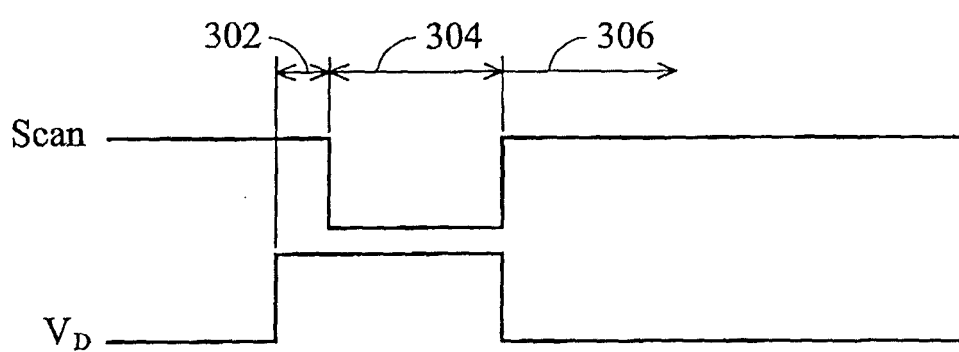


图 8

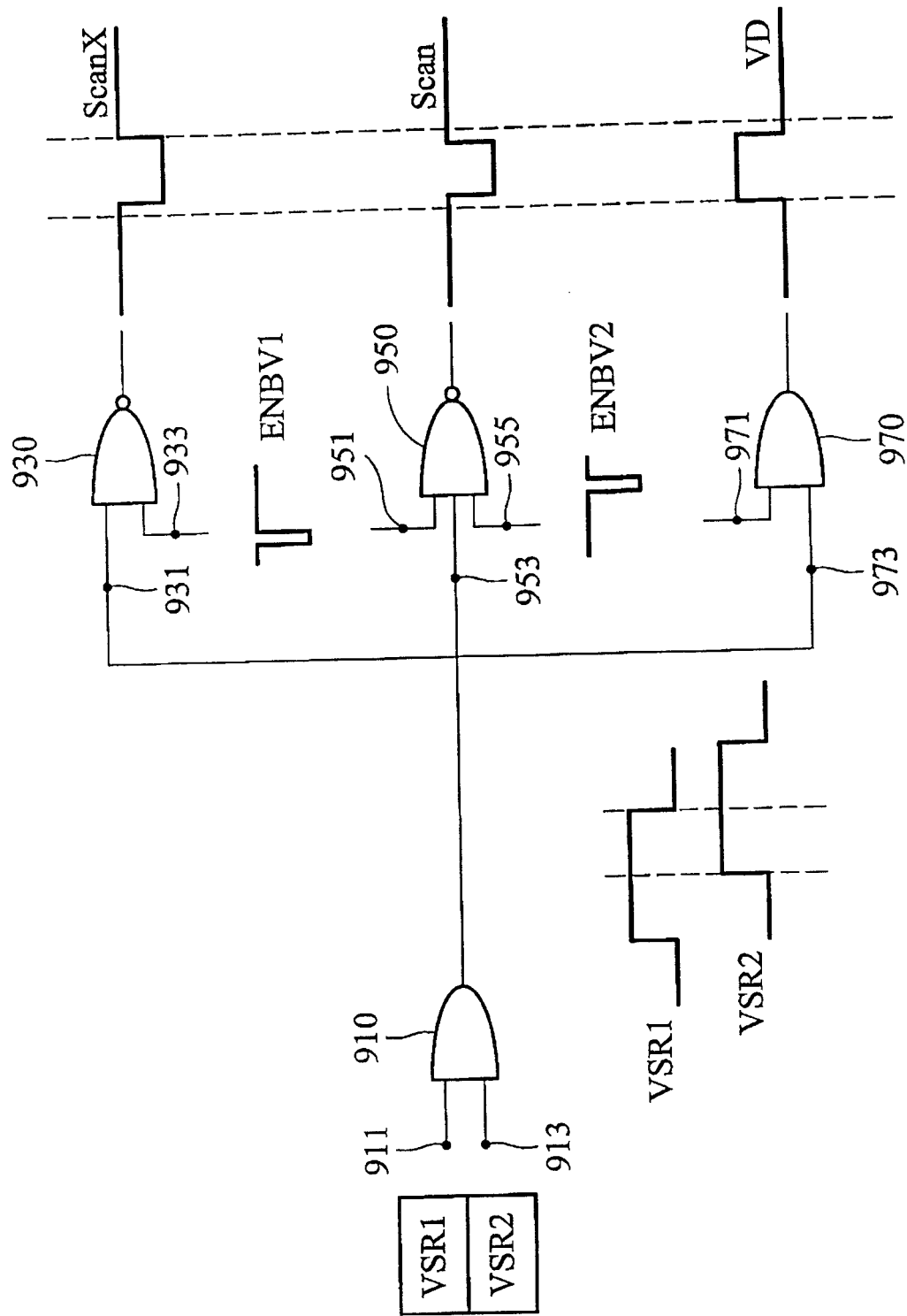


图 9

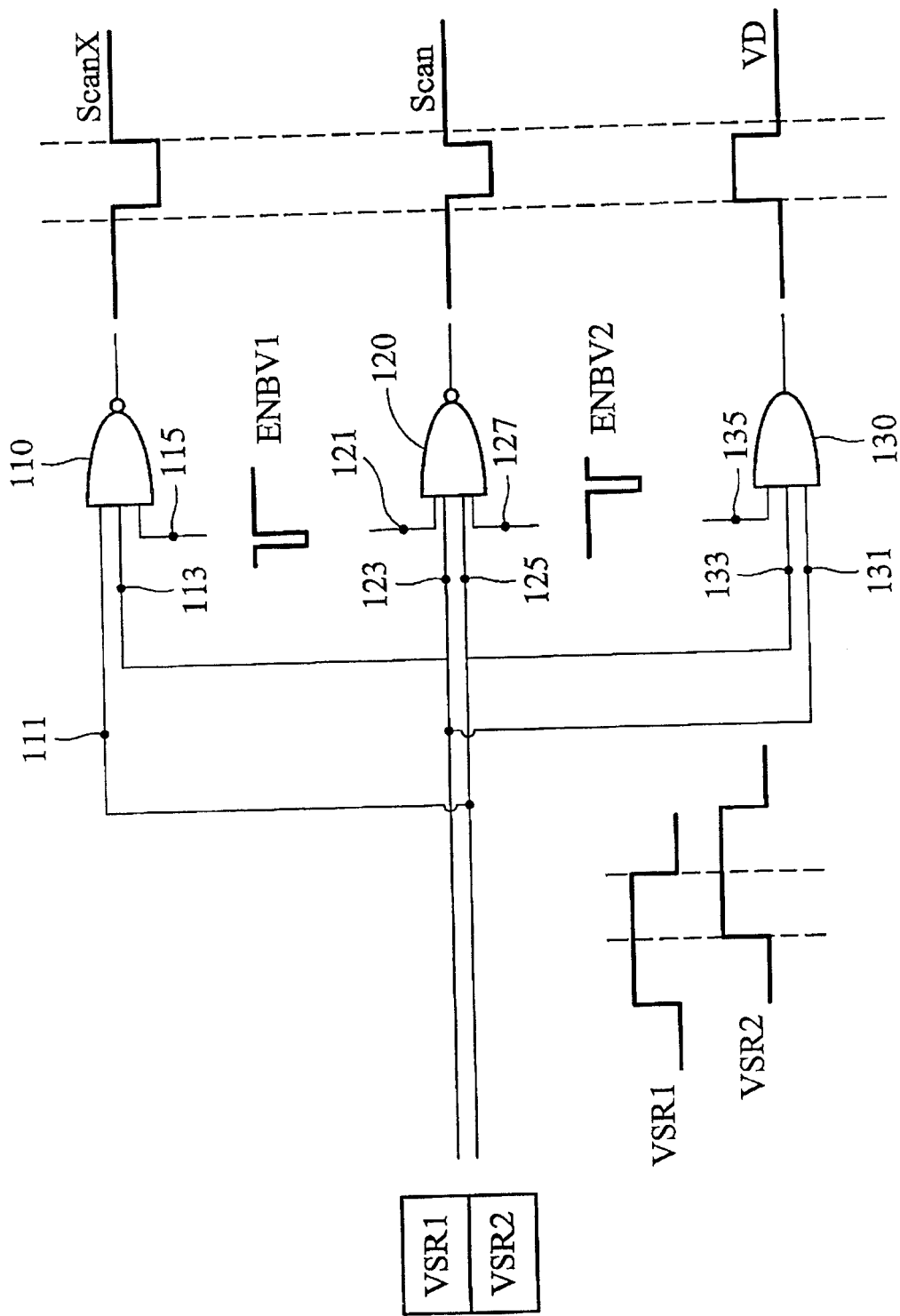


图 10

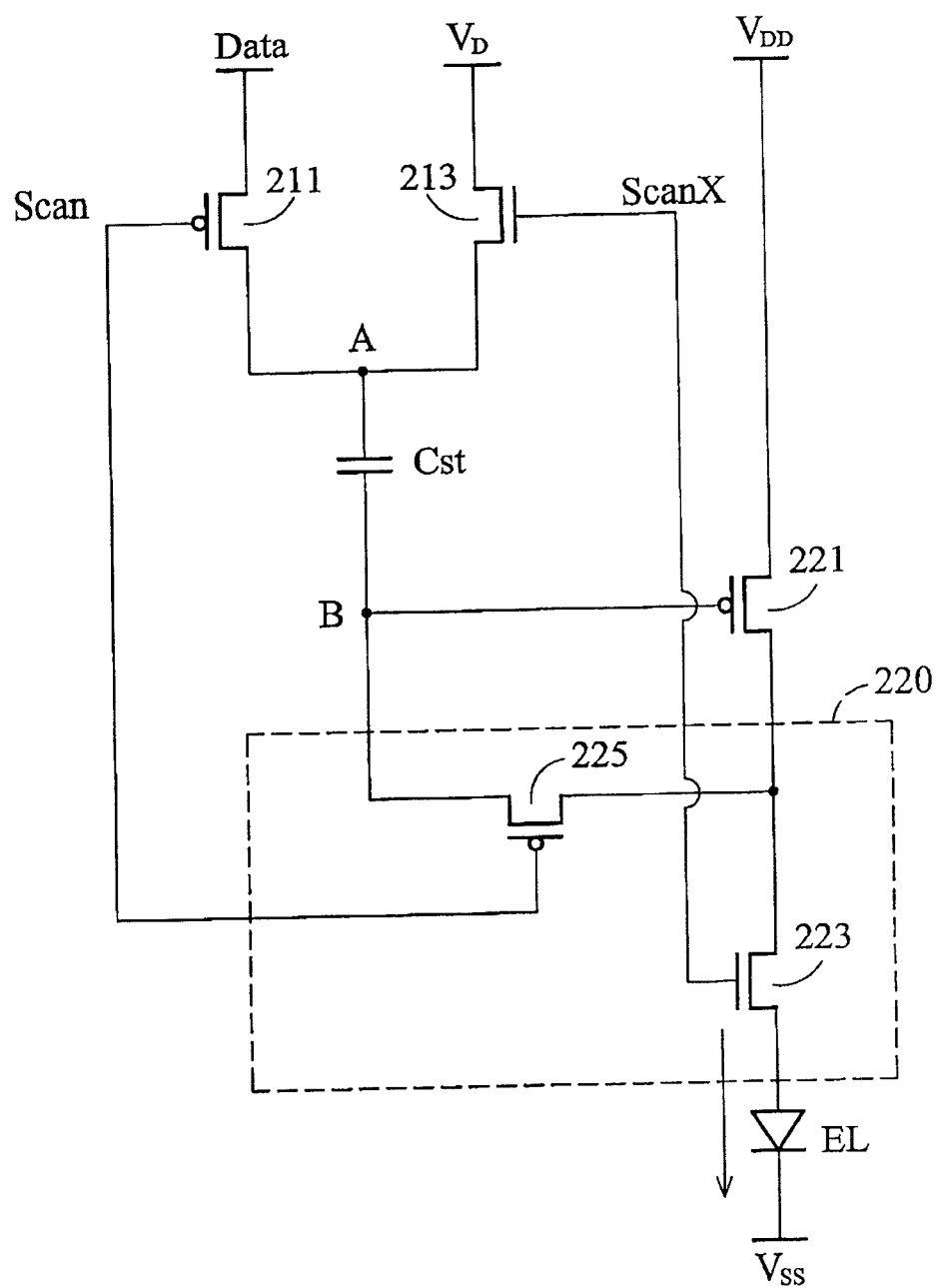
200

图 11

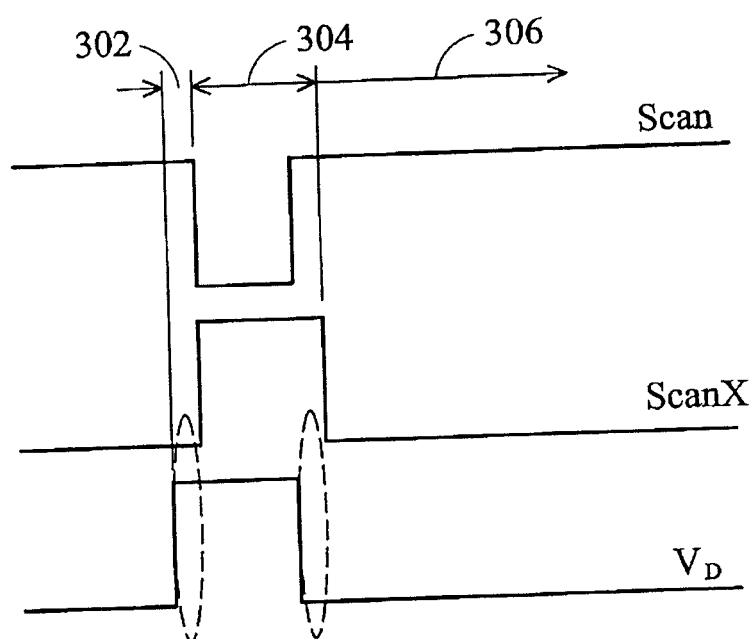


图 12

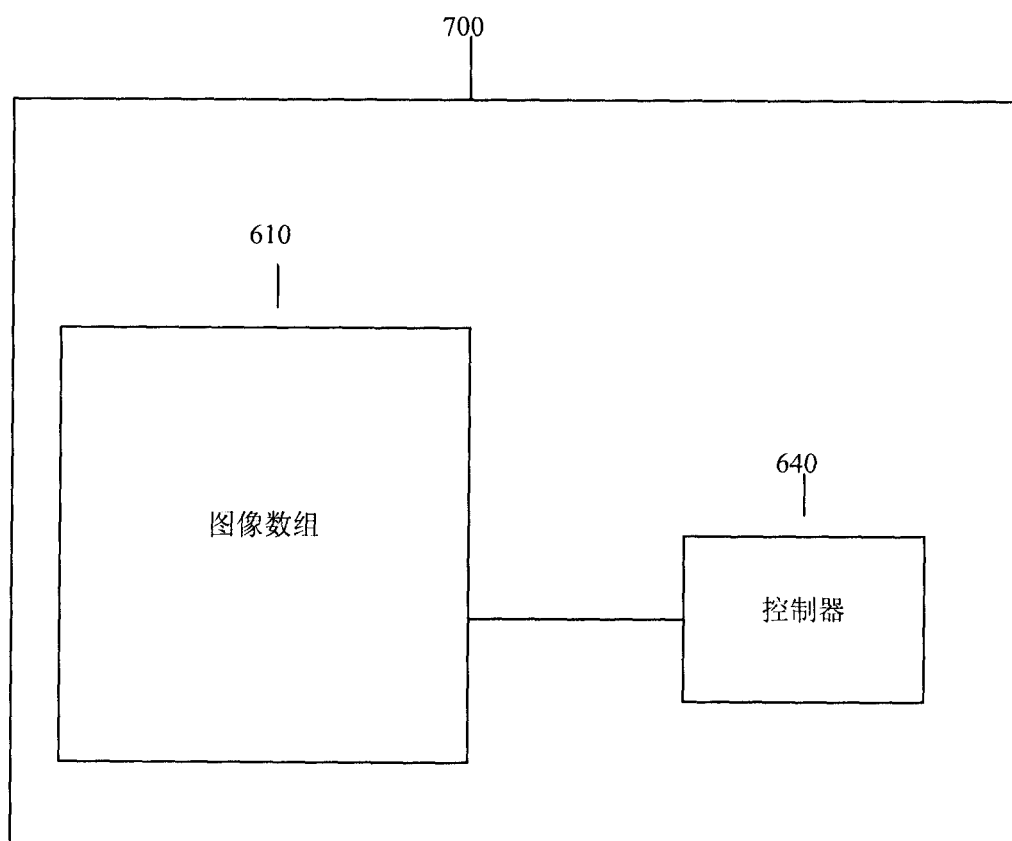


图 13

专利名称(译)	像素驱动电路以及驱动显示组件的方法		
公开(公告)号	CN1734546A	公开(公告)日	2006-02-15
申请号	CN200510089245.7	申请日	2005-08-02
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股份有限公司		
当前申请(专利权)人(译)	统宝光电股份有限公司		
[标]发明人	彭杜仁 黄士峰		
发明人	彭杜仁 黄士峰		
IPC分类号	G09G3/32 G09G3/30 H05B33/08 G09G3/3233 G09G3/3266		
优先权	60/598168 2004-08-02 US 60/634401 2004-12-07 US 11/173820 2005-07-01 US		
其他公开文献	CN100373436C		
外部链接	Espacenet SIPO		

摘要(译)

一种可补偿临界电压与电源供应的像素驱动电路，包括一储存电容、一转移电路、一驱动晶体管以及一开关电路，转移电路将一数据信号或一可变参考信号转移至该储存电容的第一节点，驱动晶体管有一第一端点耦接至一第一固定电位，有一第二端点耦接至该储存电容的第二节点，并有一第三端点输出一驱动电流，开关电路耦接至该驱动晶体管的该第三端点与该储存电容的第二节点，并可在一时段内使该驱动晶体管成二极管连接，并使得一驱动电流可在另一时段内输出至一显示组件。本发明的有益效果在于，使得驱动电流与临界电压或电源供应无关，因此每一像素的亮度也就与临界电压或电源供应无关。

