



(12) 发明专利

(10) 授权公告号 CN 101763780 B

(45) 授权公告日 2012. 10. 03

(21) 申请号 201010118833. X

US 6229506 B1, 2001. 05. 08, 全文.

(22) 申请日 2010. 03. 08

审查员 乔毅

(73) 专利权人 华映光电股份有限公司

地址 350015 福建省福州市马尾科技园区兴
业路 1 号

专利权人 中华映管股份有限公司

(72) 发明人 陈屏先 陈弼先

(74) 专利代理机构 福州元创专利商标代理有限
公司 35100

代理人 蔡学俊

(51) Int. Cl.

G09G 3/32 (2006. 01)

G09F 9/33 (2006. 01)

(56) 对比文件

US 2005/0068271 A1, 2005. 03. 31, 全文.

CN 101055697 A, 2007. 10. 17, 全文.

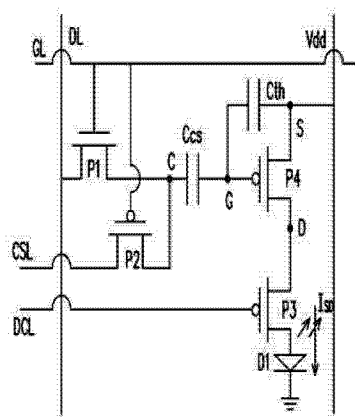
权利要求书 1 页 说明书 14 页 附图 11 页

(54) 发明名称

画素结构及其驱动方法

(57) 摘要

本发明涉及一种画素结构及其驱动方法。画素结构包括储存电容、数据开关晶体管、扰动开关晶体管、驱动晶体管、显示开关晶体管与有机发光二极管。数据开关晶体管可依据扫描讯号提供数据讯号至储存电容的第一端。当数据开关晶体管截止时, 扰动开关晶体管可提供扰动讯号至储存电容的第一端。驱动晶体管的第一端与栅极分别耦接定电压与储存电容的第二端。显示开关晶体管的第一端与第二端分别耦接驱动晶体管的第二端与有机发光二极管的阳极。如此一来, 可提升画素结构的寿命。



10

1. 一种画素结构,其特征是包括:一储存电容,具有一第一端与一第二端;一数据开关晶体管,依据一扫描讯号提供一数据讯号至该储存电容的第一端;一扰动开关晶体管,当该数据开关晶体管截止时,该扰动开关晶体管提供一扰动讯号至该储存电容的第一端;一驱动晶体管,具有一第一端、一第二端与一闸极,该驱动晶体管的第一端耦接一定电压,该驱动晶体管的闸极耦接该储存电容的第二端;一显示开关晶体管,具有一第一端、一第二端与一闸极,该显示开关晶体管的第一端耦接该驱动晶体管的第二端,该显示开关晶体管的闸极接收一显示控制讯号;以及一有机发光二极管,其阳极耦接该显示开关晶体管的第二端,其阴极耦接一接地端。

2. 根据权利要求1所述的画素结构,其特征是:其中该数据开关晶体管具有一第一端、一第二端与一闸极,该数据开关晶体管的第一端耦接一数据线并接收该数据讯号,该数据开关晶体管的闸极耦接一扫描线并接收该扫描讯号,该数据开关晶体管的第二端耦接该储存电容的第一端。

3. 根据权利要求2所述的画素结构,其特征是:其中该扰动开关晶体管具有一第一端、一第二端与一闸极,该扰动开关晶体管的第一端接收该扰动讯号,该扰动开关晶体管的闸极耦接该扫描线并接收该扫描讯号,该扰动开关晶体管的第二端耦接该储存电容的第一端,该扰动开关晶体管与该数据开关晶体管由一P信道晶体管与一N信道晶体管所组成。

4. 根据权利要求1所述的画素结构,其特征是更包括:一临界电压电容,耦接于该显示开关晶体管的第一端与闸极之间。

5. 根据权利要求1所述的画素结构,其特征是更包括:一分流驱动晶体管,具有一第一端、一第二端与一闸极,该分流驱动晶体管的第一端耦接该定电压,该分流驱动晶体管的第二端耦接该驱动晶体管的第二端;以及一分流开关晶体管,具有一第一端、一第二端与一闸极,该分流开关晶体管的第一端耦接该分流驱动晶体管的闸极,该分流开关晶体管的第二端耦接该驱动晶体管的闸极,该分流开关晶体管的闸极接收该显示控制讯号。

6. 根据权利要求5所述的画素结构,其特征是:其中该驱动晶体管与该显示开关晶体管配置于一画素数组之内,该分流驱动晶体管与该分流开关晶体管配置于该画素数组之外。

7. 根据权利要求5所述的画素结构,其特征是:其中该扰动讯号为周期讯号,该扰动讯号以零电压位准在正周期与负周期分别进行振幅大小相同的反相扰动。

8. 一种画素结构的驱动方法,其特征是:该画素结构包括一数据开关晶体管、一储存电容、一驱动晶体管与一有机发光二极管,该数据开关晶体管具有一第一端、一第二端与一闸极,该储存电容具有一第一端与一第二端,该驱动晶体管具有一第一端、一第二端与一闸极,该数据晶体管的第二端耦接该储存电容的第一端,该储存电容的第二端耦接该驱动晶体管的闸极,该驱动晶体管的第一端与第二端分别耦接一定电压与该有机发光二极管,该驱动方法,包括:依据一扫描讯号导通一数据开关晶体管;当该数据开关晶体管导通时,提供一数据讯号至该储存电容的第一端,藉以透过该驱动晶体管驱动该有机发光二极管;以及当该数据开关晶体管截止时,透过一扰动开关晶体管,提供一扰动讯号至该储存电容的第一端。

画素结构及其驱动方法

技术领域

[0001] 本发明是有关于一种画素结构,且特别是有关于一种有机发光显示器的画素结构及其驱动方法。

背景技术

[0002] 使用有机发光二极管 (organic light emitting diode, OLED) 的有机发光显示器 (organic light emitting display) 由于具有自发光、高亮度、高对比、广视角以及反应速度快等优点,目前有关的研究单位无不致力于其特性与驱动电路的研究。虽然有机发光显示器具有上述的优点,但仍然有些问题亟待解决。

[0003] 图 1 是习知的一种画素结构的示意图。请参照图 1,此画素结构使用两个晶体管 (TFT_S、TFT_D),以及一个储存电容 Cs,此画素结构被称为 2T1C 的画素电路。晶体管 TFT_S 的闸极耦接扫描线 GL,可依据扫描线 GL 提供的扫描讯号而导通。当晶体管 TFT_S 导通时,数据线 DL 的数据讯号可传递至储存电容 Cs 的第一端与晶体管 TFT_D 的闸极端,对此画素结构进行数据写入。

[0004] 晶体管 TFT_D 可用以控制流经 OLED D1 的电流 I_o ,藉由控制闸极 (Gate) 电压,即可控制 TFT_D 源极 / 汲极 (Source/Drain) 两端的电压和电流。因晶体管 TFT_D 与 OLED D1 为串联组合,当施加一个固定的电压 Vdd 于 TFT_D 汲极时,即可透过 TFT_D 的源极 / 汲极的改变,来控制通过 OLED D1 的电流 I_o ,而达成控制灰阶的目的。

[0005] 值得一提的是,晶体管 TFT_D 会因为制程上的误差、长时间操作或环境温度等因素,造成临界电压 (Threshold Voltage) 产生变异,进而使通过 OLED D1 的电流 I_o 产生改变,而影响画素亮度上的表现。

[0006] 另外,若画面长时间处于白画面时,晶体管 TFT_D 必须持续提供大电流给 OLED D1,晶体管 TFT_D 会长时间处于高电流应力 (high current stress),易造成劣化问题,降低使用寿命。

发明内容

[0007] 本发明提供一种画素结构,可延长画素结构的寿命。

[0008] 本发明提供一种画素结构的驱动方法,可改善高电流应力造成劣化的问题。

[0009] 本发明提出一种画素结构,包括储存电容、数据开关晶体管、扰动开关晶体管、驱动晶体管、显示开关晶体管与有机发光二极管。储存电容具有第一端与第二端。数据开关晶体管可依据扫描讯号提供数据讯号至储存电容的第一端。当数据开关晶体管截止时,扰动开关晶体管可提供扰动讯号至储存电容的第一端。驱动晶体管具有第一端、第二端与闸极。驱动晶体管的第一端耦接定电压。驱动晶体管的闸极耦接储存电容的第二端。显示开关晶体管具有第一端、第二端与闸极。显示开关晶体管的第一端耦接驱动晶体的第二端。显示开关晶体管的闸极接收显示控制讯号。有机发光二极管的阳极耦接显示开关晶体的第二端。有机发光二极管的阴极耦接接地端。

[0010] 在本发明的一实施例中,数据开关晶体管具有第一端、第二端与闸极。数据开关晶体管的第一端耦接数据线并接收数据讯号。数据开关晶体管的闸极耦接扫描线并接收扫描讯号。数据开关晶体管的第二端耦接储存电容的第一端。

[0011] 承上述,在另一实施例中,扰动开关晶体管具有第一端、第二端与闸极。扰动开关晶体管的第一端接收扰动讯号。扰动开关晶体管的闸极耦接扫描线并接收扫描讯号。扰动开关晶体管的第二端耦接储存电容的第一端。扰动开关晶体管与数据开关晶体管由 P 信道晶体管与 N 信道晶体管所组成。

[0012] 在本发明的一实施例中,画素结构更包括临界电压电容。临界电压电容耦接于显示开关晶体管的第一端与闸极之间。

[0013] 在本发明的一实施例中,画素结构更包括分流驱动晶体管与分流开关晶体管。分流驱动晶体管具有第一端、第二端与闸极。分流驱动晶体管的第一端耦接定电压。分流驱动晶体管的第二端耦接驱动晶体管的第二端。分流开关晶体管具有第一端、第二端与闸极。分流开关晶体管的第一端耦接分流驱动晶体管的闸极。分流开关晶体管的第二端耦接驱动晶体管的闸极。分流开关晶体管的闸极接收显示控制讯号。

[0014] 在本发明的一实施例中,驱动晶体管与显示开关晶体管配置于画素数组之内。分流驱动晶体管与分流开关晶体管配置于画素数组之外。

[0015] 在本发明的一实施例中,扰动讯号为周期讯号。扰动讯号以零电压位准在正周期与负周期分别进行振幅大小相同的反相扰动。

[0016] 从另一角度来看,本发明提出一种画素结构的驱动方法。画素结构包括数据开关晶体管、储存电容、驱动晶体管与有机发光二极管。数据开关晶体管具有第一端、第二端与闸极。储存电容具有第一端与第二端。驱动晶体管具有第一端、第二端与闸极。数据晶体管的第二端耦接储存电容的第一端。储存电容的第二端耦接驱动晶体管的闸极。驱动晶体管的第一端与第二端分别耦接定电压与有机发光二极管。驱动方法包括依据扫描讯号导通数据开关晶体管。当数据开关晶体管导通时,可提供数据讯号至储存电容的第一端,藉以透过驱动晶体管驱动有机发光二极管。当数据开关晶体管截止时,透过扰动开关晶体管,提供扰动讯号至储存电容的第一端。

[0017] 基于上述,本发明停止提供数据讯号至画素结构时,可提供扰动讯号至画素结构。如此一来,可提升画素结构的寿命。

[0018] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

[0019] 图 1 是习知的一种画素结构的示意图。

[0020] 图 2 是依照本发明的第一实施例的一种画素结构的示意图。

[0021] 图 3 是依照本发明的第一实施例的一种扰动讯号的示意图。

[0022] 图 4 是图 2 的一种操作状态的示意图。

[0023] 图 5 是图 2 的另一种操作状态的示意图。

[0024] 图 6 是依照本发明的第一实施例的一种驱动波形的示意图。

[0025] 图 7 是依照本发明的第一实施例的一种画素结构的驱动方法的流程图。

- [0026] 图 8 是依照本发明的第一实施例的一种画素结构的示意图。
- [0027] 图 9 是图 8 的一种操作状态的示意图。
- [0028] 图 10 是图 8 的另一种操作状态的示意图。
- [0029] 图 11 是依照本发明的第一实施例的一种扰动讯号的示意图。
- [0030] **【主要组件符号说明】**
- [0031] 10、11 :画素结构
- [0032] Ccs、Cs :储存电容
- [0033] Cth :临界电压电容
- [0034] P1 :资料开关晶体管
- [0035] P2 :扰动开关晶体管
- [0036] P3 :显示开关晶体管
- [0037] P4 :驱动晶体管
- [0038] P5 :分流开关晶体管
- [0039] P6 :分流驱动晶体管
- [0040] D1 :OLED
- [0041] DL :资料线
- [0042] GL :扫描线
- [0043] CSL :扰动讯号
- [0044] DCL :显示控制讯号
- [0045] C、S、G、D :端点
- [0046] Vdd :定电压
- [0047] TFT_S、TFT_D :晶体管
- [0048] I_o 、 I_{SD} :电流
- [0049] S701 ~ S703 :驱动方法的各步骤。

具体实施方式

- [0050] 习知的画素结构具有高电流应力的问题,容易缩短画素结构的寿命。
- [0051] 反观,本发明的实施例提供了多种画素结构,可改善习知的问题。
- [0052] 第一种画素结构:
- [0053] 1. 将临界电压电容于驱动晶体管的第一端与闸极之间,可加强驱动晶体管的临界电压。可解决驱动晶体管因为制程上的差异、长时间操作或环境温度等因素,而使其工作特性有所差异,进而造成其临界电压(Threshold Voltage)变异。如此一来,驱动晶体管输出的电流则不易受临界电压所影响。
- [0054] 2. 从此画素结构的外部输入一上下振幅相等的扰动讯号,藉此扰动讯号可使通过 OLED 的电流(电压)于一固定值作扰动。因此,若长时间使用于白画面显示时,可改善因驱动晶体管必须持续提供大电流给 OLED,而处于高电流应力(high current stress)所造成劣化问题,可延长晶体管的使用寿命。另外,由于人眼有视觉暂留现象,因此只要扰动讯号的频率高于人眼所能辨识的频率,画素的显示亮度几乎会呈现一固定值。
- [0055] 第二种画素结构:

[0056] 1. 使用分流(Sharing Current)的方法,可改善当长时间显示白画面时,驱动晶体管必须持续提供大电流给 OLED,而处于高电流应力(high current stress)所造成劣化问题,可延长 TFT 的使用寿命。

[0057] 2. 利用此画素结构,可使驱动晶体管的操作电压降低。因此可选用耐压较低的驱动晶体管,降低成本。同时也可减少功率消耗。

[0058] (a) 提供至驱动晶体管的数据讯号,其电压可降低至原 $\frac{1}{\sqrt{2}}$ 。

[0059] (b) 同理,利用扰动讯号对此画素结构进行扰动时,扰动讯号的电压也可降低至原 $\frac{1}{\sqrt{2}}$ 。下面将参考附图详细阐述本发明的实施例,附图举例说明了本发明的示范实施例,其中相同标号指示同样或相似的步骤。

[0060] 第一实施例

[0061] (一) 画素结构说明

[0062] 图 2 是依照本发明的第一实施例的一种画素结构的示意图。请参照图 2,在本实施例中,画素结构使用了 4T2C 的架构。画素结构 10 包括储存电容 Ccs、临界电压电容 Cth、数据开关晶体管 P1、扰动开关晶体管 P2、显示开关晶体管 P3、驱动晶体管 P4 与 OLED D1。在本实施例中,数据开关晶体管 P1 以 N 通道晶体管为例进行说明,扰动开关晶体管 P2、显示开关晶体管 P3 与驱动晶体管 P4 以 P 通道晶体管为例进行说明,但本发明并不限于此。

[0063] 数据开关晶体管 P1 的闸极耦接扫描线 GL,可接收扫描讯号。数据开关晶体管 P1 的第一端耦接数据线 DL,可接收数据讯号。数据开关晶体管 P1 的第二端耦接储存电容 Ccs 的第一端与扰动开关晶体管 P2 的第二端。扰动开关晶体管 P2 的第一端可接收扰动讯号 CSL。扰动开关晶体管 P2 的闸极耦接扫描线 GL。

[0064] 储存电容 Ccs 的第二端耦接临界电压电容 Cth 的第一端与驱动晶体管 P4 的闸极。驱动晶体管 P4 的第一端耦接定电压 Vdd、临界电压电容 Cth 的第二端。驱动晶体管 P4 的第二端耦接显示开关晶体管 P3 的第一端。显示开关晶体管 P3 的闸极接收显示控制讯号 DCL。显示开关晶体管 P3 的第二端耦接 OLED D1 的阳极。OLED D1 的阴极耦接接地端。

[0065] 在本实施例中,数据开关晶体管 P1、扰动开关晶体管 P2 与显示开关晶体管 P3 可作为开关使用。驱动晶体管 P4 则用来驱动 OLED D1。

[0066] 更详细地说,资料开关晶体管 P1 可依据扫描线 GL 提供的扫描讯号而导通,藉以将数据线 DL 的数据讯号传递至储存电容 Ccs 的第一端。扰动开关晶体管 P2 可配合数据开关晶体管 P1 的操作,将外部输入的扰动讯号 CSL 传递至储存电容 Ccs 的第一端。当资料开关晶体管 P1 截止时,扰动开关晶体管 P2 则导通;反之,当资料开关晶体管 P1 导通时,扰动开关晶体管 P2 则截止。

[0067] 请注意,在本实施例中,由于数据开关晶体管 P1 与扰动开关晶体管 P2 分别为 N 信道晶体管与 P 信道晶体管,因此扰动开关晶体管 P2 的闸极可耦接扫描讯 GL,与数据开关晶体管 P1 共享同一扫描讯号。如此一来,则无须额外提供控制讯号来控制扰动开关晶体管 P2 的操作,但本发明并不限于此。在其它实施例中,也可另外提供控制讯号来控制扰动开关晶体管 P2 的操作。

[0068] 驱动晶体管 P4 可依据 G 端点的电压而驱动 OLED D1。显示开关晶体管 P3 可依据

显示控制讯号 DCL 而决定是否导通。显示控制讯号 DCL 输入至显示开关晶体管 P3 的闸极, 可作为控制 OLED D1 是否可通过电流的开关。当显示开关晶体管 P3 截止时, OLED D1 不会发亮; 当显示开关晶体管 P3 导通时, OLED D1 会受控于驱动晶体管 P4 而发出对应灰阶的亮度。

[0069] 另一方面, 临界电压电容 Cth 主要可储存驱动晶体管 P4 的临界电压。储存电容 Ccs 主要可储存数据线 DL 所提供数据讯号。另外, 需注意的是, 储存电容的第一端 (C 端点) 更与扰动开关晶体管 P2 的第二端相连接, 扰动开关晶体管 P2 的第一端外接扰动讯号 CSL, 主要是为了将数据讯号于一个画框期间, 变成带有扰动讯号 CSL 的数据讯号。扰动讯号 CSL 藉由储存电容 Ccs 耦合到驱动晶体管 P4 的闸极, 以调整驱动晶体管 P4 的输出电流, 使 OLED D1 发出要显示的亮度。

[0070] (二)、画素驱动方法

[0071] (1)、通过 OLED D1 的电流 I_{SD} :

$$[0072] \quad I_{SD} = \frac{1}{2} C_{OX} \mu_P \left(\frac{W}{L} \right) (V_{SG} - |V_{th}|)^2 \quad (1-1)$$

[0073] 上述公式 (1-1) 中, C_{OX} 为氧化层电容 (Oxide Capacitance)。 μ_P 为电子漂移率 (Electron Mobility)。W 为通道宽度 (Channel Width)。L 为通道长度 (Channel Length)。 I_{SD} 为流经驱动晶体管 P4 的电流。其中 V_{SG} 为端点 S 与端点 G 的压差。 V_{th} 为驱动晶体管 P4 的临界电压。本实施例假设 C_{OX} 、 μ_P 、W 及 L 为固定值。因此可得下列公式 (1-2), 其中 K 为常数。

$$[0074] \quad K = \frac{1}{2} C_{OX} \mu_P \left(\frac{W}{L} \right) \quad (1-2)$$

[0075] 接着, 由公式 (1-1) 可获得下列公式 (1-3)。

$$[0076] \quad I_{SD} = K (V_{SG} - |V_{th}|)^2 \quad (1-3)$$

[0077] 另外, 端点 S 连接到定电压 Vdd, 端点 S 的电压与定电压 Vdd 相同, 因此可得下列公式 (1-4), 其中 V_S 为端点 S 的电压。

$$[0078] \quad V_S = V_{dd} \quad (1-4)$$

[0079] 将公式 (1-4) 代入公式 (1-3), 可得下列公式 (1-5), 其中 V_G 为端点 G 的电压。

$$[0080] \quad I_{SD} = K (V_S - V_G - |V_{th}|)^2 = K (V_{dd} - V_G - |V_{th}|)^2 \quad (1-5)$$

[0081] (2)、临界电压储存 :

[0082] 图 3 是依照本发明的第一实施例的一种扰动讯号的示意图。图 4 是图 2 的一种操作状态的示意图。请合并参照图 3 与图 4, 在本实施例中, 扰动讯号 CSL 以接地电压为准位, 作上下振幅相同的扰动 ($\pm \Delta$)。在正周期, 扰动讯号 CSL 的电压 V_{CSL} 以 V_{csh} 表示之; 在负周期, 扰动讯号 CSL 的电压以 V_{csl} 表示之, 如下列公式 (1-6)。

$$[0083] \quad V_{CSL} = V_{csh} \text{ 或 } V_{CSL} = V_{csl} \quad (1-6)$$

[0084] 图 4 中虚线代表开关为截止状态,亦即此时扰动开关晶体管 P2 与显示开关晶体管 P3 为截止状态,资料开关晶体管 P1 为导通状态。当 V_G 被充电到 $V_{dd} - |V_{th}|$ 时,驱动晶体管 P4 会截止(因为 $V_s - V_G \leq |V_{th}|$)。此时端点 C 的电压与数据线 DL 所提供的数据讯号的电压 V_{DL} 相同,如下列公式(1-7)。

$$[0085] \quad C \text{ 端点的电压: } V_C = V_{DL} \quad (1-7)$$

[0086] 承上述,端点 G 的电压如下列公式(1-8)所示。储存电容 C_{cs} 的跨压 $V_{C_{cs}}$ 如下列公式(1-9)所示。

$$[0087] \quad V_G = V_{dd} - |V_{th}| \quad (1-8)$$

$$[0088] \quad V_{C_{cs}} = V_G - V_C = [V_{dd} - |V_{th}|] - V_{DL} \quad (1-9)$$

[0089] (3)、扰动讯号:

[0090] 图 5 是图 2 的另一种操作状态的示意图。图 5 中,虚线代表开关为截止状态,亦即此时数据开关晶体管 P1 为截止状态,扰动开关晶体管 P2 与显示开关晶体管 P3 为导通状态。

[0091] 当扰动讯号 CSL 在负周期时,可获得下列公式(1-10),此时端点 C 的电压 V_c 如下列公式(1-11)。

$$[0092] \quad V_{CSL} = V_{csl} \quad (1-10)$$

$$[0093] \quad V_C = V_{csl} \quad (1-11)$$

[0094] 端点 C 的电位变化量 ΔV_C 如下列公式(1-12)。端点 G 的电位变化量 ΔV_G 如下列公式(1-13)。

$$[0095] \quad \Delta V_C = V_{csl} - V_{DL} \quad (1-12)$$

$$[0096] \quad \Delta V_G = \Delta V_C \frac{C_{cs}}{C_{cs} + C_{th}} = \{V_{csl} - V_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}} \quad (1-13)$$

[0097] 接着可由下列公式(1-14)推得端点 G 的电压,并由下列公式(1-15)推得流经 OLED D1 的电流。

$$[0098] \quad \begin{aligned} V_G &= (V_{dd} - |V_{th}|) + \Delta V_G \\ &= (V_{dd} - |V_{th}|) + \{V_{csl} - V_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}} \end{aligned} \quad (1-14)$$

$$[0099] \quad \begin{aligned} I_{SD} &= K(V_s - V_G - |V_{th}|)^2 \\ &= K \left(V_{dd} - \left[(V_{dd} - |V_{th}|) + \{V_{csl} - V_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right] - |V_{th}| \right)^2 \\ &= K \left(\{V_{DL} - V_{csl}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2 \end{aligned} \quad (1-15)$$

[0100] 同理可类推,当扰动讯号 CSL 在正周期时,公式(1-15)中的 V_{csk} 会由 V_{csk} 所取代,如下列公式(1-15')。

$$\begin{aligned}
 I_{SD} &= K(V_S - V_G - |V_{th}|)^2 \\
 [0101] \quad &= K\left(V_{dd} - \left[(V_{dd} - |V_{th}|) + \{V_{csk} - V_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}}\right] - |V_{th}| \right)^2 \quad (1-15') \\
 &= K\left(\{V_{DL} - V_{csk}\} \frac{C_{cs}}{C_{cs} + C_{th}}\right)^2
 \end{aligned}$$

[0102] 若定义 $V_{csk} = -\Delta$, $V_{csk} = +\Delta$ 。假设 $V_{CSL} = V_{csk}$ 经过扰动而变为 $V_{CSL} = V_{csk}$ 的情况下,流经 OLED D1 的电流则为下列公式(1-16)。

$$[0103] \quad I_{SD} = K\left(\{V_{DL} - (-\Delta)\} \frac{C_{cs}}{C_{cs} + C_{th}}\right)^2 = K\left(\{V_{DL} + \Delta\} \frac{C_{cs}}{C_{cs} + C_{th}}\right)^2 \quad (1-16)$$

[0104] 假设 $V_{CSL} = V_{csk}$ 经过扰动而变为 $V_{CSL} = V_{csk}$ 的情况下,公式(1-16)中的 $+\Delta$ 会由 $-\Delta$ 所取代,如下列公式(1-16')。

$$[0105] \quad I_{SD} = K\left(\{V_{DL} - \Delta\} \frac{C_{cs}}{C_{cs} + C_{th}}\right)^2 \quad (1-16')$$

[0106] (三)、画素波型设计

[0107] 图 6 是依照本发明的第一实施例的一种驱动波形的示意图。图 7 是依照本发明的第一实施例的一种画素结构的驱动方法的流程图。请合并参照图 6 与图 7。

[0108] 图 6 中,扫描线 GL 的扫描讯号可控制是否将数据线 DL 的数据讯号写入储存电容 Ccs。显示控制讯号 DCL 可控制驱动晶体管 P4 的输出电流是否流入 OLED D1。扰动讯号 CSL 为画素外部输入的扰动讯号,此讯号以零电压位准,作 $\pm \Delta$ 的周期扰动。 $V_{SG} - |V_{th}|$ 可使驱动晶体管 P4 产生电流输出的电压讯号。期间 T1 为临界电压储存与数据写入。期间 T2 为资料扰动。

[0109] 在图 7 中,资料开关晶体管 P1 可依据扫描讯号而决定导通与否(步骤 S701)。当数据开关晶体管 P1 导通时,数据线 DL 的数据讯号可传递至储存电容 Ccs 的第一端,藉以透过驱动晶体管 P4 来驱动 OLED D1 (步骤 S702),如期间 T1。当数据开关晶体管 P1 截止时,透过扰动开关晶体管 P2,扰动讯号 CSL 可传递至储存电容 Ccs 的第一端(步骤 S703),如期间 T2。

[0110] 请注意,扰动讯号 CSL 进行周期性的扰动时,流经驱动晶体管 P4 的电流以及流经 OLED D1 的电流也会随之周期性的扰动。此作法可有效改善习知高电流应力的情形,改善组件劣化的情况,并能延长画素结构的寿命。不仅如此,扰动讯号 CSL 的频率高于人眼所能辨识的频率时,人眼仍会将 OLED D1 发出的亮度是为一固定值,而不会有闪烁的情况发生。

[0111] 值得一提的是,虽然上述实施例中已经对画素结构及其驱动方法描绘出了一个可能的型态,但所属技术领域中具有通常知识者应当知道,各厂商对于画素结构及其驱动方法的设计都不一样,因此本发明的应用当不限制于此种可能的型态。换言之,只要是停止提

供数据讯号至画素结构时,提供扰动讯号至画素结构,就已经是符合了本发明的精神所在。以下再举几个实施例以便本领域具有通常知识者能够更进一步的了解本发明的精神,并实施本发明。

[0112] 第二实施例

[0113] (一) 画素结构说明

[0114] 图 8 是依照本发明的第一实施例的一种画素结构的示意图。图 9 是图 8 的一种操作状态的示意图。图 10 是图 8 的另一种操作状态的示意图。图 11 是依照本发明的第一实施例的一种扰动讯号的示意图。请合并参照图 8 ~ 图 11。图 8 的画素结构 11 与图 2 的画素结构相类似。不同之处在于,画素结构 11 更包括分流驱动晶体管 P6 与分流开关晶体管 P5。画素结构 11 使用了分流技术,为 6T2C 的画素结构。

[0115] 分流驱动晶体管 P6 的第一端耦接定电压 Vdd。分流驱动晶体管 P6 的第二端耦接驱动晶体管 P4 的第二端。分流开关晶体管 P5 具有第一端、第二端与闸极。分流开关晶体管 P5 的第一端耦接分流驱动晶体管 P6 的闸极。分流开关晶体管 P5 的第二端耦接驱动晶体管 P4 的闸极。分流开关晶体管 P5 的闸极可接收显示控制讯号 DCL。在本实施例中,分流驱动晶体管 P6 与驱动晶体管 P4 同为 P 通道晶体管,分流开关晶体管 P5 与显示开关晶体管 P3 同为 P 通道晶体管。

[0116] 分流开关晶体管 P5 的功能与显示开关晶体管 P3 的功能相类似,可作为开关使用。分流驱动晶体管 P6 的功能与驱动晶体管 P4 的功能相类似,可用来驱动 OLED D1。当显示开关晶体管 P3 导通时,分流开关晶体管 P5 也会随之导通;反之,当显示开关晶体管 P3 截止时,分流开关晶体管 P5 也会随之截止。值得注意的是,当显示开关晶体管 P3 与分流开关晶体管 P5 导通时,分流驱动晶体管 P6 的闸极与驱动晶体管 P4 的闸极能获得大致上相同的电压,使分流驱动晶体管 P6 与驱动晶体管 P4 具有相同的工作模式。定电压 Vdd 所提供的电流可分别透过分流驱动晶体管 P6 与驱动晶体管 P4 而流至 OLED D1。换言之,分流驱动晶体管 P6 具有分流功能,可分摊流经驱动晶体管 P4 的电流。

[0117] 画素结构 11 不但具有与图 2 中画素结构 10 相类似的功能,而且可使驱动晶体管 P4、分流驱动晶体管 P6 的操作电压降低。驱动晶体管 P4 与分流驱动晶体管 P6 可选用耐压较低晶体管来实施,同时也可减少功率消耗。以下提供公式说明供熟习本领域技术者参详。

[0118] (二)、画素驱动方法

[0119] 驱动晶体管 P4 的输出电流如公式(2-1),其中 C_{OX} 为氧化层电容。W 为通道宽度。L 为通道长度。

$$[0120] \quad I_{SD} = \frac{1}{2} C_{OX} \mu_P \left(\frac{W}{L} \right) (V_{SG} - |V_{th}|)^2 \quad (2-1)$$

[0121] 这里假设 C_{OX} 、 μ_P 、W 及 L 为固定值。因此令

$$[0122] \quad K = \frac{1}{2} C_{OX} \mu_P \left(\frac{W}{L} \right) \quad (2-2)$$

[0123] 上述 K 为常数。

[0124] 所以(2-1)可写成下列公式(2-3):

$$[0125] \quad I_{SD} = K (V_{SG} - |V_{th}|)^2 \quad (2-3)$$

[0126] $V_S = V_{dd}$ (2-4)

[0127] 将公式(2-4)代入公式(2-3),可得公式(2-5)。

[0128] $I_{SD} = K(V_S - V_G - |V_{th}|)^2 = K(V_{dd} - V_G - |V_{th}|)^2$ (2-5)

[0129] 临界电压储存:当扰动开关晶体管 P2、显示开关晶体管 P3、分流开关晶体管 P5 与分流驱动晶体管 P6 为截止状态,数据开关晶体管 P1 为导通状态(如图 9 所示)。

[0130] 当 V_G 被充到电到 $V_{dd} - |V_{th}|$ 时,驱动晶体管 P4 为截止状态(因为 $V_S - V_G \leq |V_{th}|$)。

[0131] 当 $V_{CSL} = V_{csk}$ 时或当 $V_{CSL} = V_{csl}$ 时 (2-6)

[0132] 端点 C 的电压 $V_C = mV_{DL}$ (2-7)

[0133] 上述公式(2-7)中,m 为实数,且 $0 < m < 1$ 。即假设本实施例的 V_{DL} 为第一实施例 V_{DL} 的 m 倍。

[0134] 端点 G 的电压为 $V_G = V_{dd} - |V_{th}|$ (2-8)

[0135] 则 C_{cs} 上跨压 $V_{C_{cs}} = V_G - V_C = [V_{dd} - |V_{th}|] - mV_{DL}$ (2-9)

[0136] 扰动讯号:当资料开关晶体管 P1 为截止状态,扰动开关晶体管 P2、显示开关晶体管 P3、分流开关晶体管 P5 为导通状态(如图 10 所示)。

[0137] 当扰动讯号 CSL 在负周期时。

[0138] $V_{CSL} = V_{csl}$ (2-10)

[0139] $V_C = V_{csl}$ (2-11)

[0140] 端点 C 的电位变化量如下列公式(2-12)。端点 G 的电位变化量如下列公式(2-13)。

[0141] $\Delta V_C = V_{csl} - mV_{DL}$ (2-12)

[0142] $\Delta V_G = \Delta V_C \frac{C_{cs}}{C_{cs} + C_{th}} = \{V_{csl} - mV_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}}$ (2-13)

[0143] $V_G = (V_{dd} - |V_{th}|) + \Delta V_G$
 $= (V_{dd} - |V_{th}|) + \{V_{csl} - mV_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}}$ (2-14)

[0144] 接着可推得流经驱动晶体管 P4 的电流 $I_{SD,P4}$,如下列公式(2-15)。流经分流驱动晶体管 P6 的电流 $I_{SD,P6}$,如下列公式(2-16)。

$$\begin{aligned}
I_{SD,P4} &= K_{P4} (V_S - V_G - |V_{th}|)^2 \\
[0145] \quad &= K_{P4} \left(V_{dd} - \left[(V_{dd} - |V_{th}|) + \{V_{csl} - mV_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right] - |V_{th}| \right)^2 \quad (2-15) \\
&= K_{P4} \left(\{mV_{DL} - V_{csl}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2
\end{aligned}$$

$$\begin{aligned}
I_{SD,P6} &= K_{P6} (V_S - V_G - |V_{th}|)^2 \\
&= K_{P6} \left(V_{dd} - \left[(V_{dd} - |V_{th}|) + \{V_{csl} - mV_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right] - |V_{th}| \right)^2 \quad (2-16) \\
&= K_{P6} \left(\{mV_{DL} - V_{csl}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2
\end{aligned}$$

[0146] 同理可类推,当扰动讯号 CSL 在正周期时,公式(2-15)与公式(2-16)中的 V_{csl} 会由 V_{csh} 所取代,如下列公式(2-15')与公式(2-16')。

$$\begin{aligned}
I_{SD,P4} &= K_{P4} (V_S - V_G - |V_{th}|)^2 \\
[0147] \quad &= K_{P4} \left(V_{dd} - \left[(V_{dd} - |V_{th}|) + \{V_{csh} - mV_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right] - |V_{th}| \right)^2 \quad (2-15') \\
&= K_{P4} \left(\{mV_{DL} - V_{csh}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2
\end{aligned}$$

$$\begin{aligned}
I_{SD,P6} &= K_{P6} (V_S - V_G - |V_{th}|)^2 \\
[0148] \quad &= K_{P6} \left(V_{dd} - \left[(V_{dd} - |V_{th}|) + \{V_{csh} - mV_{DL}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right] - |V_{th}| \right)^2 \quad (2-16') \\
&= K_{P6} \left(\{mV_{DL} - V_{csh}\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2
\end{aligned}$$

[0149] 若定义 $V_{csl} \equiv -\Delta$ 。 $V_{csh} \equiv +\Delta$ 。假设 $V_{CSL} = V_{csh}$ 经过扰动而变为 $V_{CSL} = V_{csl}$ 的情况下,公式(2-15)可改写为下列公式(2-17),公式(2-16)可改写为下列公式(2-18)。

$$[0150] \quad I_{SD,P4} = K_{P4} \left(\{mV_{DL} + \Delta\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2 \quad (2-17)$$

$$[0151] \quad I_{SD,P6} = K_{P6} \left(\{mV_{DL} + \Delta\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2 \quad (2-18)$$

[0152] 假设 $V_{CSL} = V_{csl}$ 经过扰动而变为 $V_{CSL} = V_{csh}$ 的情况下,公式(2-17)、公式(2-18)中的 $+\Delta$ 会由 $-\Delta$ 所取代,如下列公式(2-17')、公式(2-18')。

$$[0153] \quad I_{SD,P4} = K_{P4} \left(\{mV_{DL} - \Delta\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2 \quad (2-17')$$

$$[0154] \quad I_{SD,P6} = K_{P6} \left(\{mV_{DL} - \Delta\} \frac{C_{cs}}{C_{cs} + C_{th}} \right)^2 \quad (2-18')$$

[0155] 结论：临界电压的影响抵消，可使分流驱动晶体管 P6 与驱动晶体管 P4 的输出电流不受临界电压变异影响。

[0156] 接着，分析通过驱动晶体管 P4、分流驱动晶体管 P6 与 OLED D1 的电流。在此假设本实施例流经 OLED D1 的电流量与第一实施例相同，如公式 (2-19)。另外，假设驱动晶体管 P4 与分流驱动晶体管 P6 的 K 值相同或相近，如公式 (2-20)。

$$[0157] \quad I_{SD,old} = I_{SD,P4} + I_{SD,P6} \quad (2-19)$$

$$[0158] \quad K_{P4} = K_{P6} = \kappa \quad (2-20)$$

[0159] 由公式 (17) 与公式 (18)，且令

$$[0160] \quad V_X = -\Delta = V_{csi} \text{ 或 } V_X = +\Delta = V_{csk} \quad (2-21)$$

$$[0161] \quad C_X = \frac{C_{cs}}{C_{cs} + C_{th}} \quad (2-22)$$

[0162] 上述公式 (2-22) 中， C_X 、 C_{cs} 、 C_{th} 为常数。接着，可获得下列公式 (2-23)。

$$[0163] \quad I_{SD,new} = I_{SD,P4} = I_{SD,P6} = \kappa C_X^2 (mV_{DL} + V_X)^2 \quad (2-23)$$

[0164] 在本实施例中，驱动画素晶体管 P4 与分流驱动画素晶体管 P6 的总输出电流为 ($2 \times I_{SD,new}$)，可得下列公式 (2-24)，其中 $I_{SD,old}$ 为第一实施例驱动画素晶体管 P4 的输出电流。另一方面， $I_{SD,old}$ 可由下列公式 (2-25) 所获得，且 $2 \times I_{SD,new}$ 可由下列公式 (2-26) 所获得。

$$[0165] \quad I_{SD,old} = I_{SD,new} + I_{SD,new} = 2 \times I_{SD,new} \quad (2-24)$$

$$[0166] \quad I_{SD,old} = \kappa C_X^2 \{V_{DL} + V_X\}^2 \quad (2-25)$$

$$[0167] \quad 2 \times I_{SD,new} = 2 \times \kappa C_X^2 \{mV_{DL} + V_X\}^2 \quad (2-26)$$

[0168] 将公式 (2-25) 与公式 (2-26) 代入公式 (2-24)，可获得下列公式 (2-27)。

[0169]

$$\kappa C_X^2 \{V_{DL} + V_X\}^2 = 2 \times \kappa C_X^2 \{mV_{DL} + V_X\}^2$$

[0170]

$$\{V_{DL} + V_X\}^2 - \{\sqrt{2}(mV_{DL} + V_X)\}^2 = 0$$

$$[0171] \quad \therefore (V_{DL} + V_X - \sqrt{2}mV_{DL} - \sqrt{2}V_X)(V_{DL} + V_X + \sqrt{2}mV_{DL} + \sqrt{2}V_X) = 0 \quad (2-27)$$

[0172] 所得的 m 有两个值 m_1 与 m_2 。

$$[0173] \quad m = \begin{cases} m_1 \\ m_2 \end{cases} = \begin{cases} \frac{V_{DL} + (1 - \sqrt{2})V_x}{\sqrt{2}V_{DL}} \\ \frac{-V_{DL} - (1 + \sqrt{2})V_x}{\sqrt{2}V_{DL}} \end{cases} = \begin{cases} \frac{1}{\sqrt{2}} + \left(\frac{1 - \sqrt{2}}{\sqrt{2}} \right) \frac{V_x}{V_{DL}} \\ -\frac{1}{\sqrt{2}} - \left(\frac{1 + \sqrt{2}}{\sqrt{2}} \right) \frac{V_x}{V_{DL}} \end{cases} \equiv \begin{cases} 0.7 - 0.3 \frac{V_x}{V_{DL}} \\ -0.7 - 1.7 \frac{V_x}{V_{DL}} \end{cases}$$

(2-28)

[0174] 因为 $0 < m < 1$ 且 $|V_x| \leq V_{DL}$

[0175] 当 $V_x > 0$ 时: $m = m_1 > 0$ (合), $m = m_2 < 0$ (不合)

[0176] 当 $V_x < 0$ 时: $m = m_1 > 0$ (合), $m = m_2 > 0$ (合)

[0177] 因此, 同时满足 $V_x = \pm |V_x|$ 时,

$$[0178] \quad m = m_1 = \frac{1}{\sqrt{2}} + \left(\frac{1 - \sqrt{2}}{\sqrt{2}} \right) \frac{V_x}{V_{DL}} \equiv 0.7 - 0.3 \frac{V_x}{V_{DL}} \quad (2-29)$$

[0179] 公式 (2-29) 代入公式 (2-23) 式, 可得到本实施例的一个驱动晶体管的输出电流, 如下列公式 (2-30)

$$[0180] \quad I_{SD, new} = \kappa C_X^2 \{m V_{DL} + V_x\}^2 = \kappa C_X^2 \left\{ \frac{1}{\sqrt{2}} V_{DL} + \frac{1}{\sqrt{2}} (\pm \Delta) \right\}^2 \quad (2-30)$$

[0181] 接着, 令

$$[0182] \quad V_{DL, new} = \frac{1}{\sqrt{2}} V_{DL}; \pm \Delta_{new} = \frac{1}{\sqrt{2}} (\pm \Delta) \quad (2-31)$$

$$[0183] \quad \begin{aligned} I_{SD, new} &= \kappa C_X^2 \{V_{DL, new} + (\pm \Delta_{new})\}^2 \\ &= \kappa \left(\{V_{DL, new} + (\pm \Delta_{new})\} \frac{C_{cs}}{C_{cs} + C_{tk}} \right)^2 \end{aligned} \quad (2-32)$$

[0184] 结论:

[0185] 1. 本实施例中, 驱动晶体管 P4 与分流驱动晶体管的栅极所需的操作电压为第一实施例驱动晶体管 P4 的 $1/\sqrt{2}$ 。

[0186] 2. 本实施例中, 扰动讯号 CSL 的电压为第一实施例的 $1/\sqrt{2}$ 。

[0187] 分流电流分析:

[0188] 由公式 (2-21) 与公式 (2-32) 式, 验证公式 (2-19)

$$[0189] \quad I_{SD, new, P4} + I_{SD, new, P6} = 2 \times \kappa C_X^2 \{V_{DL, new} + (\pm \Delta_{new})\}^2 = \kappa C_X^2 \{V_{DL} + (\pm \Delta)\}^2$$

$$\therefore I_{SD, new, P4} + I_{SD, new, P6} = I_{SD, old}$$

[0190] 结论: 本实施例的画素结构 11 使用两个相近的驱动晶体管 (P4、P6), 可获得与第

一实施例通过 OLED D1 相同的电流大小。

[0191] 晶体管的功率消耗分析：

$$[0192] \quad I_{SD,old}^2 R_{SD,on} = (I_{SD,P4} + I_{SD,P6})^2 R_{SD,on} \quad (3-33)$$

[0193] 公式 (3-33) 可简化如下公式 (3-33')。

$$[0194] \quad \begin{aligned} I_{SD,old}^2 R_{SD,on} &= (I_{SD,P4} + I_{SD,P6})^2 R_{SD,on} \\ &= I_{SD,P4}^2 R_{SD,on} + 2 \times I_{SD,P4} \times I_{SD,P6} \times R_{SD,on} + I_{SD,P6}^2 R_{SD,on} \end{aligned} \quad (3-33')$$

[0195] 所以驱动晶体管的功率消耗如下列公式 (3-34)：

$$[0196] \quad P_{Loss,old} = P_{Loss,P4} + 2 \times I_{SD,P4} \times I_{SD,P6} \times R_{SD,on} + P_{Loss,P6} \quad (3-34)$$

[0197] 再由公式 (3-34) 可知：

$$[0198] \quad P_{Loss,P4} + P_{Loss,P6} < P_{Loss,old} \quad (3-35)$$

[0199] 结论：本实施例分流驱动晶体管 P6 与驱动晶体管 P4 总消耗功率小于第一实施例驱动晶体管 P4 的消耗功率。

[0200] (三)、画素波型设计

[0201] 请参照图 11, 扫描线 GL 的扫描讯号可控制是否将数据线 DL 的数据讯号写入储存电容 Ccs。DL 表示一条 data line 的讯号。显示控制讯号 DCL 可控制驱动晶体管 P4 与分流驱动晶体管 P4 的输出电流是否流入 OLED D1。扰动讯号 CSL 为画素外部输入的扰动讯号, 此讯号以零电压位准, 作 $\pm \Delta_{new}$ 的周期扰动。 $V_{SG} - |V_{th}|$ 可使驱动晶体管 P4 与分流驱动晶体管 P4 产生电流输出的电压讯号。期间 T1 为临界电压储存与数据写入。期间 T2 为资料扰动。

[0202] 综合上述, 第二实施例不但可达成与第一实施例相类似的功效, 还可降低驱动晶体管与分流驱动晶体管的闸极操作电压以及扰动讯号的电压。此作法不但可有效降低画素结构 11 的总功率消耗。驱动晶体管与分流驱动晶体管的规格限制也较为宽松, 有利于实施时晶体管的选用。

[0203] 另外, 熟习本领域技术者也可依其需求改变上述实施例的画素结构。举例来说, 在第二实施例中, 可将分流驱动晶体管 P6 与分流开关晶体管 P5 配置在画素数组之外, 例如可配置于显示器的边框中。如此可有效改善画素结构 11 的开口率 (aperture rate)。

[0204] 又例如, 第一实施例中, 储存电容 Ccs 并非必要构件。熟习本领域技术者可依其需求省略储存电容 Ccs。

[0205] 综上所述, 本发明停止提供数据讯号至画素结构时, 可提供扰动讯号至画素结构。如此一来, 可提升画素结构的寿命。另外, 本发明的实施例还具有下列功效：

[0206] 1. 在驱动晶体管的第一端与闸极端之间配置一个临界电压电容, 可降低临界电压的变异, 使画素的亮度表现更加稳定。

[0207] 2. 在画素结构中可配置分流驱动晶体管与分流开关晶体管, 藉以分摊驱动晶体管的电流。如此不但可降低画素结构的总耗电量。驱动晶体管与分流晶体管的闸极操作电压也能被降低, 亦及其晶体管的规格限制也能够降低, 以利实施时晶体管的选用。另外, 扰动讯号的电压也能够被降低。

[0208] 3. 分流驱动晶体管与分流开关晶体管可配置于画素数组之外,藉以改善画素结构的开口率。

[0209] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许更动与润饰,故本发明的保护范围当视后附的专利申请范围所界定者为准。

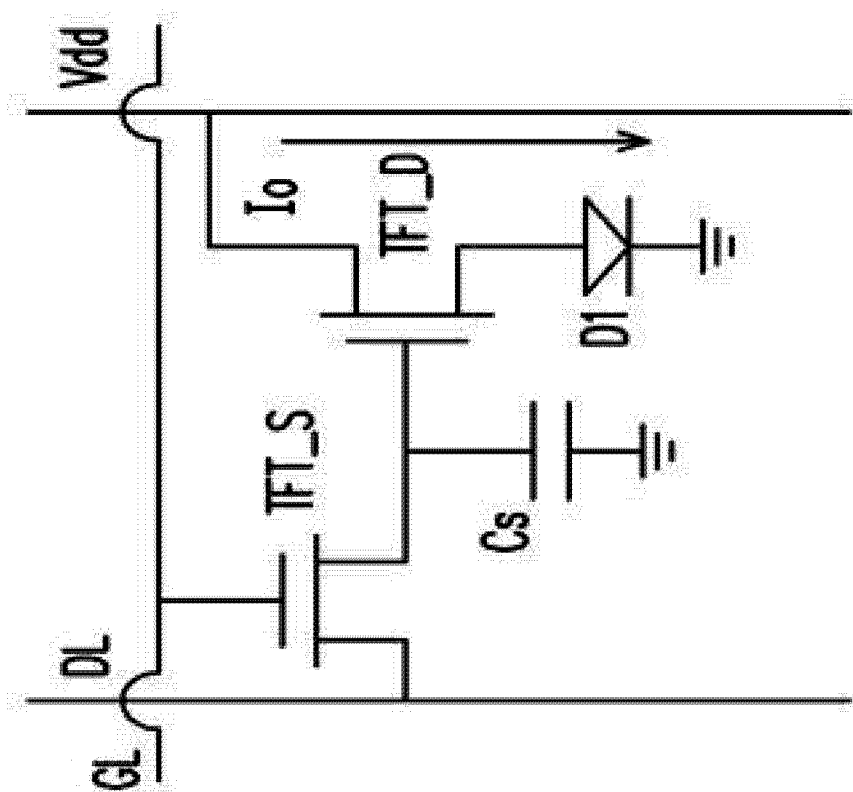


图 1

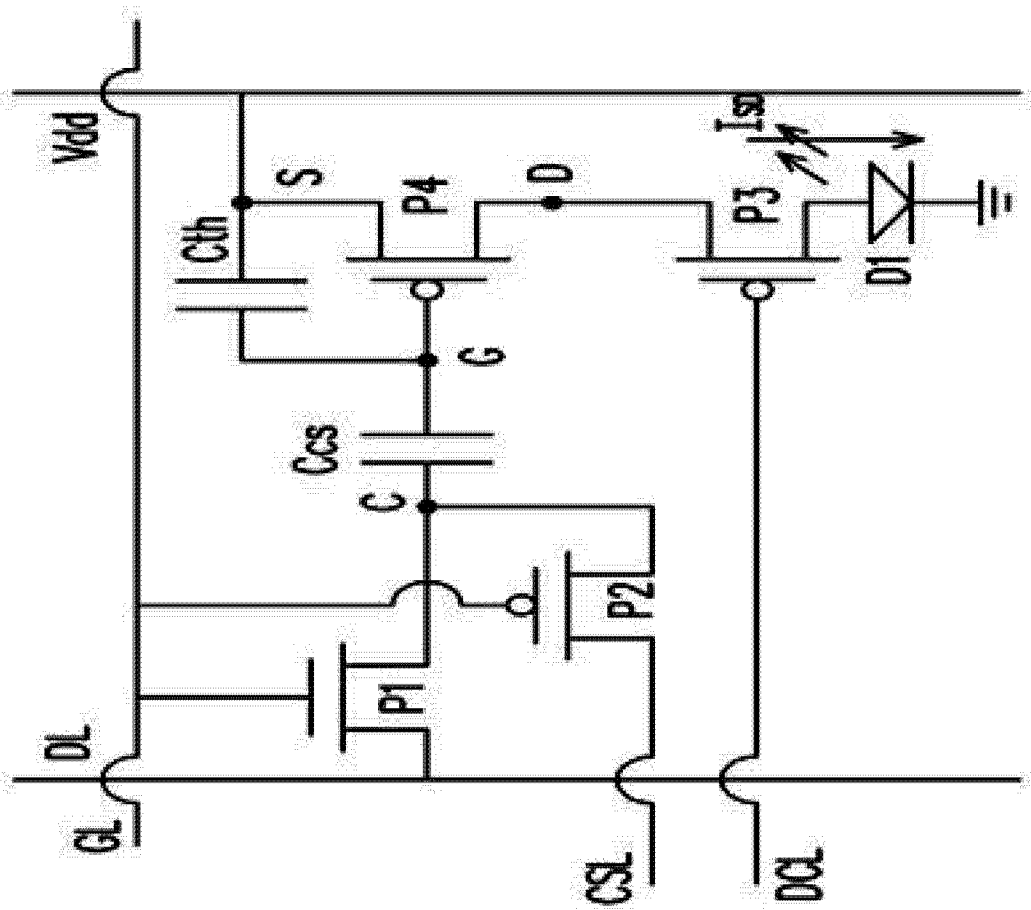


图 2

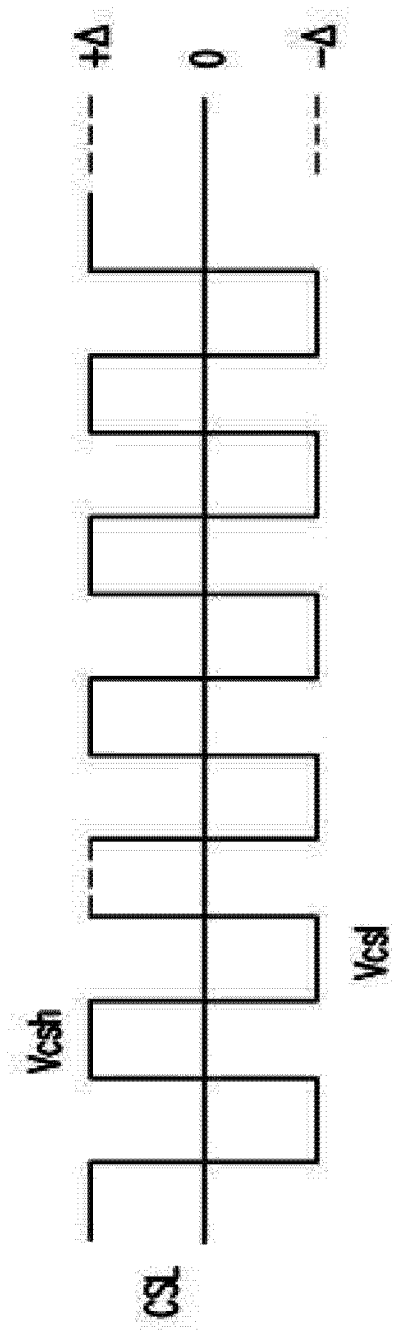


图 3

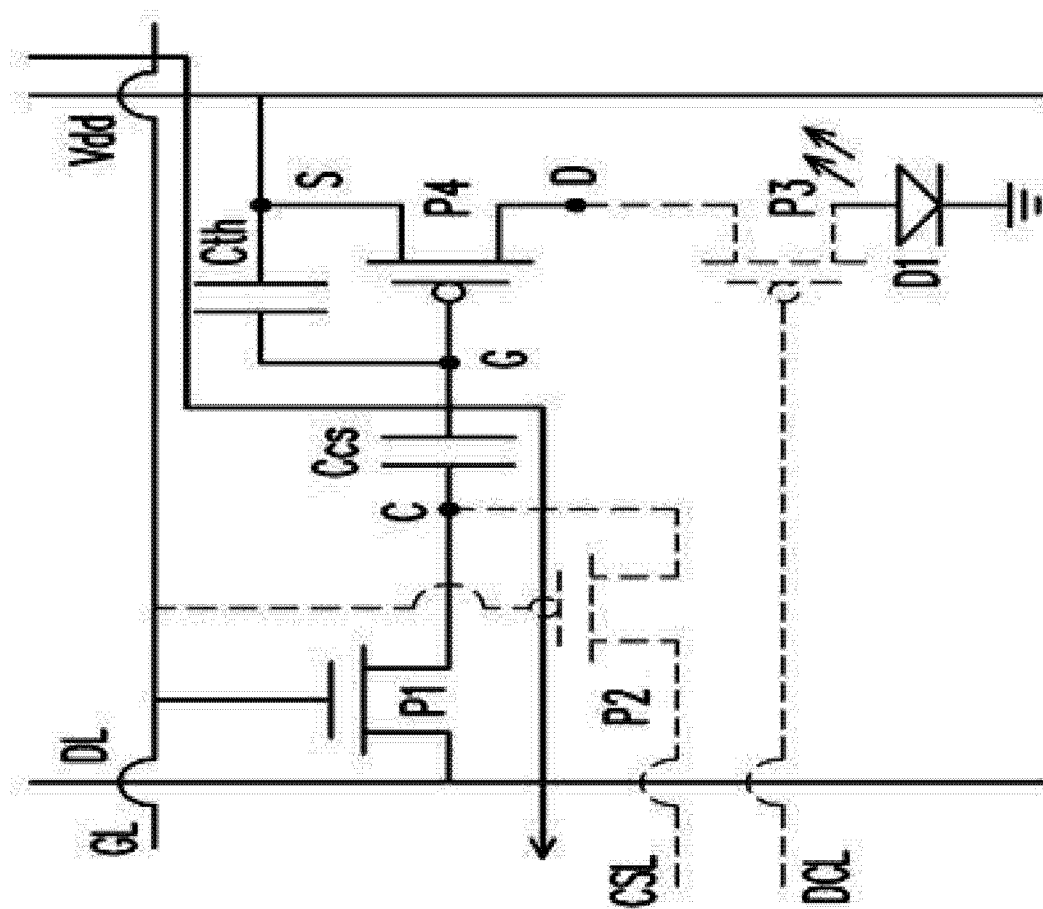


图 4

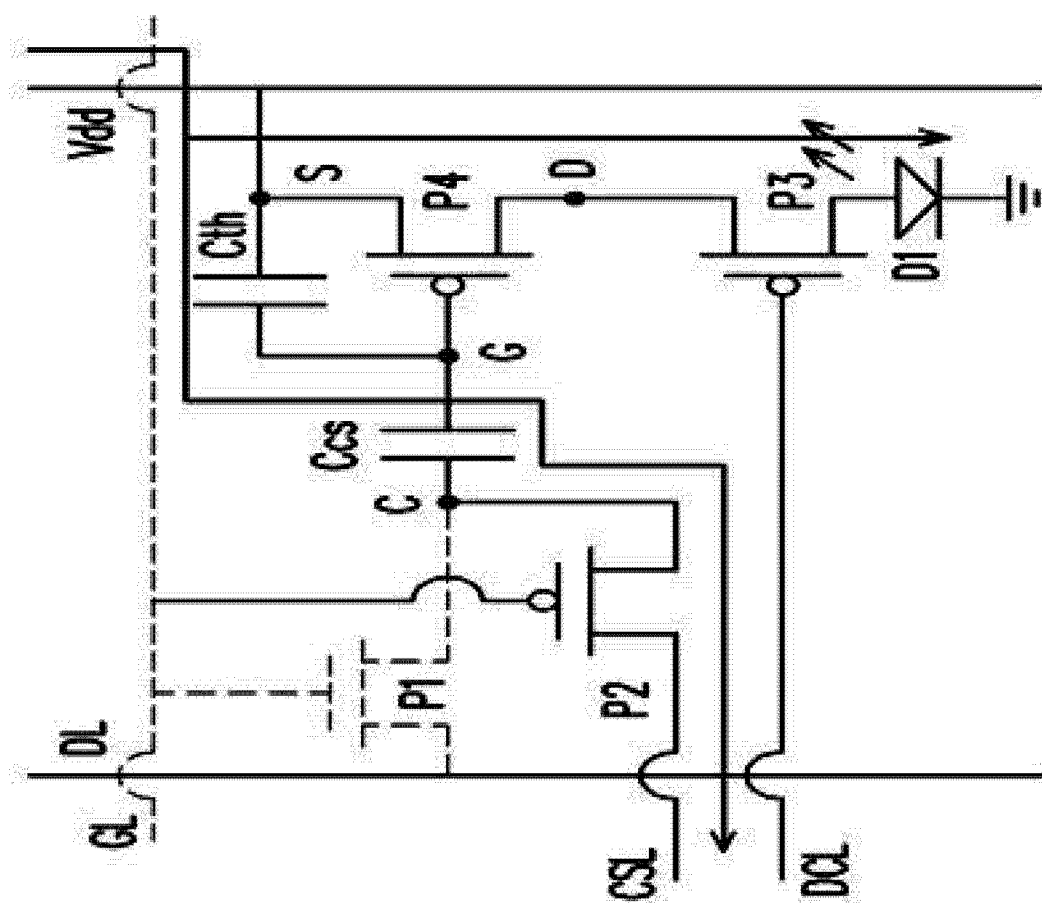


图 5

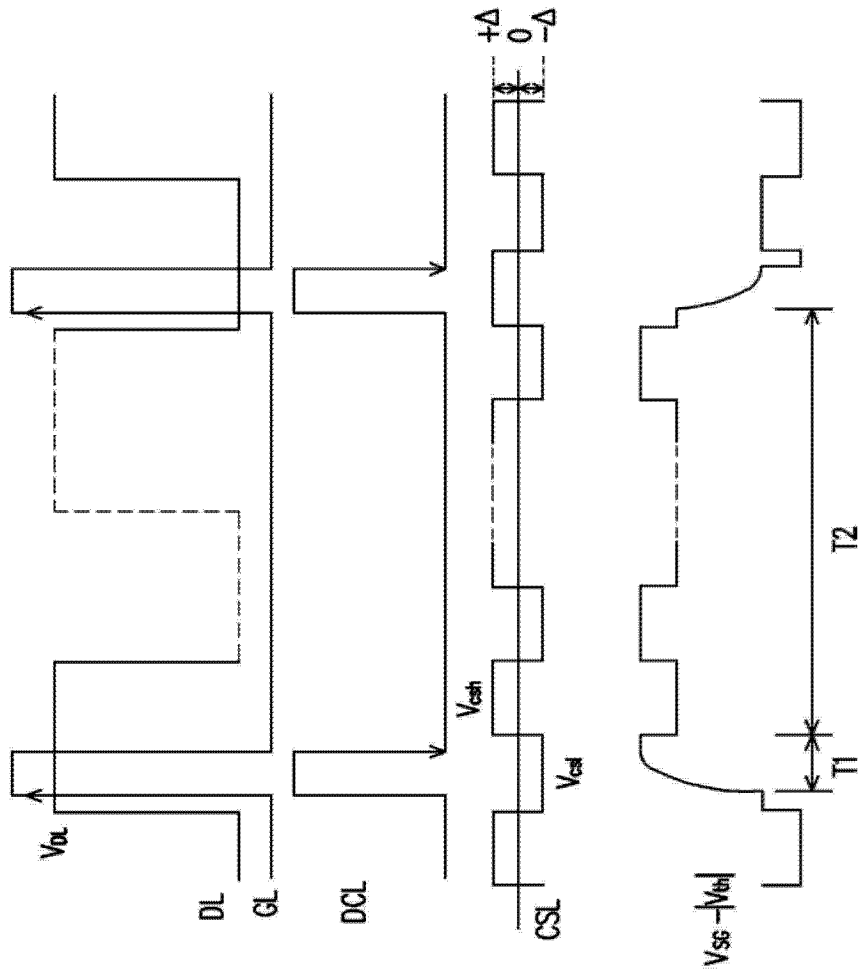


图 6

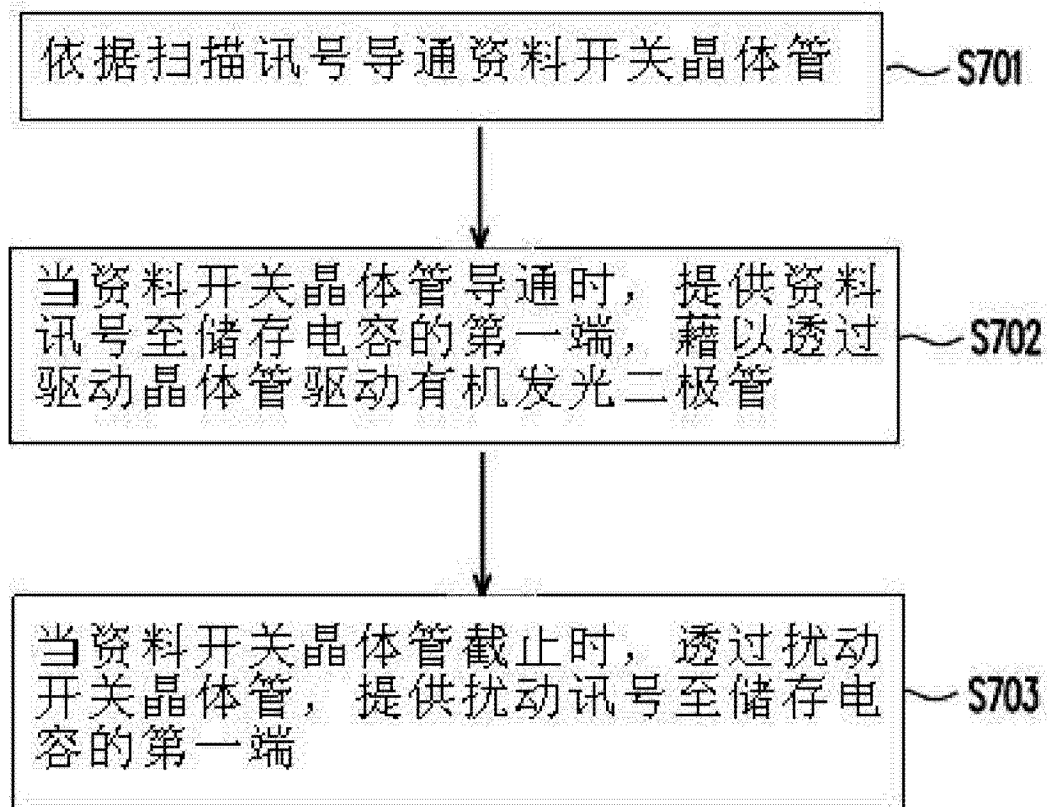


图 7

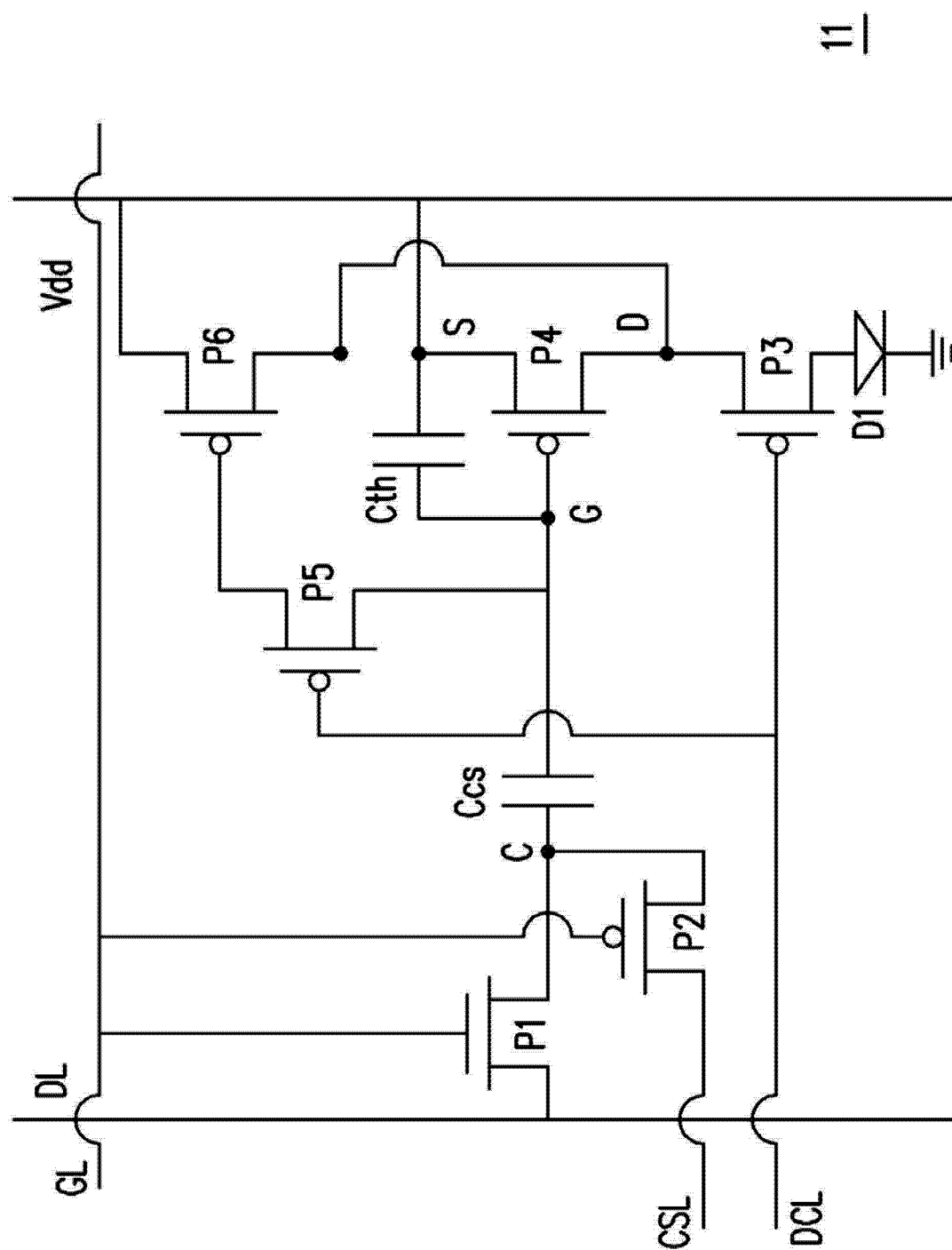


图 8

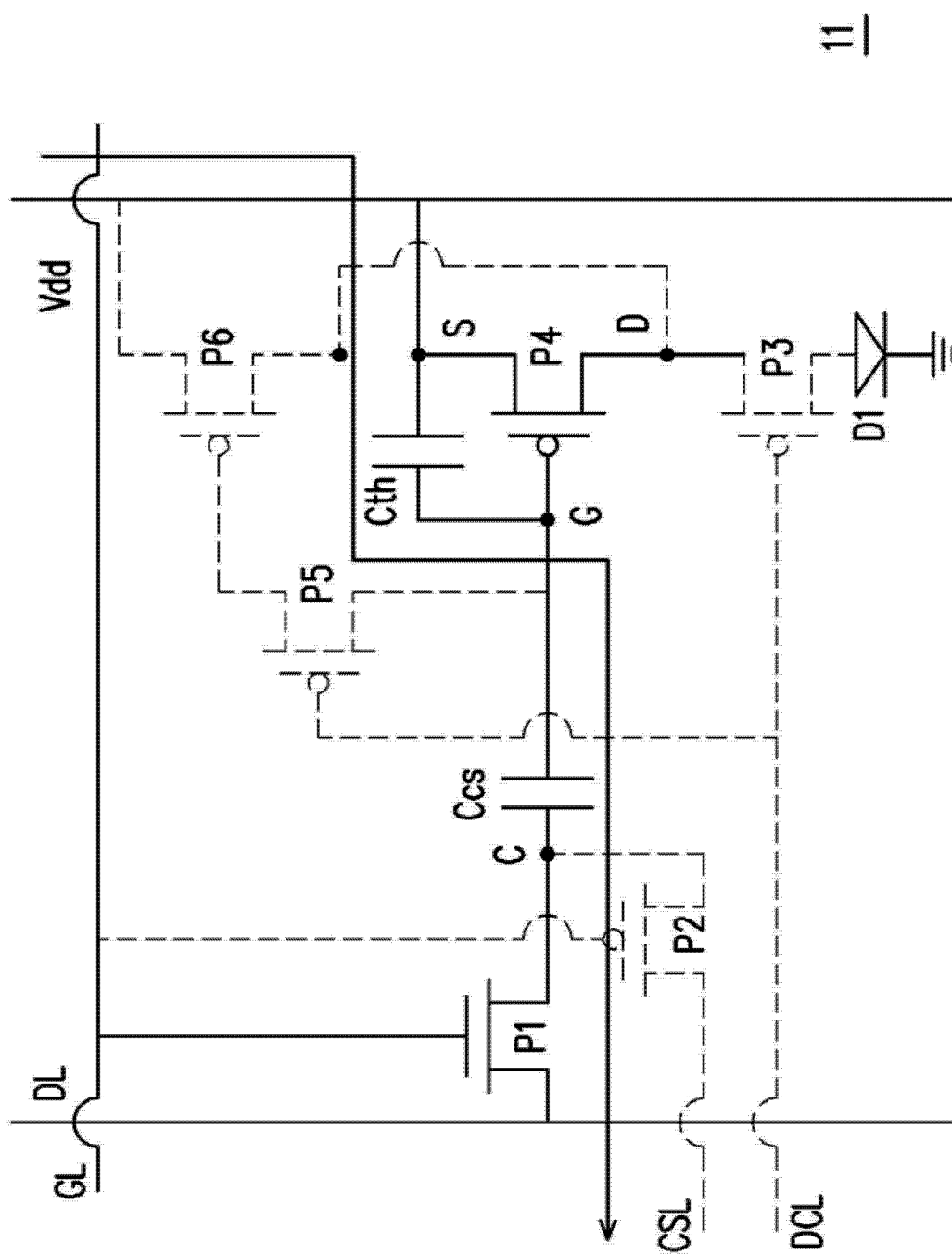


图 9

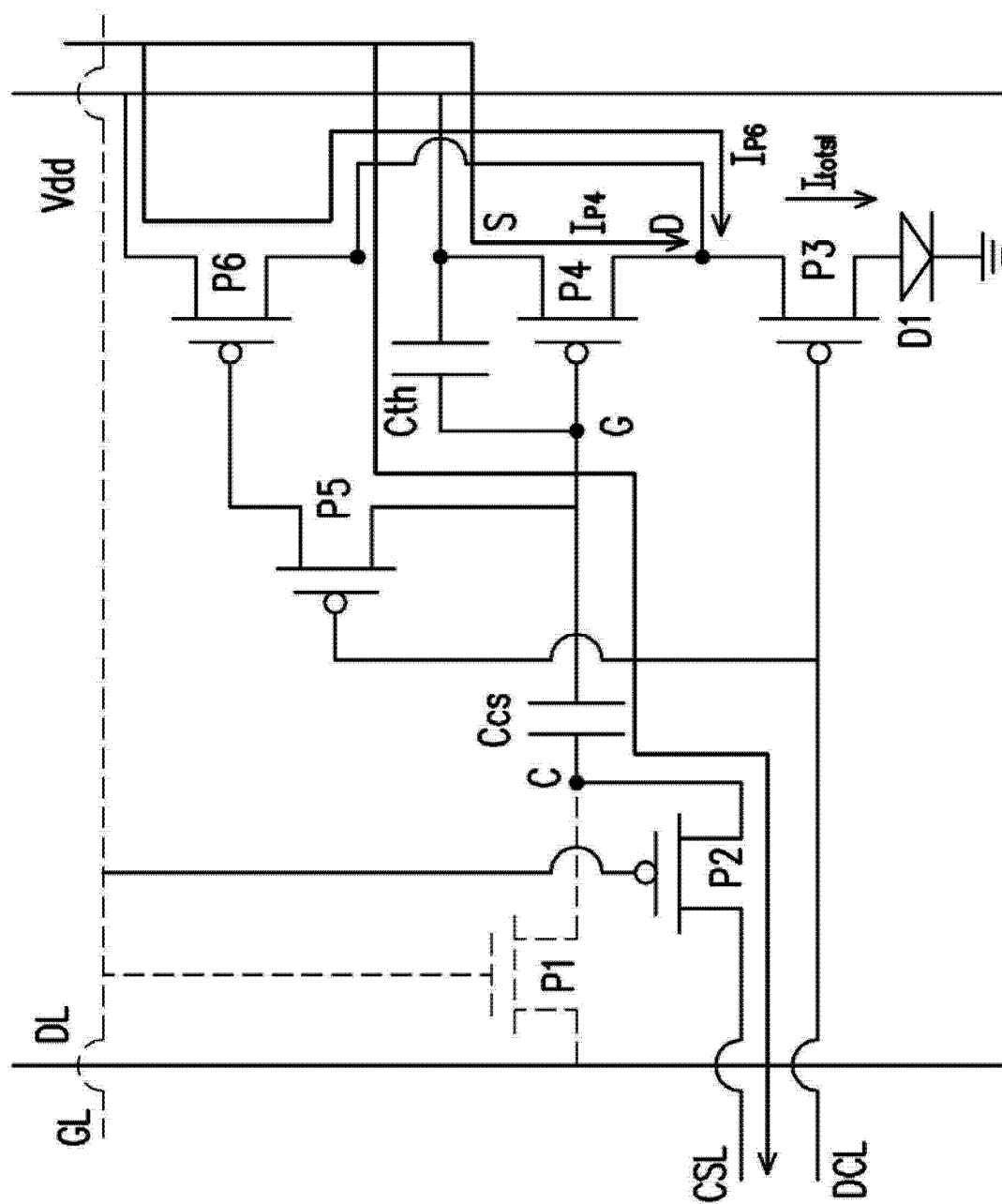


图 10

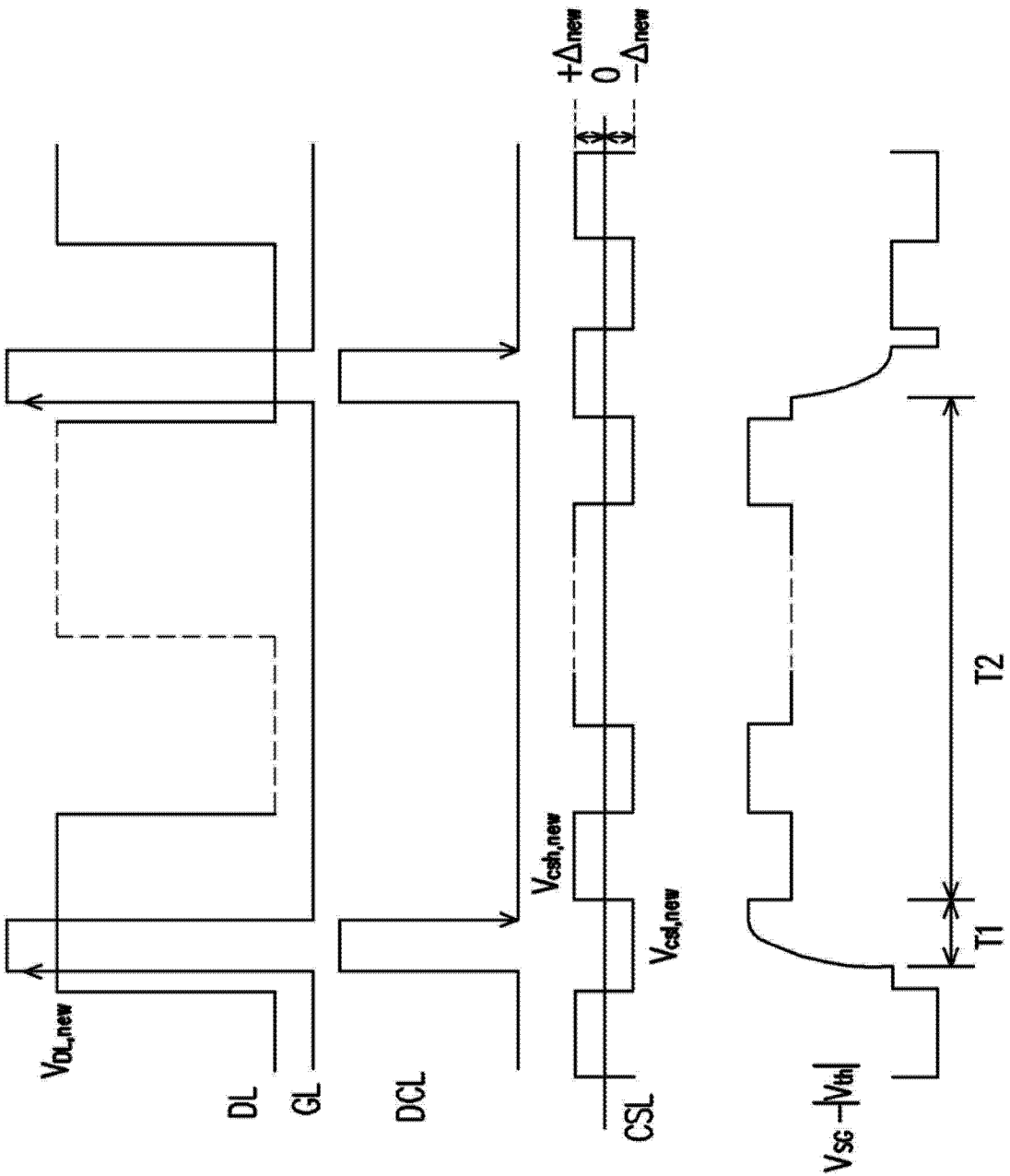


图 11

专利名称(译)	画素结构及其驱动方法		
公开(公告)号	CN101763780B	公开(公告)日	2012-10-03
申请号	CN201010118833.X	申请日	2010-03-08
[标]申请(专利权)人(译)	华映光电股份有限公司 中华映管股份有限公司		
申请(专利权)人(译)	华映光电股份有限公司 中华映管股份有限公司		
当前申请(专利权)人(译)	华映光电股份有限公司 中华映管股份有限公司		
[标]发明人	陈屏先 陈弼先		
发明人	陈屏先 陈弼先		
IPC分类号	G09G3/32 G09F9/33 G09G3/3233		
代理人(译)	蔡学俊		
审查员(译)	乔毅		
其他公开文献	CN101763780A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种画素结构及其驱动方法。画素结构包括储存电容、数据开关晶体管、扰动开关晶体管、驱动晶体管、显示开关晶体管与有机发光二极管。数据开关晶体管可依据扫描讯号提供数据讯号至储存电容的第一端。当数据开关晶体管截止时，扰动开关晶体管可提供扰动讯号至储存电容的第一端。驱动晶体管的第一端与栅极分别耦接定电压与储存电容的第二端。显示开关晶体管的第一端与第二端分别耦接驱动晶体管的第二端与有机发光二极管的阳极。如此一来，可提升画素结构的寿命。

