



(12) 发明专利申请

(10) 申请公布号 CN 102074195 A

(43) 申请公布日 2011. 05. 25

(21) 申请号 201010623538. X

(22) 申请日 2010. 12. 29

(71) 申请人 广东中显科技有限公司

地址 528225 广东省佛山市南海区狮山经济
开发区北园中路 11 号

(72) 发明人 郭海成 代永平 凌代年 邱成峰
彭华军 黄飏

(74) 专利代理机构 北京瑞恒信达知识产权代理
事务所(普通合伙) 11382

代理人 王凤华

(51) Int. Cl.

G09G 3/32 (2006. 01)

H01L 27/32 (2006. 01)

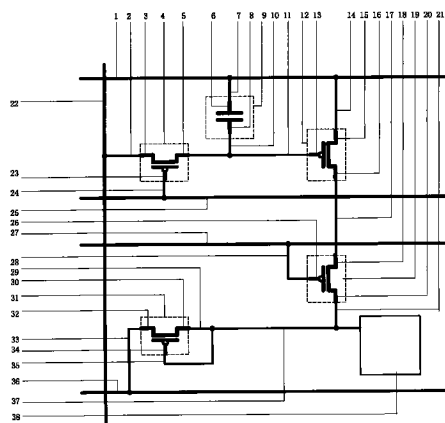
权利要求书 9 页 说明书 20 页 附图 10 页

(54) 发明名称

一种硅基 OLED 显示芯片像素电路结构及其
驱动方法

(57) 摘要

一种硅基 OLED 显示芯片像素电路结构及其驱动方法。像素电路结构至少有读入 PMOS 管、PIP 电容器、驱动 PMOS 管、写出 PMOS 管、地线保护 PMOS 管、视频数据串行位线、同时连接 PIP 上电极连线和驱动 PMOS 管源极连线的电源线、通过地线保护 PMOS 管漏极连线与所述地线保护 PMOS 管漏极相连接的 0V 地线、通过读入 PMOS 管栅极连线与所述读入 PMOS 管栅极相连接的正相行选通线、通过写出 PMOS 管栅极连线与所述写出 PMOS 管栅极相连接的负相行选通线、与驱动电极连接线相连接的 OLED 发光层驱动电极。驱动方法有九个阶段, 上电后循环完成。本发明降低了生产成本, 降低了控制驱动电路的重量和空间体积, 降低整机功耗。



1. 一种硅基 OLED 显示芯片像素电路结构,其特征在于,至少由读入 PMOS 管源极 (3) 以及读入 PMOS(P-channel Metal Oxide Semiconductor, P 型沟道金属氧化物半导体) 管栅极以及读入 PMOS 管漏极 (5) 构成的读入 PMOS 管 (4)、至少由 PIP 电容器低阻多晶硅上电极 (6) 以及 PIP 电容器高阻多晶硅下电极 (8) 构成的 PIP(Poly Si-insulator-Poly Si,多晶硅-绝缘层-多晶硅) 电容器、至少由驱动 PMOS 管源极 (15) 以及驱动 PMOS 管栅极 (13) 以及驱动 PMOS 管漏极 (16) 构成的驱动 PMOS 管 (12)、至少由写出 PMOS 管 (19) 源极 (18) 以及写出 PMOS 管 (19) 栅极以及写出 PMOS 管 (19) 漏极构成的写出 PMOS 管 (19)、至少由地线保护 PMOS 管源极 (30) 以及地线保护 PMOS 管栅极 (34) 以及地线保护 PMOS 管漏极 (32) 构成的地线保护 PMOS 管 (31)、通过读入 PMOS 管源极连线 (2) 与所述读入 PMOS 管源极 (3) 相连接的视频数据串行位线 (22)、同时连接 PIP 上电极连线 (7) 和驱动 PMOS 管源极连线 (14) 的电源线 (1)、通过地线保护 PMOS 管漏极连线 (33) 与所述地线保护 PMOS 管漏极 (32) 相连接的 0V 地线、通过读入 PMOS 管栅极连线与所述读入 PMOS 管栅极 (23) 相连接的正相行选通线 (25)、通过写出 PMOS 管 (19) 栅极连线与所述写出 PMOS 管 (19) 栅极相连接的负相行选通线 (27)、与驱动电极连接线 (37) 相连接的 OLED 发光层驱动电极 (38)。

2. 根据权利要求 1 所述的一种硅基 OLED 显示芯片像素电路结构,其特征在于,所述 PIP 上电极连线 (7) 连接到所述 PIP 电容器低阻多晶硅上电极 (6),所述驱动 PMOS 管源极连线 (14) 连接到所述驱动 PMOS 管源极 (15),所述 PIP 电容器高阻多晶硅下电极 (8) 通过 PIP 下电极连线 (10) 连接到把所述读入 PMOS 管漏极 (5) 与所述驱动 PMOS 管栅极 (13) 连通的漏栅极连接线 (11) 上,所述驱动 PMOS 管漏极 (16) 与所述写出 PMOS 管 (19) 源极 (18) 通过源漏极连接线 (17) 相连通,所述地线保护 PMOS 管栅极 (34)、所述地线保护 PMOS 管源极 (30)、所述写出 PMOS 管 (19) 漏极分别通过地线保护 PMOS 管栅极连线 (35)、地线保护 PMOS 管源极连线 (29)、写出 PMOS 管 (19) 漏极连线与所述驱动电极连接线 (37) 相连接。

3. 根据权利要求 1 所述的一种硅基 OLED 显示芯片像素电路结构,其特征在于,所述电源线 (1)、所述正相行选通线 (25)、所述负相行选通线 (27)、所述 0V 地线沿水平方向设置,且互不相交连通。

4. 根据权利要求 1 所述的一种硅基 OLED 显示芯片像素电路结构,其特征在于,所述视频数据串行位线 (22) 沿垂直方向设置,且与所述电源线 (1)、所述正相行选通线 (25)、所述负相行选通线 (27)、所述 0V 地线互不连通。

5. 根据权利要求 1 所述的一种硅基 OLED 显示芯片像素电路结构,其特征在于,所述 OLED 发光层驱动电极 (38) 由纯度超过 99% 的铝金属制成,且所述 OLED 发光层驱动电极 (38) 覆盖的面积不超过所述硅基 OLED 显示芯片像素电路结构面积的 90%。

6. 根据权利要求 3 所述的一种硅基 OLED 显示芯片像素电路结构,其特征在于,所述电源线 (1) 上承载不低于 3.3V 的恒定电位值。

7. 根据权利要求 3 所述的一种硅基 OLED 显示芯片像素电路结构,其特征在于,所述视频数据串行位线 (22) 中交替承载高电位信号和低电位信号,且所述高电位信号数值不低于所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值,所述低电位信号数值不高于此所述高电位信号数值低 0.5V 的数值,所述正相选通线和所述负相选通线上承载的信号为互不交叠反相电压信号。

8. 根据权利要求 1 所述的一种硅基 OLED 显示芯片像素电路结构,其特征在于,所述一

种硅基 OLED 显示芯片像素电路结构采用 PMOS 制程工艺在 N 型单晶硅衬底上生产实现。

9. 适于本发明的一种硅基 OLED 显示芯片像素电路驱动方法,其特征在于,包括上电后循环完成如下阶段:

第一阶段:视频数据信号第 1 位输入,顺序完成如下两个步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 1 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通,所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储,如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17);如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管 (19) 栅极连线启动所述写出 PMOS 管 (19) 进入截止工作状态,进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管 (19) 漏极连线,

2) 本阶段开始后的 10 至 800 微秒之后的 3000 至 4000 微秒时间内所述正相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位,同时的 3000 至 4000 微秒时间内所述负相选通线上输入 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态,进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通,如果所述驱动 PMOS 管 (12) 处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管 (19) 漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38);如果所述驱动 PMOS 管 (12) 处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管 (19) 漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第二阶段:完成视频数据信号第 1 位写入阶段后进入视频数据信号第 2 位写入,分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 2 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管 (19) 栅极连线启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管 (19) 漏极连线,

2) 本阶段开始后的 10 至 800 微秒之后的 1500 至 2000 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1500 至 2000 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管 (19) 漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管 (19) 漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第三阶段: 完成视频数据信号第 2 位写入阶段后进入视频数据信号第 3 位写入, 分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 3 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位

线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管 (19) 栅极连线启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

2) 本阶段开始后的 10 至 800 微秒之后的 750 至 1000 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 750 至 1000 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第四阶段: 完成视频数据信号第 3 位写入阶段后进入视频数据信号第 4 位写入, 分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 4 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12)

进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态,进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

2) 本阶段开始后的 10 至 800 微秒之后的 350 至 500 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位,同时的 350 至 500 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态,进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通,如果所述驱动 PMOS 管 (12) 处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第五阶段:完成视频数据信号第 4 位写入阶段后进入视频数据信号第 5 位写入,分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 5 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通,所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储,如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线 (11) 启动所

述驱动 PMOS 管 (12) 进入截止 工作状态,进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态,进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

2) 本阶段开始后的 10 至 800 微秒之后的 150 至 250 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位,同时的 150 至 250 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态,进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通,如果所述驱动 PMOS 管 (12) 处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38);如果所述驱动 PMOS 管 (12) 处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第六阶段:完成视频数据信号第 5 位写入阶段后进入视频数据信号第 6 位写入,分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 6 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通,所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储,如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17);如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所

述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

2) 本阶段开始后的 10 至 800 微秒之后的 75 至 150 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 75 至 150 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第七阶段: 完成视频数据信号第 6 位写入阶段后进入视频数据信号第 7 位写入, 分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 7 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

2) 本阶段开始后的 10 至 800 微秒之后的 35 至 100 微秒时间内所述正相选通线上承载

不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 35 至 100 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第八阶段: 完成视频数据信号第 7 位写入阶段后进入视频数据信号第 8 位写入, 分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 8 位,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

2) 本阶段开始后的 10 至 800 微秒之后的 15 至 50 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 15 至 50 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许

不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

第九阶段: 完成视频数据信号第 8 位写入阶段后进入黑屏信号写入, 分别完成如下步骤:

1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入不低于 3.3V 的恒定电位值,

承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 上承载的不低于 3.3V 的恒定电位值经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 且所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

2) 本阶段开始后的 10 至 800 微秒之后的 250 至 350 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 250 至 350 微秒时间内所述负相选通线上承载 0V 电位,

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极 (3) 连线 (2),

承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 且所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38)。

一种硅基 OLED 显示芯片像素电路结构及其驱动方法

技术领域

[0001] 本发明属于信息科学技术学科的微电子应用技术领域,特别是涉及一种硅基 OLED 显示芯片像素电路结构及其驱动方法的领域。

背景技术

[0002] OLED(Organic Light Emitting Diode,有机发光二极管)为电流驱动器件,要求背板电路能提供精确、稳定的电流控制。早期的有源背板采用的是 a-Si(amorphous silicon,非晶硅)TFT 技术,但是由于非晶硅的迁移率较低及阈值电压的不稳定等原因并没有获得成功,之后便转移到 LTPS(Low Temperature Poly-Silicon,低温多晶硅)TFT 技术。相比非晶硅而言,LTPS 的迁移率要高得多,但是阈值电压仍存在均匀性不一致问题,因而在像素电路的设计中要进行一定的电路补偿,目前已有的 OLED 显示器大部分采用的都是 LTPS TFT 背板技术。而在大尺寸 OLED 量产方面,LTPS 的制造技术尚不成熟,没有统一的标准生产线,要制备 LTPS TFT 背板必须投巨资建造专用生产线。

[0003] 而硅基 OLED 微型显示器件采用单晶硅 CMOS 基板技术,相比其他基板技术而言,单晶硅具有载流子迁移率高、阈值电压稳定等优点,可以将像素矩阵及周边驱动电路等都集成在显示屏上,大大减小整个显示系统的体积及成本,同时成熟的 CMOS 集成电路工艺也为硅基 OLED 微型显示器件的基板制作提供了便利,且单晶硅 CMOS 基板生产工艺流程标准化,仅需支付小额的加工费用就可以在任何一家标准的单晶硅 CMOS 基板生产线上制备基板;同时硅基 OLED 基板上的每个像素面积可以做得很小,利于显示分辨率的提高。在单晶硅 CMOS 基板芯片的设计上,主要考虑的是如何精确控制流过 OLED 的电流,从而实现良好的灰度图象显示。同时芯片功耗也非常重要,因为硅基 OLED 微型显示器件也就可以用于便携式近眼显示,由普通手机电池供电,低功耗电路可延长电池的使用寿命。

发明内容

[0004] 针对上述问题,本发明的目的在于克服现有 LTPS TFT 背板像素电路存在的缺陷,提供基于单晶硅 CMOS 基板技术的一种硅基 OLED 显示芯片像素电路结构及其驱动方法。

[0005] 一种硅基 OLED 显示芯片像素电路结构,所述硅基 OLED 显示芯片像素电路结构包括:至少由读入 PMOS 管源极以及读入 PMOS(P-channel Metal Oxide Semiconductor, P 型沟道金属氧化物半导体)管栅极以及读入 PMOS 管漏极构成的读入 PMOS 管、至少由 PIP 电容器低阻多晶硅上电极以及 PIP 电容器高阻多晶硅下电极构成的 PIP(PolySi-insulator-Poly Si,多晶硅-绝缘层-多晶硅)电容器、至少由驱动 PMOS 管源极以及驱动 PMOS 管栅极以及驱动 PMOS 管漏极构成的驱动 PMOS 管、至少由写出 PMOS 管源极以及写出 PMOS 管栅极以及写出 PMOS 管漏极构成的写出 PMOS 管、至少由地线保护 PMOS 管源极以及地线保护 PMOS 管栅极以及地线保护 PMOS 管漏极构成的地线保护 PMOS 管、通过读入 PMOS 管源极连线与所述读入 PMOS 管源极相连接的视频数据串行位线、同时连接 PIP 上电极连线和驱动 PMOS 管源极连线的电源线、通过地线保护 PMOS 管漏极连线与所述地线

保护 PMOS 管漏极相连接的 0V 地线、通过读入 PMOS 管栅极连线与所述读入 PMOS 管栅极相连接的正相行选通线、通过写出 PMOS 管栅极连线与所述写出 PMOS 管栅极相连接的负相行选通线、与驱动电极连接线相连接的 OLED 发光层驱动电极；

[0006] 所述 PIP 上电极连线连接到所述 PIP 电容器低阻多晶硅上电极；

[0007] 所述驱动 PMOS 管源极连线连接到所述驱动 PMOS 管源极；

[0008] 所述 PIP 电容器高阻多晶硅下电极通过 PIP 下电极连线连接到把所述读入 PMOS 管漏极与所述驱动 PMOS 管栅极连通的漏栅极连接线上；

[0009] 所述驱动 PMOS 管漏极与所述写出 PMOS 管源极通过源漏极连接线相连通；

[0010] 所述地线保护 PMOS 管栅极、所述地线保护 PMOS 管源极、所述写出 PMOS 管漏极分别通过地线保护 PMOS 管栅极连线、地线保护 PMOS 管源极连线、写出 PMOS 管漏极连线与所述驱动电极连接线相连接；

[0011] 所述电源线、所述正相行选通线、所述负相行选通线、所述 0V 地线沿水平方向设置，且互不相交连通；

[0012] 所述视频数据串行位线沿垂直方向设置，且与所述电源线、所述正相行选通线、所述负相行选通线、所述 0V 地线互不连通；

[0013] 所述 OLED 发光层驱动电极由纯度超过 99% 的铝金属制成，且所述 OLED 发光层驱动电极覆盖的面积不超过所述硅基 OLED 显示芯片像素电路结构面积的 90%。

[0014] 所述电源线上承载不低于 3.3V 的恒定电位值；

[0015] 所述视频数据串行位线中交替承载高电位信号和低电位信号，且所述高电位信号数值不低于所述电源线上承载的不低于 3.3V 的恒定电位值，所述低电位信号数值不高于比所述高电位信号数值低 0.5V 的数值；

[0016] 所述正相选通线和所述负相选通线上承载的信号为互不交叠反相电压信号；

[0017] 所述一种硅基 OLED 显示芯片像素电路结构采用 PMOS 制程工艺在 N 型单晶硅衬底上生产实现；

[0018] 本发明用于所述硅基 OLED 显示芯片像素电路结构的驱动方法，包括如下阶段：

[0019] 上电后循环完成如下阶段：

[0020] 第一阶段：视频数据信号第 1 位输入，顺序完成如下两个步骤：

[0021] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位，同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位，同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 1 位，

[0022] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通，所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储，如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值，则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态，进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线；如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值，则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态，进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳

安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线,

[0023] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态,进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线,

[0024] 2) 本阶段开始后的 10 至 800 微秒之后的 3000 至 4000 微秒时间内所述正相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 3000 至 4000 微秒时间内所述负相选通线上输入 0V 电位,

[0025] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态,进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线,

[0026] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通,如果所述驱动 PMOS 管处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极;如果所述驱动 PMOS 管处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极,

[0027] 第二阶段:完成视频数据信号第 1 位写入阶段后进入视频数据信号第 2 位写入,分别完成如下步骤:

[0028] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 2 位,

[0029] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通,所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储,如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线;如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线,

[0030] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态,进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线,

[0031] 2) 本阶段开始后的 10 至 800 微秒之后的 1500 至 2000 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 1500 至 2000 微秒时间内所述负相选通线上承载 0V 电位,

[0032] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态,进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线,

[0033] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通,如果所述驱动 PMOS 管处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极;如果所述驱动 PMOS 管处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极,

[0034] 第三阶段:完成视频数据信号第 2 位写入阶段后进入视频数据信号第 3 位写入,分别完成如下步骤:

[0035] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 3 位,

[0036] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通,所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储,如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线;如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线,

[0037] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态,进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线,

[0038] 2) 本阶段开始后的 10 至 800 微秒之后的 750 至 1000 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 750 至 1000 微秒时间内所述负相选通线上承载 0V 电位,

[0039] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态,进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线,

[0040] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通,如果所述驱动 PMOS 管处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极;如果所述驱动 PMOS 管处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述

写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极，
[0041] 第四阶段：完成视频数据信号第 3 位写入阶段后进入视频数据信号第 4 位写入，分别完成如下步骤：

[0042] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位，同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位，同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 4 位，

[0043] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通，所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储，如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值，则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态，进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线；如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值，则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态，进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线，

[0044] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态，进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线，

[0045] 2) 本阶段开始后的 10 至 800 微秒之后的 350 至 500 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位，同时的 350 至 500 微秒时间内所述负相选通线上承载 0V 电位，

[0046] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态，进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线，

[0047] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通，如果所述驱动 PMOS 管处于截止工作状态，则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极；如果所述驱动 PMOS 管处于线性工作状态，则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极，

[0048] 第五阶段：完成视频数据信号第 4 位写入阶段后进入视频数据信号第 5 位写入，分别完成如下步骤：

[0049] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位，同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位，同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 5 位，

[0050] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通，所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电

极连线传入所述 PIP 电容器进行存储,如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线;如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线,

[0051] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态,进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线,

[0052] 2) 本阶段开始后的 10 至 800 微秒之后的 150 至 250 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 150 至 250 微秒时间内所述负相选通线上承载 0V 电位,

[0053] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态,进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线,

[0054] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通,如果所述驱动 PMOS 管处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极;如果所述驱动 PMOS 管处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极,

[0055] 第六阶段:完成视频数据信号第 5 位写入阶段后进入视频数据信号第 6 位写入,分别完成如下步骤:

[0056] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 6 位,

[0057] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通,所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储,如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线;如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线,

[0058] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态,进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线,

[0059] 2) 本阶段开始后的 10 至 800 微秒之后的 75 至 150 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 75 至 150 微秒时间内所述负相选通线上承载 0V 电位,

[0060] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态,进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线,

[0061] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通,如果所述驱动 PMOS 管处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极;如果所述驱动 PMOS 管处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极,

[0062] 第七阶段:完成视频数据信号第 6 位写入阶段后进入视频数据信号第 7 位写入,分别完成如下步骤:

[0063] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 7 位,

[0064] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通,所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储,如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线;如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线,

[0065] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态,进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线,

[0066] 2) 本阶段开始后的 10 至 800 微秒之后的 35 至 100 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 35 至 100 微秒时间内所述负相选通线上承载 0V 电位,

[0067] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所

述读入 PMOS 管进入截止工作状态,进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线,

[0068] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通,如果所述驱动 PMOS 管处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极;如果所述驱动 PMOS 管处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极,

[0069] 第八阶段:完成视频数据信号第 7 位写入阶段后进入视频数据信号第 8 位写入,分别完成如下步骤:

[0070] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位,同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 1 至 2 微秒时间内所述视频数据串行位线上输入视频数据信号第 8 位,

[0071] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通,所述视频数据串行位线中的信号经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储,如果从所述视频数据串行位线传入 PIP 电容器的信号的数值低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入线性工作状态,进入线性工作状态的所述驱动 PMOS 管允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线;如果从所述视频数据串行位线传入 PIP 电容器的信号的数值不低于比所述电源线上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值,则所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态,进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线,

[0072] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态,进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线,

[0073] 2) 本阶段开始后的 10 至 800 微秒之后的 15 至 50 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位,同时的 15 至 50 微秒时间内所述负相选通线上承载 0V 电位,

[0074] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态,进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线,

[0075] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通,如果所述驱动 PMOS 管处于截止工作状态,则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极;如果所述驱动 PMOS 管处于线性工作状态,则允许不超过 100 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极,

[0076] 第九阶段：完成视频数据信号第 8 位写入阶段后进入黑屏信号写入，分别完成如下步骤：

[0077] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位，同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线上所承载的电位值 0.5V 的电位，同时的 1 至 2 微秒时间内所述视频数据串行位线上输入不低于 3.3V 的恒定电位值，

[0078] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管导通，所述视频数据串行位线上承载的不低于 3.3V 的恒定电位值经过所述读入 PMOS 管源极连线、所述读入 PMOS 管、所述漏栅极连接线、PIP 下电极连线传入所述 PIP 电容器进行存储，且所述漏栅极连接线启动所述驱动 PMOS 管进入截止工作状态，进入截止工作状态的所述驱动 PMOS 管只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管流进所述源漏极连接线，

[0079] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线启动所述写出 PMOS 管进入截止工作状态，进入截止工作状态的所述写出 PMOS 管只允许不超过 1 纳安的电流从所述源漏极连接线经由所述写出 PMOS 管流进所述写出 PMOS 管漏极连线，

[0080] 2) 本阶段开始后的 10 至 800 微秒之后的 250 至 350 微秒时间内所述正相选通线上承载不低于所述电源线上所承载的电位值 0.5V 的电位，同时的 250 至 350 微秒时间内所述负相选通线上承载 0V 电位，

[0081] 承载不低于所述电源线上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管进入截止工作状态，进入截止工作状态的所述读入 PMOS 管只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线经由所述读入 PMOS 管流进所述漏栅极连接线或从所述漏栅极连接线经由所述读入 PMOS 管流进所述读入 PMOS 管源极连线，

[0082] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管导通，且所述驱动 PMOS 管处于截止工作状态，则只有不超过 1 纳安的电流从所述漏栅极连接线经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极。

[0083] 有益效果

[0084] 本发明的一种硅基 OLED 显示芯片像素电路结构及其驱动方法采用单晶硅 CMOS 制程技术实现，相比现有 LTPS TFT 背板技术而言具备以下优势：

[0085] 1) 单晶硅具有载流子迁移率高、阈值电压稳定等优点，可以将像素矩阵及周边驱动电路等都集成在显示屏上，大大减小整个显示系统的体积及成本；

[0086] 2) 单晶硅 CMOS 基板生产工艺流程标准化，仅需支付小额的加工费用就可以在任何一家标准的单晶硅 CMOS 基板生产线上制备基板；

[0087] 3) 硅基 OLED 微型显示芯片上每个像素尺寸可以制造到 10 微米以下，因而只有常规 OLED 显示器像素尺寸的十分之一到百分之一，有利于显示分辨率的大幅度提高；

[0088] 4) 采用 CMOS 集成电路技术制造的基板芯片属于低功耗器件，可以将硅基 OLED 微型显示器件的应用领域扩展到便携式显示产品中，从而延长电池的使用寿命。

[0089] 5) 所述地线保护 PMOS 管保证本发明的一种硅基 OLED 显示芯片像素电路结构所承受的电压差不超过所述电源线上所承载的电压值，通过对 OLED 发光层的公共电极电位施加负电压的方法，就实现了低压单晶硅 CMOS 工艺完成高压驱动 OLED 发光层的目的；

附图说明

[0090] 图 1 是本发明的一种硅基 OLED 显示芯片像素电路结构,其中:

- | | | |
|--------|----------------------|---------------------|
| [0091] | (1) 电源线 | (2) 读入 PMOS 管源极连线 |
| [0092] | (3) 读入 PMOS 管源极 | (4) 读入 PMOS 管 |
| [0093] | (5) 读入 PMOS 管漏极 | (6) PIP 电容器低阻多晶硅上电极 |
| [0094] | (7) PIP 上电极连线 | (8) PIP 电容器高阻多晶硅下电极 |
| [0095] | (9) PIP 电容器 | (10) PIP 下电极连线 |
| [0096] | (11) 漏栅极连接线 | (12) 驱动 PMOS 管 |
| [0097] | (13) 驱动 PMOS 管栅极 | (14) 驱动 PMOS 管源极连线 |
| [0098] | (15) 驱动 PMOS 管源极 | (16) 驱动 PMOS 管漏极 |
| [0099] | (17) 源漏极连接线 | (18) 写出 PMOS 管源极 |
| [0100] | (19) 写出 PMOS 管 | (20) 写出 PMOS 管漏极 |
| [0101] | (21) 写出 PMOS 管漏极连线 | (22) 视频数据串行位线 |
| [0102] | (23) 读入 PMOS 管栅极 | (24) 读 PMOS 管栅极连接线 |
| [0103] | (25) 正相行选通线 | (26) 写出 PMOS 管栅极 |
| [0104] | (27) 负相行选通线 | (28) 写出 PMOS 管栅极连线 |
| [0105] | (29) 地线保护 PMOS 管源极连线 | (30) 地线保护 PMOS 管源极 |
| [0106] | (31) 地线保护 PMOS 管 | (32) 地线保护 PMOS 管漏极 |
| [0107] | (33) 地线保护 PMOS 管漏极连线 | (34) 地线保护 PMOS 管栅极 |
| [0108] | (35) 地线保护 PMOS 管栅极连线 | (36) 0V 地线 |
| [0109] | (37) 驱动电极连接线 | (38) OLED 发光层驱动电极 |

[0110] 图 2 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第一阶段控制流程图,

[0111] 图 3 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第二阶段控制流程图,

[0112] 图 4 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第三阶段控制流程图,

[0113] 图 5 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第四阶段控制流程图,

[0114] 图 6 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第五阶段控制流程图,

[0115] 图 7 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第六阶段控制流程图,

[0116] 图 8 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第七阶段控制流程图,

[0117] 图 9 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第八阶段控制流程图,

[0118] 图 10 是本发明的一种硅基 OLED 显示芯片像素电路驱动方法的第九阶段控制流程图,

具体实施方式

[0119] 下面结合附图 1 对本发明的一种硅基 OLED 显示芯片像素电路结构作进一步具体说明：

[0120] 所述硅基 OLED 显示芯片像素电路结构包括：至少由读入 PMOS 管源极 (3) 以及读入 PMOS 管栅极以及读入 PMOS 管漏极 (5) 构成的读入 PMOS 管 (4)、至少由 PIP 电容器低阻多晶硅上电极 (6) 以及 PIP 电容器高阻多晶硅下电极 (8) 构成的 PIP 电容器 (9)、至少由驱动 PMOS 管源极 (15) 以及驱动 PMOS 管栅极 (13) 以及驱动 PMOS 管漏极 (16) 构成的驱动 PMOS 管 (12)、至少由写出 PMOS 管源极 (18) 以及写出 PMOS 管栅极 (26) 以及写出 PMOS 管漏极 (20) 构成的写出 PMOS 管 (19)、至少由地线保护 PMOS 管源极 (30) 以及地线保护 PMOS 管栅极 (34) 以及地线保护 PMOS 管漏极 (32) 构成的地线保护 PMOS 管 (31)、通过读入 PMOS 管源极连线 (2) 与所述读入 PMOS 管源极 (3) 相连接的视频数据串行位线 (22)、同时连接 PIP 上电极连线 (7) 和驱动 PMOS 管源极连线 (14) 的电源线 (1)、通过地线保护 PMOS 管漏极连线 (33) 与所述地线保护 PMOS 管漏极 (32) 相连接的 0V 地线 (36)、通过读入 PMOS 管栅极连线 (24) 与所述读入 PMOS 管栅极 (23) 相连接的正相行选通线 (25)、通过写出 PMOS 管栅极连线 (28) 与所述写出 PMOS 管栅极 (26) 相连接的负相行选通线 (27)、与驱动电极连接线 (37) 相连接的 OLED 发光层驱动电极 (38)；

[0121] 所述 PIP 上电极连线 (7) 连接到所述 PIP 电容器低阻多晶硅上电极 (6)；

[0122] 所述驱动 PMOS 管源极连线 (14) 连接到所述驱动 PMOS 管源极 (15)；

[0123] 所述 PIP 电容器高阻多晶硅下电极 (8) 通过 PIP 下电极连线 (10) 连接到把所述读入 PMOS 管漏极 (5) 与所述驱动 PMOS 管栅极 (13) 连通的漏栅极连接线 (11) 上；

[0124] 所述驱动 PMOS 管漏极 (16) 与所述写出 PMOS 管源极 (18) 通过源漏极连接线 (17) 相连通；

[0125] 所述地线保护 PMOS 管栅极 (34)、所述地线保护 PMOS 管源极 (30)、所述写出 PMOS 管漏极 (20) 分别通过地线保护 PMOS 管栅极连线 (35)、地线保护 PMOS 管源极连线 (29)、写出 PMOS 管漏极连线 (21) 与所述驱动电极连接线 (37) 相连接；

[0126] 所述电源线 (1)、所述正相行选通线 (25)、所述负相行选通线 (27)、所述 0V 地线沿水平方向设置，且互不相交连通；

[0127] 所述视频数据串行位线 (22) 沿垂直方向设置，且与所述电源线 (1)、所述正相行选通线 (25)、所述负相行选通线 (27)、所述 0V 地线互不连通；

[0128] 所述 OLED 发光层驱动电极 (38) 由纯度超过 99% 的铝金属制成，且所述 OLED 发光层驱动电极 (38) 覆盖的面积不超过所述硅基 OLED 显示芯片像素电路结构面积的 90%。

[0129] 所述电源线 (1) 上承载不低于 3.3V 的恒定电位值；

[0130] 所述视频数据串行位线 (22) 中交替承载高电位信号和低电位信号，且所述高电位信号数值不低于所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值，所述低电位信号数值不高于比所述高电位信号数值低 0.5V 的数值，

[0131] 所述正相选通线和所述负相选通线上承载的信号为互不交叠反相电压信号。

[0132] 所述一种硅基 OLED 显示芯片像素电路结构采用 PMOS 制程工艺在 N 型单晶硅衬底上生产实现；

[0133] 下面结合附图 2、附图 3、附图 4、附图 5、附图 6、附图 7、附图 8、附图 9、附图 10 对

本发明的一种硅基 OLED 显示芯片像素电路驱动方法作进一步具体说明：

[0134] 本发明用于所述硅基 OLED 显示芯片像素电路结构的驱动方法，包括如下阶段：

[0135] 上电后循环完成如下阶段：

[0136] 第一阶段：视频数据信号第 1 位输入，顺序完成如下两个步骤：

[0137] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位，同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位，同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 1 位，

[0138] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通，所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储，如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值，则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态，进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17)；如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值，则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态，进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17)，

[0139] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态，进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21)，

[0140] 2) 本阶段开始后的 10 至 800 微秒之后的 3000 至 4000 微秒时间内所述正相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位，同时的 3000 至 4000 微秒时间内所述负相选通线上输入 0V 电位，

[0141] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态，进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2)，

[0142] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通，如果所述驱动 PMOS 管 (12) 处于截止工作状态，则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38)；如果所述驱动 PMOS 管 (12) 处于线性工作状态，则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38)，

[0143] 第二阶段：完成视频数据信号第 1 位写入阶段后进入视频数据信号第 2 位写入，分别完成如下步骤：

[0144] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 2 位,

[0145] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上所承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上所承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0146] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0147] 2) 本阶段开始后的 10 至 800 微秒之后的 1500 至 2000 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1500 至 2000 微秒时间内所述负相选通线上承载 0V 电位,

[0148] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0149] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

[0150] 第三阶段: 完成视频数据信号第 2 位写入阶段后进入视频数据信号第 3 位写入, 分别完成如下步骤:

[0151] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 3 位,

[0152] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串

行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0153] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0154] 2) 本阶段开始后的 10 至 800 微秒之后的 750 至 1000 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 750 至 1000 微秒时间内所述负相选通线上承载 0V 电位,

[0155] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0156] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

[0157] 第四阶段: 完成视频数据信号第 3 位写入阶段后进入视频数据信号第 4 位写入, 分别完成如下步骤:

[0158] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 4 位,

[0159] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS

管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0160] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0161] 2) 本阶段开始后的 10 至 800 微秒之后的 350 至 500 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 350 至 500 微秒时间内所述负相选通线上承载 0V 电位,

[0162] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0163] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

[0164] 第五阶段: 完成视频数据信号第 4 位写入阶段后进入视频数据信号第 5 位写入, 分别完成如下步骤:

[0165] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 5 位,

[0166] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11)

启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0167] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0168] 2) 本阶段开始后的 10 至 800 微秒之后的 150 至 250 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 150 至 250 微秒时间内所述负相选通线上承载 0V 电位,

[0169] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0170] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

[0171] 第六阶段: 完成视频数据信号第 5 位写入阶段后进入视频数据信号第 6 位写入, 分别完成如下步骤:

[0172] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 6 位,

[0173] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0174] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通

过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0175] 2) 本阶段开始后的 10 至 800 微秒之后的 75 至 150 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 75 至 150 微秒时间内所述负相选通线上承载 0V 电位,

[0176] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0177] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

[0178] 第七阶段: 完成视频数据信号第 6 位写入阶段后进入视频数据信号第 7 位写入, 分别完成如下步骤:

[0179] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 7 位,

[0180] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0181] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0182] 2) 本阶段开始后的 10 至 800 微秒之后的 35 至 100 微秒时间内所述正相选通线上

承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 35 至 100 微秒时间内所述负相选通线上承载 0V 电位,

[0183] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0184] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

[0185] 第八阶段: 完成视频数据信号第 7 位写入阶段后进入视频数据信号第 8 位写入, 分别完成如下步骤:

[0186] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入视频数据信号第 8 位,

[0187] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 中的信号经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入线性工作状态, 进入线性工作状态的所述驱动 PMOS 管 (12) 允许不超过 100 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17); 如果从所述视频数据串行位线 (22) 传入 PIP 电容器 (9) 的信号数值不低于比所述电源线 (1) 上承载的不低于 3.3V 的恒定电位值低 0.5V 的数值, 则所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0188] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0189] 2) 本阶段开始后的 10 至 800 微秒之后的 15 至 50 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 15 至 50 微秒时间内所述负相选通线上承载 0V 电位,

[0190] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只

允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0191] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 如果所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38); 如果所述驱动 PMOS 管 (12) 处于线性工作状态, 则允许不超过 100 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线 (21)、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38),

[0192] 第九阶段: 完成视频数据信号第 8 位写入阶段后进入黑屏信号写入, 分别完成如下步骤:

[0193] 1) 本阶段开始后的 1 至 2 微秒时间内所述正相选通线上输入 0V 电位, 同时的 1 至 2 微秒时间内所述负相选通线上输入不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 1 至 2 微秒时间内所述视频数据串行位线 (22) 上输入不低于 3.3V 的恒定电位值,

[0194] 承载 0V 电位的所述正相选通线启动所述读入 PMOS 管 (4) 导通, 所述视频数据串行位线 (22) 上承载的不低于 3.3V 的恒定电位值经过所述读入 PMOS 管源极连线 (2)、所述读入 PMOS 管 (4)、所述漏栅极连接线 (11)、PIP 下电极连线 (10) 传入所述 PIP 电容器 (9) 进行存储, 且所述漏栅极连接线 (11) 启动所述驱动 PMOS 管 (12) 进入截止工作状态, 进入截止工作状态的所述驱动 PMOS 管 (12) 只允许不超过 1 纳安的电流从所述驱动 PMOS 管漏极连线经由所述驱动 PMOS 管 (12) 流进所述源漏极连接线 (17),

[0195] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述负相选通线通过所述写出 PMOS 管栅极连线 (28) 启动所述写出 PMOS 管 (19) 进入截止工作状态, 进入截止工作状态的所述写出 PMOS 管 (19) 只允许不超过 1 纳安的电流从所述源漏极连接线 (17) 经由所述写出 PMOS 管 (19) 流进所述写出 PMOS 管漏极连线 (21),

[0196] 2) 本阶段开始后的 10 至 800 微秒之后的 250 至 350 微秒时间内所述正相选通线上承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位, 同时的 250 至 350 微秒时间内所述负相选通线上承载 0V 电位,

[0197] 承载不低于所述电源线 (1) 上所承载的电位值 0.5V 的电位的所述正相选通线启动所述读入 PMOS 管 (4) 进入截止工作状态, 进入截止工作状态的所述读入 PMOS 管 (4) 只允许不超过 1 纳安的电流或从所述读入 PMOS 管源极连线 (2) 经由所述读入 PMOS 管 (4) 流进所述漏栅极连接线 (11) 或从所述漏栅极连接线 (11) 经由所述读入 PMOS 管 (4) 流进所述读入 PMOS 管源极连线 (2),

[0198] 承载 0V 电位的所述负相选通线启动所述写出 PMOS 管 (19) 导通, 且所述驱动 PMOS 管 (12) 处于截止工作状态, 则只有不超过 1 纳安的电流从所述漏栅极连接线 (11) 经由所述写出 PMOS、所述写出 PMOS 管漏极连线、所述驱动电极连线进入所述 OLED 发光层驱动电极 (38)。

[0199] 综上所述, 本发明实施例提供了一种硅基 OLED 显示芯片像素电路结构及其驱动方法, 通过该方法减少了整机空间的尺寸以及降低了整机功耗、。

[0200] 本领域技术人员可以理解附图只是一个优选实施例的示意图,上述本发明实施例序号仅仅为了描述,不代表实施例的优劣。

[0201] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

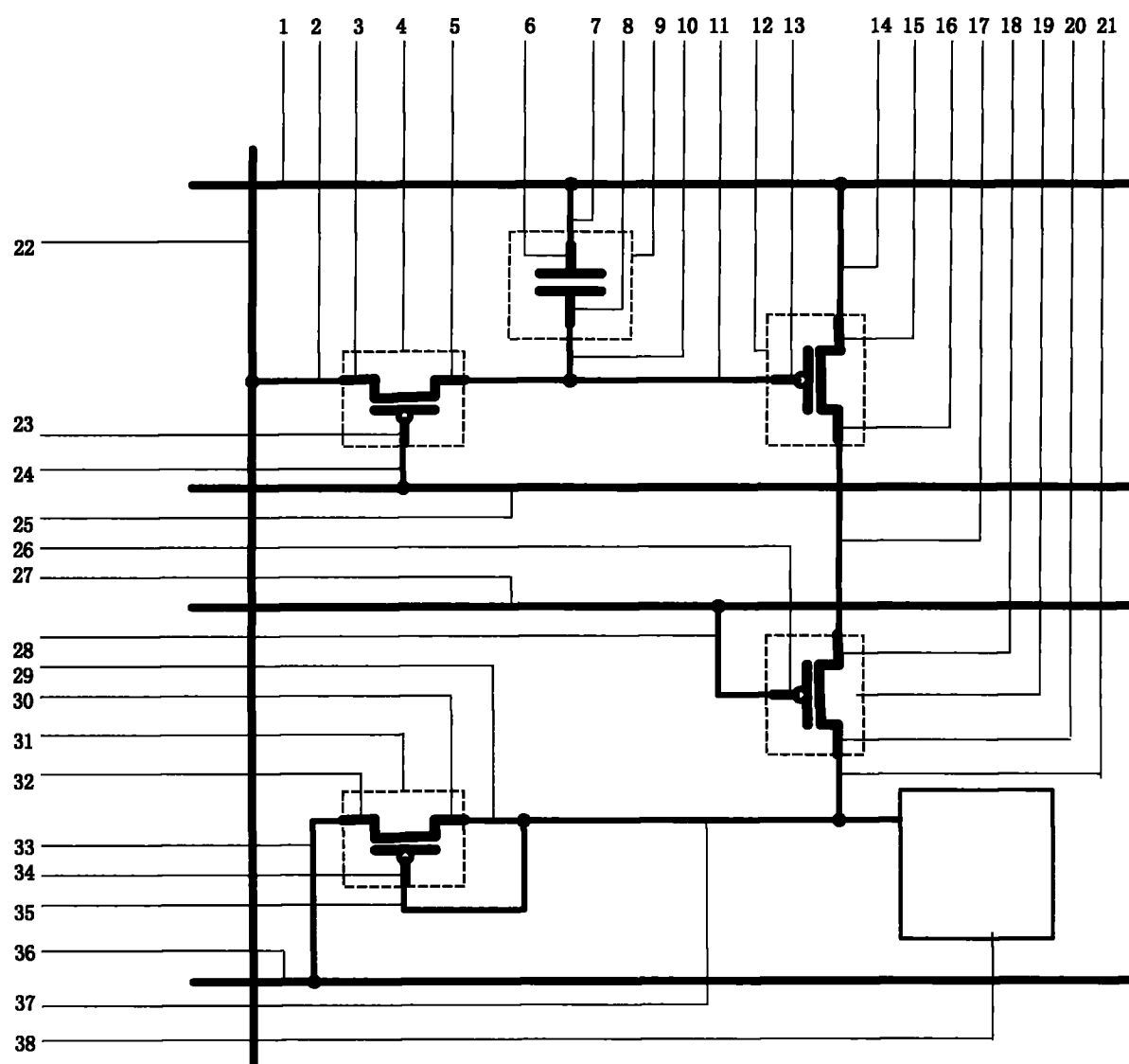


图 1

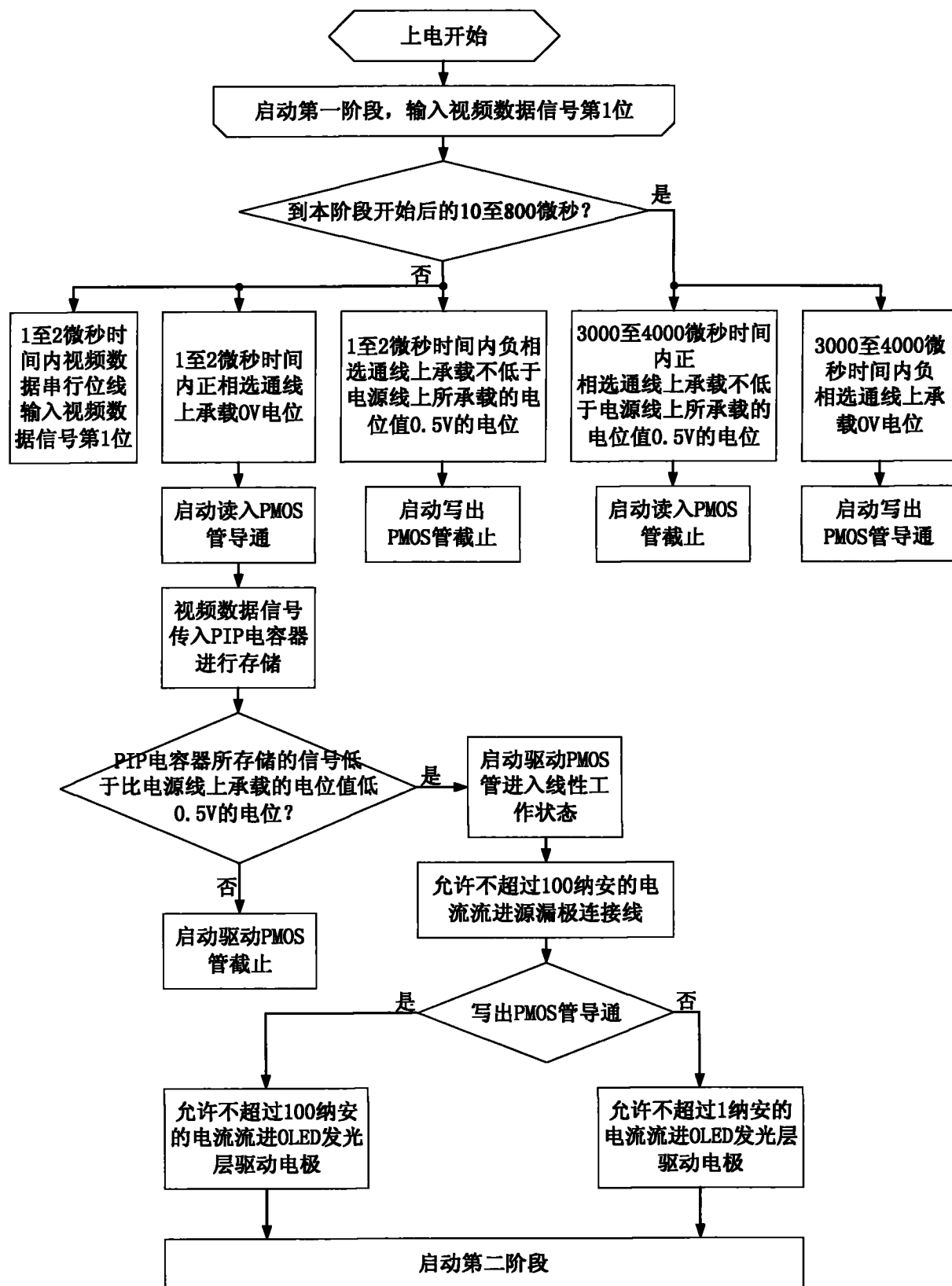


图 2

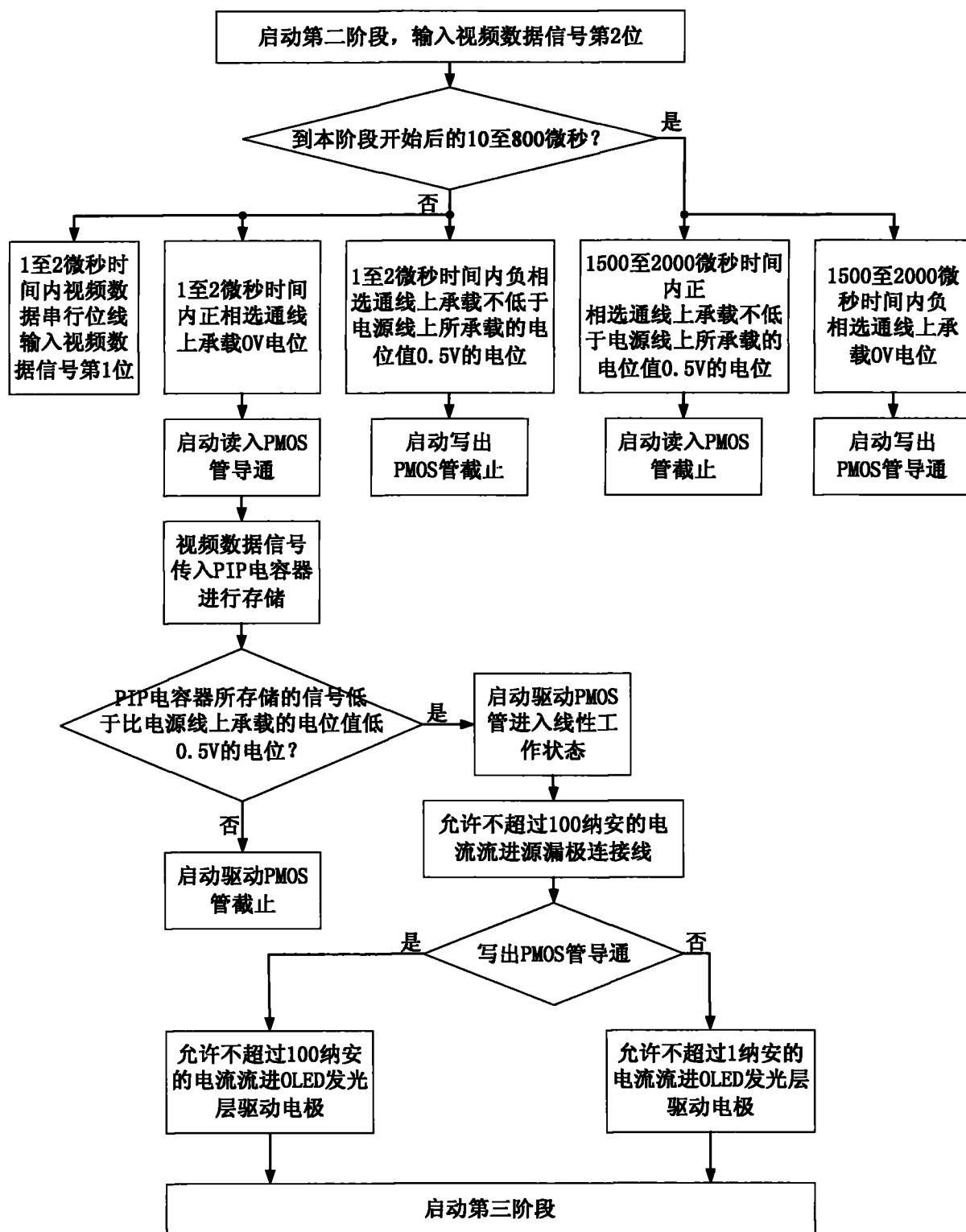


图 3

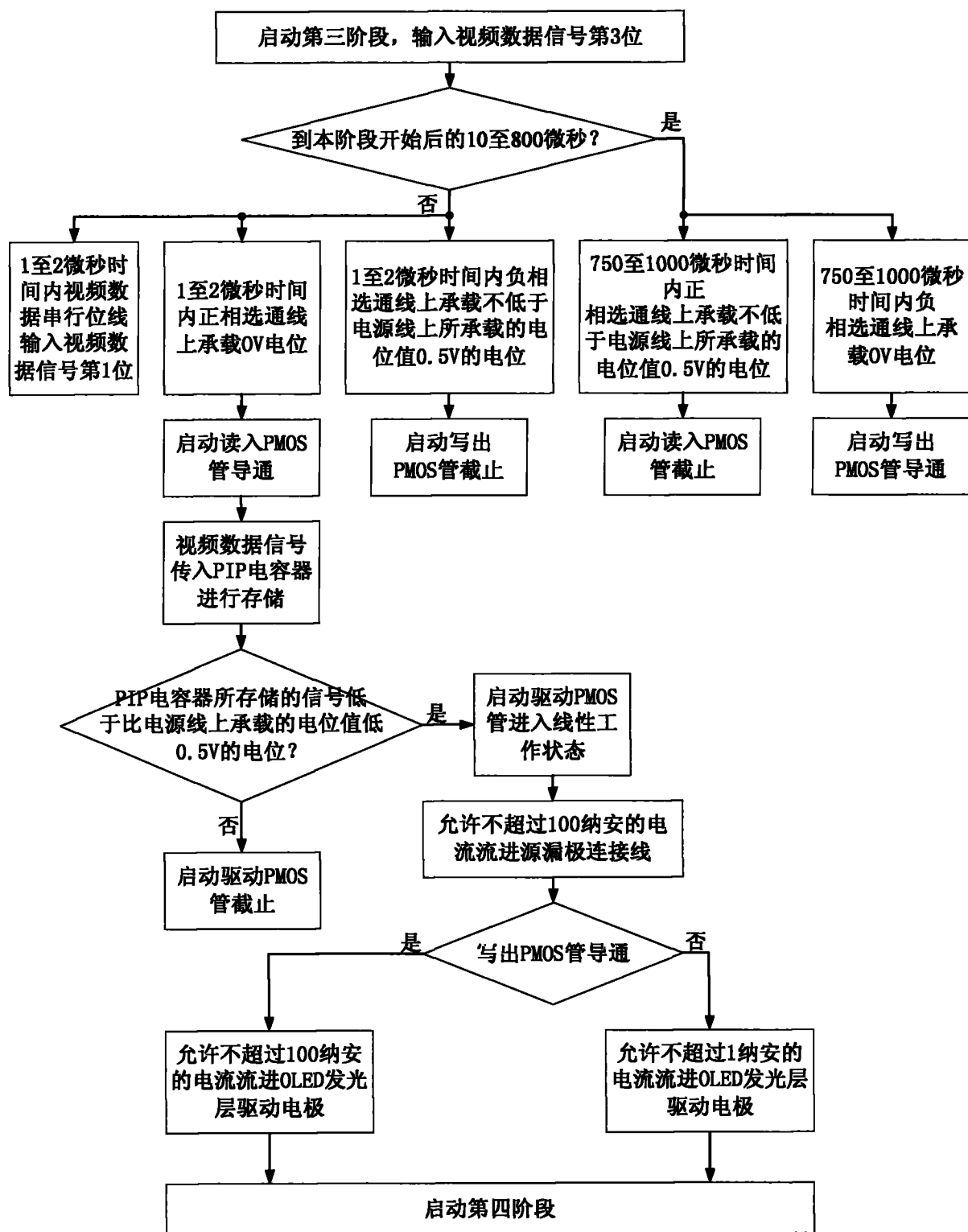


图 4

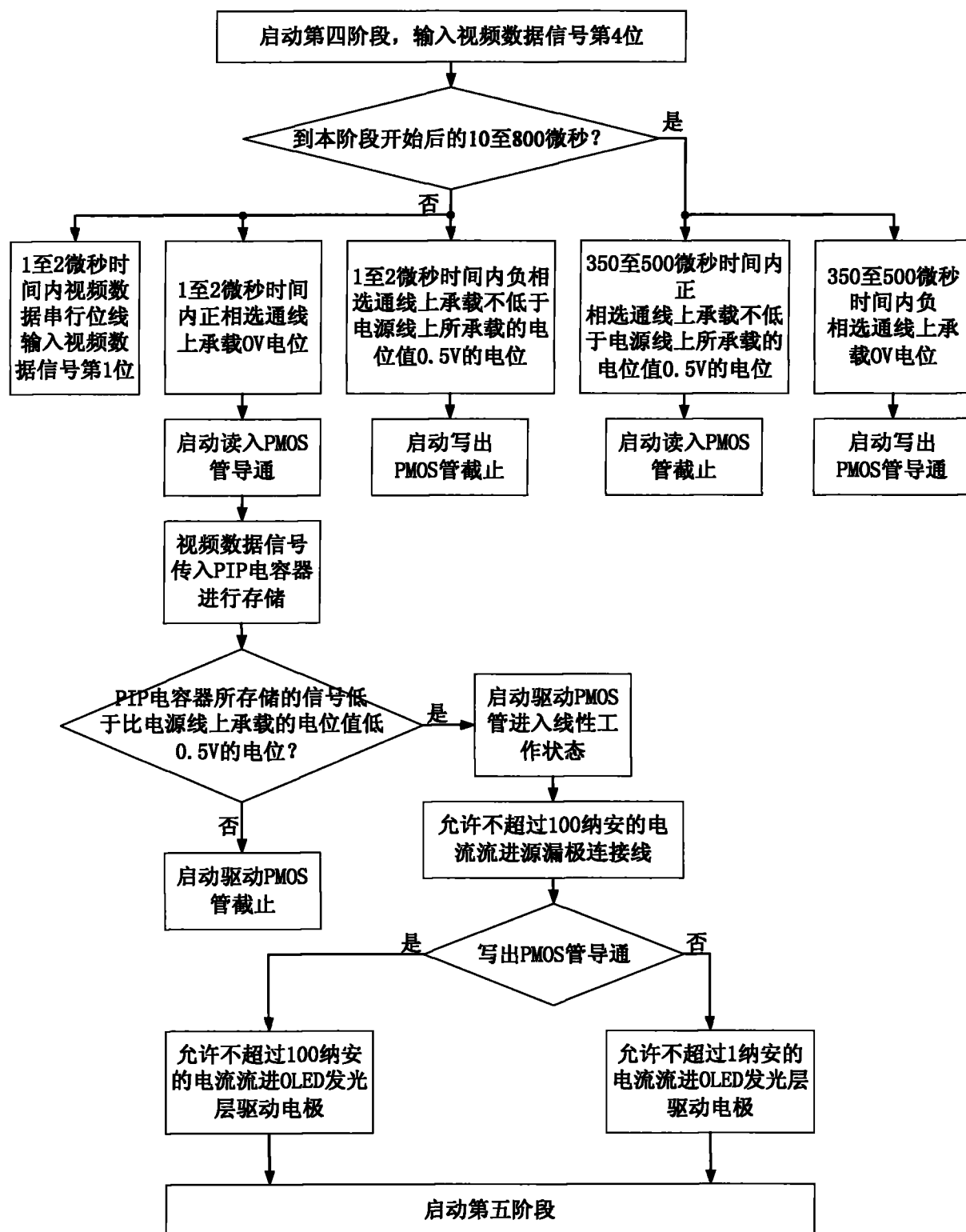


图 5

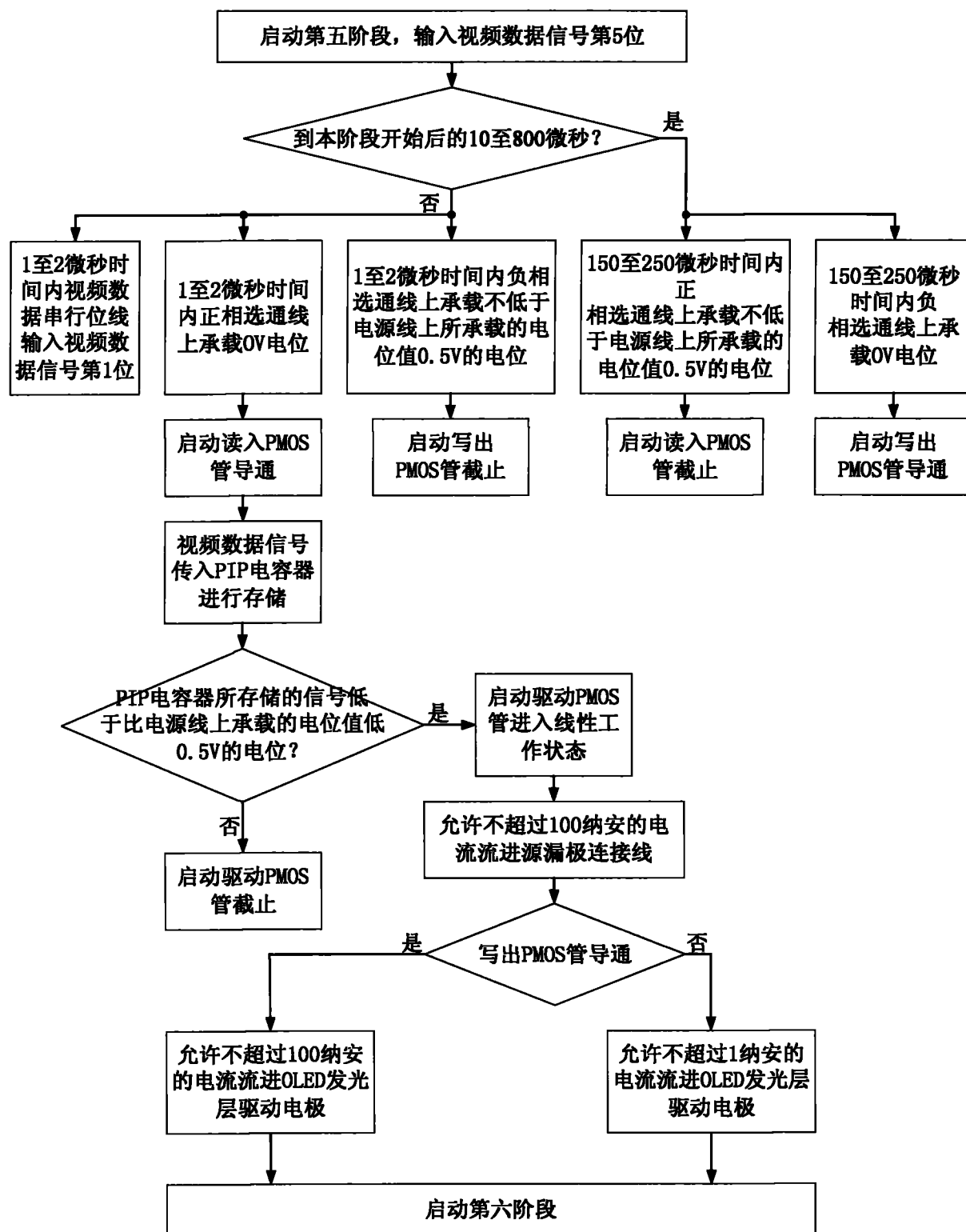


图 6

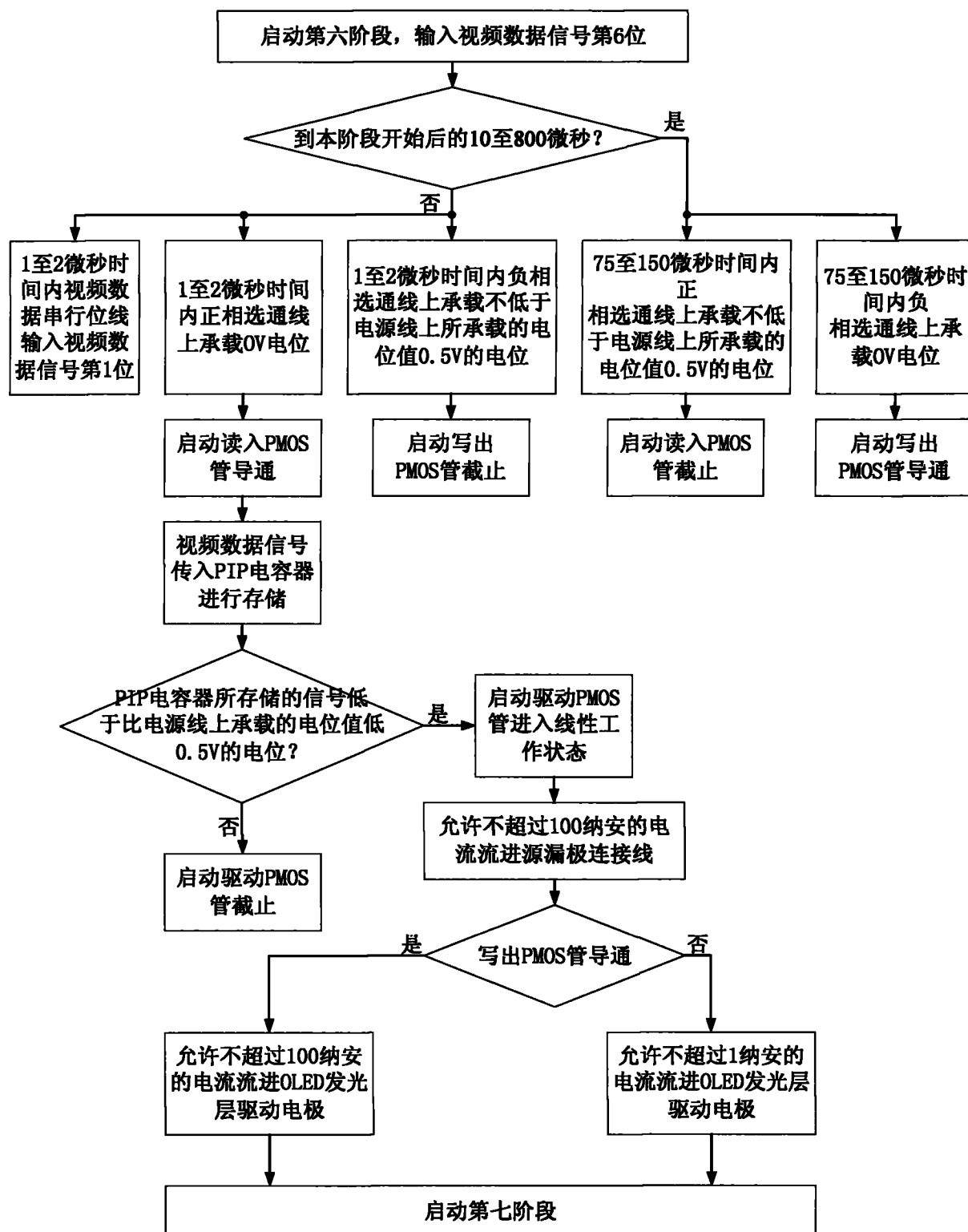


图 7

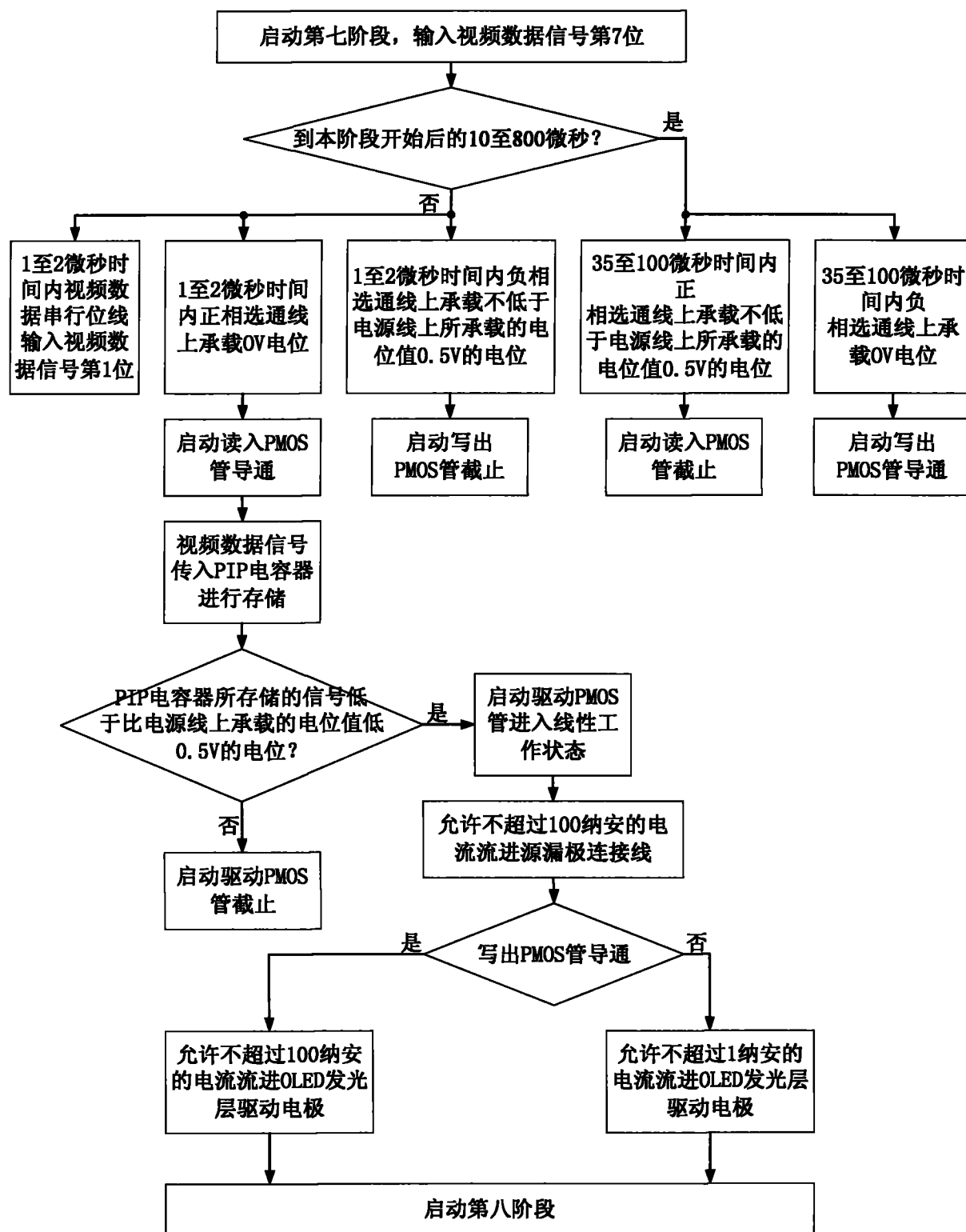


图 8

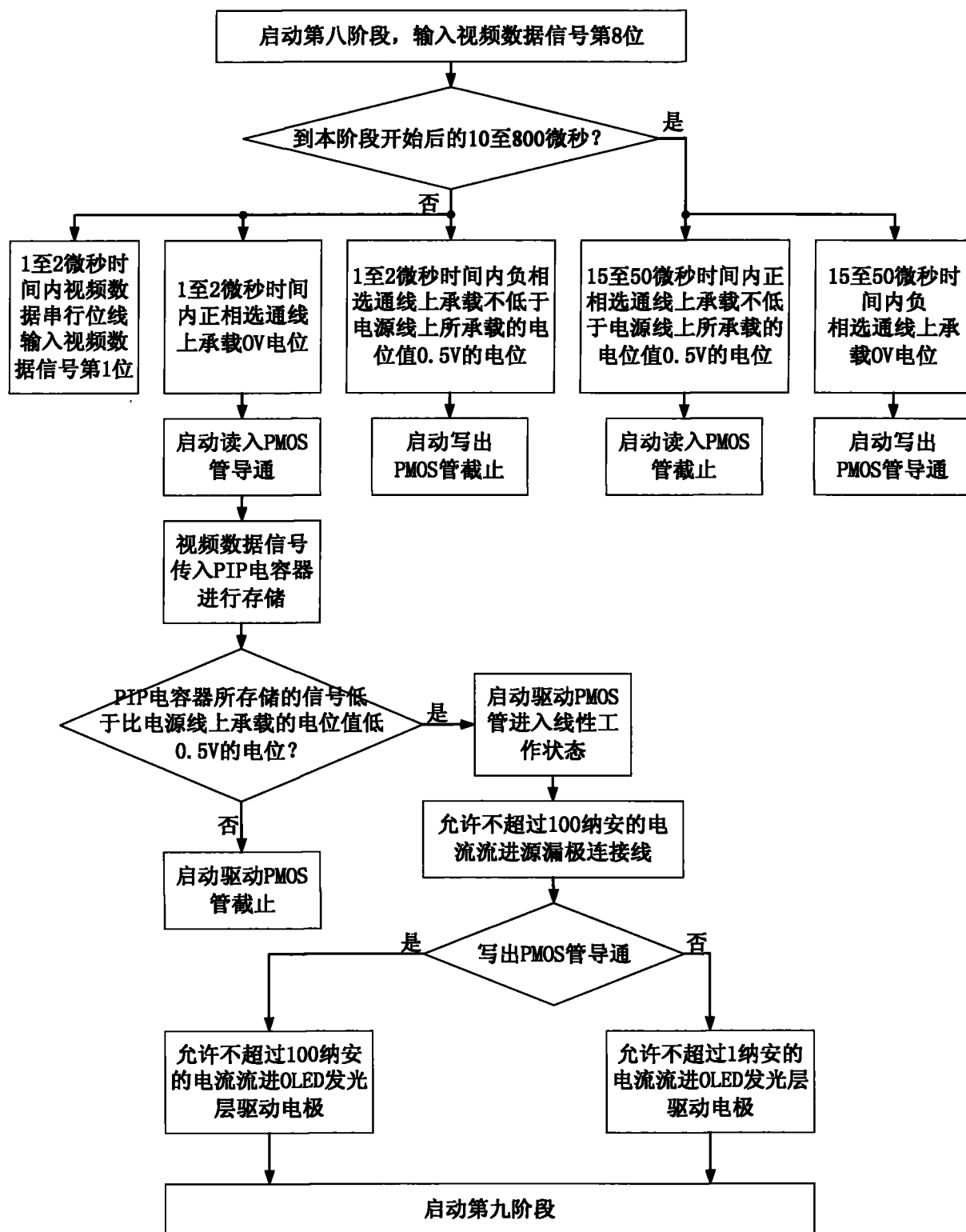


图 9

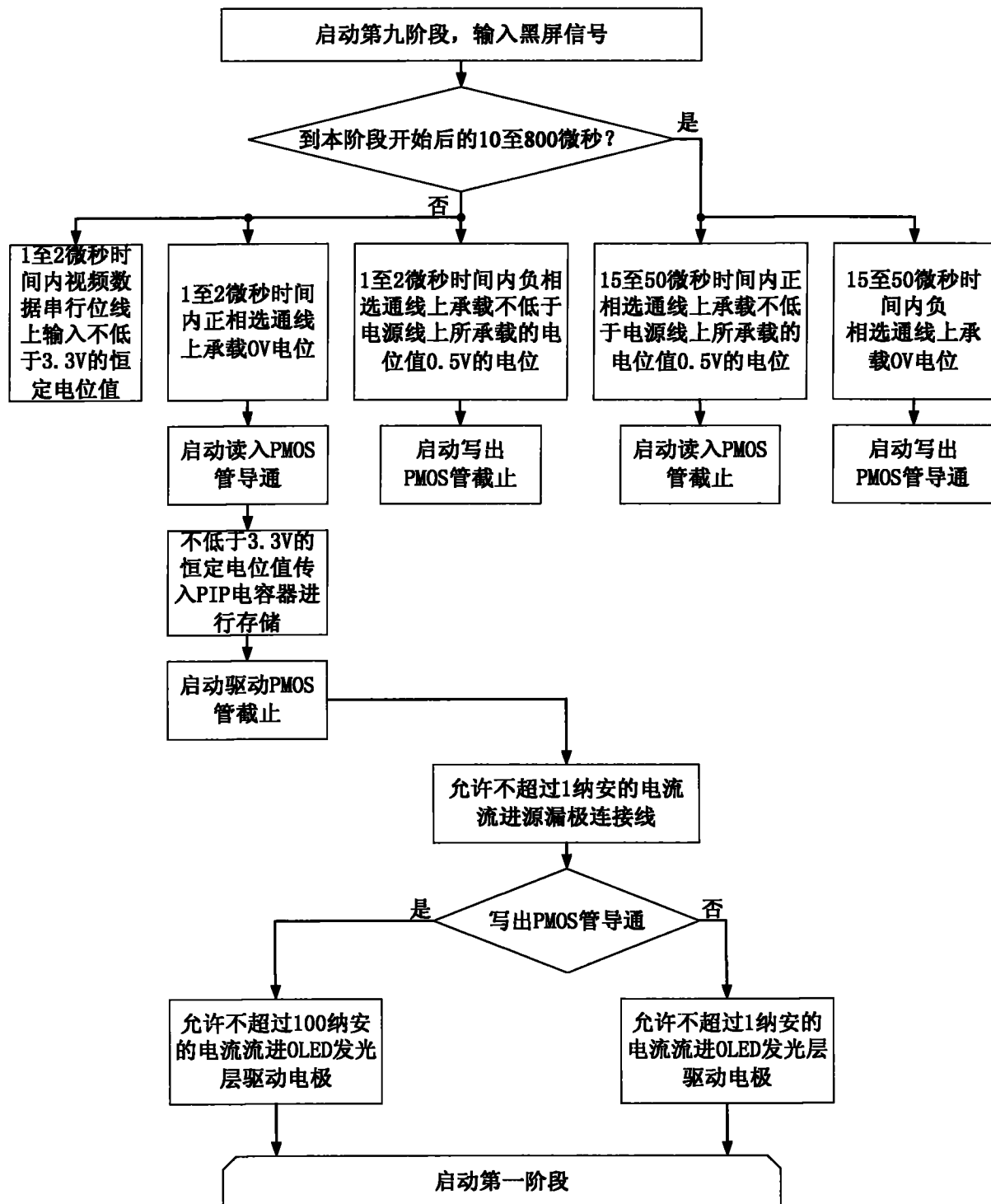


图 10

专利名称(译)	一种硅基OLED显示芯片像素电路结构及其驱动方法		
公开(公告)号	CN102074195A	公开(公告)日	2011-05-25
申请号	CN201010623538.X	申请日	2010-12-29
[标]发明人	郭海成 代永平 凌代年 邱成峰 彭华军 黄飏		
发明人	郭海成 代永平 凌代年 邱成峰 彭华军 黄飏		
IPC分类号	G09G3/32 H01L27/32 G09G3/3208		
代理人(译)	王凤华		
外部链接	Espacenet SIPO		

摘要(译)

一种硅基OLED显示芯片像素电路结构及其驱动方法。像素电路结构至少有读入PMOS管、PIP电容器、驱动PMOS管、写出PMOS管、地线保护PMOS管、视频数据串行位线、同时连接PIP上电极连线 and 驱动PMOS管源极连线的电源线、通过地线保护PMOS管漏极连线与所述地线保护PMOS管漏极相连接的0V地线、通过读入PMOS管栅极连线与所述读入PMOS管栅极相连接的正相行选通线、通过写出PMOS管栅极连线与所述写出PMOS管栅极相连接的负相行选通线、与驱动电极连接线相连接的OLED发光层驱动电极。驱动方法有九个阶段，上电后循环完成。本发明降低了生产成本，降低了控制驱动电路的重量和空间体积，降低整机功耗。

