

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200480037343.X

[51] Int. Cl.

H01L 27/146 (2006.01)

H01L 27/15 (2006.01)

H01L 21/329 (2006.01)

H01L 21/336 (2006.01)

H01L 21/84 (2006.01)

G09G 3/32 (2006.01)

[43] 公开日 2007 年 1 月 10 日

[11] 公开号 CN 1894798A

[22] 申请日 2004.12.13

[21] 申请号 200480037343.X

[30] 优先权

[32] 2003.12.15 [33] GB [31] 0329002.0

[32] 2004.12.2 [33] GB [31] 0426413.1

[86] 国际申请 PCT/IB2004/052778 2004.12.13

[87] 国际公布 WO2005/059971 英 2005.6.30

[85] 进入国家阶段日期 2006.6.14

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 S·C·迪恩

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 梁永

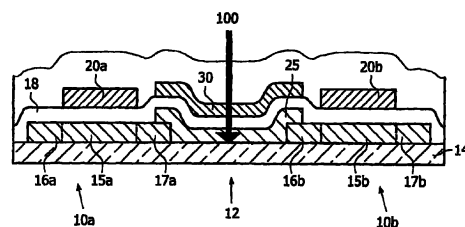
权利要求书 2 页 说明书 8 页 附图 3 页

[54] 发明名称

具有光传感器的有源矩阵像素装置

[57] 摘要

提供一种有源矩阵像素装置(例如电致发光显示装置),该装置包括由基板支撑并且包括多晶硅 TFT(10)和非晶硅薄膜 PIN 二极管(12)的电路。在为 PIN 二极管沉积非晶硅层之前形成多晶硅岛。这样可避免非晶硅暴露于高温处理之下。TFT 包括掺杂的源极/漏极区域(16a, 17a),其中之一(17a)还可以提供用于二极管的 n 型或 p 型掺杂区域。有利的是,无需为光电二极管提供单独的掺杂区域,从而节省了处理成本。具有导电类型相反的掺杂源极/漏极区域(16b, 17b)的第二 TFT(10b)可以为二极管提供另一掺杂区域,其中本征区域被横向设置在两个 TFT 之间,并且位于每个相应的多晶硅岛的上面。



1. 一种制造有源矩阵像素装置的方法，该有源矩阵像素装置包括薄膜晶体管（10）和 PIN 二极管（12），该薄膜晶体管（10）包括多晶硅沟道（15）和掺杂的源极/漏极区域（16, 17），该 PIN 二极管（12）包括由非晶硅本征区域（25）分隔的 p 型掺杂区域（26）和 n 型掺杂区域（24），该方法包括以下步骤：

（a）- 在基板（14）上形成多个多晶硅岛，其中一个多晶硅岛提供该晶体管沟道（15）和源极/漏极区域（16, 17）；然后

（b）- 沉积并摹制非晶硅层以便提供该 PIN 二极管（12）的本征区域（25），以使得该本征区域处于其中一个多晶硅岛的至少一部分的上面并且与该多晶硅岛的该至少一部分相接触，其中该多晶硅岛的该至少一部分提供 p 型或 n 型掺杂区域的其中之一。

2. 根据权利要求 1 所述的方法，其中，由同一个多晶硅岛形成所述源极/漏极区域（16, 17）以及 PIN 二极管的 p 型或 n 型掺杂区域（26, 24）的所述其中之一。

3. 根据权利要求 1 或 2 所述的方法，其中，所述源极/漏极区域被掺杂成 n 型，并且该方法还包括以下步骤：

（c）- 沉积并摹制铝层以便在 PIN 二极管的本征区域（25）上限定顶部 PIN 二极管接触件（40）；

（d）- 对该顶部 PIN 二极管接触件进行退火，以便使铝离子扩散到下面的本征区域中，从而形成 p 型掺杂区域（26）。

4. 根据权利要求 3 所述的方法，还包括以下步骤：

（e）- 蚀刻掉该顶部 PIN 二极管接触件（40）的一部分，以使 PIN 二极管暴露于输入光（100）下。

5. 一种有源矩阵像素装置，包括由基板（14）支撑的多个多晶硅岛，其中一个多晶硅岛提供薄膜晶体管（10）的沟道（15）和掺杂的源极/漏极区域（16, 17），该装置还包括 PIN 二极管（12），该 PIN 二极管（12）包括由非晶硅本征区域（25）分隔的 p 型掺杂区域（26）和 n 型掺杂区域（24），其中所述本征区域处于其中一个多晶硅岛的至少一部分的上面并且与该多晶硅岛的该至少一部分相接触，其中该多晶硅岛的该至少一部分提供 p 型或 n 型掺杂区域的其中之一。

6. 根据权利要求 5 所述的有源矩阵像素装置，其中，由同一个多

晶硅岛形成所述源极/漏极区域(16, 17)以及PIN二极管的p型或n型掺杂区域(26, 24)的所述其中之一。

7. 根据权利要求5或6所述的有源矩阵像素装置, 其中由相应的多晶硅岛提供PIN二极管的p型和n型掺杂区域。

8. 根据权利要求7所述的有源矩阵像素装置, 还包括具有由其中一个岛提供的掺杂源极/漏极区域(16b, 17b)的第二薄膜晶体管(10b), 所述掺杂源极/漏极区域(16b, 17b)具有与第一晶体管的掺杂源极/漏极区域(16a, 17a)相反的导电类型, 其中, 由一个晶体管的掺杂源极/漏极区域(17a)提供PIN二极管的n型掺杂区域(24), 并且由另一晶体管的掺杂源极/漏极区域(16b)提供PIN二极管的p型掺杂区域(26)。

9. 根据权利要求7或8所述的有源矩阵像素装置, 其中, 透明导电栅极(30)处于PIN二极管的本征区域(25)的上面并且通过绝缘层(18)与之分隔, 该栅极用于向该本征区域施加电压, 从而控制所述n型与p型掺杂区域之间的导电率。

10. 根据权利要求5至7的其中任何一个所述的有源矩阵像素装置, 其中, 所述晶体管还包括用于控制流过沟道的电流的栅极电极(20), 并且PIN二极管的非晶硅本征区域处于该栅极电极的上面。

11. 根据前面任一权利要求所述的有源矩阵电致发光显示装置, 其中, 所述PIN二极管用于测量相关显示元件的光强度输出(100), 并向与该显示元件相连的驱动电路提供信号, 从而能够根据所测得的光强度来调制光输出。

具有光传感器的有源矩阵像素装置

本发明涉及有源矩阵像素装置，诸如在其像素电路中合并有光传感器的有源矩阵电致发光显示器。此外，本发明涉及这种装置的制造，特别（非排他地）涉及包括具有多晶硅沟道的薄膜晶体管的有源矩阵像素装置的制造。

采用发光显示元件的有源矩阵电致发光显示装置是众所周知的。所述显示元件可包括例如使用聚合物材料的有机薄膜电致发光元件，或者使用传统的 III-V 半导体混合物的发光二极管（LED）。在有机电致发光材料、特别是聚合物材料领域内的最新进展表明，它们实际上可用于视频显示装置。这些材料通常包括夹在一对电极之间的一层或多层半导体共轭聚合物，其中一个电极是透明的，另一电极适于将空穴或电子注入聚合物层中的材料。

有源矩阵电致发光显示装置通常包括行和列的像素阵列。由通常包括薄膜晶体管（TFT）的对应的像素电路来控制提供给每个像素的显示元件的电流。在每个像素电路中采用至少一个通常称作驱动晶体管的 TFT，用以调节通过显示元件的电流。重要的是，在显示器操作期间，驱动晶体管的电学特性要稳定。已知具有非晶硅沟道的 TFT 存在不少问题，比如当用于控制连续电流时会发生阈值电压漂移。为此，在用作驱动晶体管时，具有多晶硅（polysilicon）沟道的 TFT 优于非晶硅 TFT。不过，一个 TFT 与另一 TFT 之间的多晶硅沟道的结构差异会引起其电学特性的差异。

除了与多晶硅 TFT 特性的不均匀性有关的问题以外，已知电致发光显示元件存在老化效应。例如，对阵列中特定像素的长时间操作会引起“老化（burn-in）”，从而导致尽管用相同信号进行驱动但像素之间的输出强度仍是不均匀的。

为了校正像素输出的不均匀性，已知在每个单独像素电路中合并光传感器。每个光传感器用于测量对应像素的光输出，并且以补偿上述不均匀问题的方式被连接在像素电路中。从 WO 01/20591 可以获知这样的例子，其内容在此引作参考。图 1 表示采用上述光学反馈机制

的一种示例性像素电路。应当理解，该像素电路是类似电路的阵列内的数百个电路中的一个。每个像素被限定在一组数据导线 2 的其中之一与一组选择导线 4 的其中之一交点处。每组导线 2、4 在支撑基板上沿彼此基本垂直的方向延伸。输电线 6 为电致发光显示元件 8 提供电流，该电流受到驱动晶体管 10 的调制。该像素电路还包括光传感器 12，所述光传感器 12 测量或检测显示元件 8 的光输出，并根据所测得的光强度来调制或调节流过驱动晶体管 10 的电流。

光传感器（例如由非晶硅形成的 PIN 二极管）优于由多晶硅形成的二极管，因为非晶硅在可见光范围的各部分上的光学吸收要高几个数量级。从而，非晶硅光传感器在相关的校正电路中提供高得多的信噪比。

出于上述原因，在高质量有源矩阵电致发光显示装置中的每个像素电路优选地包括多晶硅 TFT 和非晶硅光传感器。图 2 表示通过 TFT 10 和光传感器 12 选取的、图 1 中所示像素电路的一部分的剖面图。所示的 TFT 10 为顶栅（top-gate）型，其包含具有相邻的掺杂的多晶硅源极区域 16 和漏极区域 17 的多晶硅沟道 15。这些区域可以被掺杂成 n 型或 p 型。不过，n 型和 p 型 TFT 常常被形成在相同基板上。栅极绝缘层 18 将沟道 15 与金属栅极 20 分隔开。

当对栅极 20 进行摹制时，也使用相同金属层来限定光传感器接触件 22。然后，在光传感器接触件 22 上形成 n-i-p 叠层，以便提供垂直的非晶硅 PIN 二极管 12。所述叠层包括一层 n 型非晶硅 24、更厚的一层本征非晶硅 25 以及一层 p 型非晶硅 26。这些层被顺序沉积，然后被摹制成岛。

之后，用诸如氧化铟锡（ITO）的透明导电材料在非晶硅叠层上形成顶部二极管接触件 28。这样就使得来自上面的电致发光显示元件（未示出）的光 100 能够通过并到达光传感器的本征硅。

与 n-i-p 叠层的形成有关的一个主要问题是，在沉积工艺中难以对 p 型层 26 进行掺杂。通常通过汽相掺杂来进行掺杂。为了执行汽相掺杂需要专用设备和气体，以避免对沉积室造成不良污染。此外，所需气体（例如 B_2H_6 ）被归类为在操作时特别危险，因此由于健康和安全的考虑，从工作场所消除这类气体的压力不断增长。这对于包括具有多晶硅 TFT 的非晶硅光传感器的有源矩阵电致发光显示装置的大规模

制造是一个巨大的障碍。

US 5,589,694 公开了一种半导体装置，其中在基板上形成 TFT 和薄膜二级管 (TFD)。沉积并摹制半导体层，以提供用于每一个 TFT 和 TFD 的分离的半导体岛。采用等离子体掺杂，以便在 TFT 和 TFD 岛中掺杂 n 型和 p 型区域，其中将 TFD 岛形成为具有平面结构。与通过这种方式形成 TFD 有关的一个问题是，二级管的非晶硅本征区域必须能承受与多晶硅 TFT 岛的处理相关的高温。当非晶硅紧邻将被加热的晶体管叠层时，难以保护非晶硅免于热损坏。与 US 5,589,694 的安排有关的另一问题是，必须为各个晶体管和二级管限定一系列分离的岛。

根据本发明的一个方面，提供一种制造有源矩阵像素装置的方法，该装置包括薄膜晶体管和 PIN 二级管，该薄膜晶体管具有多晶硅沟道和掺杂的源极/漏极区域，该 PIN 二级管包括由非晶硅本征区域分隔的 p 型掺杂区域和 n 型掺杂区域，该方法包括以下步骤：

(a) - 在基板上形成多个多晶硅岛，其中一个多晶硅岛提供晶体管沟道和源极/漏极区域；然后

(b) - 沉积并摹制非晶硅层以提供 PIN 二级管的非本征区域，从而使该非本征区域处于其中一个多晶硅岛的至少一部分的上面并且与该多晶硅岛的该至少一部分相接触，其中该多晶硅岛的该至少一部分提供 p 型或 n 型掺杂区域的其中之一。通过在对多晶硅岛进行处理之后沉积非晶硅，非晶硅不会受到破坏性的热处理，从而能够制造更高质量的 PIN 二级管。

优选地，由同一多晶硅岛提供所述源极/漏极区域以及 PIN 二级管的 p 型或 n 型掺杂区域的所述其中之一。有利的是，这样就不必形成分离的掺杂接触件，从而减少处理步骤的数量并节省生产成本。

根据本发明的第二方面，提供一种有源矩阵像素装置，其包括由基板支撑的多个多晶硅岛，每个多晶硅岛形成薄膜晶体管的沟道和掺杂的源极/漏极区域，该装置还包括 PIN 二级管，该 PIN 二级管包括由非晶硅本征区域分隔的 p 型掺杂区域和 n 型掺杂区域，其中所述本征区域处于其中一个多晶硅岛的至少一部分的上面并且与该多晶硅岛的该至少一部分相接触，其中该多晶硅岛的该至少一部分提供 p 型或 n

型掺杂区域的其中之一。PIN 二极管的非晶硅本征区域处于掺杂的 n 型和 p 型区域的上面，以便提供与之的接触。这样就允许在沉积非晶硅之前对多晶硅掺杂区域进行处理。

在本发明的一个优选实施例中，PIN 二极管具有横向结构，其中 PIN 二极管的 p 型和 n 型掺杂区域由对应的多晶硅岛提供。这些岛可为晶体管所共用，从而其中一个或全部两个 PIN 二极管掺杂区域与晶体管的源极/漏极区域共用一个多晶硅岛。有利的是，可以利用 p 型和 n 型薄膜晶体管的掺杂区域来提供 PIN 二极管的两个掺杂区域，从而进一步减少工艺步骤的数量。n 型和 p 型薄膜晶体管常常存在于一个基板上。因此，为了获得薄膜 PIN 光电二极管，只需要非常少的额外处理步骤。此外，可以提供透明导电栅极，该栅极位于 PIN 二极管的本征区的上面，并通过绝缘层与该本征区分隔开。有利的是，该栅极用来向 PIN 光电二极管的本征区施加电压，以便控制 n 型与 p 型掺杂区域之间的导电率，从而实际上提供一个门控 PIN 二极管。

在本发明的另一优选实施例中，PIN 光电二极管具有垂直结构，其中 n 型层、非晶本征硅层与 p 型层是层叠的，并且由在基板上所形成的其中一个多晶硅岛来提供其中一个掺杂接触件。例如，晶体管的源极/漏极区域是掺杂的 n 型，并且该制造方法还包括以下步骤：

(c) - 沉积并摹制铝层，以便在 PIN 二极管的本征区域上限定顶部 PIN 二极管接触件；

(d) - 对该顶部 PIN 二极管接触件进行退火 (annealing)，以使铝离子扩散到下面的本征区域中，以形成 p 型掺杂区域。通过采用铝作为掺杂剂源，在这种垂直结构中无需使用汽相掺杂来提供 p 掺杂的接触件。有利的是，这样消除了与使用汽相掺杂相关的危险，因此与已知方法相比，这种形成 p 型区域的工艺更加廉价和安全。

为了使来自显示元件的光例如能到达二极管的本征部分，可以使用公知的蚀刻技术将一部分顶部光电二极管接触件蚀刻掉。

根据本发明的有源矩阵像素装置的一种示例应用是采用光学反馈的有源矩阵电致发光显示装置，其中光电二极管用来测量相关显示元件输出的光强度，并向与之相连的驱动电路提供信号，从而可以根据所测得的光强度来调制光输出。

通过参照附图阅读下面仅通过示例给出的优选实施例的描述，本发明的这些和其他特征及优点将是显而易见的，其中：

图 1 表示具有已知电路部件安排的有源矩阵电致发光显示装置的像素电路；

图 2 是图 1 中所示像素电路的一部分的剖面图；

图 3 是根据本发明第一实施例的具有光传感器的像素电路的一部分的剖面图；

图 4 和 5 是在不同制造阶段的、根据本发明第二实施例的具有光传感器的像素电路的一部分的剖面图。

在附图中使用相同的附图标记来表示相同或相似的部件。应当理解的是，附图仅是示意性的，并未依照比例绘出。特别地，夸大了某些尺寸，同时缩小了其他尺寸。

本发明的发明者认识到，可在沉积 PIN 二极管叠层的本征区域所需的非晶硅之前形成薄膜晶体管（TFT）所需的多晶硅（polysilicon）岛。因此，非晶硅不经历形成多晶硅岛所需的高温。本发明的发明者还发现，可以采用多晶硅 TFT 的掺杂的源极和漏极接触区域来形成非晶硅光传感器中的至少一个掺杂区域。通过按照这种方式共用掺杂区域，无需为光传感器提供单独的掺杂区域。现在将描述其中在 TFT 与光传感器之间共用至少一个掺杂区域的示例结构。

图 3 表示设置在基板 14 上并且各具有多晶硅沟道区域 15a 和 15b 的两个 TFT 10a 和 10b。第一 TFT 10a 具有 n 型掺杂的源极区域 16a 和漏极区域 17a。第二晶体管 10b 具有 p 型掺杂的源极和漏极区域。此处为了简单没有表示出对应的金属源极和漏极接触件。

按照公知方式形成限定每个 TFT 的沟道、源极和漏极区域的多晶硅岛。例如，将非晶硅层沉积到基板上，然后通过离子注入有选择地掺杂源极和漏极区域。在此之后，将非晶硅层摹制成岛，之后例如通过激光退火使其结晶。本领域技术人员可知，形成岛的这种方法存在多种变型。例如，已知在摹制步骤之前将硅层结晶。

有源矩阵阵列通常包括设置在基板上的数以千计的 TFT。不过，图 3 中为了简单仅表示两个 TFT。根据本发明第一实施例，一个 TFT 10a 的 n 型掺杂的漏极区域 17a 和相邻 TFT 的 p 型掺杂的源极区域 16b

还被用于限定非晶硅光传感器 12 的掺杂接触件。从而，不需要用于图 2 的光传感器的单独的掺杂区域。可以想到，为此目的所采用的相邻 TFT 具有相反的导电类型，即一个是 n 型，一个是 p 型。

为了提供光传感器 12 的本征区域，在基板上沉积本征非晶硅层，并将其摹制成位于相应的一对相邻 TFT 之间的各个岛。每个岛位于一个 TFT 的 n 型掺杂区域和另一 TFT 的 p 型掺杂区域的一部分的上面并与之接触。

从而，无需专用的汽相掺杂设备就可以在基板上限定用作光传感器的 PIN 二极管。有利的是，该方法提供一种简单、从而廉价的方法来制造合并有光传感器的有源矩阵电致发光显示装置。

如图 3 中所示，根据第一实施例的方法所得到的安排包括横向 PIN 二极管 12，其比起图 2 垂直安排具有某些优点。首先，垂直安排需要相对较厚的非晶硅层，例如 $0.25\text{-}1.50\mu\text{m}$ ，以确保反向泄漏电流具有足够低的数值，以使装置能有效的操作。提供具有该厚度的层相对较难并且耗费时间。相反，图 3 中的光传感器的掺杂接触区域之间的距离等于相邻 TFT 之间的间隙。在此情况下，通过使用更薄的本征层，可将反向泄漏电流保持在可接受的较低水平。有利的是，可以简单地通过沉积和摹制来形成该本征层。

然后，在基板上沉积栅极绝缘体层 18，例如 SiO_2 。接下来，在基板上沉积例如铝的金属层，并且对其进行摹制以限定用于每个 TFT 的栅极 20a、20b。之后按照类似方式在 n-i-p 二极管的本征区域上形成透明导电栅极 30。在操作过程中，该导电栅极 30 用来向二极管施加电压，从而其可在一定程度上控制掺杂接触件之间的导电率。例如，来自相邻绝缘体的电荷可在沟道中积累，并影响截止电流。向栅极 30 施加偏置电压可以有利地使截止电流最小。要求栅极透明，以便使来自显示元件的光 100 能够穿过。

可以知到，在不偏离由共用掺杂区域所带来的优点的情况下，位于光传感器上面的栅极 30 是如果需要的话可被省略的可选特征。

参照图 4 和 5，通过使用一个多晶硅 TFT 的掺杂区域用于 n 型区域，可以形成垂直 n-i-p 叠层。在本征非晶硅岛上沉积铝并进行退火，以使铝扩散到非晶硅中并因此对其进行 p 型掺杂，从而形成 p 型区域。然后可对铝进行摹制，以暴露出下面的 p 型区。现在将描述如何制造

根据第二实施例的光传感器。

按照与上述实施例类似的方式，通过沉积、摹制和退火非晶硅层，在基板 14 上形成多晶硅岛。在对非晶硅进行退火之前，通过离子注入限定 n 型源极区域 16 和漏极区域 17。然后，在基板上沉积绝缘层，以提供栅极绝缘层 18。接下来，在沟道 15 上形成金属栅极电极 20。然后在整个基板上沉积钝化层 35。此后，在该钝化层中开一个接触窗，以便暴露出 n 型漏极区域 17。然后在基板上沉积本征非晶硅层，并且对其进行摹制以便限定沉积在 n 型漏极区域 17 的一部分上面的岛 25'，如图 4 中所示。该岛提供垂直光传感器的主体。在该钝化层中形成通孔，以便能与下面的 TFT 的源极区域 16 和漏极区域 17 相接触。

之后沉积铝层，并且对其进行摹制以便限定源极接触件 36 和漏极接触件 37 以及顶部光传感器接触件 40。可以知到，为此目的可改为使用铝合金。接下来，例如通过加热到 200°C 并持续 20 分钟来对该顶部光传感器接触件 40 进行退火。该退火工艺使铝离子扩散到下面的本征岛 25' 中，从而将区域掺杂成 p 型。此外，所述退火使至少一部分掺杂的 p 型区域结晶，从而可以增强掺杂效果。

参照图 5，随后通过蚀刻掉该铝顶部光传感器接触件 40 的一部分来暴露出 p 型区域 26 的顶表面的一部分。这样就使得 PIN 叠层能暴露于从上面的显示元件所发射出的光 100。

根据这种方法，无需使用汽相掺杂剂就能形成高度有效的 p 型接触件 26。

在本发明的第三实施例中（未示出），PIN 二级管的非晶硅本征区域位于栅极电极的上面，并通过绝缘层与之绝缘。这样就为二级管提供光屏蔽，从而防止来自基板的远离 TFT 一侧的环境光引起光电流。当在用于电致发光显示器的光学反馈电路中采用这种安排时尤为有益，因为不希望的环境光会导致对来自相关显示元件的输出光强度的测量不精确。

可以想到，在不偏离本发明本质的情况下，可以由不形成 TFT 的一部分的多晶硅岛来提供用于 PIN 二级管的 n 型和/或 p 型掺杂接触件。

总之，提供一种有源矩阵像素装置（例如电致发光显示装置），该装置包括由基板支撑并且包括多晶硅 TFT 和非晶硅薄膜 PIN 二级管

的电路。在为 PIN 二极管沉积非晶硅层之前形成多晶硅岛。这样可避免非晶硅暴露于高温处理下。TFT 包括掺杂的源极/漏极区域，其中之一还可以提供用于二极管的 n 型或 p 型掺杂区域。有利的是，无需为光电二极管提供单独的掺杂区域，从而节省了处理成本。具有导电类型相反的掺杂源极/漏极区域的第二 TFT 可以为二极管提供另一掺杂区域，其中本征区域被横向设置在两个 TFT 之间，并且位于每个相应的多晶硅岛的上面。

根据本发明的公开内容，本领域技术人员显然可以想到许多其他变型和改变。这些变型和改变可包括本领域公知的其他特征，所述其他特征可用于替代或补充这里所公开的特征。

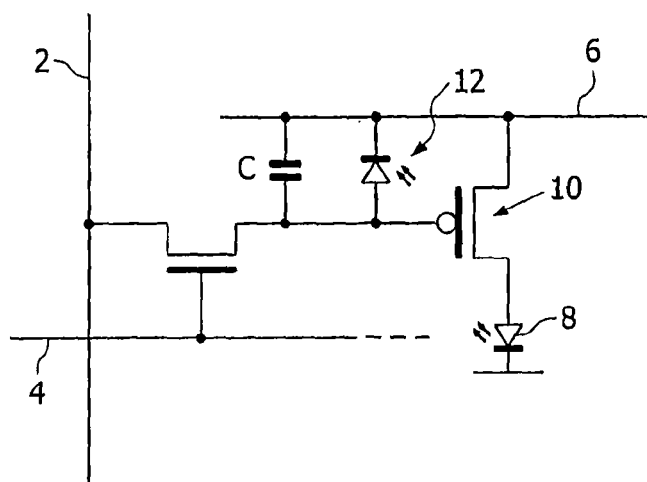


图 1
现有技术

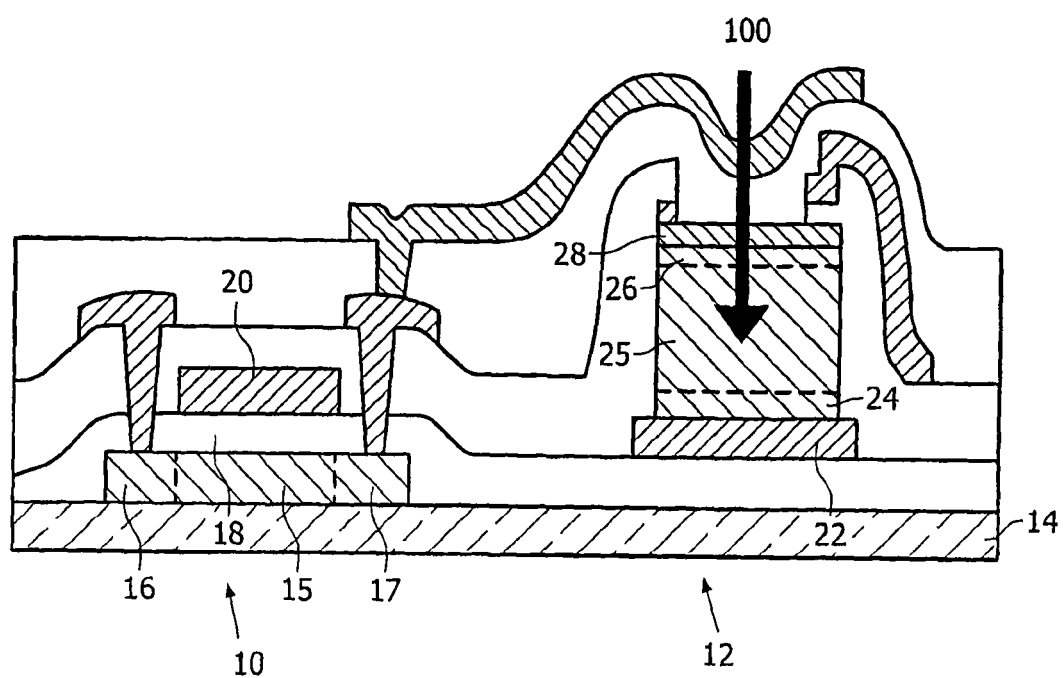


图 2
现有技术

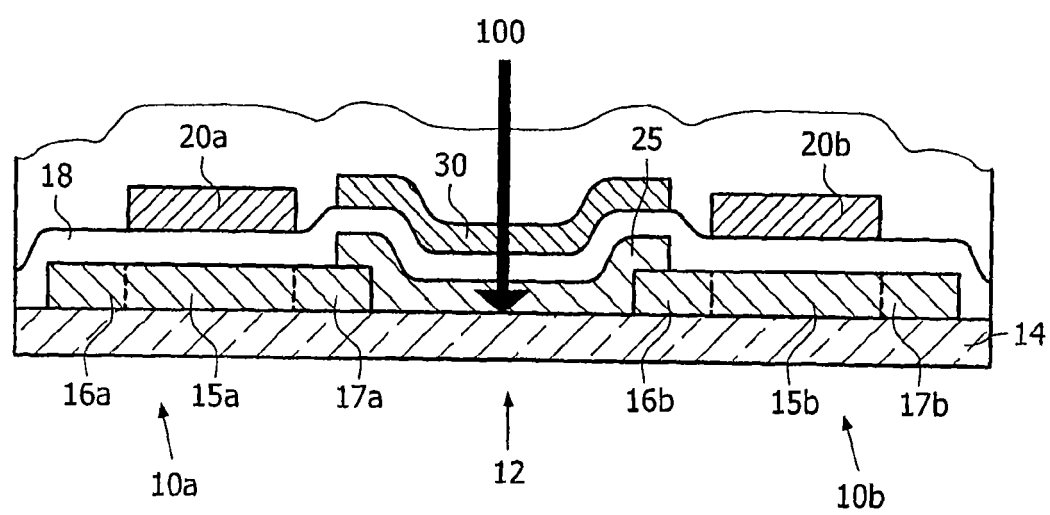


图 3

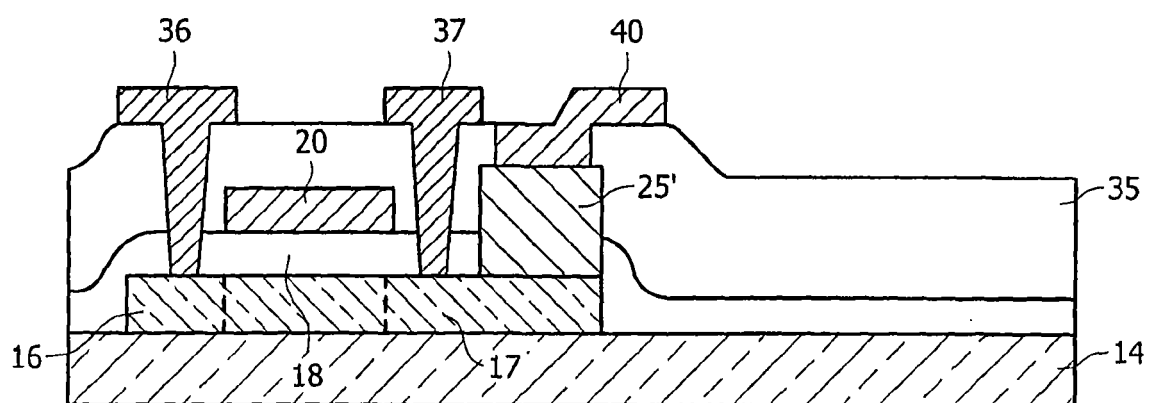


图 4

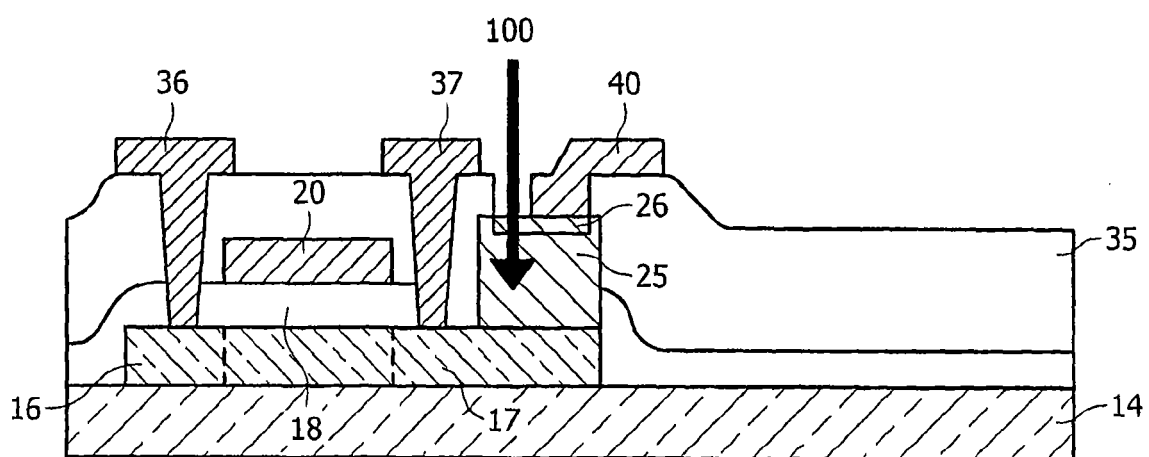


图 5

专利名称(译)	具有光传感器的有源矩阵像素装置		
公开(公告)号	CN1894798A	公开(公告)日	2007-01-10
申请号	CN200480037343.X	申请日	2004-12-13
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
当前申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
[标]发明人	SC迪恩		
发明人	S·C·迪恩		
IPC分类号	H01L27/146 H01L27/15 H01L21/329 H01L21/336 H01L21/84 G09G3/32		
代理人(译)	梁永		
优先权	2003029002 2003-12-15 GB 2004026413 2004-12-02 GB		
外部链接	Espacenet SIPO		

摘要(译)

提供一种有源矩阵像素装置(例如电致发光显示装置), 该装置包括由基板支撑并且包括多晶硅TFT(10)和非晶硅薄膜PIN二极管(12)的电路。在为PIN二极管沉积非晶硅层之前形成多晶硅岛。这样可避免非晶硅暴露于高温处理之下。TFT包括掺杂的源极/漏极区域(16a, 17a), 其中之一(17a)还可以提供用于二极管的n型或p型掺杂区域。有利的是, 无需为光电二极管提供单独的掺杂区域, 从而节省了处理成本。具有导电类型相反的掺杂源极/漏极区域(16b, 17b)的第二TFT(10b)可以为二极管提供另一掺杂区域, 其中本征区域被横向设置在两个TFT之间, 并且位于每个相应的多晶硅岛的上面。

