



(12) 发明专利

(10) 授权公告号 CN 1909047 B

(45) 授权公告日 2011.06.29

(21) 申请号 200610107899.2

(22) 申请日 2006.07.27

(30) 优先权数据

10-2005-0070439 2005.08.01 KR

(73) 专利权人 三星移动显示器株式会社

地址 韩国京畿道

专利权人 汉阳大学校产业协力团

(72) 发明人 郑宝容 柳道亨 权五敬

(74) 专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 郭鸿禧 韩素云

(51) Int. Cl.

G09G 3/32 (2006.01)

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

(56) 对比文件

CN 1617204 A, 2005.05.18, 全文.

CN 1450510 A, 2003.10.22, 全文.

CN 1512828 A, 2004.07.14, 全文.

US 20030016190 A1, 2003.01.23, 全文.

JP 2003173164 A, 2003.06.20, 全文.

审查员 陈君竹

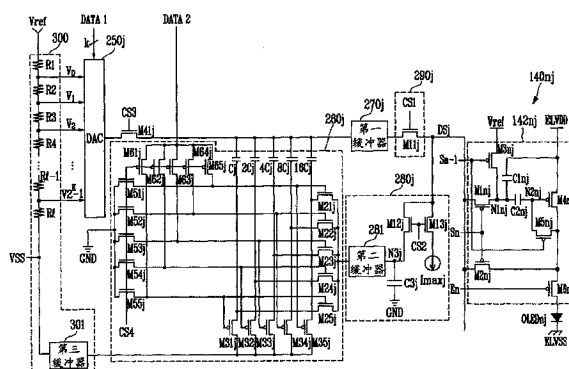
权利要求书 4 页 说明书 22 页 附图 11 页

(54) 发明名称

数据驱动电路及使用其的有机发光显示器

(57) 摘要

本发明提供了一种用于驱动显示器的像素以显示亮度均匀的图像的数据驱动电路,该数据驱动电路可包括:伽玛电压单元,产生灰阶电压;数模转换器,利用第一数据选择灰阶电压中的一个作为数据信号;解码器,利用第一数据产生第二数据;锁存器,存储第一数据和第二数据;电流吸收器,在完整的用于驱动像素的时间段的第一部分时间段期间,基于所选择的灰阶电压接收来自像素的预定电流;电压控制器,利用第二数据和基于预定电流产生的补偿电压来控制数据信号的电压值;开关单元,在完整的周期的在第一部分时间段之后消逝的任何部分时间段期间,将数据信号提供给像素。



1. 一种数据驱动电路,包括:

解码器,通过将外部提供的具有 k 位的第一数据转换为二进制权值,来产生具有 p 位的第二数据,这里, k 和 p 均为自然数;

锁存单元,用于存储所述第一数据和所述第二数据;

伽玛电压单元,用于产生多个灰阶电压;

数模转换器,基于所述第一数据在所述多个灰阶电压中选择一个灰阶电压作为数据信号;

电流吸收单元,在完整的用于驱动像素的周期的第一时间段期间,接收预定的电流,以产生补偿电压,所述预定的电流等于所述像素发射最大亮度的光时流经所述像素的最小电流的电流值,最大亮度对应于所述多个灰阶电压中的最高的一个施加到所述像素时所述像素的亮度;

电压控制器,根据所述补偿电压和所述第二数据来控制所述数据信号的电压值升高或降低;

开关单元,在所述一个完整的周期的第二时间段期间,将所控制的数据信号提供给所述像素,所述第二时间段不同于所述第一时间段,并且所述第二时间段在所述第一时间段之后开始。

2. 如权利要求 1 中所述的数据驱动电路,还包括:

第一晶体管,位于所述数模转换器和所述开关单元之间,在所述第一时间段的预定时间期间所述数模转换器被导通,以将所述数据信号与所控制的电压值传输给所述开关单元;

第一缓冲器,连接在所述第一晶体管和所述开关单元之间。

3. 如权利要求 2 中所述的数据驱动电路,其中,所述伽玛电压单元包括:

多个分布电阻器,产生所述灰阶电压并分配参考电源电压和第一电源电压;

第二缓冲器,将所述第一电源电压提供给所述电压控制器。

4. 如权利要求 3 中所述的数据驱动电路,其中,所述电压控制器包括:

p 个电容器,具有与所述第一晶体管和所述第一缓冲器之间的电路连接的第一端, p 值对应于第二数据的位数;

p 个第二晶体管,分别连接在所述 p 个电容器中的每个的第二端和所述第二缓冲器之间;

p 个第三晶体管,分别连接在所述 p 个电容器的所述第二端和所述电流吸收单元之间,并具有与所述第二晶体管的导电类型不同的导电类型;

p 个第四晶体管,连接在所述第三晶体管和预定的电压源之间,并具有与所述第三晶体管的导电类型相同的导电类型;

p 个第五晶体管,具有与所述第二晶体管的导电类型相同的导电类型,所述第五晶体管将所述第二数据提供给所述第二晶体管。

5. 如权利要求 4 中所述的数据驱动电路,其中,所述第四晶体管在所述第一时间段期间导通,从而,导通所述第二晶体管以将所述预定电压源的电压提供给所述第二晶体管的栅电极。

6. 如权利要求 5 中所述的数据驱动电路,其中,所述预定电压源是地电压源。

7. 如权利要求 4 中所述的数据驱动电路,其中,所述第三晶体管在所述第一时间段期间选择性地导通,从而所述电容器的所述第二端被设置成具有所述预定电压源的电压。

8. 如权利要求 5 中所述的数据驱动电路,

其中,所述第五晶体管由 p 个晶体管组成, p 值对应于所述第二数据的位数,

其中,所述第五晶体管分别将所述 p 位第二数据的不同位提供给所述第二晶体管。

9. 如权利要求 4 中所述的数据驱动电路,其中,所述第三晶体管中的接收值为 1 的位的每个被导通,以将各自的补偿电压提供给所述各自的 p 个电容器的所述第二端。

10. 如权利要求 4 中所述的数据驱动电路,其中,所述 p 个电容器的电容被设置成二进制权值。

11. 如权利要求 1 中所述的数据驱动电路,其中,所述电流吸收单元包括:

电流源,提供所述预定的电流;

第一晶体管,设置在与所述像素连接的数据线和所述电压控制器之间,所述第一晶体管在所述第一时间段期间被导通;

第二晶体管,设置在所述数据线和所述电流源之间,所述第二晶体管在所述第一时间段内被导通;

电容器,用于充所述补偿电压;

缓冲器,设置在所述第一晶体管和所述电压控制器之间,以选择性地将所述补偿电压传输到所述电压控制器。

12. 如权利要求 1 中所述的数据驱动电路,其中,所述开关单元包括至少一个在所述第二时间段期间导通的晶体管。

13. 如权利要求 12 中所述的数据驱动电路,其中,所述开关单元包括至少两个相连接以形成传输门的晶体管。

14. 如权利要求 1 中所述的数据驱动电路,还包括移位寄存单元,所述移位寄存单元包括至少一个移位寄存器,以顺序地产生采样脉冲并将所述采样脉冲提供给所述锁存单元。

15. 如权利要求 14 中所述的数据驱动电路,其中,所述锁存单元包括:

采样锁存单元,包括至少一个采样锁存器,用于响应所述采样脉冲来接收所述第一数据和所述第二数据;

保持锁存单元,包括至少一个保持锁存器,用于接收存储在所述采样锁存单元内的所述第一数据和所述第二数据,以将其内存储的所述第一数据提供给所述数模转换器,并将所述第二数据提供给所述电压控制器。

16. 如权利要求 15 中所述的数据驱动电路,其中,所述采样锁存器和所述保持锁存器中的每个具有 $k+p$ 位的大小。

17. 如权利要求 15 中所述的数据驱动电路,还包括电平移位单元,用来升高存储在所述保持锁存器内的所述第一数据和所述第二数据的电压电平,以分别将所述存储的第一数据的所述调整后的电压电平提供给所述数模转换器并将所述存储的第二数据的所述调整后的电压电平提供给所述电压控制器。

18. 一种发光显示器,包括:

像素单元,包括与 n 条扫描线、多条数据线和多条发射控制线连接的多个像素;

扫描驱动器,在各扫描周期期间分别顺序地将 n 个扫描信号提供给所述 n 条扫描线,并

顺序地将发射控制信号提供给所述多条发射控制线；

数据驱动器，具有至少一个数据驱动电路，用于分别将数据信号提供给所述数据线，其中，所述数据驱动电路包括：

解码器，通过将外部提供的具有 k 位的第一数据转换为二进制权值，来产生具有 p 位的第二数据，这里，k 和 p 均为自然数；

锁存器，用于存储所述第一数据和所述第二数据；

伽玛电压单元，用于产生多个灰阶电压；

数模转换器，基于所述第一数据在所述多个灰阶电压中选择一个灰阶电压作为数据信号；

电流吸收单元，在完整的用于驱动像素的周期的第一时间段期间，接收预定的电流，以产生补偿电压，所述预定的电流等于所述像素发射最大亮度的光时流经所述像素的最小电流的电流值，最大亮度对应于所述多个灰阶电压中的最高的一个施加到所述像素时所述像素的亮度；

电压控制器，根据所述补偿电压和所述第二数据来控制所述数据信号的电压值升高或降低；

开关单元，在所述一个完整的周期的第二时间段期间，将所控制的数据信号提供给所述像素，所述第二时间段不同于所述第一时间段，并且所述第二时间段在所述第一时间段之后开始。

19. 如权利要求 18 中所述的发光显示器，其中，所述像素中的每个与所述 n 条扫描线中的两条连接，在每个所述扫描周期期间，在所述两条扫描线中的第二扫描线接收所述 n 个扫描信号中的对应的一个信号之前，所述两条扫描线中的第一扫描线接收所述 n 个扫描信号中的对应的一个，所述像素中的每个包括：

第一电源；

发光器，接收来自所述第一电源的电流；

第一晶体管和第二晶体管，均具有连接到所述数据线的与所述像素相关联的各自的一条数据线的的第一电极，当提供所述两个扫描信号中的一个扫描信号时，所述第一晶体管 and 所述第二晶体管被导通；

第三晶体管，具有与参考电源连接的第一电极和与所述第一晶体管的第二电极连接的第二电极，当提供所述两个扫描信号中的另一个扫描信号时，所述第三晶体管被导通；

第四晶体管，控制施加到所述发光器的电流量，所述第四晶体管的第一端与所述第一电源连接；

第五晶体管，具有与所述第四晶体管的栅电极连接的第一电极、与所述第四晶体管的第二电极连接的第二电极，当提供所述两个扫描信号中的另一个扫描信号时，所述第五晶体管被导通，从而所述第四晶体管作为二极管来操作。

20. 如权利要求 19 中所述的发光显示器，其中，所述像素中的每个包括：

第一电容器，具有与所述第一晶体管的第二电极或所述第四晶体管的栅电极中的一个连接的第一电极、与所述第一电源连接的第二电极；

第二电容器，具有与所述第一晶体管的所述第二电极连接的第一电极和与所述第四晶体管的所述栅电极连接的第二电极。

21. 如权利要求 19 中所述的发光显示器,其中,所述像素中的每个还包括第六晶体管,所述第六晶体管具有与所述第四晶体管的所述第二电极连接的第一端和与所述发光器连接的第二端,当提供所述各自的发射控制信号时,所述第六晶体管被截止,

其中,在一个完整的用于驱动所述像素的周期的第一时间段期间,所述电流吸收单元接收来自所述像素的所述预定电流,所述用于驱动所述像素的完整的周期的第一时间段发生在其第二时间段之前,在用于驱动所述像素的所述完整的周期的所述第二时间段期间,所述第六晶体管被导通。

22. 一种数据驱动电路,包括:

转换工具,通过将外部提供的具有 k 位的第一数据转换为二进制权值,产生具有 p 位的第二数据,这里, k 和 p 均为自然数;

锁存工具,用于存储所述第一数据和所述第二数据,所述锁存工具具有 $k+p$ 位的大小;

选择工具,基于所述第一数据在所述多个灰阶电压中选择一个灰阶电压作为数据信号;

电流接收工具,在完整的用于驱动像素的周期的第一时间段期间,接收预定的电流,以产生补偿电压,所述预定的电流等于所述像素发射最大亮度的光时流经所述像素的最小电流的电流值,最大亮度对应于所述多个灰阶电压中的最高的一个施加到所述像素时所述像素的亮度;

控制工具,根据所述补偿电压和所述第二数据来控制所述数据信号的电压值升高或降低;

开关工具,在所述一个完整的周期的第二时间段期间,将所控制的数据信号提供给所述像素,所述第二时间段不同于所述第一时间段,并且所述第二时间段在所述第一时间段之后开始。

数据驱动电路及使用其的有机发光显示器

[0001] 于 2005 年 8 月 1 日提交到韩国知识产权局提交的第 2005-0070439 号题目为“数据驱动电路及使用其的有机发光显示器”的韩国专利申请完全公开于此,以资参考。

技术领域

[0002] 本发明涉及数据驱动电路、采用这种数据驱动电路的发光显示器和驱动所述发光显示器的方法。更具体地讲,本发明涉及一种能够显示亮度均匀的图像的数据驱动电路、一种使用这种数据驱动电路的发光显示器和一种驱动该发光显示器以显示亮度均匀的图像的方法。

背景技术

[0003] 正在开发通常比阴极射线管 (CRT) 更轻且更加紧凑的平板显示器 (FPD)。FPD 包括液晶显示器 (LCD)、场发射显示器 (FED)、等离子体显示面板 (PDP) 和发光显示器。

[0004] 发光显示器可利用电子和空穴复合时产生光的有机发光二极管 (OLED) 来显示图像。通常发光显示器的响应时间快且其功耗较低。

[0005] 图 1 示出了公知的发光显示器的结构的示意图。

[0006] 如图 1 中所示,发光显示器可包括像素单元 30、扫描驱动器 10、数据驱动器 20 和时序控制器 50。像素单元 30 可包括多个像素 40,像素 40 与扫描线 S1 至 Sn 和数据线 D1 至 Dm 连接。扫描驱动器 10 可驱动扫描线 S1 至 Sn。数据驱动器 20 可驱动数据线 D1 至 Dm。时序控制器 50 可控制扫描驱动器 10 和数据驱动器 20。

[0007] 时序控制器 50 可基于外部提供的同步信号 (未示出) 产生数据驱动控制信号 DCS 和扫描驱动控制信号 SCS。数据驱动控制信号 DCS 可提供给数据驱动器 20,扫描驱动控制信号 SCS 可提供给扫描驱动器 10。时序控制器 50 可根据外部提供的数据 (未示出) 向数据驱动器 20 提供数据 DATA。

[0008] 扫描驱动器 10 可从时序控制器 50 接收扫描驱动控制信号 SCS。扫描驱动器 10 可基于所接收的扫描驱动控制信号 SCS 产生扫描信号 (未示出)。可通过扫描线 S1 至 Sn 将所产生的扫描信号顺序地提供给像素单元 30。

[0009] 数据驱动器 20 可从时序控制器 50 接收数据驱动控制信号 DCS。数据驱动器 20 可基于所接收的数据 DATA 和数据驱动控制信号 DCS 产生数据信号 (未示出)。与提供给扫描线 S1 至 Sn 的扫描信号中的各个信号同步,所产生的数据信号中相应的一个可被施加到数据线 D1 至 Dm。

[0010] 像素单元 30 可与对像素 40 提供第一电压 VDD 的第一电源 ELVDD 和对像素 40 提供第二电压 VSS 的第二电源 ELVSS 连接。像素 40 可根据相应的数据信号与第一电压 VDD 信号和第二电压 VSS 信号一起控制流经各个 OLED 的电流。从而,像素 40 可基于第一电压 VDD 信号、第二电压 VSS 信号和数据信号产生光。

[0011] 在公知的发光显示器中,像素 40 中的每个可包括像素电路,像素电路包括至少一个晶体管,用来选择性地提供各自的数据信号和各自的扫描信号,从而选择性地导通和截

止发光显示器的各自的像素 40。

[0012] 发光显示器的每个像素 40 将响应各自的数据信号的不同值产生预定亮度的光。例如,当向显示器的所有像素 40 施加相同的数据信号时,通常期望显示器的所有像素 40 产生相同的亮度。然而,由各像素 40 产生的亮度不仅取决于数据信号,而且还取决于各像素 40 的特性,例如还取决于像素电路的各晶体管的阈值电压。

[0013] 通常,晶体管之间的阈值电压和 / 或电子迁移率有所变化,从而,不同的晶体管具有不同的阈值电压和电子迁移率。晶体管的特性还会随着时间过长和 / 或过度使用而改变。例如,晶体管的阈值电压和电子迁移率可取决于晶体管的导通 / 截止历史。

[0014] 因此,在发光显示器中,由各像素响应各自的数据信号产生的亮度取决于可包括在各自的像素电路中的晶体管的特性。阈值电压和电子迁移率的这些变化会妨碍和 / 或阻止所显示的图像的均匀性。因而,阈值电压和电子迁移率的这些变化也会妨碍具有期望亮度的图像的显示。

[0015] 虽然有可能通过控制像素 40 的像素电路的结构来至少部分地补偿包括在像素中的晶体管的阈值电压之间的差,但是仍然需要能够补偿电子迁移率的变化了的电路和方法。也期望有不管电子迁移率的变化而能够显示亮度均匀的图像的发光器件,例如 OLED。

发明内容

[0016] 因此,本发明旨在提供一种数据驱动电路和一种使用其的发光显示器,从而基本克服了由于现有技术的局限和缺点引起的一个或多个问题。

[0017] 因此,本发明实施例的一方面提供一种能够驱动发光显示器的像素而显示亮度均匀的图像的数据驱动电路、一种使用该数据驱动电路的发光显示器和一种驱动该发光显示器的方法。

[0018] 本发明的上述和其它特点及优点中的至少一个可通过提供一种数据驱动电路来实现,该数据驱动电路包括:解码器,利用外部提供的具有 k 位的第一数据来产生具有 p 位的第二数据;锁存器,用于存储第一数据和第二数据;伽玛电压单元,用于产生多个灰阶电压;数模转换器,基于第一数据在多个灰阶电压中选择一个灰阶电压作为数据信号;电流吸收单元,在完整的用于驱动像素的周期的第一部分时间段期间,基于所选择的灰阶电压接收来自像素的预定电流;电压控制器,根据基于预定电流产生的补偿电压和第二数据来控制数据信号的电压值;开关单元,在一个完整的周期的第二部分时间段期间,将所控制的数据信号提供给像素,第二部分时间段不同于第一部分时间段,并且第二部分时间段在第一部分时间段之后消逝。

[0019] 解码器可将第一数据转换为二进制权值,以产生第二数据。数据驱动电路还可包括:第一晶体管,位于数模转换器和开关单元之间,在第一部分时间段的预定时间期间数模转换器被导通以将数据信号与所控制的电压值传输给开关单元;第一缓冲器,连接在第一晶体管和开关单元之间。伽玛电压单元可包括:多个分布电阻器,产生灰阶电压并分配参考电源电压和第一电源电压;第二缓冲器,将第一电源电压提供给电压控制器。

[0020] 电压控制器可包括:p 个电容器,具有与第一晶体管和第一缓冲器之间的电路连接的第一端;第二晶体管,分别连接在 p 个电容器中的每个的第二端和第二缓冲器之间;第三晶体管,分别连接在 p 个电容器的第二端和电流吸收单元之间,并具有与第二晶体管的

导电类型不同的导电类型；第四晶体管，连接在第二晶体管和预定的电压源之间，并具有与第二晶体管的导电类型相同的导电类型；第五晶体管，具有与第三晶体管的导电类型相同的导电类型，第五晶体管将第二数据提供给第二晶体管。

[0021] 第四晶体管可在第一时间段期间导通，从而，可导通第二晶体管以将预定电压源的电压提供给第二晶体管的栅电极。预定电压源可以是地电压源。第三晶体管可在第一部分时间段期间选择性地导通，从而电容器的第二端被设置成具有预定电压源的电压。第五晶体管可由 p 个晶体管组成，对应于第二数据的位数，第五晶体管可分别将所述 p 位第二数据的不同位提供给第二晶体管。

[0022] 第三晶体管中的接收值为 1 的位的每个可被导通，以将各自的补偿电压提供给各自的 p 个电容器的第二端。 p 个电容器的电容可被设置成二进制权值。电流吸收单元可包括：电流源，提供预定的电流；第一晶体管，设置在与像素连接的数据线和电压控制器之间，第一晶体管在第一部分时间段期间被导通；第二晶体管，设置在数据线和电流源之间，第二晶体管在第一部分时间段内被导通；电容器，用于充补偿电压；缓冲器，设置在第一晶体管和电压控制器之间，以选择性地将补偿电压传输到电压控制器。

[0023] 预定的电流可等于像素发射最大亮度的光时流经像素的最小电流的电流值，最大亮度可对应于多个重置的灰阶电压中的最高的一个施加到像素时像素的亮度。开关单元可包括至少一个在第二部分时间段期间导通的晶体管。开关单元可包括两个相连接以形成传输门的晶体管。数据驱动电路还可包括移位寄存单元，移位寄存单元包括至少一个移位寄存器，以顺序地产生采样脉冲并将采样脉冲提供给锁存单元。

[0024] 锁存单元可包括：采样锁存单元，包括至少一个采样锁存器，用于响应采样脉冲来接收第一数据和第二数据；保持锁存单元，包括至少一个保持锁存器，用于接收存储在采样锁存单元内的第一数据和第二数据，以将其内存储的第一数据提供给数模转换器，并将第二数据提供给电压控制器。

[0025] 采样锁存器和保持锁存器中的每个可具有 $k+p$ 位的大小。数据驱动电路还可包括电平移位单元，用来升高存储在保持锁存器内的第一数据和第二数据的电压电平，以分别将存储的第一数据的调整后的电压电平提供给数模转换器并将存储的第二数据的调整后的电压电平提供给电压控制器。

[0026] 本发明的上述和其它特点和优点中的至少一个可通过提供一种发光显示器来实现，该发光显示器包括：像素单元，包括与 n 条扫描线、多条数据线和多条发射控制线连接的多个像素；扫描驱动器，在各扫描周期期间分别顺序地将 n 个扫描信号提供给 n 条扫描线，并顺序地将发射控制信号提供给多条发射控制线；数据驱动器，具有至少一个数据驱动电路，用于分别将数据信号提供给数据线，其中，数据驱动电路包括：解码器，利用外部提供的具有 k 位的第一数据来产生具有 p 位的第二数据；锁存器，用于存储第一数据和第二数据；伽玛电压单元，用于产生多个灰阶电压；数模转换器，基于第一数据在多个灰阶电压中选择一个灰阶电压作为数据信号；电流吸收单元，在完整的用于驱动像素的周期的第一部分时间段期间，基于所选择的灰阶电压接收来自像素的预定电流；电压控制器，根据基于预定电流产生的补偿电压和第二数据来控制数据信号的电压值；开关单元，在一个完整的周期的第二部分时间段期间，将所控制的数据信号提供给像素，第二部分时间段不同于第一部分时间段，并且第二部分时间段在第一部分时间段之后消逝。

[0027] 像素中的每个可与 n 条扫描线中的两条连接,在每个扫描周期期间,在这两条扫描线中的第二扫描线接收 n 个扫描信号中的对应的一个信号之前,这两条扫描线中的第一扫描线接收 n 个扫描信号中的对应的一个,像素中的每个可包括:第一电源;发光器,接收来自第一电源的电流;第一晶体管和第二晶体管,均具有连接到数据线的与像素相关联的各自的一条数据线的的第一电极,当提供两个扫描信号中的第一扫描信号时,第一晶体管和第二晶体管被导通;第三晶体管,具有与参考电源连接的第一电极和与第一晶体管的第二电极连接的第二电极,当提供两个扫描信号中的第一扫描信号时,第三晶体管被导通;第四晶体管,控制施加到发光器的电流量,第四晶体管的第一端与第一电源连接;第五晶体管,具有与第四晶体管的栅电极连接的第一电极、与第四晶体管的第二电极连接的第二电极,当提供两个扫描信号中的第一扫描信号时,第五晶体管被导通,从而第四晶体管作为二极管来操作。

[0028] 像素中的每个可包括:第一电容器,具有与第一晶体管的第二电极或第四晶体管的栅电极中的一个连接的第一电极、与第一电源连接的第二电极;第二电容器,具有与第一晶体管的第二电极连接的第一电极和与第四晶体管的栅电极连接的第二电极。像素中的每个还可包括第六晶体管,其具有与第四晶体管的第二电极连接的第一端和与发光器连接的第二端,当提供各自的发射控制信号时,第六晶体管被截止,其中,在一个完整的用于驱动像素的周期的第一部分时间段期间,电流吸收单元可接收来自像素的预定电流,用于驱动像素的完整的周期的第一部分时间段发生在第二部分时间段之前,在用于驱动像素的完整的周期的第二部分时间段期间,第六晶体管可被导通。

[0029] 本发明的上述和其它特点及优点中的至少一个可单独地通过提供一种数据驱动电路来实现,该数据驱动电路包括:转换单元,利用外部提供的具有 k 位的第一数据产生具有 p 位的第二数据;锁存单元,用于存储第一数据和第二数据,锁存单元具有 $k+p$ 位的大小;选择单元,基于第一数据在多个灰阶电压中选择一个灰阶电压作为数据信号;电流接收单元,在完整的用于驱动像素的周期的第一部分时间段期间,基于所选择的灰阶电压接收来自像素的预定电流;控制单元,根据基于预定电流产生的补偿电压和第二数据来控制数据信号的电压值;开关单元,在一个完整的周期的第二部分时间段期间,将所控制的数据信号提供给像素,第二部分时间段不同于第一部分时间段,并且第二部分时间段在第一部分时间段之后消逝。

附图说明

[0030] 通过参照附图来详细描述本发明的示例性实施例,对于本领域的普通技术人员,本发明的这些和其他特点及优点将会变得更加清楚,附图中:

[0031] 图 1 示出了公知的发光显示器的示意图;

[0032] 图 2 示出了根据本发明实施例的发光显示器的示意图;

[0033] 图 3 示出了可用于图 2 中示出的发光显示器的示例性像素的电路图;

[0034] 图 4 示出了可用于驱动图 3 中示出的像素的示例性波形;

[0035] 图 5 示出了可用于图 2 中示出的发光显示器的另一示例性像素的电路图;

[0036] 图 6 是示出图 2 中示出的数据驱动电路的第一实施例的框图;

[0037] 图 7 示出了图 6 中示出的采样锁存单元和保持锁存单元的实施例;

[0038] 图 8 示出了图 2 中示出的数据驱动电路的第二实施例的框图；

[0039] 图 9 示出了连接图 6 中示出的伽玛电压单元、数模转换单元、开关单元、电压控制单元和电流吸收单元 (current sink unit) 与图 3 中示出的像素的连接方案的第一实施例的示意图；

[0040] 图 10 示出了可用于驱动图 9 中示出的开关单元和电流吸收单元的示例性波形；

[0041] 图 11 示出了采用开关单元的另一实施例的图 9 中示出的连接方案；

[0042] 图 12 示出了连接图 6 中示出的伽玛电压单元、数模转换单元、开关单元、电压控制单元和电流吸收单元及图 5 中示出的像素的连接方案的第二实施例的示意图。

具体实施方式

[0043] 现在,将在下文参照附图来更充分地描述本发明,附图中示出了本发明的示例性实施例。然而,本发明可以以不同的形式来实施,而不应被解释为局限于在此阐述的实施例。当然,提供的这些实施例使得说明书完整且完全,而且会将本发明的范围充分地传达给本领域的技术人员。相同的标号始终表示相同的元件。

[0044] 在下文中,将参照图 2 至图 12 来描述本发明的示例性实施例。在采用本发明的一个或多个方面的数据驱动电路和发光显示器中,因为利用电流从各自的像素吸收时产生的补偿电压而重置数据信号的电压值,所以不管晶体管的电子迁移率、阈值电压等为何,可显示均匀的图像。

[0045] 图 2 示出了根据本发明实施例的发光显示器的示意图。

[0046] 如图 2 中所示,发光显示器可包括扫描驱动器 110、数据驱动器 120、像素单元 130 和时序控制器 150。像素单元 130 可包括多个像素 140。像素单元 130 可包括例如以 n 行和 m 列排列的 $n \times m$ 个像素 140,其中, n 和 m 可分别为整数。像素 140 可连接到扫描线 $S1$ 至 S_n 、发射控制线 $E1$ 至 E_n 和数据线 $D1$ 至 D_m 。像素 140 可分别形成在被发射控制线 $E1$ 至 E_n 和数据线 $D1$ 至 D_m 分割的区域内。扫描驱动器 110 可驱动扫描线 $S1$ 至 S_n 和发射控制线 $E1$ 至 E_n 。数据驱动器 120 可驱动数据线 $D1$ 至 D_m 。时序控制器 150 可控制扫描驱动器 110 和数据驱动器 120。数据驱动器 120 可包括一个或多个数据驱动电路 200。

[0047] 时序控制器 150 可响应外部提供的同步信号 (未示出) 产生数据驱动控制信号 DCS 和扫描驱动控制信号 SCS。由时序控制器 150 产生的数据驱动控制信号 DCS 可提供给数据驱动器 120。由时序控制器 150 产生的扫描驱动控制信号 SCS 可提供给扫描驱动器 110。时序控制器 150 可根据外部提供的数据 (未示出) 将第一数据 DATA1 提供给数据驱动器 120。

[0048] 扫描驱动器 110 可从时序控制器 150 接收扫描驱动控制信号 SCS。扫描驱动器 110 可基于所接收的扫描驱动控制信号 SCS 产生扫描信号 $SS1$ 至 SS_n 和发射控制信号 $ES1$ 至 ES_n ,并可分别顺序地将扫描信号 $SS1$ 至 SS_n 提供给扫描线 $S1$ 至 S_n 。扫描驱动器 110 可顺序地将发射控制信号 $ES1$ 至 ES_n 提供给发射控制线 $E1$ 至 E_n 。可提供发射控制信号 $ES1$ 至 ES_n 中的每个,例如提供从低电压信号变为高电压信号的发射控制信号,使得“导通”发射控制信号例如高电压信号与扫描信号 $SS1$ 至 SS_n 中的至少两个至少部分叠置。因此,在本发明的实施例中,发射控制信号 $ES1$ 至 ES_n 的脉冲宽度可等于或大于扫描信号 $SS1$ 至 SS_n 的脉冲宽度。

[0049] 数据驱动器 120 可从时序控制器 150 接收数据驱动控制信号 DCS 和第一数据 DATA1。数据驱动器 120 可基于所接收的数据驱动控制信号 DCS 和第一数据 DATA1 产生数据信号 DS1 至 DSm。与提供给扫描线 S1 至 Sn 的扫描信号 SS1 至 SSn 同步,所产生的数据信号 DS1 至 DSm 可提供给数据线 D1 至 Dm。例如,当提供第一扫描信号 SS1 时,可通过数据线 D1 至 Dm 将所产生的与像素 140(1)(1 至 m)对应的数据信号 DS1 至 DSm 同步地提供给第一行中的第一个至第 m 个像素;当提供第 n 个扫描信号 SSn 时,可通过数据线 D1 至 Dm 将所产生的与像素 140(n)(1 至 m)对应的数据信号 DS1 至 DSm 同步地提供给第 n 行中的第一个至第 m 个像素。

[0050] 在用于驱动像素 140 的一个或多个的一个水平周期 1H 的第一时间段期间,数据驱动器 120 可向数据线 D1 至 Dm 提供预定的电流。例如,为了驱动各自的像素 140,一个水平周期 1H 可对应于完整的周期,该完整的周期与提供给各自的像素 140 的扫描信号 SS1 至 SSn 中的一个和数据信号 DS1 至 DSm 中对应的一个相关联。在这个水平周期 1H 的第二时间段期间,数据驱动器 120 可向数据线 D1 至 Dm 提供预定的电压。例如,为了驱动各自的像素 140,一个水平周期 1H 可对应于完整的周期,该完整的周期与提供给各自的像素 140 的扫描信号 SS1 至 SSn 中的一个和数据信号 DS1 至 DSm 中对应的一个相关联。在本发明的实施例中,数据驱动器 120 可包括至少一个数据驱动电路 200,数据驱动电路 200 用于在一个水平周期 1H 的第一时间段期间提供预定的电流和在一个水平周期 1H 的第二时间段期间提供预定的电压。在下面的描述中,可在第二时间段期间提供给数据线 D1 至 Dm 的预定的电压将被称作数据信号 DS1 至 DSm。

[0051] 像素单元 130 可连接到向像素 140 提供第一电压 VDD 的第一电源 ELVDD、向像素 140 提供第二电压 VSS 的第二电源 ELVSS 和向像素 140 提供参考电压的参考电源 ELVref(未示出)。可由外部提供第一电源 ELVDD、第二电源 ELVSS 和参考电源 ELVref。根据可由数据驱动器 120 向像素 140 提供的数据信号 DS1 至 DSm,像素 140 可接收第一电压 VDD 信号和第二电压 VSS 信号,并可控制流经各自的发光器件/材料(例如,OLED)的电流。从而,像素 140 可产生与所接收的第一数据 DATA1 对应的光分量。

[0052] 一些像素 140 或所有像素 140 可分别从第一电源 ELVDD 接收第一电压 VDD 信号、从第二电源 ELVSS 接收第二电压 VSS 信号和从参考电源 ELVref 接收参考电压 Vref 信号。像素 140 可利用参考电压 Vref 信号补偿第一电压 VDD 信号的电压降和/或阈值电压导致的电压降。补偿的量可取决于分别由参考电源 ELVref 提供的参考电压 Vref 信号和由第一电源 ELVDD 提供的第一电压 VDD 信号的电压值之间的差。像素 140 响应各自的数据信号 DS1 至 DSm,可提供从第一电源 ELVDD 经过例如 OLED 到第二电源 ELVSS 的各自的电流。在本发明的实施例中,像素 140 中的每个可具有例如图 3 或图 5 中示出的结构。

[0053] 图 3 示出了可用于在图 2 中示出的发光显示器的第 nm 个示例性像素 140nm 的电路图。为了简单起见,图 3 示出了第 nm 个像素,第 nm 个像素可以是在第 n 行扫描线 Sn 和第 m 列数据线 Dm 的交叉处设置的像素。第 nm 个像素 140nm 可以连接到第 m 条数据线 Dm、第 n-1 条扫描线 Sn-1、第 n 条扫描线 Sn 和第 n 条发射控制线 En。为了简单起见,图 3 仅示出了一个示例性像素 140nm。在本发明的实施例中,示例性像素 140nm 的结构可应用于发光显示器的所有像素 140 或一些像素 140。

[0054] 参照图 3,第 nm 个像素 140nm 可包括:发光材料/器件,例如 OLEDnm;第 nm 个像素

电路 142nm,用来向关联的发光材料 / 器件提供电流。

[0055] 第 nm 个 OLEDnm 可响应来自第 nm 个像素电路 142nm 的电流产生预定颜色的光。第 nm 个 OLEDnm 可由例如有机材料、磷光体材料和 / 或无机材料形成。

[0056] 在本发明的实施例中,第 nm 个像素电路 142nm 可产生补偿电压,用于补偿像素 140 内和 / 或像素 140 之间的变化,从而像素 140nm 可显示亮度均匀的图像。在各扫描周期期间,第 nm 个像素电路 142nm 可利用先前提供的扫描信号 SS1 至 SSn 产生补偿电压。在本发明的实施例中,一个扫描周期可对应于顺序提供的扫描信号 SS1 至 SSn。因而,在本发明的实施例中,在每个周期期间,可在第 n 个扫描信号 SSn 之前提供第 n-1 个扫描信号 SSn-1,当第 n-1 个扫描信号 SSn-1 被提供给发光显示器的第 n-1 条扫描线时,第 nm 个像素电路 142nm 可利用第 n-1 个扫描信号 SSn-1 产生补偿电压。例如,第二列中的第二个像素,即像素 140₂₂,可利用第一扫描信号 SS1 产生补偿电压。

[0057] 补偿电压可补偿源电压信号中的电压降和 / 或由第 nm 个像素电路 142nm 的晶体管的阈值电压造成的电压降。例如,第 nm 个像素电路 142nm 可基于补偿电压来补偿第一电压 VDD 信号的电压降和 / 或晶体管的阈值电压(例如,像素电路 142nm 的第四晶体管 M4nm 的阈值电压)造成的电压降,在同一扫描周期期间可利用先前提供的扫描信号产生该补偿电压。

[0058] 在本发明的实施例中,当第 n-1 个扫描信号 SSn-1 被提供给第 n-1 条扫描线 Sn-1 时,像素电路 142nm 可补偿第一电源 ELVDD 的电压的降低和第四晶体管 M4nm 的阈值电压造成的电压的降低;当第 n 个扫描信号 SSn 被提供给第 n 条扫描线 Sn 时,像素电路 142nm 可充以对应于数据信号 DSm 的电压。在本发明的实施例中,像素电路 142nm 可包括第一晶体管 M1nm 至第六晶体管 M6nm、第一电容器 C1nm 和第二电容器 C2nm,用于产生补偿电压并驱动发光材料 / 器件。

[0059] 第一晶体管 M1nm 的第一电极可连接到数据线 Dm,第一晶体管 M1nm 的第二电极可连接到第一节点 N1nm。第一晶体管 M1nm 的栅电极可连接到第 n 条扫描线 Sn。当第 n 个扫描信号 SSn 被提供给第 n 条扫描线 Sn 时,可导通第一晶体管 M1nm。当导通第一晶体管 M1nm 时,数据线 Dm 可电连接到第一节点 N1nm。

[0060] 第一电容器 C1nm 的第一电极可连接到第一节点 N1nm,第一电容器 C1nm 的第二电极可连接到第二电源 ELVDD。

[0061] 第二晶体管 M2nm 的第一电极可连接到数据线 Dm,第二晶体管 M2nm 的第二电极可连接到第四晶体管 M4nm 的第二电极。第二晶体管 M2nm 的栅电极可连接到第 n 条扫描线 Sn。当第 n 个扫描信号 SSn 被提供给第 n 条扫描线 Sn 时,可导通第二晶体管 M2nm。当导通第二晶体管 M2nm 时,数据线 Dm 可电连接到第四晶体管 M4nm 的第二电极。

[0062] 第三晶体管 M3nm 的第一电极可连接到参考电源 ELVref,第三晶体管 M3nm 的第二电极可连接到第一节点 N1nm。第三晶体管 M3nm 的栅电极可连接到第 n-1 条扫描线 Sn-1。当第 n-1 个扫描信号 SSn-1 被提供给第 n-1 条扫描线 Sn-1 时,可导通第三晶体管 M3nm。当导通第三晶体管 M3nm 时,参考电源 ELVref 可电连接到第一节点 N1nm。

[0063] 第四晶体管 M4nm 的第一电极可连接到第一电源 ELVDD,第四晶体管 M4nm 的第二电极可连接到第六晶体管 M6nm 的第一电极。第四晶体管 M4nm 的栅电极可连接到第二节点 N2nm。

[0064] 第二电容器 C2nm 的第一电极可连接到第一节点 N1nm, 第二电容器 C2nm 的第二电极可连接到第二节点 N2nm。

[0065] 在本发明的实施例中, 当提供第 n-1 个扫描信号 SSn-1 时, 第一电容器 C1nm 和第二电容器 C2nm 可被充电。具体地讲, 第一电容器 C1nm 和第二电容器 C2nm 可被充电, 第四晶体管 M4nm 可将与第二节点 N2nm 处的电压对应的电流提供给第六晶体管 M6nm 的第一电极。

[0066] 第五晶体管 M5nm 的第二电极可连接到第二节点 N2nm, 第五晶体管 M5nm 的第一电极可连接到第四晶体管 M4nm 的第二电极。第五晶体管 M5nm 的栅电极可连接到第 n-1 条扫描线 Sn-1。当第 n-1 个扫描信号 SSn-1 被提供给第 n-1 条扫描线 Sn-1 时, 可导通第五晶体管 M5nm, 从而, 电流流经第四晶体管 M4nm。因此, 第四晶体管 M4nm 可作为二极管来操作。

[0067] 第六晶体管 M6nm 的第一电极可连接到第四晶体管 M4nm 的第二电极, 第六晶体管 M6nm 的第二电极可连接到第 nm 个 OLEDnm 的阳极。第六晶体管 M6nm 的栅电极可连接到第 n 条发射控制线 En。当发射控制信号 ESn 例如高电压信号被提供给第 n 条发射控制线 En 时, 可截止第六晶体管 M6nm; 当没有发射控制信号被提供给第 n 条发射控制线 En 时, 例如, 当低电压信号被提供给第 n 条发射控制线 En 时, 可导通第六晶体管 M6nm。

[0068] 在本发明的实施例中, 被提供给第 n 条发射控制线 En 的发射控制信号 ESn 可以以这样一种方式提供: 发射控制信号 ESn 可与可被提供给第 n-1 条扫描线 Sn-1 的第 n-1 个扫描信号 SSn-1 和可被提供给第 n 条扫描线 Sn 的第 n 个扫描信号 SSn 至少部分地叠置。因此, 当第 n-1 个扫描信号 SSn-1 例如低电压信号被提供给第 n-1 条扫描线 Sn-1 和第 n 个扫描信号 SSn 例如低电压信号被提供给第 n 条扫描线 Sn 时, 可截止第六晶体管 M6nm, 从而在第一电容器 C1nm 和第二电容器 C2nm 中可被充以预定的电压。在其它时间期间可导通第六晶体管 M6nm, 以便第四晶体管 M4nm 和第 nm 个 OLEDnm 相互电连接。在图 3 中示出的示例性实施例中, 晶体管 M1nm 至 M6nm 为 PMOS 晶体管, 当向各自的栅电极提供低电压信号时, 这些晶体管可导通, 当向各自的栅电极提供高电压信号时, 这些晶体管可截止。然而, 本发明不局限于 PMOS 器件。

[0069] 在图 3 中示出的像素中, 因为参考电源 ELVref 没有向像素 140 提供电流, 所以不会发生参考电压 Vref 的电压降。因此, 不管像素 140 的位置在哪儿, 能够保持参考电压 Vref 信号的电压值一致。在本发明的实施例中, 参考电压 Vref 的电压值可等于或不同于第一电压 VDD。

[0070] 图 4 示出了可用于驱动图 3 中示出的第 nm 个示例性像素 140nm 的示例性波形。如图 4 中所示, 每个用于驱动第 nm 个像素 140nm 的水平周期 1H 可划分为第一时间段和第二时间段。在第一时间段期间, 预定的电流 (PC) 可分别流经数据线 D1 至 Dm。在第二时间段期间, 可通过数据线 D1 至 Dm 向各自的像素 140 提供数据信号 DS1 至 DSm。在第一时间段期间, 各自的 PC 可从各像素 140 提供给数据驱动电路 200, 数据驱动电路 200 能够至少部分起到电流吸收 (current sink) 的作用。在第二时间段期间, 数据信号 DS1 可从数据驱动电路 200 提供给像素 140。为了简单起见, 在下面的描述中, 将假设: 至少在开始, 即可在像素 140 的操作期间造成任何电压降之前, 参考电压 Vref 信号的电压值等于第一电压 VDD 信号的电压值。

[0071] 将参照图 3 和图 4 来详细描述操作像素 140 的第 nm 个像素 140nm 的第 nm 个像素

电路 142nm 的示例性方法。首先,可向第 $n-1$ 条扫描线 S_{n-1} 提供第 $n-1$ 个扫描信号 SS_{n-1} ,以控制可连接到第 $n-1$ 条扫描线 S_{n-1} 的 m 个像素的导通 / 截止操作。当向第 $n-1$ 条扫描线 S_{n-1} 提供扫描信号 SS_{n-1} 时,可导通第 nm 个像素 140nm 的第 nm 个像素电路 142nm 的第三晶体管 $M3_{nm}$ 和第五晶体管 $M5_{nm}$ 。当第五晶体管 $M5_{nm}$ 导通时,电流可流经第四晶体管 $M4_{nm}$,从而第四晶体管 $M4_{nm}$ 可作为二极管来操作。当第四晶体管 $M4_{nm}$ 作为二极管来操作时,第二节点 $N2_{nm}$ 的电压值可对应于由第一电源 $ELVDD$ 提供的第一电压 VDD 信号的电压和第四晶体管和 $M4_{nm}$ 的阈值电压之间的差。

[0072] 更具体地讲,当第三晶体管 $M3_{nm}$ 导通时,来自参考电源 ELV_{ref} 的参考电压 V_{ref} 信号可施加到第一节点 $N1_{nm}$ 。第二电容器 $C2_{nm}$ 可被充以与第一节点 $N1_{nm}$ 和第二节点 $N2_{nm}$ 之间的差对应的电压。在本发明的实施例中,其中,至少在开始,即可在像素 140 的操作期间造成任何电压降之前,来自参考电源 ELV_{ref} 的参考电压 V_{ref} 信号和来自第一电源 $ELVDD$ 的第一电压 VDD 可相等,与第四晶体管 $M4_{nm}$ 的阈值电压对应的电压可充在第二电容器 $C2_{nm}$ 中。在本发明的实施例中,其中,第一电压 VDD 信号的电压出现预定的降低,第四晶体管 $M4_{nm}$ 的阈值电压和与第一电源 $ELVDD$ 的电压降的大小对应的电压可充在第二电容器 $C2_{nm}$ 中。

[0073] 在本发明的实施例中,在第 $n-1$ 个扫描信号 SS_{n-1} 可被提供给第 $n-1$ 条扫描线 S_{n-1} 的时间段期间,与对应于第一电压 VDD 信号的电压降的电压和第四晶体管 $M4_{nm}$ 的阈值电压之和对应的预定的电压可充在第二电容器 $C2_{nm}$ 中。通过在第 m 列的第 $(n-1)$ 个像素的操作期间,存储与来自第一电源 $ELVDD$ 的第一电压 VDD 信号的电压降和第四晶体管 $M4_{nm}$ 的阈值电压之和对应的电压,能够随后在第 nm 个像素 140nm 的操作期间利用所存储的电压来补偿第一电压 VDD 信号的电压降和阈值电压。

[0074] 在本发明的实施例中,在第 n 个扫描信号 SS_n 被提供给第 n 条扫描线 S_n 之前,在第二电容器 $C2_{nm}$ 中可充以这样的电压,该电压对应于第四晶体管 $M4_{nm}$ 的阈值电压与参考电压 V_{ref} 信号和第一电压 VDD 信号之间的差的和。当第 n 个扫描信号 SS_n 被提供给第 n 条扫描线 S_n 时,可导通第一晶体管 $M1_{nm}$ 和第二晶体管 $M2_{nm}$ 。在一个水平周期的第一时间段期间,当第 nm 个像素 140nm 的像素电路 142nm 的第二晶体管 $M2_{nm}$ 导通时,通过数据线 D_m 可将 PC 从第 nm 个像素 140nm 提供给数据驱动电路 200。在本发明的实施例中,可通过第一电源 $ELVDD$ 、第四晶体管 $M4_{nm}$ 、第二晶体管 $M2_{nm}$ 和数据线 D_m 将 PC 提供给数据驱动电路 200。然后,响应被提供的 PC ,在第一电容器 $C1_{nm}$ 和第二电容器 $C2_{nm}$ 中可充以预定的电压。

[0075] 基于预定的电压值,即基于如上所述的 PC 吸收时可产生的补偿电压,数据驱动电路 200 可重置伽玛电压单元(未示出)的电压。采自伽玛电压单元(未示出)的重置电压可用于产生将分别提供给数据线 $D1$ 至 D_m 的数据信号 $DS1$ 至 DS_m 。

[0076] 在本发明的实施例中,在一个水平周期的第二时间段期间,产生的数据信号 $DS1$ 至 DS_m 可分别提供给各自的数据线 $D1$ 至 D_m 。更具体地讲,例如,在一个水平周期的第二时间段期间,可通过第一晶体管 $M1_{nm}$ 将各自产生的数据信号 DS_m 提供给各自的第一节点 $N1_{nm}$ 。然后,在第一电容器 $C1_{nm}$ 中可充以对应于与数据信号 DS_m 和第一电源 $ELVDD$ 之间的差的电压。然后,第二节点 $N2_{nm}$ 可浮置,第二电容器 $C2_{nm}$ 可保持先前所充的电压。

[0077] 在本发明的实施例中,在当控制第 m 列中的 $n-1$ 个像素且扫描信号 SS_{n-1} 被提供给前一扫描线 S_{n-1} 时的这个时间段期间,在第 nm 个像素 140nm 的第二电容器 $C2_{nm}$ 中可被

充以对应于第四晶体管 M4nm 的阈值电压和来自第一电源 ELNDD 的第一电压 VDD 信号的电压降的电压,以补偿来自第一电源 ELVDD 的第一电压 VDD 信号的电压降和第四晶体管 M4nm 的阈值电压。

[0078] 在本发明的实施例中,在当第 n 个扫描信号 SSn 被提供给第 n 条扫描线 Sn 时的这个时间段期间,可重置伽玛电压单元(未示出)的电压,从而,利用各自的重置伽玛电压可补偿包括在与各数据线 D1 至 Dm 相关联的各自的第 n 个像素 140n 中的晶体管的电子迁移率,并且可向第 n 个像素 140n 提供各自产生的数据信号 DS1 至 DSm。因此,在本发明的实施例中,可补偿晶体管的阈值电压的不均匀性和电子迁移率的不一致性,因而可显示亮度均匀的图像。下面将描述用于重置伽玛电压单元的电压的过程。

[0079] 图 5 示出了可用于图 2 中示出的发光显示器的第 nm 个像素 140nm 的另一示例性实施例。除了第一电容器 C1nm' 在像素电路 142nm' 中的布置及与第一节点 N1nm' 和第二节点 N2nm' 的连接之外,图 5 中示出的第 nm 个像素 140nm 的结构与图 3 中示出的第 nm 个像素 140nm 的结构基本相同。在图 5 中示出的示例性实施例中,第一电容器 C1nm' 的第一电极可连接到第二节点 N2nm', 第一电容器 C1nm' 的第二电极可连接到第一电源 ELVDD。第二电容器 C2nm 的第一电极可连接到第一节点 N1nm', 第二电容器 C2nm 的第二电极可连接到第二节点 N2nm'。第一节点 N1nm' 可连接到第一晶体管 M1nm 的第二电极、第三晶体管 M3nm 的第二电极和第二电容器 C2nm 的第一电极。第二节点 N2nm' 可连接到第四晶体管 M4nm 的栅电极、第五晶体管 M5nm 的第二电极、第一电容器 C1nm' 的第一电极和第二电容器 C2nm 的第二电极。

[0080] 在下面的描述中,上面在图 3 中示出的第 nm 个像素 140nm 的描述中使用的相同的标号将用来描述在图 5 中示出的第 nm 个像素 140nm' 的示例性实施例中的相同的部件。

[0081] 将参照图 4 和图 5 来详细描述用于操作像素 140 的第 nm 个像素 140nm' 的第 nm 个像素电路 142nm' 的示例性方法。首先,在用于驱动第 (n-1) 像素 140(n-1) (1 至 m) 的水平周期期间,即在驱动排列在第 (n-1) 行的像素的水平周期期间,当向第 n-1 条扫描线 Sn-1 提供第 n-1 个扫描信号 SSn-1 时,可导通第 n 像素 140(n) (1 至 m) 即排列在第 n 行上的像素的第三晶体管 M3nm 和第五晶体管 M5nm。

[0082] 当第五晶体管 M5nm 导通时,电流可流经第四晶体管 M4nm,从而第四晶体管 M4nm 可作为二极管来操作。当第四晶体管 M4nm 作为二极管来操作时,可向第二节点 N2nm' 施加与第一电源 ELVDD 的第一电压 VDD 信号减去第四晶体管 M4nm 的阈值电压所得到的值对应的电压。可在第一电容器 C1nm' 中充以与第四晶体管 M4nm 的阈值电压对应的电压。如图 5 中所示,第一电容器 C1nm' 可设置在第二节点 N2nm' 和第一电源 ELVDD 之间。

[0083] 当第三晶体管 M3nm 导通时,参考电源 ELVref 的电压可施加到第一节点 N1nm'。然后,第二晶体管 C2nm 可被充以与第一节点 N1nm' 和第二节点 N2nm' 之间的差对应的电压。在向第 n-1 条扫描线 Sn-1 提供第 n-1 个扫描信号 SSn-1 且第一晶体管 M1nm 和第二晶体管 M2nm 截止的这个时间段期间,数据信号 DSm 不会被提供到第 nm 个像素 140nm'。

[0084] 然后,在用于驱动第 nm 个像素 140nm' 的一个水平周期 1H 的第一时间段期间,扫描信号 SSn 可被提供给第 n 条扫描线 Sn,并且可导通第一晶体管 M1nm 和第二晶体管 M2nm。当第二晶体管 M2nm 导通时,在一个水平周期的第一时间段期间,可通过数据线 Dm 将各自的 PC 从第 nm 个像素 140nm' 提供给数据驱动电路 200。可通过第一电源 ELVDD、第四晶体管

M4nm、第二晶体管 M2nm 和数据线 Dm 将 PC 提供给数据驱动电路 200。响应于 PC,可在第一电容器 C1nm' 和第二电容器 C2nm 中充以预定的电压。

[0085] 数据驱动电路 200 利用响应于 PC 而施加的补偿电压可重置伽玛电压单元的电压,从而利用伽玛电压单元各自的重置电压来产生数据信号 DS。

[0086] 然后,在一个用于驱动第 nm 个像素 140nm' 的水平周期的第二时间段期间,数据信号 DSm 可被提供给第一节点 N1nm'。在第一电容器 C1nm' 和第二电容器 C2nm 中可充以与数据信号 DSm 对应的预定电压。

[0087] 当提供数据信号 DSm 时,第一节点 N1nm' 的电压可从参考电源 ELVref 的参考电压 Vref 降至数据信号 DSm 的电压。此时,由于第二节点 N2nm' 可正被浮置,所以第二节点 N2nm' 的电压值可响应第一节点 N1nm' 的电压降的量而减小。可通过第一电容器 C1nm' 和第二电容器 C2nm 的电容来确定会发生在第二节点 N2nm' 处的电压的减小量。

[0088] 当第二节点 N2nm' 的电压降低时,在第一电容器 C1nm' 中可充以与第二节点 N2nm' 的电压值对应的预定电压。当固定参考电源 ELVref 的电压值时,可通过数据信号 DSm 来确定充在第一电容器 C1nm' 中的电压的量。即,在图 5 中示出的第 nm 个像素 140nm' 中,因为可通过参考电源 ELVref 和数据信号 DSm 来确定充在第一电容器 C1nm' 和第二电容器 C2nm 中的电压值,所以会有可能不管第一电源 ELVDD 的电压降为何而充以期望的电压。

[0089] 在本发明的实施例中,可重置伽玛电压单元的电压,从而,利用重置伽玛电压,可补偿包括在各像素 140 中的晶体管的电子迁移率,并且可提供各自产生的数据信号。在本发明的实施例中,可补偿晶体管的阈值电压的不均匀性和晶体管的电子迁移率中的偏差,从而能够显示亮度均匀的图像。

[0090] 图 6 示出了在图 2 中示出的数据驱动电路的第一示例性实施例的框图。为了简单起见,在图 6 中,假设数据驱动电路 200 具有 j 个通道,其中,j 为等于或大于 2 的自然数。

[0091] 如图 6 中所示,数据驱动电路 200 可包括移位寄存单元 210、采样锁存单元 220、保持锁存单元 230、解码单元 240、数模转换单元(在下文中,称作 DAC)250、电压控制单元 260、第一缓冲单元 270、电流提供单元 280、选择器 290 和伽玛电压单元 300。

[0092] 移位寄存单元 210 可从时序控制器 150 接收源移位时钟 SSC 和源起始脉冲 SSP。移位寄存单元 210 可利用源移位时钟 SSC 和源起始脉冲 SSP,在源移位时钟 SSC 的每一个周期使源起始脉冲 SSP 移位的同时顺序地产生 j 个采样信号。移位寄存单元 210 可包括 j 个移位寄存器 2101 至 210j。

[0093] 解码单元 240 可包括 j 个解码器 2401 至 240j。解码器 2401 至 240j 中的每个可接收 k 位各自的第一数据 DATA1,并将这 k 位的第一数据 DATA1 转换为 p(p 为自然数)位第二数据 DATA2。在本发明的实施例中,解码器 2401 至 240j 中的每个可利用二进制权值产生 p 位第二数据 DATA2。

[0094] 在本发明的实施例中,可确定外部接收的第一数据 DATA1 的权值,从而允许伽玛电压单元 300 设置成预定的电压。例如,可确定允许从多个灰阶电压中选择期望的灰阶电压的第一数据 DATA1 的位数。可通过伽玛电压单元 300 产生多个灰阶电压。解码器 2401 至 240j 利用二进制权值将与灰阶电压对应的 k 位第一数据 DATA1 转换为各自的 p 位第二数据 DATA2-1 至 DATA2-j。例如,解码器 2401 至 240j 可利用八位第一数据 DATA1 产生五位第二数据 DATA2。

[0095] 在本发明的实施例中,可设置至少一个解码单元 240。如图 6 中所示,解码单元 240 可连接到采样锁存单元 220。在这样的实施例中,当从时序控制器 150 顺序地提供第一数据 DATA1 时,解码单元 240 可接收第一数据 DATA1,并向采样锁存单元 220 提供例如 k 位第一数据 DATA1 和转换而来的例如 p 位第二数据 DATA2。在本发明的实施例中,当从时序控制器 150 同时输入与例如红色、绿色和蓝色对应的第一数据 DATA1 时,可设置三个解码单元 240,并且这些解码单元 240 可连接到采样锁存单元 220。

[0096] 采样锁存单元 220 响应由移位寄存单元 210 顺序提供的采样信号,可顺序地存储各自的第一数据 DATA1 和第二数据 DATA2。采样锁存单元 220 可包括 j 个采样锁存器 2201 至 220j,用来分别存储 j 个第一数据 DATA1-1 至 DATA1-j 和 j 个第二数据 DATA2-1 至 DATA2-j。采样锁存器 2201 至 220j 中的每个的大小可对应于第一数据 DATA1 和第二数据 DATA2 的总位数。例如,如图 7 中所示,在本发明的实施例中,其中,第一数据 DATA1 具有 k 位,第二数据 DATA2 具有 p 位,采样锁存器 2201 至 220j 中的每个的大小为 (k+p) 位,从而采样锁存器 2201 至 220j 可分别存储 j 个第一数据 DATA1-1 至 DATA1-j 和 j 个第二数据 DATA2-1 至 DATA2-j 中的每个,共 (k+p) 位。

[0097] 当向保持锁存单元 230 输入源输出使能 SOE 信号时,保持锁存单元 230 可从采样锁存单元 220 接收第一数据 DATA1 和第二数据 DATA2,以存储第一数据 DATA1 和第二数据 DATA2。当输入 SOE 信号时,保持锁存单元 230 可将其内存储的第一数据 DATA1 和 / 或第二数据 DATA2 提供给 DAC 单元 250 和 / 或电压控制单元 260。保持锁存单元 230 可包括 j 个保持锁存器 2301 至 230j,以存储 j 个第一数据 DATA1-1 至 DATA1-j 和 j 个第二数据 DATA2-1 至 DATA2-j。保持锁存器 2301 至 230j 中的每个的大小可对应于第一数据 DATA1 和第二数据 DATA2 的总位数。例如,如图 7 中所示,保持锁存器 2301 至 230j 中的每个的大小可为 (k+p) 位,使得可分别存储 k 位的 j 个第一数据 DATA1-1 至 DATA1-j 中的每个和 p 位的 j 个第二数据 DATA2-1 至 DATA2-j 中的每个。

[0098] 电流提供单元 280 可从通过扫描信号 SS1 至 SSn 之一选择的各自的像素 140 吸收预定电流 PC。在每个水平周期的第一时间段期间,电流提供单元 280 可通过各自的数据线 D1 至 Dj 中的一条接收吸收电流。

[0099] 在本发明的实施例中,电流提供单元 280 可吸收与由各自的发光器 (例如, OLED) 发射最大亮度的光使用的电流的最小量对应的电流量。然后,电流提供单元 280 可向电压控制单元 260 提供预定的补偿电压。在吸收各自的预定电流 PC 的同时可产生补偿电压。在图 6 中示出的示例性实施例中,电流提供单元 280 包括 j 个电流吸收单元 2801 至 280j。

[0100] 伽玛电压单元 300 可产生预定的与 k 位第一数据 DATA1 对应的灰阶电压。如图 9 中所示,伽玛电压单元 300 可包括多个分布电阻器或电压划分电阻器 R1 至 R1,并且可产生 2^k 个灰阶电压。由伽玛电压单元 300 产生的灰阶电压可提供给 DAC 单元 250。

[0101] DAC 单元 250 可包括 j 个 DAC2501 至 250j。由伽玛电压单元 300 产生的灰阶电压可提供给 j 个 DAC 2501 至 250j 中的每个。基于由各自的保持锁存单元 2301 至 230j 提供的各自的第一数据 DATA1-1 至 DATA1-j, DAC 2501 至 250j 可选择可由伽玛电压单元 300 提供的灰阶电压中的一个作为数据信号 DS。例如,基于各自的第一数据 DATA1-1 至 DATA1-j 的位数, DAC 2501 至 250j 可分别选择可由伽玛电压单元 300 提供的灰阶电压中的一个作为数据信号 DS。

[0102] 电压控制单元 260 可包括 j 个电压控制器 2601 至 260j。

[0103] 电压控制器 2601 至 260j 可分别接收补偿电压或第二数据 DATA2 和第三电源电压 VSS' 信号, 补偿电压例如为由各自的电流吸收单元 2801 至 280j 提供的电压。在本发明的实施例中, 可采用相同的电源或不同的电源, 用于提供第二电压 VSS 信号和第三电源电压 VSS' 信号。第三电源电压 VSS' 信号可被提供给伽玛电压单元 300 的端子。可接收补偿电压和 / 或第二数据 DATA2 和第三电源电压 VSS' 信号的电压控制器 2601 至 260j 可控制所选择的数据信号 DS 的电压值, 从而可补偿像素 140 中的变化, 例如补偿由于包括在各自的像素 140 中的晶体管的电子迁移率、阈值电压等引起的变化。

[0104] 第一缓冲单元 270 可向选择器 290 提供各自的数据信号 DS。如上面所讨论的, 通过电压控制单元 260 可控制各自的数据信号的电压。在本发明的实施例中, 第一缓冲单元 270 可包括 j 个第一缓冲器 2701 至 270j。

[0105] 选择器 290 可控制数据线 D1 至 Dj 和第一缓冲器 2701 至 270j 之间的电连接。在一个水平周期 1H 的第二时间段期间, 选择器 290 可使数据线 D1 至 Dj 和第一缓冲器 2701 至 270j 相互电连接。在本发明的实施例中, 选择器 290 仅在第二时间段期间可使数据线 D1 至 Dj 和第一缓冲器 2701 至 270j 相互电连接。在除了第二时间段之外的时间段期间, 选择器 290 可保持数据线 D1 至 Dj 和第一缓冲器 2701 至 270j 相互电断开。

[0106] 选择器 290 可包括 j 个开关单元 2901 至 290j。所产生的各自的数据信号 DS1 至 DSj 可通过开关单元 2901 至 290j 分别从第一缓冲器 2701 至 270j 提供给数据线 D1 至 Dj。在本发明的实施例中, 选择器 290 可采用其它类型的开关单元。图 11 示出了可用于选择器 290 的开关单元 290j' 的另一示例性实施例。

[0107] 如图 8 中所示, 在第二示例性实施例中, 数据驱动电路 200 可包括与保持锁存单元 230 连接的电平移位单元 310。电平移位单元 310 可包括电平移位器 3101 至 310j, 且可升高由保持锁存单元 230 提供的第一数据 DATA1 和第二数据 DATA2 的电压电平, 并且可向 DAC 单元 250 和电压控制单元 260 提供第一数据 DATA1 和第二数据 DATA2。当由外部系统提供给数据驱动电路 200 的数据 (未示出) 具有高电压电平时, 通常应当设置具有耐高压性能的电路组件, 因而, 增加了制造成本。在本发明的实施例中, 由外部系统提供给数据驱动电路 200 的数据可具有低电压电平, 并且可由电平移位器 310 将低电压电平转变为高电压电平。在本发明的实施例中, 第一数据 DATA1 可以对应于外部提供的数据。

[0108] 图 9 示出了连接图 6 中示出的伽玛电压单元 300、DAC 250j、电压控制器 260j、开关单元 290j 和电流吸收单元 280j 与像素 140nj 的连接方案的第一实施例。为了简单起见, 图 9 仅示出了一个通道, 即第 j 个通道, 并且根据图 3 中示出的像素 140nm 的示例性实施例, 假设数据线 Dj 与第 nj 个像素 140nj 连接。

[0109] 如图 9 中所示, 伽玛电压单元 300 可包括多个分布电阻器 R1 至 R1。分布电阻器 R1 至 R1 可设置在参考电源电压 Vref 和第三电源电压 VSS' 之间。分布电阻器 R1 至 R1 可分配或划分提供给其的电压。例如, 分布电阻器 R1 至 R1 可分配或划分参考电源电压 Vref 和第三电源电压 VSS' 之间的电压, 并可产生多个灰阶电压 V0 至 $V2^k-1$ 。分布电阻器 R1 至 R1 可将产生的灰阶电压 V0 至 $V2^k-1$ 提供给 DAC 250j。伽玛电压单元 300 可通过第三缓冲器 301 向电压控制器 260j 提供第三电源电压 VSS'。

[0110] DAC 单元 250 可包括 j 个 DAC 2501 至 250j。由伽玛电压单元 300 产生的灰阶电

压可被提供给 j 个 DAC 2501 至 250j 中的每个。基于各自的第一数据 DATA1, DAC 2501 至 250j 中的每个可选择可由伽玛电压 300 提供的灰阶电压 V_0 至 $V2^k-1$ 中的一个作为数据信号 DS。基于第一数据 DATA1-1 至 DATA1-j 的位值, DAC 250j 可选择灰阶电压 V_0 至 $V2^k-1$ 中的一个作为数据信号 DS。DAC 250j 可将所选择的灰阶电压提供给第一缓冲器 270j。

[0111] 响应第一数据 DATA1 的位值, DAC 250j 可选择灰阶电压 V_0 至 $V2^{k-1}$ 中的一个灰阶电压作为数据信号 DS, 以将数据信号 DS 提供给第一缓冲器 270j。第四十一晶体管 M41 可设置在 DAC 250j 和第一缓冲器 270j 之间。第四十一晶体管 M41j 的第一电极可连接到 DAC 250j。第四十一晶体管 M41j 的第二电极可连接到第一缓冲器 270j。如图 9 和图 10 中所示, 可通过提供给第四十一晶体管 M41j 的栅电极的第三控制信号 CS3 来控制第四十一晶体管 M41j。如图 10 中所示, 在一个水平周期的第一时间段的部分期间, 可导通第四十一晶体管 M41j, 从而通过第四十一晶体管 M41j 将由 DAC 250j 提供的数据信号 DS 提供给第一缓冲器 270j。如图 10 中所示, 在第二控制信号 CS2 的电压改变 (例如, 升高) 之后, 第三控制信号 CS3 的电压可改变 (例如, 升高), 在第二控制信号 CS2 的电压又改变 (例如, 降低) 的同时, 第三控制信号 CS3 的电压又可改变 (例如, 降低)。

[0112] 电流吸收单元 280j 可包括第十二晶体管 M12j、第十三晶体管 M13j、电流源 I_{maxj} 、第三电容器 C3j、第三节点 N3j、地电压源 GND 和第二缓冲器 281j。可通过第二控制信号 CS2 来控制第十二晶体管 M12j 和第十三晶体管 M13j。电流源 I_{maxj} 可连接到第十三晶体管 M13j 的第一电极。第三电容器 C3j 可连接在第三节点 N3j 和地电压源 GND 之间。第二缓冲器 281j 可连接在第三节点 N3j 和电压控制器 260j 之间。

[0113] 第十二晶体管 M12j 的栅电极可连接到第十三晶体管 M13j 的栅电极。第十二晶体管 M12j 的第二电极可连接到第十三晶体管 M13j 的第二电极和数据线 Dj。第十二晶体管 M12j 的第一电极可连接到第二缓冲器 281j。在每个水平周期 1H 的第一时间段期间, 可导通第十二晶体管 M12j 和第十三晶体管 M13j。在水平周期 1H 的第二时间段期间, 可截止第十二晶体管 M12j 和第十三晶体管 M13j。第二控制信号 CS2 可控制第十二晶体管 M12j 和第十三晶体管 M13j 的导通 / 截止状态。

[0114] 在一个水平周期 1H 的第一时间段期间, 电流源 I_{maxj} 可从像素 140nj 接收可被提供给发光器 (例如, OLEDnj) 的至少使像素 140nj 发射最大亮度的光的最小量的电流。如上面所讨论的, 在一个水平周期 1H 的第一时间段期间, 第二控制信号 CS2 可控制将被导通的第十二晶体管 M12j 和第十三晶体管 M13j, 从而允许预定电流 PC 从像素 140nj 流到电流吸收单元 280j。当在一个水平周期的第一时间段期间第十二晶体管 M12j 和第十三晶体管 M13j 导通时, 电流吸收单元 280j 的电流源 I_{maxj} 可接收与可被提供给 OLEDnj 的使像素 140nj 发射最大亮度的光的电流的最小量对应的电流量。当向发光器件提供至少一个与多个灰阶电压 V_0 至 $V2^k-1$ 中的最高的一个对应的电压时, 各自的发光器件, 例如, OLEDnj, 可发射最大亮度的光。

[0115] 当来自像素 140nj 的电流吸收到电流源 I_{maxj} 时, 第三电容器 C3j 可存储可施加到第三节点 N3j 的补偿电压。在一个水平周期 1H 的第一时间段期间, 第三电容器 C3j 可存储施加到第三节点 N3j 的补偿电压, 即使当第十二晶体管 M12j 和第十三晶体管 M13j 截止时, 第三电容器 C3j 也可使第三节点 N3j 处的补偿电压保持稳定。

[0116] 第二缓冲器 281j 可将施加到第三节点 N3j 的补偿电压传输到电压控制器 260j。

[0117] 电压控制器 260j 可接收补偿电压、第二数据 DATA2 和 / 或第三电源电压 VSS' 的电压,以控制数据信号 DSj 的电压值。在示例性实施例的描述中,标号“p”将等于五,但是,“p”可以是任一正整数。

[0118] 为了控制数据信号 DSj 的电压值,电压控制器 260j 可包括 p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj、第一组 p 个 PMOS 晶体管 M31j、M32j、M33j、M34j 和 M35j、第一组 p 个 NMOS 晶体管 M21j、M22j、M23j、M24j 和 M25j。电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 可与连接第四十一晶体管 M41j 和第一缓冲器 270j 的电路连接。第一组 p 个 PMOS 晶体管 M31j、M32j、M33j、M34j 和 M35j 的第一电极可连接到第三缓冲器 301j,第一组 p 个 PMOS 晶体管 M31j、M32j、M33j、M34j 和 M35j 的第二电极可分别与 p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的第一电极连接。p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的第二电极可连接到第四十一晶体管 M41j 的第二电极和第一缓冲器 270j。第一组 p 个 NMOS 晶体管 M21j、M22j、M23j、M24j 和 M25j 的第一电极可连接到第二缓冲器 281j,第一组 p 个 NMOS 晶体管 M21j、M22j、M23j、M24j 和 M25j 的第二电极可分别与 p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的第一电极连接。第一组 p 个 NMOS 晶体管 M21j、M22j、M23j、M24j 和 M25j 的栅电极可分别与第一组 p 个 PMOS 晶体管 M31j 至 M35j 的栅电极连接。

[0119] p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的电容值可以以这样一种方式彼此相关,即,p 个电容器的电容可分别按 2^0 、 2^1 、 2^2 、 2^3 和 2^4 的顺序增大。例如,p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的电容可根据第二数据 DATA2 具有各自的二进制权值。

[0120] 如图 9 中所示,电压控制器 260j 可包括第二组例如 p 个 NMOS 晶体管 M51j、M52j、M53j、M54j 和 M55j、第二组例如 p 个 PMOS 晶体管 M61j、M62j、M63j、M64j 和 M65j。第二组 p 个 NMOS 晶体管 M51j 至 M55j 的第一电极可连接到地电压源 GND。第二组 p 个 PMOS 晶体管 M61j 至 M65j 的第一电极可连接到例如保持锁存单元 230j 或电平移位器 310j,并可接收第二数据 DATA2。第二组 p 个 NMOS 晶体管 M51j、M52j、M53j、M54j 和 M55j 的第二电极可分别与第一组 p 个 PMOS 晶体管 M31j 至 M35j 的栅电极和第一组 p 个 NMOS 晶体管 M21j 至 M25j 的栅电极连接。第二组 p 个 NMOS 晶体管 M51j 至 M55j 的栅电极可分别与第二组 p 个 PMOS 晶体管 M61j 至 M65j 的栅电极连接。

[0121] 如图 10 中所示,第四控制信号 CS4 可控制第二组 p 个 NMOS 晶体管 M51j 至 M55j。在一个水平周期 1H 的第一时间段期间,第四控制信号 CS4 可导通第二组 p 个 NMOS 晶体管 M51j 至 M55j,在该水平周期的第二时间段期间,第四控制信号 CS4 可截止第二组 p 个 NMOS 晶体管 M51j 至 M55j。

[0122] 在第一时间段期间,可通过第四控制信号 CS4 使第二组 p 个 NMOS 晶体管 M51j 至 M55j 导通。当第二组 p 个 NMOS 晶体管导通时,来自地电压源 GND 的电压可被提供给第一组 p 个 PMOS 晶体管 M31j 至 M35j 的栅电极。因而,在一个水平周期 1H 的第一时间段期间,可导通第一组 p 个 PMOS 晶体管 M31j 至 M35j。当第一组 p 个 PMOS 晶体管 M31j 至 M35j 导通时,可通过第三缓冲器 301j 将来自第三源电压 VSS' 的电压提供给第四电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 中的每个的第一电极。

[0123] 在本发明的实施例中,第一组 p 个 PMOS 晶体管由 PMOS 晶体管形成,第二组 p 个 NMOS 晶体管由 NMOS 晶体管形成,然而,本发明的实施例不局限于这些器件。在本发明的实施例中,第一组 p 个 PMOS 晶体管的导电类型,例如 P 型或 N 型,可与第二组 p 个 NMOS 晶体

管的导电类型相反。

[0124] 第二组 p 个 PMOS 晶体管 M61j 至 M65j 可将第二数据 DATA2 提供给第一组 p 个 PMOS 晶体管 M31j 至 M35j 的栅电极和第一组 p 个 NMOS 晶体管 M21j 至 M25j 的栅电极。在本发明的实施例中,第二组 p 个 PMOS 晶体管的第六十一晶体管 M61j 可接收第二数据 DATA2 中的具有最低权值的位,并将最低权值的位提供给第一组 p 个 NMOS 晶体管的第二十五晶体管 M25j。根据具有最低权值的位的值,可导通或截止第二十五晶体管 M25j。在本发明的实施例中,当具有最低权值的位为 1 时,可导通第一组 p 个 NMOS 晶体管的第二十五晶体管 M25j,当具有最低权值的位为 0 时,可截止第一组 p 个 NMOS 晶体管的第二十五晶体管 M25j。

[0125] 第二组 p 个 PMOS 晶体管的第六十二晶体管 M62j 可接收第二数据 DATA2 中的具有第二最低权值的位,并将具有第二最低权值的位提供给第一组 p 个 NMOS 晶体管的第二十四晶体管 M24j。第二组 p 个 PMOS 晶体管的第六十三晶体管 M63j 可接收第二数据 DATA2 中的具有第三最低权值的位,并将第三最低权值的位提供给第一组 p 个 NMOS 晶体管的第二十三晶体管 M23j。第二组 p 个 PMOS 晶体管的第六十四晶体管 M64j 可接收第二数据 DATA2 中的具有第四最低权值的位,并将第四最低权值的位提供给第一组 p 个 NMOS 晶体管的第二十二晶体管 M22j。第二组 p 个 PMOS 晶体管的第六十五晶体管 M65j 可接收第二数据 DATA2 中的具有最高权值的位,并将最高权值的位提供给第一组 p 个 NMOS 晶体管的第二十一晶体管 M21j。第二组 p 个 PMOS 晶体管 M61j 至 M65j 可由 PMOS 晶体管形成,并且其通过第四控制信号 CS4 来控制的方式为:如图 10 中所示,在一个水平周期 1H 的第一时间段期间,可截止第二组 p 个 PMOS 晶体管 M61j 至 M65j;在一个水平周期 1H 的第二时间段期间,可导通第二组 p 个 PMOS 晶体管 M61j 至 M65j。

[0126] 当从第二组 p 个 PMOS 晶体管 M61j 至 M65j 分别将例如具有值为 1 的第二数据 DATA2 的各自的位提供给各自的栅电极时,可导通第一组 p 个 NMOS 晶体管 M21j 至 M25j。当第一组 p 个 NMOS 晶体管 M21j 至 M25j 导通时,对应的补偿电压可分别被提供给第四电容器 Cj、2Cj、4Cj、8Cj 和 16Cj。

[0127] 当补偿电压施加到第四电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的第一电极中的至少一个时,施加到第四十一晶体管 M41j 和第一缓冲器 270j 之间的线的数据信号 DSj 的电压值升高或降低。数据信号 DSj 的电压值基于补偿电压的值而升高或降低。因而,通过由当前被驱动的像素 140nj 产生的各自的补偿电压来控制数据信号 DSj 的电压值,控制数据信号 DSj 的电压值而使得可补偿包括在像素 140nj 中的晶体管的特性例如电子迁移率的差异。在本发明的实施例中,至少因为可通过由各自的被驱动的像素 1401j 至 140nj 确定的各自的补偿电压来控制提供给各像素 1401j 至 140nj 的各自的数据信号 DSj 的电压值,从而可补偿例如电子迁移率等特性的差异,所以像素单元 130 可显示亮度均匀的图像。

[0128] 第一缓冲器 270j 可将施加到第四十一晶体管 M41j 和第一缓冲器 270j 之间的线的数据信号 DSj 传输到开关单元 290j。

[0129] 开关单元 290j 可包括第十一晶体管 M11j。如图 9 和图 10 中所示,可通过第一控制信号 CS1 来控制第十一晶体管 M11j。在本发明的实施例中,在用于驱动第 j 通道中的 n 个像素中的每个的各水平周期 1H 的第二时间段期间,可导通第十一晶体管 M11j。在这样的实施例中,在用于驱动第 j 通道中的 n 个像素中的每个的各水平周期 1H 的第一时间段期间,可截止第十一晶体管 M11j。因而,在水平周期 1H 的第二时间段期间,数据信号 DSj 可

被提供给数据线 Dj, 在单个水平周期 1H 的其它时间段例如第一时间段期间, 不提供数据信号 DSj。在本发明的实施例中, 仅在单个的水平周期 1H 的第二时间段期间可提供数据信号 DSj。在本发明的实施例中, 从未在单个的水平周期 1H 的第一时间段期间可提供数据信号 DSj。

[0130] 图 10 示出了提供给图 9 中示出的开关单元、电流吸收单元、第四十一晶体管和电压控制器 260j 的驱动波形。

[0131] 图 10 示出了可适用于驱动图 9 中示出的像素、开关单元和电流吸收单元的示例性波形。将参照图 9 和图 10 来详细描述用于控制分别提供给像素 140 的数据信号 DS 的电压的示例性方法。在图 9 中示出的示例性实施例中, 设置了根据图 3 中示出的示例性实施例的像素 140nj 和像素电路 142nj。在下面的描述中, 将采用上面在图 3 中示出的第 nm 个像素 140nm 的描述中采用的相同标号来描述在图 9 中示出的第 nj 个像素 140nj 的示例性实施例中的相同部件。

[0132] 首先, 向第 n-1 条扫描线 Sn-1 提供扫描信号 SSn-1。当扫描信号 SSn-1 被提供给第 n-1 条扫描线 Sn-1 时, 第三晶体管 M3nj 和第五晶体管 M5nj 可被导通。然后, 可向第二节点 N2nj 施加由第一电源 ELVDD 的电压减去第四晶体管 M4nj 的阈值电压所获得的电压值, 可向第一节点 N1nj 施加参考电源 ELVref 的电压。然后, 与第一电源 ELVDD 的电压降和第四晶体管 M4nj 的阈值电压对应的电压可被充在第二电容器 C2nj 中。在下面的描述中, 将假设 VSS 等于 VSS'。

[0133] 可用等式 1 和等式 2 来表示施加到第一节点 N1nj 的电压和施加到第二节点 N2nj 的电压。

[0134] [等式 1]

[0135] $V_{N1} = V_{ref}$

[0136] [等式 2]

[0137] $V_{N2} = ELVDD - |V_{thM4}|$

[0138] 在等式 1 和等式 2 中, V_{N1} 、 V_{N2} 和 V_{thM4} 分别表示施加到第一节点 N1nj 的电压、施加到第二节点 N2nj 的电压和第四晶体管 M4nj 的阈值电压。

[0139] 从扫描信号 SSn-1 被提供给第 (n-1) 条扫描线 Sn-1 的时刻 (例如, 从低电压信号变为高电压信号), 到扫描信号 SSn 被提供给第 n 条扫描线 Snj 的时刻 (例如, 从高电压信号变为低电压信号), 第一节点 N1nj 和第二节点 N2nj 可浮置。因此, 在那个时间期间, 充在第二电容器 C2nj 中的电压值可不改变。

[0140] 然后, 第 n 个扫描信号 SSn 可被提供给第 n 条扫描线 Sn, 从而第一晶体管 M1nj 和第二晶体管 M2nj 可被导通。当扫描信号 SSn 正被提供给第 n 条扫描线时, 在正驱动第 n 条扫描线 Sn 的这个水平周期 1H 的第一时间段期间, 第十二晶体管 M12j 和第十三晶体管 M13j 可被导通。当第十二晶体管 M12j 和第十三晶体管 M13j 导通时, 可吸收可通过第一电源 ELVDD、第四晶体管 M4nj、第二晶体管 M2nj、数据线 Dj 和第十三晶体管 M13j 流经电流源 Imaxj 的电流。

[0141] 当电流通过第一电源 ELVDD、第四晶体管 M4nj 和第二晶体管 M2nj 流经电流源 Imaxj 时, 可应用等式 3。

[0142] [等式 3]

$$[0143] \quad I_{max} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (ELVDD - V_{N2} - |V_{thM4}|)^2$$

[0144] 在等式 3 中, μ 、 C_{ox} 、 W 和 L 分别表示电子迁移率、氧化层的电容、沟道的宽度和沟道的长度。

[0145] 可用等式 4 来表示当由等式 3 得到的电流流经第四晶体管 M4nj 时施加到第二节点 N2nj 的电压。

[0146] [等式 4]

$$[0147] \quad V_{N2} = ELVDD - \sqrt{\frac{2I_{max}}{\mu_p C_{ox}} \frac{L}{W}} - |V_{thM4}|$$

[0148] 可通过第二电容器 C2nj 的耦合用等式 5 来表示施加到第一节点 N1nj 的电压。

[0149] [等式 5]

$$[0150] \quad V_{N1} = V_{ref} - \sqrt{\frac{2I_{max}}{\mu_p C_{ox}} \frac{L}{W}} = V_{N3}$$

[0151] 在等式 5 中, 电压 V_{N1} 可与施加到第一节点 N1nj 的电压对应, 电压 V_{N3} 可与施加到第三节点 N3j 的电压对应。在本发明的实施例中, 当通过电流源 I_{maxj} 吸收电流时, 可向第三节点 N3j 施加满足等式 5 的电压。

[0152] 如等式 5 中所见, 施加到第三节点 N3j 的电压可受包括在像素 140nj 中的晶体管的电子迁移率的影响, 像素 140nj 将电流提供给电流源 I_{maxj} 。因此, 例如, 当各像素 140 中的电子迁移率变化时, 在各像素 140 中, 电流被提供给电流源 I_{maxj} 时施加到第三节点 N3j 的电压值可变化。

[0153] 在用于驱动各像素 140 的水平周期 1H 的第一时间段期间, DAC 250j 可基于用于各自的像素的第一数据 DATA1 选择 f 个灰阶电压中的第 h 个, 其中, h 和 f 为自然数。例如, DAC 250j 可选择 f 个灰阶电压中的与用于第 nj 个像素 140nj 的第一数据 DATA1 对应的第 h 个。然后, 当第四十一晶体管 M41j 导通时, DAC 250j 与电压控制器 260j 一起可选择性地将 f 个灰阶电压中的所选择的第 h 个作为数据信号 DSj 施加到第四十一晶体管 M41j 和第一缓冲器 270j 之间的电连接。可用等式 6 表示施加到第四十一晶体管 M41j 和第一缓冲器 270j 之间的电连接的电压。

[0154] [等式 6]

$$[0155] \quad V_L = V_{ref} - \frac{h}{f} (V_{ref} - V_{SS})$$

[0156] 在本发明的包括第二组 p 个 NMOS 晶体管 M51j 至 M55j 的实施例中, 在一个水平周期的第一时间段期间, 可通过第四控制信号 CS4 来导通第二组 p 个 NMOS 晶体管 M51j 至 M55j, 从而, 地电压源 GND 的电压可被提供给第一组 p 个 PMOS 晶体管 M31j 至 M35j 的各自的栅电极。然后, 可导通第一组 p 个 PMOS 晶体管 M31j 至 M35j, 从而, 第四电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的第一电极可被设置成具有第三电源电压 VSS 的电压值。在本发明的实施例中, 可将第三电源电压 VSS 的电压值设置成小于参考源电压 V_{ref} 的电压值。在本发明的实施例中, 可将第三电源电压 VSS 设置成由包括在像素单元 130 中的像素 140 产生的补偿电压的平均电压。

[0157] 在将第四电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的第一电极设置成具有第三电源电压

VSS 的电压值之后,第二组 p 个 PMOS 晶体管 M61j 至 M65j 在一个水平周期的第二时间段期间可被导通。当第二组 p 个 PMOS 晶体管 M61j 至 M65j 导通时,第二数据 DATA2 的位可被分别提供给第一组 p 个 NMOS 晶体管 M21j 至 M25j 的这 p 个 NMOS 晶体管 M21j 至 M25j。例如,当 p 位第二数据 DATA2 被设置成 00011 时,第一组 p 个 NMOS 晶体管 M21j 至 M25j 的第二十四晶体管 M24j 和第二十五晶体管 M25j 在第二组 p 个 PMOS 晶体管 M61j 至 M65j 导通时的这个水平周期的第二时间段期间被导通。然后,各自的补偿电压可被施加到第四电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 的第一电极。在具有值为 00011 的第二数据 DATA2 的示例中,因为补偿电压被施加到第一电容器 Cj 和第二电容器 2Cj 的各自的第一电极,所以可得到等式 7。

[0158] [等式 7]

$$[0159] \quad \frac{C+2C}{C+2C+4C+8C+16C} = \frac{h}{f}$$

[0160] 更具体地讲,如上面所讨论的,因为可通过改变第一数据 DATA1 的权值来产生第二数据 DATA2,所以满足等式 7 的值近似于 h/f 的值。

[0161] 同时,如果补偿电压被施加到 p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 中的至少一个,则可用等式 8 表示第四十一晶体管 M41j 和第一缓冲器 270j 之间的电连接的电压。

[0162] [等式 8]

$$[0163] \quad V_L = V_{ref} - \frac{h}{f} (V_{ref} - V_{SS}) + V_{boost} V_{boost} = \frac{h}{f} (V_{N3} - V_{SS})$$

$$[0164] \quad = V_{ref} - \frac{h}{f} (V_{ref} - V_{N3})$$

$$[0165] \quad = V_{ref} - \frac{h}{f} \sqrt{\frac{2I_{max}}{\mu_p C_{OX}} \frac{L}{W}}$$

[0166] 可通过第一缓冲器 270j 将满足等式 8 的电压提供给第十一晶体管 M11j。在一个水平周期 1H 的第二时间段期间,因为第十一晶体管 M11j 可被导通,所以可通过第十一晶体管 M11j、数据线 Dj 和第一晶体管 M1nj 将提供给第一缓冲器 270j 的电压提供给第一节点 N1nj。满足等式 8 的电压可被提供给第一节点 N1nj。可用等式 9 表示通过第二电容器 C2nj 的耦合施加到第二节点 N2nj 的电压。

[0167] [等式 9]

$$[0168] \quad V_{N2} = ELVDD - \frac{h}{f} \sqrt{\frac{2I_{max}}{\mu_p C_{OX}} \frac{L}{W}} - |V_{thM4}|$$

[0169] 这里,可用等式 10 表示流经第四晶体管 M4nj 的电流。

[0170] [等式 10]

$$[0171] \quad I_{M4} = \frac{1}{2} \mu_p C_{OX} \frac{W}{L} (ELVDD - V_{N2} - |V_{thM4}|)^2$$

$$[0172] \quad = \frac{1}{2} \mu_p C_{OX} \frac{W}{L} \left(ELVDD - \left(ELVDD - \frac{h}{f} \sqrt{\frac{2I_{max}}{\mu_p C_{OX}} \frac{L}{W}} - |V_{thM4}| \right) - V_{thM4} \right)^2$$

$$[0173] \quad = \left(\frac{h}{f} \right)^2 I_{max}$$

[0174] 参照等式 10, 在本发明的实施例中, 流经第四晶体管 M4nj 的电流可取决于提供给各像素 140 的各自的数据信号 DS, 更具体地讲, 取决于由电压控制器 260j 产生的灰阶电压。因此, 在本发明的实施例中, 通过提供基于由从各自的像素 140nj 吸收的电流产生的补偿电压的电流, 不管各自的像素的晶体管 (例如, M4nj) 的阈值电压、电子迁移率等为何, 可选择期望的电流, 并将该期望的电流作为各自的数据信号 DS 来提供。因而, 不管像素单元 130 的像素 140 之内和之间的电子迁移率和阈值电压的变化, 本发明的实施例能够显示均匀的图像。

[0175] 在本发明的实施例中, 如上面所讨论的, 可采用不同的开关单元。图 11 示出了采用开关单元 290j' 的另一实施例的图 9 中示出的连接方案。除了开关单元 290j' 的示例性实施例之外, 图 11 中示出的示例性连接方案与图 9 中示出的示例性连接方案基本相同。在下面的描述中, 将采用上面所用的相同标号来描述图 11 中示出的示例性实施例中相同的部件。

[0176] 如图 11 中所示, 另一示例性开关单元 290j' 可包括可以以传输门的形式相互连接的第十一晶体管 M11j 和第十四晶体管 M14j。可以是 PMOS 型晶体管的第十四晶体管 M14j 可接收第二控制信号 CS2。可以是 NMOS 型晶体管的第十一晶体管 M11j 可接收第一控制信号 CS1。在这样的实施例中, 当第一控制信号 CS1 的极性与第二控制信号 CS2 的极性相反时, 可同时导通或截止第十一晶体管 M11j 和第十四晶体管 M14j。

[0177] 在本发明的实施例中, 第十一晶体管 M11j 和第十四晶体管 M14j 可以以传输门的形式相互连接。在这样的实施例中, 电流-电压特性曲线可以为直线形式, 并且可使开关误差最小化。

[0178] 图 12 示出了连接图 6 中示出的伽玛电压单元 300、数模转换单元 250i、开关单元 290j、电压控制器 260j 和电流吸收单元 280j 及图 5 中示出的像素 140nj' 的连接方案的第二实施例的示意图。为了简单起见, 图 12 仅示出了一个通道, 即第 j 个通道, 并根据图 5 中示出的像素 140nm' 的示例性实施例, 假设数据线 Dj 连接到第 nj 个像素 140nj'。

[0179] 将参照图 10 和图 12 来详细描述驱动发光显示器的像素 140 的方法。首先, 当扫描信号 SSn-1 被提供给第 n-1 条扫描线 Sn-1 时, 满足等式 1 和等式 2 的电压可分别施加到第一节点 N1nj' 和第二节点 N2nj'。

[0180] 第 n 个扫描信号可施加到第 n 条扫描线 Sn。在用于驱动第 nj 个像素 140nj' 的水平周期 1H 的第一时间段期间, 当可导通第十二晶体管 M12j 和第十三晶体管 M13j 时, 流经第四晶体管 M4j 的电流可满足等式 3, 施加到第二节点 N2nj' 的电压可满足等式 4。在下面的描述中, 将采用在上面图 9 中示出的示例性实施例的描述中使用的相同标号来描述在图 12 中示出的连接方案的示例性实施例中的相同部件。

[0181] 可用等式 11 表示通过第二电容器 C2nj 的耦合施加到第一节点 N1nj' 的电压。

[0182] [等式 11]

$$[0183] \quad V_{M1} = V_{ref} - \left(\frac{C1+C2}{C2} \right) \sqrt{\frac{2I_{max}}{\mu_p C_{ox}}} \frac{L}{W} = V_{M3}$$

[0184] 同时, 在用于驱动第 nj 个像素 140nj' 的水平周期的第一时间段期间, DAC250j 可根据第一数据 DATA1 来选择 f 个灰阶电压中的第 h 个, 其中, h 和 f 为自然数。DAC 250j 还可提供满足等式 6 的灰阶电压。当第四十一晶体管 M41j 导通时, 可将所选择的 f 个灰阶电

压中的第 h 个提供给第一缓冲器 270j。通过数据线 Dj 可将所选择的 f 个灰阶电压中的第 h 个作为各自的数据信号 DS 提供给像素 140nj'。

[0185] 在用于驱动像素 140nj' 的水平周期 1H 的第一时间段期间,解码器 240j 可将起始信号提供给第三十一晶体管 M31j、第三十二晶体管 M32j、第三十三晶体管 M33j、第三十四晶体管 M34j 和第三十五晶体管 M35j,从而解码器 240j 可导通 p 个晶体管 M31j、M32j、M33j、M34j 和 M35j 中的每个。因而,在一个水平周期 1H 的第一时间段期间,p 个电容器 Cj、2Cj、4Cj、8Cj 和 16Cj 中的每个的端子的电压可以是第三电源电压 VSS。

[0186] 如上面所讨论的,在一个水平周期的第二时间段期间,可导通第二组 p 个 PMOS 晶体管 M61j 至 M65j。当第二组 p 个 PMOS 晶体管 M61j 至 M65j 导通时,第一组 p 个 NMOS 晶体管的第二十一晶体管 M21j、第二十二晶体管 M22j、第二十三晶体管 M23j、第二十四晶体管 M24j 和第二十五晶体管 M25j 可基于各自的第二数据 DATA2 的位值而导通或截止。第一组 p 个 NMOS 晶体管 M21j 至 M25j 可被导通和截止以获得与等式 7 中的 h/f 值近似的值。

[0187] 此时,可用等式 12 表示在第四十一晶体管 M41j 和第一缓冲器 270j 之间的电连接的电压 VL。

[0188] [等式 12]

$$[0189] \quad V_L = V_{ref} - \frac{h}{f} (V_{ref} - V_{SS}) + V_{boost} = \frac{h}{f} (V_{N3} - V_{SS})$$

$$[0190] \quad = V_{ref} - \frac{h}{f} (V_{ref} - V_{N3})$$

$$[0191] \quad = V_{ref} - \frac{h}{f} \left(\frac{C1+C2}{C2} \right) \sqrt{\frac{2I_{max}}{\mu_p C_{OX}} \frac{L}{W}}$$

[0192] 可通过第一缓冲器 270j 向第十一晶体管 M11j 提供满足等式 12 的电压。在用于驱动像素 140nj' 的水平周期 1H 的第二时间段期间,因为可导通第十一晶体管 M11j,所以提供给第一缓冲器 270j 的电压可通过第十一晶体管 M11j、数据线 Dj 和第一晶体管 M1j 被提供给第一节点 N1nj'。在本发明的实施例中,可向第一节点 N1nj' 提供满足等式 12 的电压。

[0193] 可用等式 9 表示通过第二电容器 C2nj 的耦合施加到第二节点 N2nj' 的电压。因此,可用等式 10 表示流经第四晶体管 M4nj 的电流。在本发明的实施例中,不管第四晶体管 M4nj 的阈值电压和电子迁移率为何,与通过 DAC 250j 选择的灰阶电压对应的电流可流到第四晶体管 M4nj。如上面所讨论的,本发明的实施例能够显示亮度均匀的图像。

[0194] 在本发明的一些实施例中,例如,在采用图 12 中示出的像素 140nj' 的实施例中,虽然第一节点 N1nj' 的电压可快速改变,即以 (C1+C2)/C2 未改变,但第二节点 N2nj' 的电压可逐渐地改变。当采用图 12 中示出的像素 140nj' 时,为伽玛电压单元 300 设置的电压范围大于当采用图 9 中示出的像素 140nj 时为伽玛电压单元 300 设置的电压范围。如上面所讨论的,当伽玛电压单元 300 的电压范围设置得较大时,能够减少第十一晶体管 M11j 和第一晶体管 M1nj 的开关误差的影响。

[0195] 因此,与图 3 中示出的像素 140nj 的结构相比,图 5 中示出的像素 140nj' 的结构可扩欠伽玛电压单元 300 的可利用的电压范围。照这样,通过扩大伽玛电压单元 300 的可利用的电压范围,能够减少第十一晶体管 M11j、第一晶体管 M1nj 等的开关误差的影响。

[0196] 如上所述,在采用本发明的一个或多个方面的数据驱动电路、数据驱动方法和发光显示器中,因为利用从各自的像素吸收电流时产生的补偿电压重置数据信号的电压,所以不管晶体管的电子迁移率、阈值电压等为何而可显示均匀的图像。

[0197] 在这里已经公开了本发明的示例性实施例,虽然采用了特定的术语,但是并非出于限制的目的,而是在一般描述的意义上来使用和解释这些术语。因此,本领域的普通技术人员要明白,在不脱离如权利要求所阐述的本发明的精神的范围的情况下;可在形式和细节上进行各种改变。

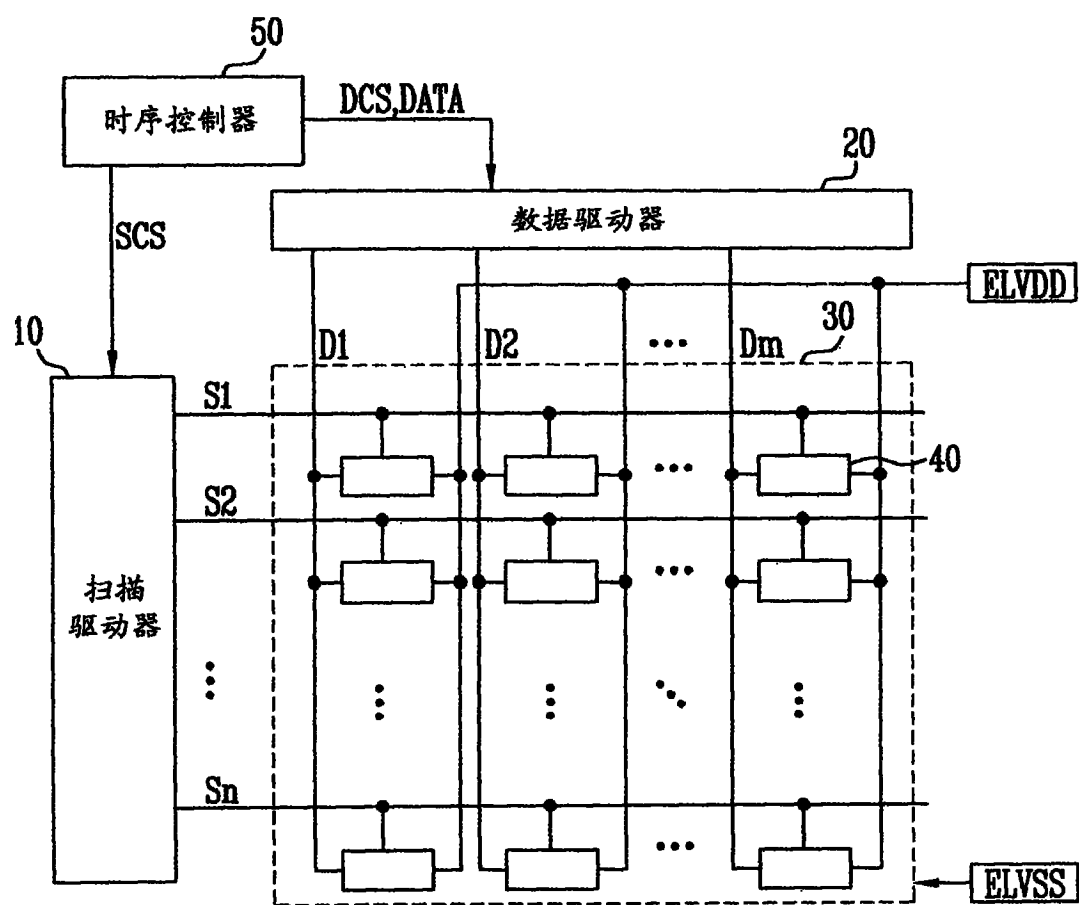


图 1

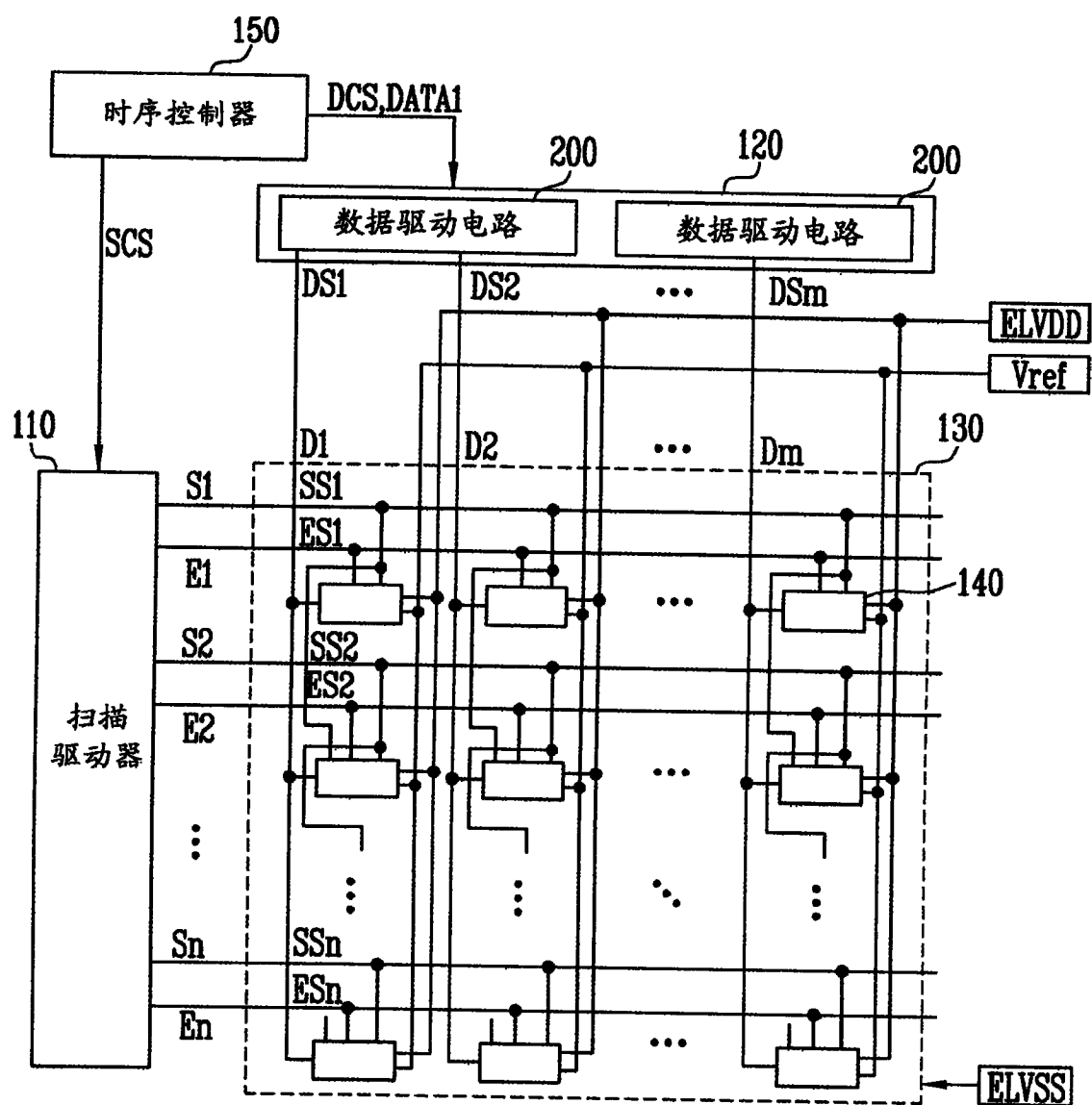
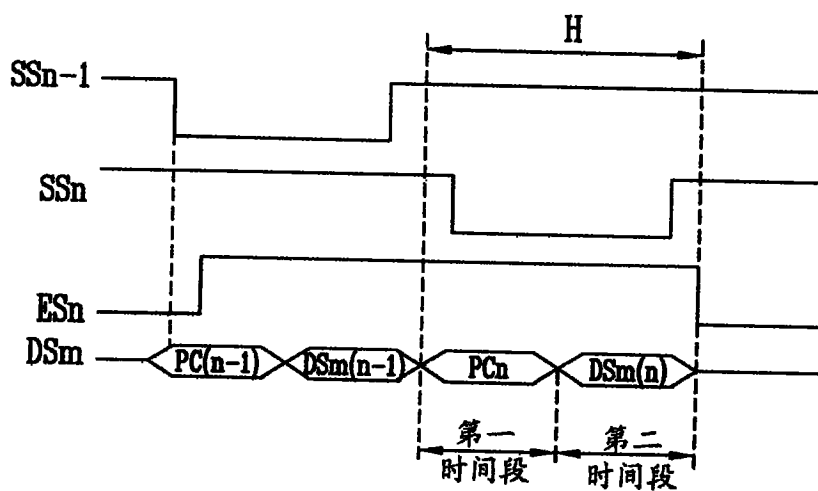
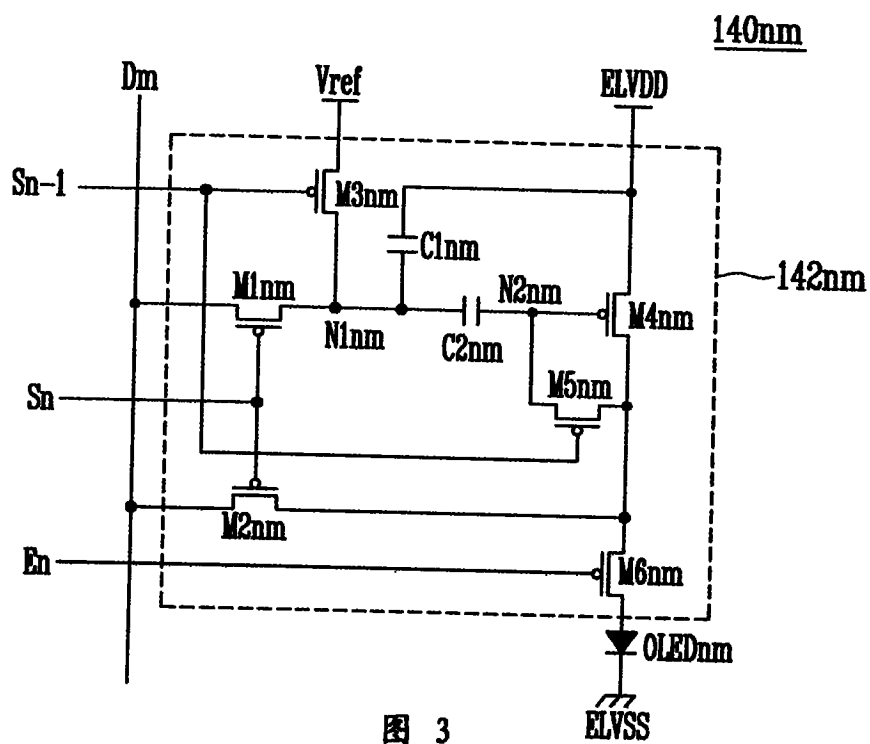


图 2



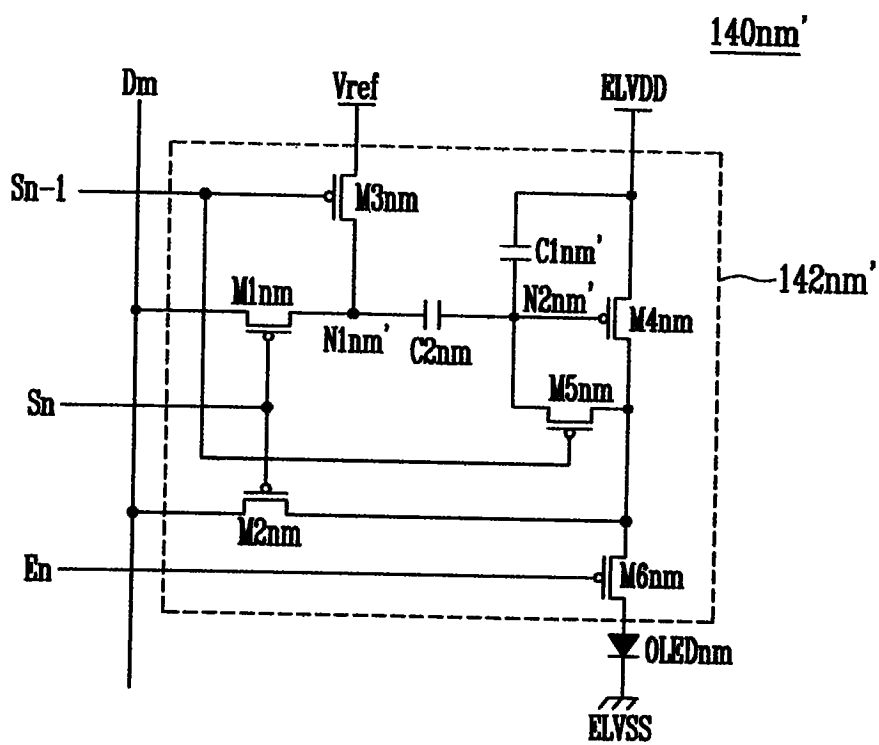


图 5

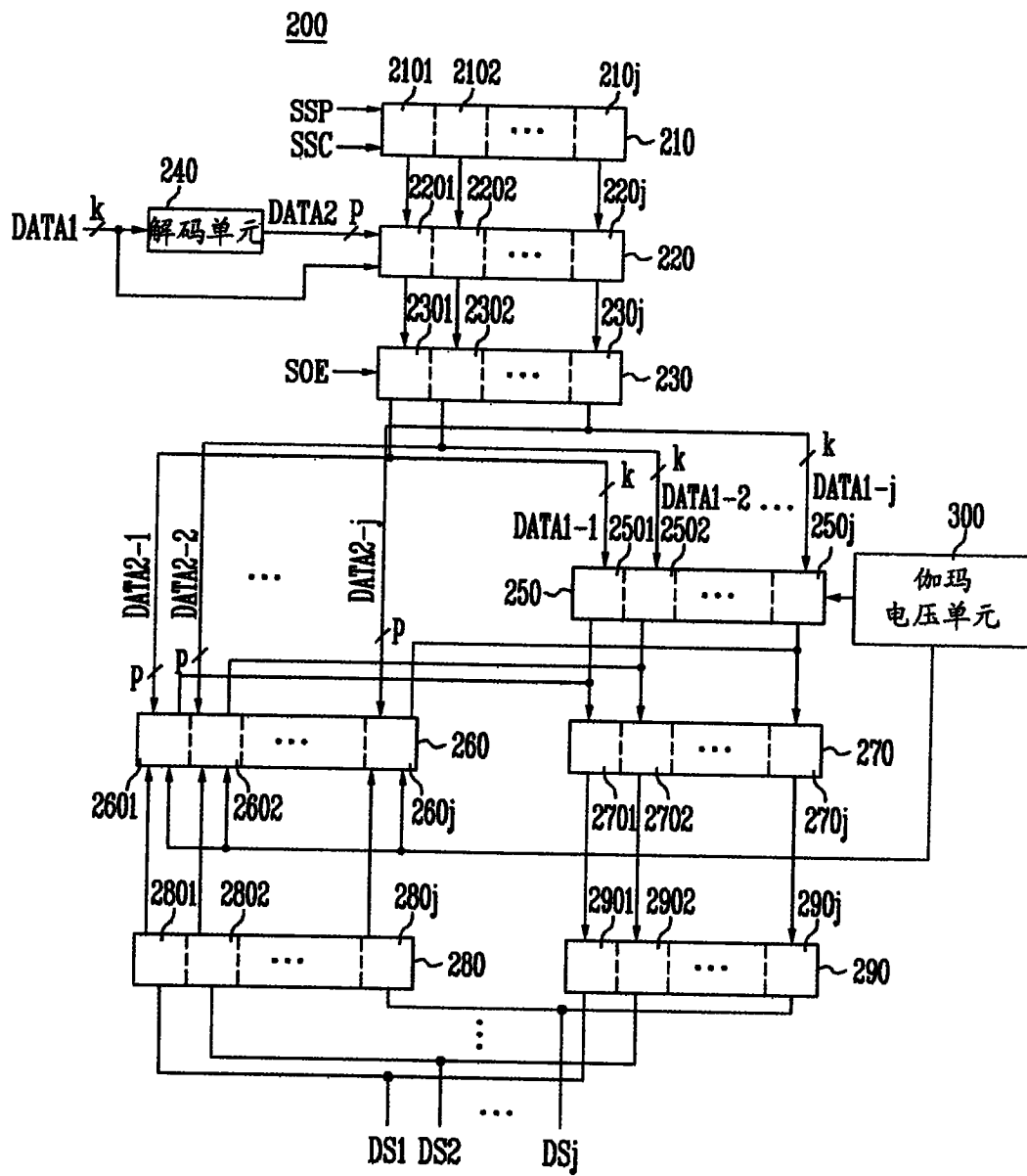


图 6

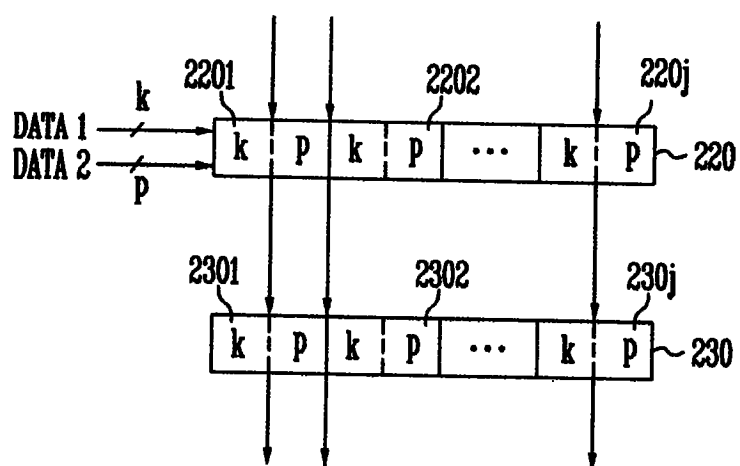


图 7

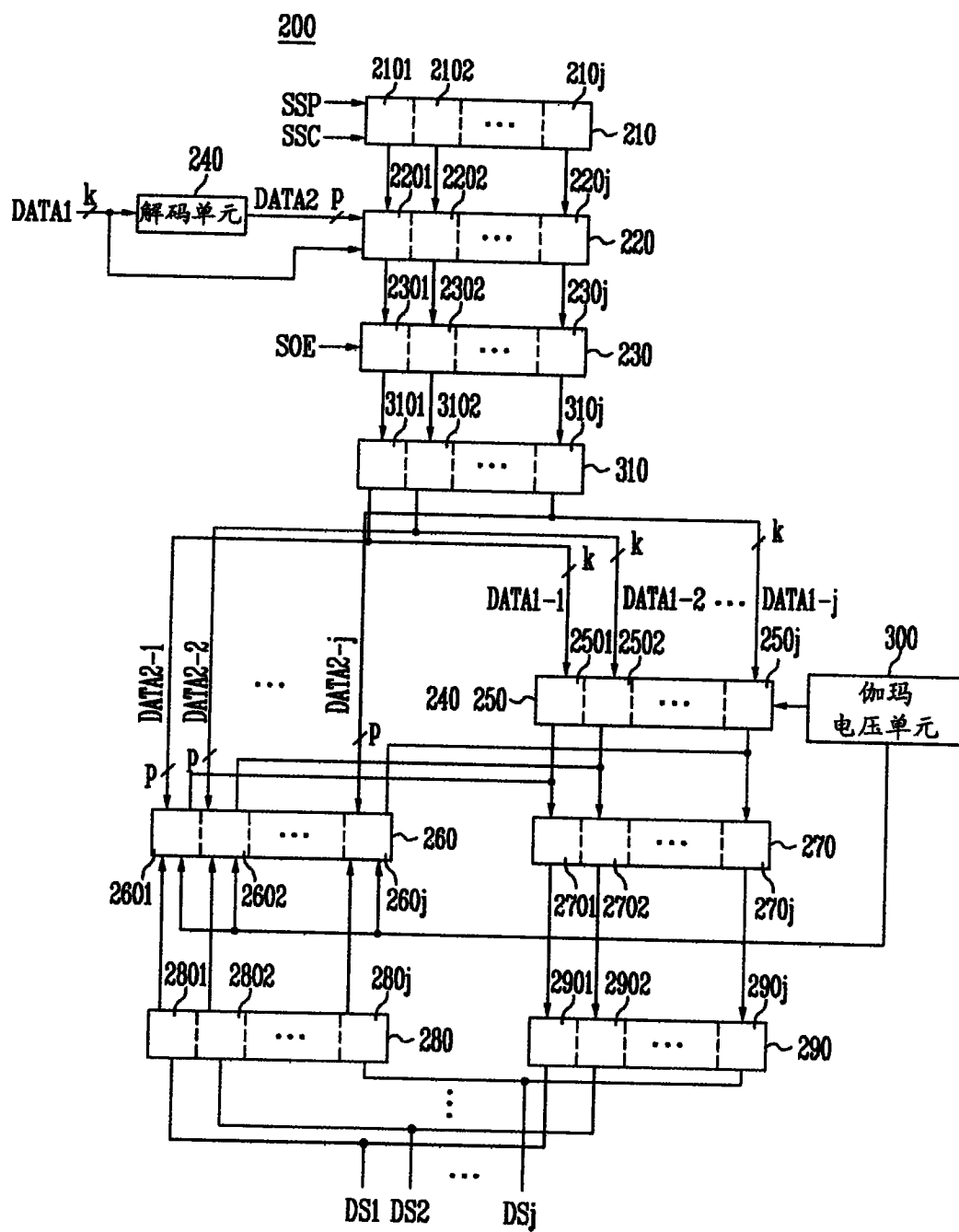


图 8

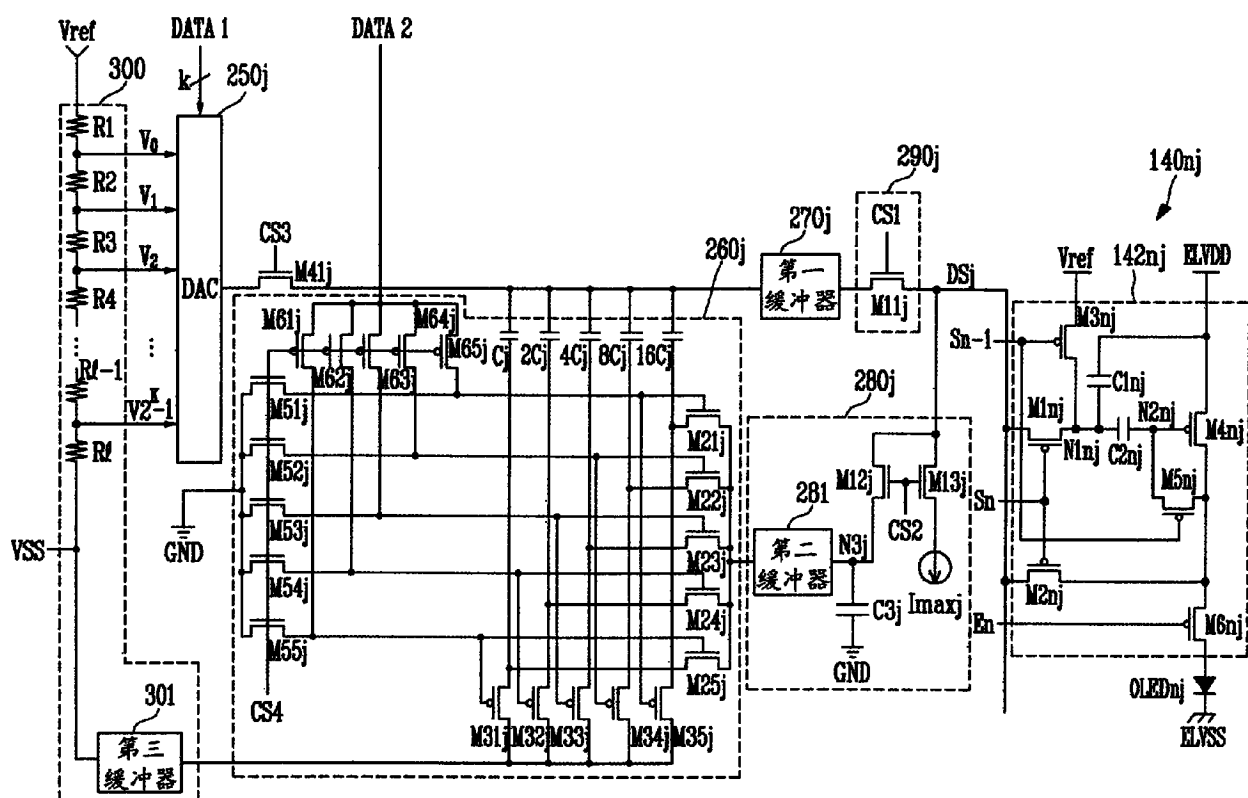


图 9

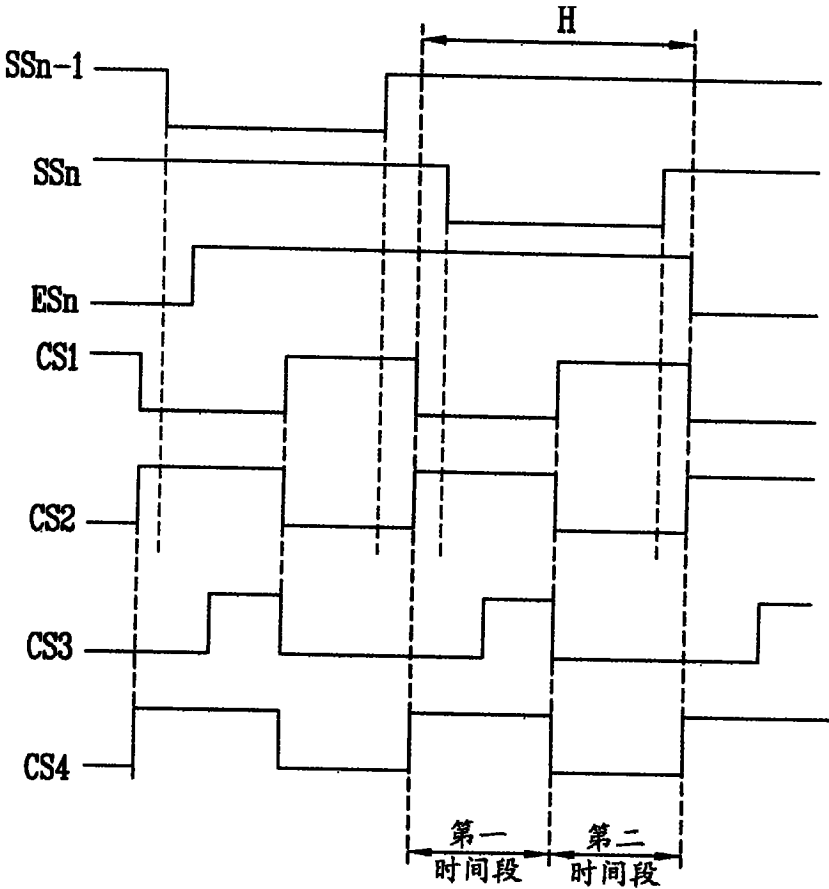


图 10

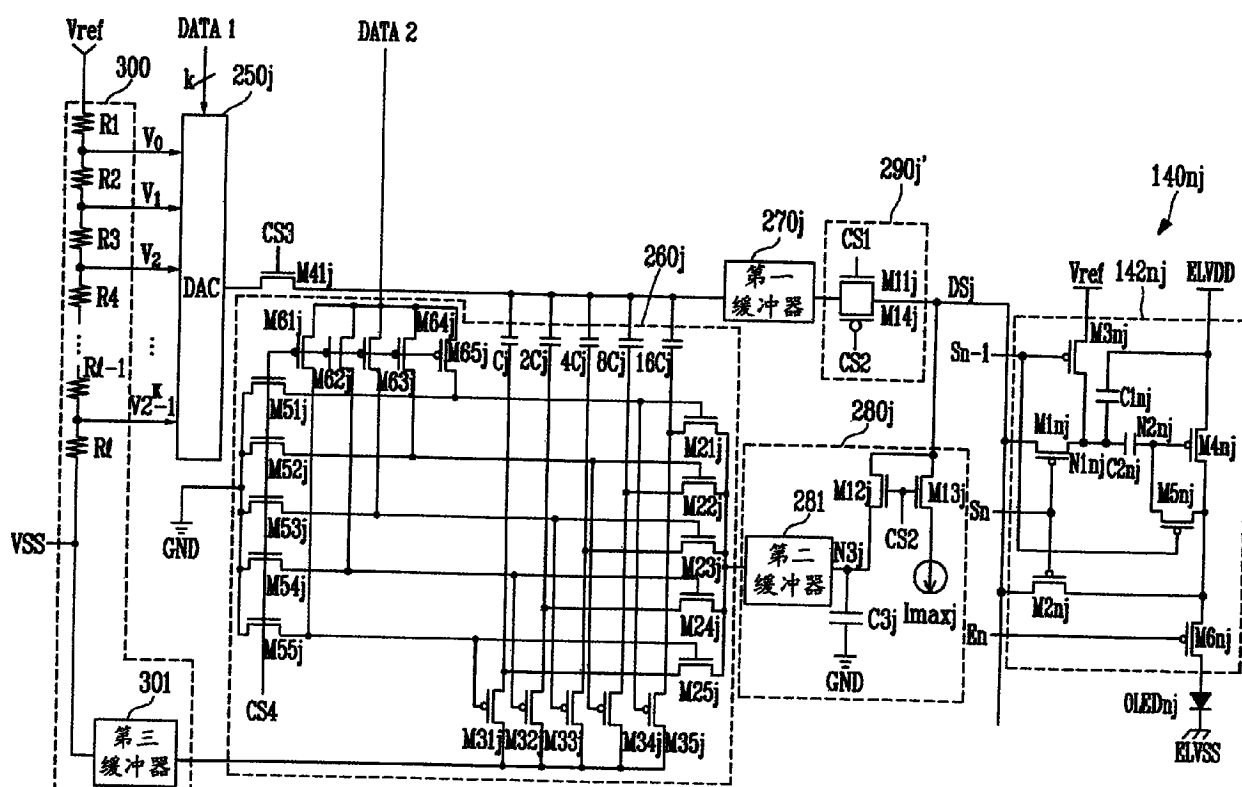


图 11

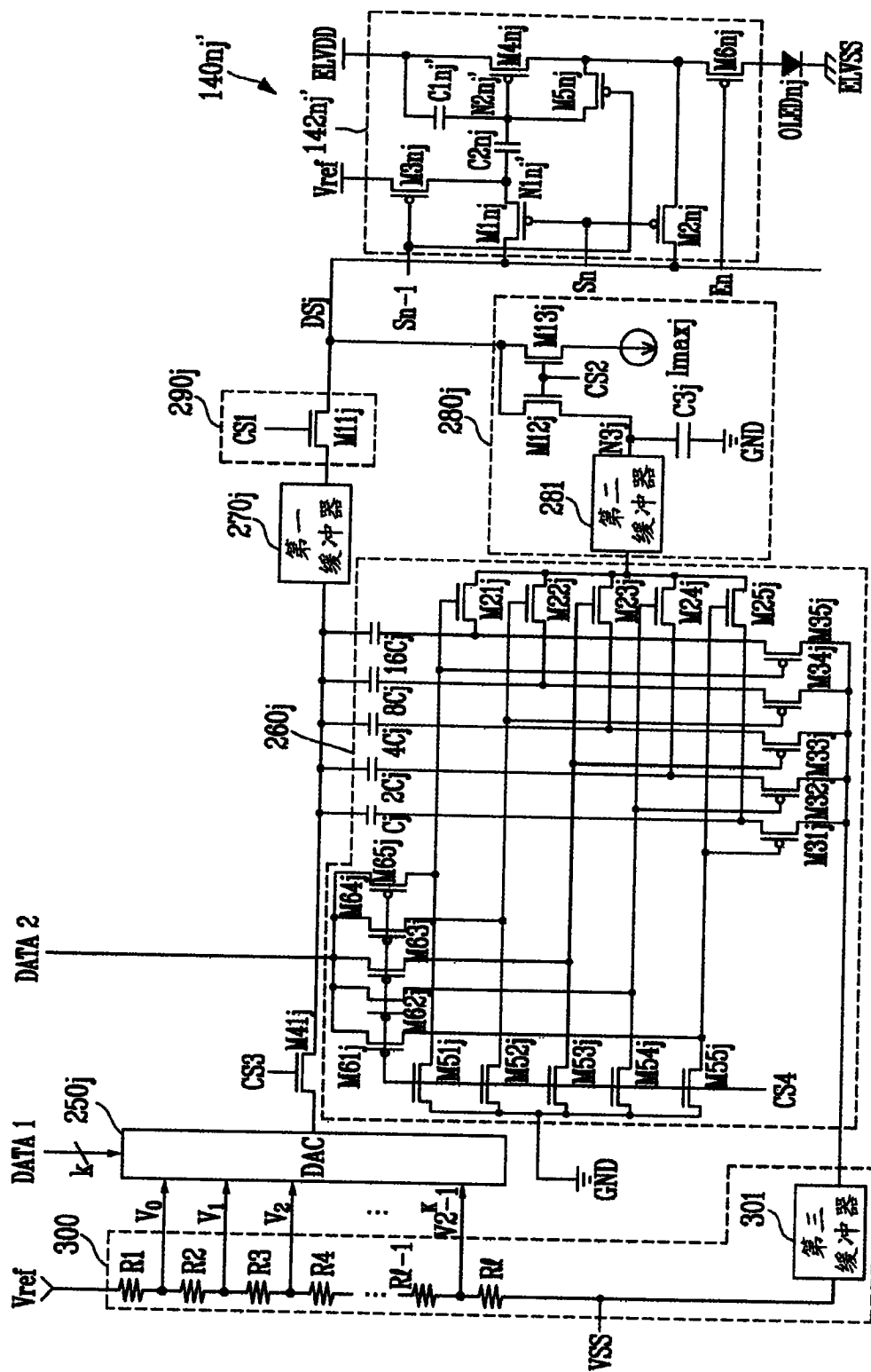


图 12

本发明提供了一种用于驱动显示器的像素以显示亮度均匀的图像的数据驱动电路，该数据驱动电路可包括：伽玛电压单元，产生灰阶电压；数模转换器，利用第一数据选择灰阶电压中的一个作为数据信号；解码器，利用第一数据产生第二数据；锁存器，存储第一数据和第二数据；电流吸收器，在完整的用于驱动像素的时间段的第一部分时间段期间，基于所选择的灰阶电压接收来自像素的预定电流；电压控制器，利用第二数据和基于预定电流产生的补偿电压来控制数据信号的电压值；开关单元，在完整的周期的在第一部分时间段之后消逝的任何部分时间段期间，将数据信号提供给像素。

