



(12) 发明专利申请

(10) 申请公布号 CN 101697269 A

(43) 申请公布日 2010.04.21

(21) 申请号 200910207756.2

(22) 申请日 2009.10.30

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹

(72)发明人 刘俊彦 吴元均

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 梁挥 祁建国

(51) Int. Cl.

G09G 3/32 (2006.01)

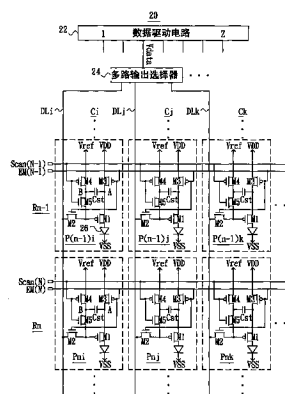
权利要求书 4 页 说明书 8 页 附图 5 页

(54) 发明名称

像素电路以及像素驱动方法

(57) 摘要

本发明公开一种像素电路,该像素电路包括有机发光二极管、储存电容、驱动晶体管及第一至第四开关晶体管。驱动晶体管用以驱动有机发光二极管发亮,其第一源/漏极电性耦接至储存电容的一端,其第二源/漏极电性耦接至有机发光二极管,其栅极通过第一开关晶体管来接收数据电压。第一开关晶体管与第二开关晶体管的栅极开启电压互为反相,且两者的导通/截止状态由同一控制信号决定。类似地,第三开关晶体管与第四开关晶体管的栅极开启电压互为反相,且两者的导通/截止状态由同一控制信号决定。本发明还提供相关于上述像素电路的像素驱动方法。



1. 一种像素电路,其特征在于,包括:

一有机发光二极管;

一储存电容;

一驱动晶体管,用以驱动该有机发光二极管发亮,该驱动晶体管的第一源/漏极电性耦接至该储存电容的第一端,该驱动晶体管的第二源/漏极电性耦接至该有机发光二极管;

一第一开关晶体管,该第一开关晶体管的栅极因电性耦接关系而接收一第一扫描信号,该第一开关晶体管的第一源/漏极电性耦接至该驱动晶体管的栅极,该第一开关晶体管的第二源/漏极因电性耦接关系而接收一数据电压;

一第二开关晶体管,该第二开关晶体管的栅极因电性耦接关系而接收该第一扫描信号,该第二开关晶体管的第一源/漏极电性耦接至一第一预设电压,该第二开关晶体管的第二源/漏极电性耦接至该储存电容的第一端;

一第三开关晶体管,该第三开关晶体管的栅极因电性耦接关系而接收一第二扫描信号,该第三开关晶体管的第一源/漏极电性耦接至一第二预设电压,该第三开关晶体管的第二源/漏极电性耦接至该储存电容的第二端;以及

一第四开关晶体管,该第四开关晶体管的栅极因电性耦接关系而接收该第二扫描信号,该第四开关晶体管的第一源/漏极电性耦接至该驱动晶体管的该栅极,该第四晶体管的第二源/漏极电性耦接至该储存电容的第二端;

其中,该第一开关晶体管与该第二开关晶体管的栅极开启电压互为反相,且第三开关晶体管与该第四开关晶体管的栅极开启电压互为反相。

2. 根据权利要求1所述的像素电路,其特征在于,该第一开关晶体管为N型晶体管,第二开关晶体管为P型晶体管。

3. 根据权利要求2所述的像素电路,其特征在于,该第三开关晶体管为P型晶体管,第四开关晶体管为N型晶体管。

4. 一种像素驱动方法,适于执行于一主动式矩阵有机发光二极管显示器,其特征在于,该主动式矩阵有机发光二极管显示器包括一数据线以及电性耦接至该数据线的第一像素及第二像素,该第一像素与该第二像素中的每一个像素包括一有机发光二极管、一储存电容、一驱动晶体管及一第一开关晶体管,该驱动晶体管用以驱动该有机发光二极管发亮,该驱动晶体管的第一源/漏极电性耦接至该储存电容的第一端,该驱动晶体管的第二源/漏极电性耦接至该有机发光二极管,该驱动晶体管的栅极电性耦接至该第一开关晶体管的第一源/漏极,该第一开关晶体管的第二源/漏极电性耦接至该数据线;该驱动方法用以依序驱动该第一像素及该第二像素,且于驱动该第一像素与该第二像素中的每一个像素的过程中包括步骤:

于一重置阶段,提供一第一预设电压至该储存电容的第一端,并提供一第二预设电压至该储存电容的第二端;

于一写入阶段,导通该第一开关晶体管使该数据线上的一数据电压通过该第一开关晶体管传送至该驱动晶体管的该栅极,以及使该储存电容的第一端通过该驱动晶体管及该有机发光二极管放电,并维持储存电容的第二端在该第二预设电压;以及

于一发光阶段,再提供该第一预设电压至该储存电容的第一端,使该第一开关晶体

管处于截止状态,并使该储存电容的该第二端与该驱动晶体管的该栅极相通,以至于该驱动晶体管驱动该有机发光二极管发亮;

其中,该数据线上的该数据电压,在从该第一像素的该第一开关晶体管于该写入阶段之后被截止的时刻至该第二像素的该第一开关晶体管于该写入阶段被导通之前,发生瞬变。

5. 根据权利要求4所述的像素驱动方法,其特征在于,当该第一像素与该第二像素中的每一个像素还包括一第二开关晶体管及一第三开关晶体管,该第二开关晶体管电性耦接于该第一预设电压与该储存电容的该第一端之间,且该第三开关晶体管电性耦接于该第二预设电压与该储存电容的该第二端之间时,前述于该重置阶段,提供该第一预设电压至该储存电容的该第一端,并提供该第二预设电压至该储存电容的该第二端的步骤包括:

使该第一开关晶体管处于截止状态,并导通该第二开关晶体管与该第三开关晶体管。

6. 根据权利要求5所述的像素驱动方法,其特征在于,该第一开关晶体管与该第二开关晶体管的导通/截止状态由同一控制信号决定。

7. 根据权利要求5所述的像素驱动方法,其特征在于,当该第一像素与该第二像素中的每一个像素进一步包括一第四开关晶体管,且该第四开关晶体管电性耦接于该储存电容的该第二端与该驱动晶体管的该栅极之间时,前述于该写入阶段,导通该第一开关晶体管使该数据线上的该数据电压通过该第一开关晶体管传送至该驱动晶体管的该栅极,以及使该储存电容的该第一端通过该驱动晶体管及该有机发光二极管放电,并维持储存电容的该第二端在该第二预设电压的步骤包括:

导通该第一开关晶体管,截止该第二开关晶体管,使该第三开关晶体管处于导通状态以及使该第四开关晶体管处于截止状态。

8. 根据权利要求7所述的像素驱动方法,其特征在于,该第三开关晶体管与该第四开关晶体管的导通/截止状态由同一控制信号决定。

9. 根据权利要求7所述的像素驱动方法,其特征在于,前述于该发光阶段,再提供该第一预设电压至该储存电容的该第一端,使该第一开关晶体管处于截止状态,并使该储存电容的该第二端与该驱动晶体管的该栅极相通,以至于该驱动晶体管驱动该有机发光二极管发亮的步骤包括:

截止该第一开关晶体管,导通该第二开关晶体管,截止该第三开关晶体管以及导通该第四开关晶体管。

10. 根据权利要求4所述的像素驱动方法,其特征在于,当该主动式矩阵有机发光二极管显示器还包括一多路输出选择器且该数据线电性耦接至该多路输出选择器的一输出端时,于该写入阶段之前还包括步骤:

致能该多路输出选择器,以至于通过该多路输出选择器将该数据电压提供至该数据线。

11. 一种像素驱动方法,适于执行于一主动式矩阵有机发光二极管显示器,其特征在于,该主动式矩阵有机发光二极管显示器包括一数据线以及电性耦接至该数据线的一第一像素及第二像素,该第一像素与该第二像素中的每一个像素包括一有机发光二极管、一储存电容、一驱动晶体管及一第一开关晶体管,该驱动晶体管用以驱动该有机发光二极管发亮,该驱动晶体管的第一源/漏极电性耦接至该储存电容的一第一端,该驱动晶体管的第

二源 / 漏极电性耦接至该有机发光二极管, 该驱动晶体管的栅极电性耦接至该第一开关晶体管的第一源 / 漏极, 该第一开关晶体管的第二源 / 漏极电性耦接至该数据线; 该驱动方法用以依序驱动该第一像素及该第二像素, 且于驱动该第一像素与该第二像素中的每一个像素的过程中包括步骤:

于一重置阶段, 提供一第一预设电压至该储存电容的该第一端, 并提供一第二预设电压至该储存电容的一第二端;

于一写入阶段, 使该数据线通过该第一开关晶体管将一数据电压提供至该驱动晶体管的该栅极, 以及使该储存电容的该第一端通过该驱动晶体管及该有机发光二极管放电, 并维持储存电容的该第二端在该第二预设电压; 以及

于一发光阶段, 再提供该第一预设电压至该储存电容的该第一端, 使该第一开关晶体管处于截止状态, 并使该储存电容的该第二端与该驱动晶体管的该栅极相通, 以至于该驱动晶体管驱动该有机发光二极管发亮;

其中, 于驱动该第二像素的过程中还包括步骤: 于该写入阶段, 在该数据线通过该第一开关晶体管将该数据电压提供至该驱动晶体管的该栅极之前, 该数据线通过该第一开关晶体管将一预充电电压提供至该驱动晶体管的该栅极; 该预充电电压, 在从该第一像素的该第一开关晶体管于该写入阶段之后被截止的时刻至该第二像素的该第一开关晶体管于该写入阶段被导通之前, 被提供至该数据线; 且该预充电电压大于提供至该第二像素的该驱动晶体管的该栅极的该数据电压与该第二像素的该驱动晶体管的临界电压之和。

12. 根据权利要求 11 所述的像素驱动方法, 其特征在于, 当该第一像素与该第二像素中的每一个像素还包括一第二开关晶体管及一第三开关晶体管, 该第二开关晶体管电性耦接于该第一预设电压与该储存电容的该第一端之间, 且该第三开关晶体管电性耦接至该第二预设电压与该储存电容的该第二端之间时, 前述于该重置阶段, 提供该第一预设电压至该储存电容的该第一端, 并提供该第二预设电压至该储存电容的该第二端的步骤包括:

截止该第一开关晶体管, 并导通该第二开关晶体管与该第三开关晶体管。

13. 根据权利要求 12 所述的像素驱动方法, 其特征在于, 该第一开关晶体管与该第二开关晶体管的导通 / 截止状态由同一控制信号决定。

14. 根据权利要求 12 所述的像素驱动方法, 其特征在于, 当该第一像素与该第二像素中的每一个像素进一步包括一第四开关晶体管, 且该第四开关晶体管电性耦接于该储存电容的该第二端与该驱动晶体管的该栅极之间时, 前述于该写入阶段, 使该数据线通过该第一开关晶体管将该数据电压提供至该驱动晶体管的该栅极, 以及使该储存电容的该第一端通过该驱动晶体管及该有机发光二极管放电, 并维持储存电容的该第二端在该第二预设电压的步骤包括:

导通该第一开关晶体管, 截止该第二开关晶体管, 使该第三开关晶体管处于导通状态以及使该第四开关晶体管处于截止状态。

15. 根据权利要求 14 所述的像素驱动方法, 其特征在于, 该第三开关晶体管与该第四开关晶体管的导通 / 截止状态由同一控制信号决定。

16. 根据权利要求 14 所述的像素驱动方法, 其特征在于, 前述于该发光阶段, 再提供该第一预设电压至该储存电容的该第一端, 使该第一开关晶体管处于截止状态, 并使该储存电容的该第二端与该驱动晶体管的该栅极相通, 以至于该驱动晶体管驱动该有机发光二极

管发亮的步骤包括：

截止该第一开关晶体管，导通该第二开关晶体管，截止该第三开关晶体管以及导通该第四开关晶体管。

17. 根据权利要求 11 所述的像素驱动方法，其特征在于，当该主动式矩阵有机发光二极管显示器还包括一多路输出选择器且该数据线电性耦接至该多路输出选择器的一输出端时，于驱动该第二像素的过程中进一步包括步骤：

致能该多路输出选择器，以通过该多路输出选择器将该预充电电压提供至该数据线；以及

再次致能该多路输出选择器，以通过该多路输出选择器将该数据线的该预充电电压改变为该数据电压。

像素电路以及像素驱动方法

技术领域

[0001] 本发明涉及有机发光二极管显示技术领域,且特别是有关于一种像素电路及像素驱动方法。

背景技术

[0002] 主动式矩阵有机发光二极管 (Organic Light Emitting Diode, OLED) 显示器的像素一般以晶体管搭配储存电容来储存电荷,以控制有机发光二极管的亮度表现。请参见图 1,其为传统像素电路的示意图。像素电路 10 为二晶体管一电容 (2T1C) 架构,其包括 P 型驱动晶体管 M1、P 型开关晶体管 Ms、储存电容 Cst 及有机发光二极管 16。储存电容 Cst 的两端跨接于驱动晶体管 M1 的栅极与源极之间;驱动晶体管 M1 的源极电性耦接至电源电压 VDD,驱动晶体管 M1 的漏极电性耦接至有机发光二极管 16 的正极,有机发光二极管 16 的负极电性耦接至另一电源电压 VSS,驱动晶体管 M1 的栅极通过开关晶体管 Ms 电性耦接至数据线 DL 以从数据线 DL 接收数据电压 Vdata;开关晶体管 Ms 的栅极电性耦接至扫描线 Scan,以至于其导通/截止状态由扫描线 Scan 来控制。在此,通过提供不同的数据电压 Vdata 便可控制有机发光二极管 16 的亮度表现。

[0003] 然而,对于主动式矩阵有机发光二极管显示器的各个像素电路,由于与工艺相关的晶体管临界电压偏移 (Shift)、有机发光二极管材料衰减及/或操作时间等因素的影响,使得在主动式矩阵有机发光二极管显示器的工作过程中,必须通过数据电压 Vdata 的调整来对像素电路的像素电流进行有效补偿才可获得较佳的亮度表现,进而得到较佳的显示效果。因此,为实现有效补偿像素电路的像素电流的目的,有必要对像素电路的结构配置及像素电路驱动方法进行合理设计,否则在显示器的工作过程中易出现显示异常或是补偿效果失效。

发明内容

[0004] 本发明的目的就是在提供一种像素电路,以抑制显示异常或是补偿效果失效的问题产生。

[0005] 本发明的再一目的是提供一种像素驱动方法,以抑制显示异常或是补偿效果失效的问题产生。

[0006] 本发明一实施例提出的一种像素电路,包括有机发光二极管、储存电容、驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管以及第四开关晶体管。驱动晶体管用以驱动有机发光二极管发亮,其第一源/漏极电性耦接至储存电容的第一端,其第二源/漏极电性耦接至有机发光二极管。第一开关晶体管的栅极因电性耦接关系而接收第一扫描信号,其第一源/漏极电性耦接至驱动晶体管的栅极,其第二源/漏极因电性耦接关系而接收数据电压。第二开关晶体管的栅极因电性耦接关系而接收第一扫描信号,其第一源/漏极电性耦接至第一预设电压,其第二源/漏极电性耦接至储存电容的第一端。第三开关晶体管的栅极因电性耦接关系而接收第二扫描信号,其第一源/漏极电性耦接至第二预设电

压,其第二源 / 漏极电性耦接至储存电容的第二端。第四开关晶体管的栅极因电性耦接关系而接收第二扫描信号,其第一源 / 漏极电性耦接至驱动晶体管的栅极,其第二源 / 漏极电性耦接至储存电容的第二端。其中,第一开关晶体管与第二开关晶体管的栅极开启电压 (Gate On Voltage) 互为反相,且第三开关晶体管与第四开关晶体管的栅极开启电压互为反相。

[0007] 在本发明的一实施例中,上述的第一开关晶体管为 N 型晶体管,第二开关晶体管为 P 型晶体管;进一步地,第三开关晶体管为 P 型晶体管,第四开关晶体管为 N 型晶体管。

[0008] 本发明再一实施例提出的一种像素驱动方法,适于执行于主动式矩阵有机发光二极管显示器。其中,主动式矩阵有机发光二极管显示器包括数据线以及电性耦接至数据线的的第一像素及第二像素。第一像素与第二像素中的每一个像素包括有机发光二极管、储存电容、驱动晶体管及第一开关晶体管;驱动晶体管用以驱动有机发光二极管发亮,驱动晶体管的第一源 / 漏极电性耦接至储存电容的第一端,驱动晶体的第二源 / 漏极电性耦接至有机发光二极管,驱动晶体的栅极电性耦接至第一开关晶体管的第一源 / 漏极,第一开关晶体的第二源 / 漏极电性耦接至数据线。再者,像素驱动方法用以依序驱动第一像素及第二像素,且在驱动第一像素与第二像素中的每一个像素的过程中包括步骤:(a) 在重置阶段,提供第一预设电压至储存电容的第一端,并提供第二预设电压至储存电容的第二端;(b) 在写入阶段,导通第一开关晶体管使数据线上的数据电压通过第一开关晶体管传送至驱动晶体的栅极,以及使储存电容的第一端通过驱动晶体管及有机发光二极管放电,并维持储存电容的第二端在第二预设电压;以及(c) 于发光阶段,再提供第一预设电压至储存电容的第一端,使第一开关晶体管处于截止状态,并使储存电容的第二端与驱动晶体的栅极相通,以至于驱动晶体管驱动有机发光二极管发亮。其中,数据线上的数据电压,在从第一像素的第一开关晶体管于写入阶段之后被截止的时刻至第二像素的第一开关晶体管于写入阶段被导通之前,发生瞬变 (Transient)。

[0009] 在本发明的一实施例中,当第一像素与第二像素中的每一个像素更包括第二开关晶体管及第三开关晶体管,而第二开关晶体管电性耦接于第一预设电压与储存电容的第一端之间,且第三开关晶体管电性耦接于第二预设电压与储存电容的第二端之间时;前述在重置阶段,提供第一预设电压至储存电容的第一端,并提供第二预设电压至储存电容的第二端的步骤包括:使第一开关晶体管处于截止状态,并导通第二开关晶体管与第三开关晶体管。进一步地,第一开关晶体管与第二开关晶体管的导通 / 截止状态由同一控制信号决定。

[0010] 在本发明的一实施例中,当第一像素与第二像素中的每一个像素进一步包括第四开关晶体管,且第四开关晶体管电性耦接于储存电容的第二端与驱动晶体的栅极之间时;前述于写入阶段,导通第一开关晶体管使数据线上的数据电压通过第一开关晶体管传送至驱动晶体的栅极,以及使储存电容的第一端通过驱动晶体管及有机发光二极管放电,并维持储存电容的第二端在第二预设电压的步骤包括:导通第一开关晶体管,截止第二开关晶体管,使第三开关晶体管处于导通状态以及使第四开关晶体管处于截止状态。进一步地,第三开关晶体管与第四开关晶体管的导通 / 截止由同一控制信号决定。

[0011] 在本发明的一实施例中,前述于发光阶段,再提供第一预设电压至储存电容的第一端,使第一开关晶体管处于截止状态,并使储存电容的第二端与驱动晶体的栅极相通,

以至于驱动晶体管驱动有机发光二极管发亮的步骤包括：截止第一开关晶体管，导通第二开关晶体管，截止第三开关晶体管以及导通第四开关晶体管。

[0012] 在本发明的一实施例中，当主动式矩阵有机发光二极管显示器更包括多路输出选择器 (demultiplexer) 且数据线电性耦接至多路输出选择器的输出端时，在写入阶段之前更包括步骤：致能多路输出选择器，以至于通过多路输出选择器将数据电压提供至数据线。

[0013] 本发明又一实施例提出的另一种像素驱动方法，适于执行于主动式矩阵有机发光二极管显示器。其中，主动式矩阵有机发光二极管显示器包括数据线以及电性耦接至数据线的的第一像素及第二像素。第一像素与第二像素中的每一个像素包括有机发光二极管、储存电容、驱动晶体管及第一开关晶体管；驱动晶体管用以驱动有机发光二极管发亮，驱动晶体管的第一源 / 漏极电性耦接至储存电容的第一端，驱动晶体管的第二源 / 漏极电性耦接至有机发光二极管，驱动晶体管的栅极电性耦接至第一开关晶体管的第一源 / 漏极，第一开关晶体管的第二源 / 漏极电性耦接至数据线。像素驱动方法用以依序驱动第一像素及第二像素，且于驱动第一像素与第二像素中的每一个像素的过程中包括步骤：(I) 于重置阶段，提供第一预设电压至储存电容的第一端，并提供第二预设电压至储存电容的第二端；(II) 于写入阶段，使数据线通过第一开关晶体管将数据电压提供至驱动晶体管的栅极，以及使储存电容的第一端通过驱动晶体管及有机发光二极管放电，并维持储存电容的第二端在第二预设电压；以及 (III) 于发光阶段，再提供第一预设电压至储存电容的第一端，使第一开关晶体管处于截止状态，并使储存电容的第二端与驱动晶体管的栅极相通，以至于驱动晶体管驱动有机发光二极管发亮。其中，于驱动第二像素的过程中更包括步骤：于写入阶段，在数据线通过第一开关晶体管将数据电压提供至驱动晶体管的栅极之前，数据线通过第一开关晶体管将预充电电压提供至驱动晶体管的栅极；预充电电压，在从第一像素的第一开关晶体管于写入阶段之后被截止的时刻至第二像素的第一开关晶体管于写入阶段被导通之前，被提供至数据线；且预充电电压大于提供至第二像素的驱动晶体管的栅极的数据电压与第二像素的驱动晶体管的临界电压之和。

[0014] 在本发明的一实施例中，当第一像素与第二像素中的每一个像素更包括第二开关晶体管及第三开关晶体管，而第二开关晶体管电性耦接于第一预设电压与储存电容的第一端之间，且第三开关晶体管电性耦接于第二预设电压与储存电容的第二端之间时；前述于重置阶段，提供第一预设电压至储存电容的第一端，并提供第二预设电压至储存电容的第二端的步骤包括：截止第一开关晶体管，并导通第二开关晶体管与第三开关晶体管。进一步地，第一开关晶体管与第二开关晶体管的导通 / 截止状态由同一控制信号决定。

[0015] 在本发明的一实施例中，当第一像素与第二像素中的每一个像素进一步包括第四开关晶体管，且第四开关晶体管电性耦接于储存电容的第二端与驱动晶体管的栅极之间时；前述于写入阶段，使数据线通过第一开关晶体管将数据电压提供至驱动晶体管的栅极，以及使储存电容的第一端通过驱动晶体管及有机发光二极管放电，并维持储存电容的第二端在第二预设电压的步骤包括：导通第一开关晶体管，截止第二开关晶体管，使第三开关晶体管处于导通状态以及使第四开关晶体管处于截止状态。进一步地，第三开关晶体管与第四开关晶体管的导通 / 截止状态由同一控制信号决定。

[0016] 在本发明的一实施例中，前述于发光阶段，再提供第一预设电压至储存电容的第一端，使第一开关晶体管处于截止状态，并使储存电容的第二端与驱动晶体管的栅极相通，

以至于驱动晶体管驱动有机发光二极管发亮的步骤包括：截止第一开关晶体管，导通第二开关晶体管，截止第三开关晶体管以及导通第四开关晶体管。

[0017] 在本发明的一实施例中，当主动式矩阵有机发光二极管显示器更包括多路输出选择器且数据线电性耦接至多路输出选择器的输出端时，于驱动第二像素的过程中进一步包括步骤：致能多路输出选择器，以通过多路输出选择器将预充电电压提供至数据线；以及再次致能多路输出选择器，以通过多路输出选择器将数据线的预充电电压改变为数据电压。

[0018] 本发明实施例通过对像素电路结构及像素驱动方法进行特定设计，以至于：在像素驱动方法的重置阶段，数据线上的数据电压不会耦合至驱动晶体管的栅极，并且在写入阶段，储存电容的与驱动晶体管相电性耦接的一端的电位可正常放电至所需电位；以至于像素电路的像素电流可得到有效补偿，不会存在显示异常或是补偿效果失效的问题。

[0019] 为了让本发明的上述和其他目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附附图，作详细说明如下。

附图说明

[0020] 图 1 绘示为传统像素电路的示意图；

[0021] 图 2 绘示出相关于本发明第一实施例的一种主动式矩阵有机发光二极管显示器的局部结构框图；

[0022] 图 3 绘示出相关于本发明第一实施例的像素驱动方法的扫描信号及数据电压的时序图；

[0023] 图 4 绘示出相关于本发明第二实施例的一种主动式矩阵有机发光二极管显示器的局部结构框图；

[0024] 图 5 绘示出相关于本发明第二实施例的像素驱动方法的扫描信号及多路输出选择器控制信号的时序图。

[0025] 其中，附图标记

- | | |
|---|--------------------------------|
| [0026] 10：像素电路 | 20、40：主动式矩阵有机发光二极管显示器 |
| [0027] 22、42：数据驱动电路 | 1～Z：数据驱动电路的输出端 |
| [0028] 43：预充电电路 | Vdata：数据电压 |
| [0029] PC_H：预充电 | 24、44：多路输出选择器 |
| [0030] DL、DLi～DLk：数据线 | |
| [0031] Scan、Scan(N-1)、Scan(N)、EM(N-1)、EM(N)：扫描线 | |
| [0032] Rn-1、Rn：像素行 | i～k：像素列 |
| [0033] VDD、VSS：电源电压 | P(n-1)i～P(n-1)k 及 Pni～Pnk：像素电路 |
| [0034] Vref：参考电压 | GND：接地电压 |
| [0035] M1：驱动晶体管 | Ms、M2～M5：开关晶体管 |
| [0036] Cst：储存电容 | A、B：储存电容的端点 |
| [0037] 26、46：有机发光二极管 | S1、S1'：重置阶段 |
| [0038] S2、S2'：写入阶段 | S3、S3'：发光阶段 |
| [0039] DMUX：多路输出选择器控制信号 | |
| [0040] Scan(N-1)、Scan(N)、EM(N-1)、EM(N)：扫描信号 | |

[0041] t_1 、 t_2 :时刻

具体实施方式

[0042] 参见图 2 及图 3, 图 2 绘示出相关于本发明第一实施例的一种主动式矩阵有机发光二极管显示器的局部结构框图, 图 3 绘示出相关于本发明第一实施例的像素驱动方法的扫描信号及数据电压的时序图。

[0043] 如图 2 所示, 主动式矩阵有机发光二极管显示器 20 包括数据驱动电路 22、多路输出选择器 24、数据线 $DL_i \sim DL_k$ 、扫描线 $Scan(N-1)$ 及 $Scan(N)$ 、扫描线 $EM(N-1)$ 及 $EM(N)$ 、以及多个像素电路 $P(n-1)_i \sim P(n-1)_k$ 及 $Pn_i \sim Pn_k$; 各个像素电路 $P(n-1)_i \sim P(n-1)_k$ 及 $Pn_i \sim Pn_k$ 分别电性耦接至各自的扫描线 $Scan(N-1)$ 及 $Scan(N)$ 、扫描线 $EM(N-1)$ 及 $EM(N)$ 以及数据线 $DL_i \sim DL_k$, 且以矩阵方式排布于第 R_{n-1} 及 R_n 像素行以及第 $C_i \sim C_k$ 像素列。数据驱动电路 22 用以提供数据电压 V_{data} , 其具有多个输出端 $1 \sim Z$ 。各个数据线 $DL_i \sim DL_k$ 通过多路输出选择器 24 电性耦接至数据驱动电路 22 的多个输出端 $1 \sim Z$ 中的一个以接收数据电压 V_{data} 。在此需要说明的是, 本实施例的主动式矩阵有机发光二极管 20 亦可不设置多路输出选择器 24, 相应地, 各个数据线 $DL_i \sim DL_k$ 分别直接耦接至数据驱动电路 22 的多个输出端 $1 \sim Z$ 中的对应者。

[0044] 承上述, 每一像素电路 $P(n-1)_i \sim P(n-1)_k$ 及 $Pn_i \sim Pn_k$ 为 5T1C 架构且包括: 有机发光二极管 26、储存电容 C_{st} 、P 型驱动晶体管 M_1 , N 型开关晶体管 M_2 及 M_5 以及 P 型开关晶体管 M_3 及 M_4 。其中, 驱动晶体管 M_1 用以驱动有机发光二极管 26 发亮, 驱动晶体管 M_1 的源极电性耦接至储存电容 C_{st} 的 A 端, 驱动晶体管 M_1 的漏极电性耦接至有机发光二极管 26 的阳极, 有机发光二极管 26 的阴极电性耦接至电源电压 V_{SS} 。开关晶体管 M_2 的源极电性耦接至驱动晶体管 M_1 的栅极, 开关晶体管 M_2 的漏极电性耦接至数据线 $DL_i \sim DL_k$ 中的一个, 开关晶体管 M_2 的栅极电性耦接至扫描线 $EM(N-1)$ (或 $EM(N)$) 以接收扫描信号 $EM(N-1)$ (或 $EM(N)$)。开关晶体管 M_3 的源极电性耦接至电源电压 V_{DD} , 开关晶体管 M_3 的漏极电性耦接至储存电容 C_{st} 的 A 端, 开关晶体管 M_3 的栅极电性耦接至扫描线 $EM(N-1)$ (或 $EM(N)$) 以接收扫描信号 $EM(N-1)$ (或 $EM(N)$)。开关晶体管 M_4 的源极电性耦接至参考电压 V_{ref} , 开关晶体管 M_4 的漏极电性耦接至储存电容 C_{st} 的 B 端, 开关晶体管 M_4 的栅极电性耦接至扫描线 $Scan(N-1)$ (或 $Scan(N)$) 以接收扫描信号 $Scan(N-1)$ (或 $Scan(N)$)。开关晶体管 M_5 的源极电性耦接至驱动晶体管 M_1 的栅极, 开关晶体管 M_5 的漏极电性耦接至储存电容 C_{st} 的 B 端, 开关晶体管 M_5 的栅极电性耦接至扫描线 $Scan(N-1)$ (或 $Scan(N)$) 以接收扫描信号 $Scan(N-1)$ (或 $Scan(N)$)。从图 2 及图 3 中还可以得知, 开关晶体管 M_2 与 M_3 的栅极相互电性耦接, 栅极开启电压互为反相, 并且开关晶体管 M_2 与 M_3 的导通 / 截止状态由同一控制信号 $EM(N-1)$ 或 $EM(N)$ 决定; 类似地, 开关晶体管 M_4 与 M_5 的栅极相互电性耦接, 栅极开启电压互为反相, 并且开关晶体管 M_4 与 M_5 的导通 / 截止状态由同一控制信号 $Scan(N-1)$ 或 $Scan(N)$ 决定。

[0045] 下面将结合图 2 及图 3 详细描述主动式矩阵有机发光二极管显示器 20 的像素驱动方法, 以下仅以像素驱动方法依序驱动像素电路 $P(n-1)_i$ 及像素电路 Pn_i 的过程为例进行举例说明。从图 3 中可以得知, 于驱动像素电路 $P(n-1)_i$ 的过程中包括重置阶段 $S1'$ 、写入阶段 $S2'$ 及发光阶段 $S3'$, 类似地, 于驱动像素电路 Pn_i 的过程中包括重置阶段 $S1$ 、写入

阶段 S2 及发光阶段 S3。

[0046] 具体地,于重置阶段 S1(S1'), Scan(N) (Scan(N-1)) 及 EM(N) (EM(N-1)) 均为低电压电位;此时,开关晶体管 M3 及 M4 处于导通状态且开关晶体管 M2 及 M5 处于截止状态,电源电压 VDD 及参考电压 Vref 分别通过开关晶体管 M3 及 M4 提供至储存电容 Cst 的 A 端及 B 端,由于开关晶体管 M2 处于截止状态,数据线 DLi 上的数据电压 Vdata 不会耦合至驱动晶体管 M1 的栅极。

[0047] 于写入阶段 S2(S2'), Scan(N) (Scan(N-1)) 为低电压电位且 EM(N) (EM(N-1)) 为高电压电位;此时,开关晶体管 M2 及 M4 处于导通状态且开关晶体管 M3 及 M5 处于截止状态,提供至数据线 DLi 上的数据电压 Vdata 因开关晶体管 M2 导通而传送至驱动晶体管 M1 的栅极,储存电容 Cst 的 A 端的电位从 VDD 通过驱动晶体管 M1 及有机发光二极管 26 放电至 Vdata+Vth1,储存电容 Cst 的 B 端的电位因开关晶体管 M4 处于导通状态而保持为 Vref。其中 Vth1 为驱动晶体管 M1 的临界电压,像素电路 P(n-1)i 及 Pni 所需的数据电压 Vdata 分别于各自的写入阶段 S2 及 S2' 之前通过致能多路输出选择器 24 而被提供至数据线 DLi 上。

[0048] 于发光阶段 S3(S3'), Scan(N) (Scan(N-1)) 为高电压电位且 EM(N) (EM(N-1)) 为低电压电位;此时,开关晶体管 M3 及 M5 处于导通状态且开关晶体管 M2 及 M4 处于截止状态,电源电压 VDD 再次通过开关晶体管 M3 提供至储存电容 Cst 的 A 端,储存电容 Cst 的 B 端因开关晶体管 M5 导通而与驱动晶体管 M1 的栅极相通,以至于驱动晶体管 M1 根据储存电容 Cst 上存储的电荷量产生像素电流来驱动有机发光二极管 26 发亮。

[0049] 进一步地,从图 3 中可以得知,数据线 DLi 上的数据电压 Vdata,在从像素电路 P(n-1)i 的开关晶体管 M2 于写入阶段 S2' 之后被截止的时刻 t1 至像素电路 Pni 的开关晶体管 M2 于写入阶段 S2 被导通之前的时刻 t2 之间,发生瞬变 (Transient),例如从低电压电位跳变为高电压电位。

[0050] 在此,由于数据电压 Vdata 在像素电路 Pni 的写入阶段 S2 之前已经改变为 Vdata(n) (对应于写入像素电路 Pni 的数据电压),使得储存电容 Cst 的 A 端 (亦即驱动晶体管 M1 的源极) 的电位可正常由 VDD 变化至 Vdata(n)+Vth1,从而先前技术中存在的显示异常或是补偿效果失效的问题可得到有效解决。

[0051] 参见图 4 及图 5,图 4 绘示出相关于本发明第二实施例的一种主动式矩阵有机发光二极管显示器的局部结构框图,图 5 绘示出相关于本发明第二实施例的像素驱动方法的扫描信号及多路输出选择器控制信号的时序图。

[0052] 如图 4 所示,主动式矩阵有机发光二极管显示器 40 包括数据驱动电路 42、预充电电路 43、多路输出选择器 44、数据线 DLi ~ DLk、扫描线 Scan(N-1) 及 Scan(N)、扫描线 EM(N-1) 及 EM(N)、以及多个像素电路 P(n-1)i ~ P(n-1)k 及 Pni ~ Pnk;各个像素电路 P(n-1)i ~ P(n-1)k 及 Pni ~ Pnk 分别电性耦接至各自的扫描线 Scan(N-1) 及 Scan(N)、扫描线 EM(N-1) 及 EM(N) 以及数据线 DLi ~ DLk,且以矩阵方式排布于第 Rn-1 及 Rn 像素行以及第 Ci ~ Ck 像素列。数据驱动电路 42 用以提供数据电压 Vdata,其具有多个输出端 1 ~ Z;预充电电路 43 用以提供预充电电压 PC_H。各个数据线 DLi ~ DLk 通过多路输出选择器 14 电性耦接至数据驱动电路 12 的多个输出端 1 ~ Z 中的一个以及预充电电路 43 以选择性接收数据电压 Vdata 及预充电电压 PC_H。

[0053] 承上述,每一像素电路 $P(n-1)i \sim P(n-1)k$ 及 $Pni \sim Pnk$ 为 5T1C 架构且包括:有机发光二极管 46、储存电容 C_{st} 、P 型驱动晶体管 M1, N 型开关晶体管 M2 及 M5 以及 P 型开关晶体管 M3 及 M4。其中,驱动晶体管 M1 用以驱动有机发光二极管 46,驱动晶体管 M1 的源极电性耦接至储存电容 C_{st} 的 A 端,驱动晶体管 M1 的漏极电性耦接至有机发光二极管 46 的阳极,有机发光二极管 46 的阴极电性耦接至电源电压 VSS。开关晶体管 M2 的源极电性耦接至驱动晶体管 M1 的栅极,开关晶体管 M2 的漏极电性耦接至数据线 $DLi \sim DLk$ 中的一个,开关晶体管 M2 的栅极电性耦接至扫描线 $EM(N-1)$ (或 $EM(N)$) 以接收扫描信号 $EM(N-1)$ (或 $EM(N)$)。开关晶体管 M3 的源极电性耦接至电源电压 VDD,开关晶体管 M3 的漏极电性耦接至储存电容 C_{st} 的 A 端,开关晶体管 M3 的栅极电性耦接至扫描线 $EM(N-1)$ (或 $EM(N)$) 以接收扫描信号 $EM(N-1)$ (或 $EM(N)$)。开关晶体管 M4 的源极电性耦接至参考电压 V_{ref} ,开关晶体管 M4 的漏极电性耦接至储存电容 C_{st} 的 B 端,开关晶体管 M4 的栅极电性耦接至扫描线 $Scan(N-1)$ (或 $Scan(N)$) 以接收扫描信号 $Scan(N-1)$ (或 $Scan(N)$)。开关晶体管 M5 的源极电性耦接至驱动晶体管 M1 的栅极,开关晶体管 M5 的漏极电性耦接至储存电容 C_{st} 的 B 端,开关晶体管 M5 的栅极电性耦接至扫描线 $Scan(N-1)$ (或 $Scan(N)$) 以接收扫描信号 $Scan(N-1)$ (或 $Scan(N)$)。从图 4 及图 5 中还可以得知,开关晶体管 M2 与 M3 的栅极相互电性耦接,栅极开启电压互为反相,并且开关晶体管 M2 与 M3 的导通 / 截止状态由同一控制信号 $EM(N-1)$ 或 $EM(N)$ 决定;类似地,开关晶体管 M4 与 M5 的栅极相互电性耦接,栅极开启电压互为反相,并且开关晶体管 M4 与 M5 的导通 / 截止状态由同一控制信号 $Scan(N-1)$ 或 $Scan(N)$ 决定。

[0054] 下面将结合图 4 及图 5 详细描述主动式矩阵有机发光二极管显示器 40 的像素驱动方法,以下仅以像素驱动方法依序驱动像素电路 $P(n-1)i$ 及像素电路 Pni 的过程为例进行举例说明。从图 5 中可以得知,于驱动像素电路 $P(n-1)i$ 的过程中包括重置阶段 $S1'$ 、写入阶段 $S2'$ 及发光阶段 $S3'$,类似地,于驱动像素电路 Pni 的过程中包括重置阶段 $S1$ 、写入阶段 $S2$ 及发光阶段 $S3$ 。

[0055] 具体地,于重置阶段 $S1(S1')$, $Scan(N)$ ($Scan(N-1)$) 及 $EM(N)$ ($EM(N-1)$) 均为低电压电位;此时,开关晶体管 M3 及 M4 处于导通状态且开关晶体管 M2 及 M5 处于截止状态,电源电压 VDD 及参考电压 V_{ref} 分别通过开关晶体管 M3 及 M4 提供至储存电容 C_{st} 的 A 端及 B 端,由于开关晶体管 M2 处于截止状态,数据线 DLi 上的数据电压 V_{data} 不会耦合至驱动晶体管 M1 的栅极。

[0056] 于写入阶段 $S2(S2')$, $Scan(N)$ ($Scan(N-1)$) 为低电压电位且 $EM(N)$ ($EM(N-1)$) 为高电压电位;此时,开关晶体管 M2 及 M4 处于导通状态且开关晶体管 M3 及 M5 处于截止状态,数据线 DLi 首先通过开关晶体管 M2 提供预充电压 PC_H 至驱动晶体管 M1 的栅极,储存电容 C_{st} 的 A 端的电位从 VDD 通过驱动晶体管 M1 及有机发光二极管 46 放电至 PC_H+V_{th1} ;之后,当数据线 DLi 上的预充电压 PC_H 被改变为数据电压 V_{data} ,数据线 DLi 再通过开关晶体管 M2 向驱动晶体管 M1 的栅极提供数据电压 V_{data} ,而储存电容 C_{st} 的 A 端的电位继续从 PC_H+V_{th1} 通过驱动晶体管 M1 及有机发光二极管 46 放电至 $V_{data}+V_{th1}$;储存电容 C_{st} 的 B 端的电位因开关晶体管 M4 处于导通状态而保持为 V_{ref} 。其中 V_{th1} 为驱动晶体管 M1 的临界电压,像素电路 $P(n-1)i$ 及 Pni 所需的预充电压 PC_H 及数据电压 V_{data} 通过两次致能多路输出选择器 44 而被依序提供至数据线 DLi 上。

[0057] 其中,于驱动像素电路 P_{ni} 的过程中,预充电电压 PC_H 在从像素电路 P_{(n-1)i} 的开关晶体管 M2 于写入阶段 S2' 之后被截止的时刻 t1 至像素电路 P_{ni} 的开关晶体管 M2 于写入阶段 S2 被导通之前的时刻 t2 之间,被提供至数据线 DL_i;且预充电电压 PC_H 的幅值大于提供至像素电路 P_{ni} 的驱动晶体管 M1 的栅极的数据电压 V_{data}(n) 与像素电路 P_{ni} 的驱动晶体管 M1 的临界电压 V_{th1} 之和。在此,在此,由于预充电电压 PC_H 的提供,使得储存电容 C_{st} 的 A 端(亦即驱动晶体管 M1 的源极)的电位可正常由 VDD 最终变化至 V_{data}(n)+V_{th1},从而现有技术中存在的显示异常或是补偿效果失效的问题可得到有效解决。

[0058] 于发光阶段 S3(S3'), Scan(N) (Scan(N-1)) 为高电压电位且 EM(N) (EM(N-1)) 为低电压电位;此时,开关晶体管 M3 及 M5 处于导通状态且开关晶体管 M2 及 M4 处于截止状态,电源电压 VDD 再次通过开关晶体管 M3 提供至储存电容 C_{st} 的 A 端,储存电容 C_{st} 的 B 端因开关晶体管 M5 导通而与驱动晶体管 M1 的栅极相通,以至于驱动晶体管 M1 根据储存电容 C_{st} 上存储的电荷量产生像素电流来驱动有机发光二极管 46 发亮。

[0059] 综上所述,本发明实施例通过对像素电路结构及像素驱动方法进行特定设计,从而:在像素驱动方法的重置阶段,数据线上的数据电压不会耦合至驱动晶体管的栅极,并且在写入阶段,储存电容的与驱动晶体管相电性耦接的一端的电位可正常放电至所需电位;以至于像素电路的像素电流可得到有效补偿,不会存在显示异常或是补偿效果失效的问题。

[0060] 此外,本领域技术人员还可对本发明上述实施例提出的像素电路、像素驱动方法以及其所适用的主动式矩阵有机发光二极管显示器的结构作适当变更,例如适当变更像素电路的晶体管的数目、主动式矩阵有机发光二极管显示器的像素数目、各个晶体管的种类(P 型或 N 型)、将各个晶体管的源极与漏极的电连接关系互换等等。

[0061] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

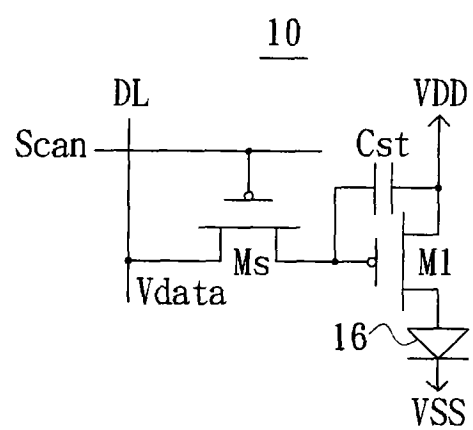


图 1

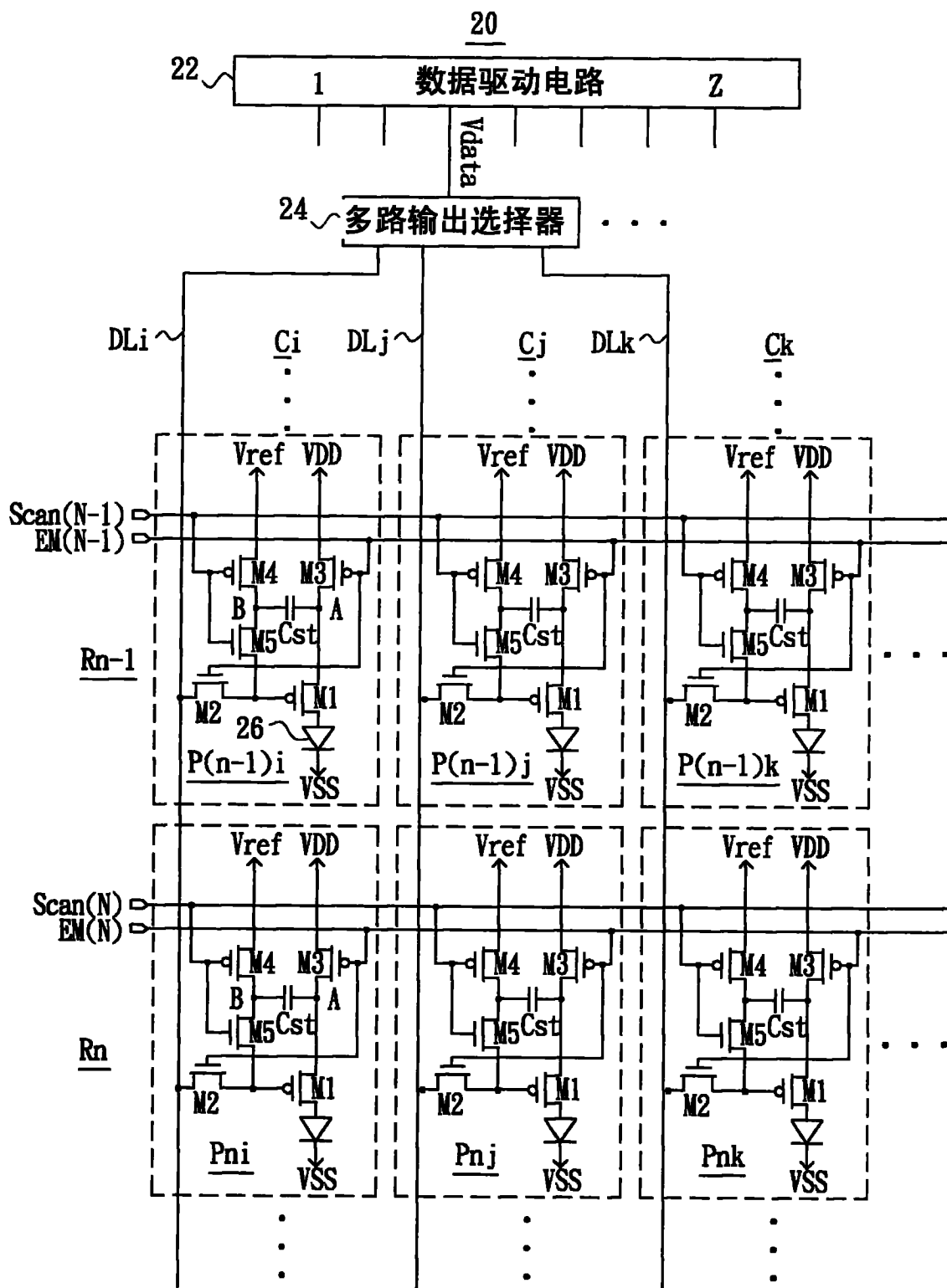


图 2

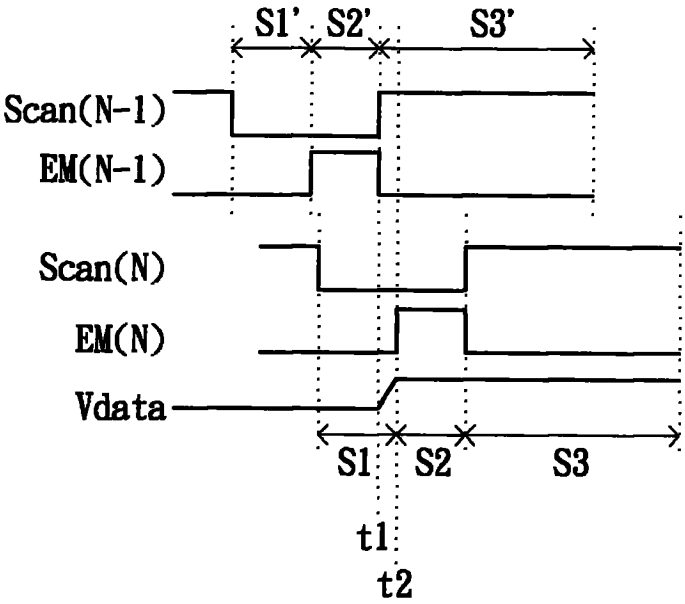


图 3

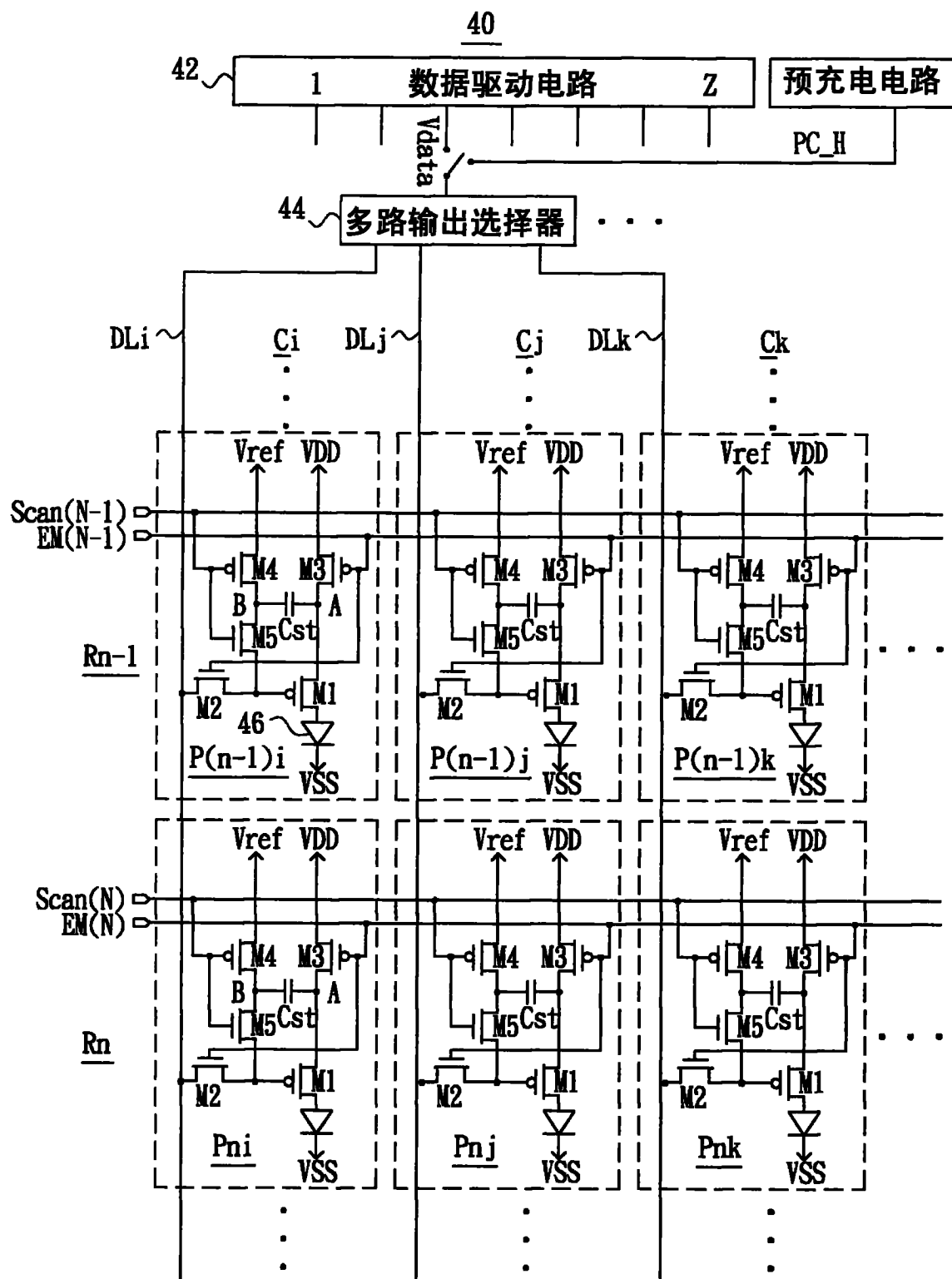


图 4

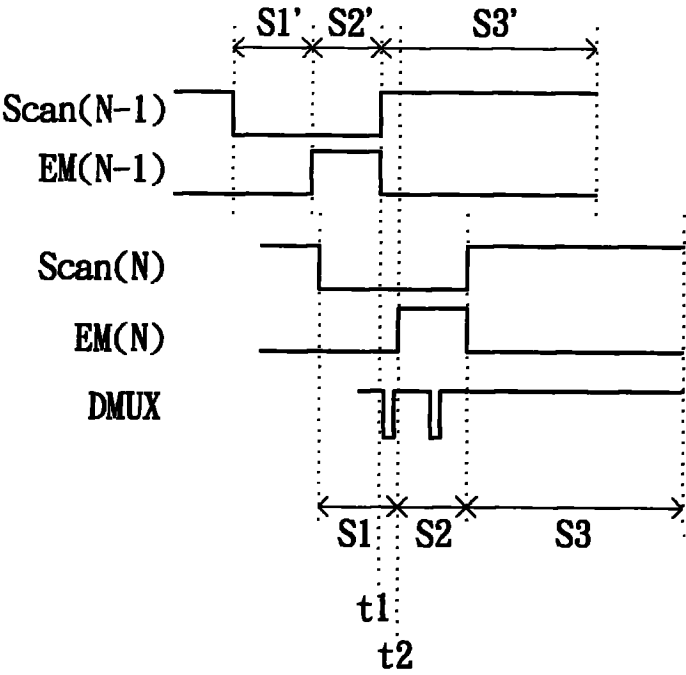


图 5

专利名称(译)	像素电路以及像素驱动方法		
公开(公告)号	CN101697269A	公开(公告)日	2010-04-21
申请号	CN200910207756.2	申请日	2009-10-30
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	刘俊彦 吴元均		
发明人	刘俊彦 吴元均		
IPC分类号	G09G3/32 G09G3/3266 G09G3/3275		
其他公开文献	CN101697269B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种像素电路，该像素电路包括有机发光二极管、储存电容、驱动晶体管及第一至第四开关晶体管。驱动晶体管用以驱动有机发光二极管发亮，其第一源/漏极电性耦接至储存电容的一端，其第二源/漏极电性耦接至有机发光二极管，其栅极通过第一开关晶体管来接收数据电压。第一开关晶体管与第二开关晶体管的栅极开启电压互为反相，且两者的导通/截止状态由同一控制信号决定。类似地，第三开关晶体管与第四开关晶体管的栅极开启电压互为反相，且两者的导通/截止状态由同一控制信号决定。本发明还提供相关于上述像素电路的像素驱动方法。

