

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610154274.1

[51] Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

[45] 授权公告日 2009年4月15日

[11] 授权公告号 CN 100479019C

[22] 申请日 2006.9.19

[21] 申请号 200610154274.1

[30] 优先权

[32] 2005.9.20 [33] KR [31] 10-2005-0087426

[73] 专利权人 三星移动显示器株式会社

地址 韩国京畿道水原市

[72] 发明人 申东蓉

[56] 参考文献

US5517543A 1996.5.14

US2005093464A1 2005.5.5

US6339631B1 2002.1.15

US2004227718A1 2004.11.18

US5510805A 1996.4.23

GB2343067A 2000.4.26

审查员 孙大林

[74] 专利代理机构 北京铭硕知识产权代理有限公司

代理人 郭鸿禧 刘奕晴

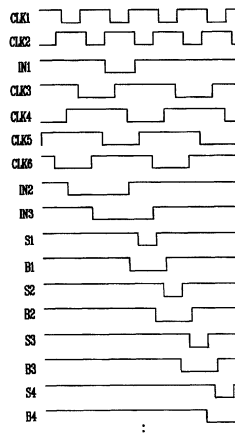
权利要求书 6 页 说明书 16 页 附图 16 页

[54] 发明名称

扫描驱动电路及使用该电路的有机发光显示器

[57] 摘要

公开了一种扫描驱动电路和使用该扫描驱动电路的有机发光显示器。该电路通过从每一单元的级去除静态电流的流电路来有效地减少功耗。所述扫描驱动电路与输入信号线或前一级的输出电压线连接，并且包括与二相时钟信号输入线连接的多个级。第一扫描驱动器通过所述多个级依次输出选择信号和/或提升信号。第二扫描驱动器通过所述多个级依次输出发光信号。第一扫描驱动器包括：扫描驱动单元，输出选择信号；第一提升驱动单元，输出奇数提升信号；以及第二提升驱动单元，输出偶数提升信号。



1、一种与输入信号线连接并且包括与二相时钟信号输入线连接的多个级的扫描驱动电路，所述电路包括：

第一扫描驱动器，被配置为通过所述多个级的两个级或更多级依次输出选择信号和提升信号中的至少一个；

第二扫描驱动器，被配置为通过所述多个级的两个级或更多级依次输出发光信号；

第一和第二时钟信号线，被配置为将第一和第二时钟信号提供给所述多个级，其中，所述多个级的每一级包括：第一和第二时钟端，被配置为接收第一和第二时钟信号，其中，第一时钟信号的部分高电平与第二时钟信号的部分高电平重叠，第一时钟信号和第二时钟信号是相互反相的，

其中，所述第一扫描驱动器包括：

扫描驱动单元，被配置为输出选择信号；

第一提升驱动单元，被配置为输出奇数提升信号；以及

第二提升驱动单元，被配置为输出偶数提升信号。

2、如权利要求1所述的扫描驱动电路，其中所述多个级中的每一级包括：

第一晶体管，被配置为接收前一级的输出电压或第一输入信号，包括与第一时钟端连接的栅极端；

第二晶体管，连接到第二时钟端和输出线，包括与第一晶体管的输出端连接的栅极端；

第三晶体管，连接在第二电源和第一节点之间，包括与第一时钟端连接的栅极端；

第四晶体管，连接到第一时钟端和第一节点，包括与第一晶体管的输出端连接的栅极端；以及

第五晶体管，连接在第一电源和输出线之间，包括与第一节点连接的栅极端。

3、如权利要求2所述的扫描驱动电路，还包括：第一电容器，连接在第一晶体管的输出端和输出线之间。

4、如权利要求1所述的扫描驱动电路，其中，将第一时钟信号和第二时钟信号提供给所述多个级的奇数级的第一和第二时钟端。

5、如权利要求4所述的扫描驱动电路，其中，所述扫描驱动电路被配置为在第一时钟信号具有低电平和第二时钟信号具有高电平的输入时间周期期间执行预充电操作，并且在第一时钟信号具有高电平和第二时钟信号具有低电平的输入时间周期期间执行评价操作。

6、如权利要求5所述的扫描驱动电路，被配置为：

在预充电周期期间输出高电平；

在评价周期期间输出具有与在预充电周期期间接收的输入相应的电平的信号；

当第一和第二时钟信号的每一个在预充电周期之后都具有高电平时，保持输出信号电平；以及

当第一和第二时钟信号的每一个在评价周期之后都具有高电平时，输出高电平信号。

7、如权利要求1所述的扫描驱动电路，其中，将第一和第二时钟信号提供给所述多个级的偶数级的第一和第二时钟端。

8、如权利要求6所述的扫描驱动电路，其中，所述扫描驱动电路被配置为在第一时钟信号具有高电平和第二时钟信号具有低电平的输入时间周期期间执行预充电操作，并且在第一时钟信号具有低电平和第二时钟信号具有高电平的输入时间周期期间执行评价操作。

9、如权利要求8所述的扫描驱动电路，被配置为：

在预充电周期期间输出高电平；

在评价周期期间输出具有与在预充电周期期间接收的输入相应的电平的信号；

当第一和第二时钟信号的每一个在预充电周期之后都具有高电平时，保持输出信号电平；以及

当第一和第二时钟信号的每一个在评价周期之后都具有高电平时，输出高电平信号。

10、如权利要求1所述的扫描驱动电路，还包括：第三、第四、第五和第六时钟信号线，被配置为提供第三和第四时钟信号及第五和第六时钟信号，其中，第一和第二提升驱动单元包括：偶数和奇数级、第一和第二时钟端，所述电路被配置为接收第三和第四时钟信号及第五和第六时钟信号，其中，第三时钟信号的部分高电平与第四时钟信号的部分高电平重叠，并且第五时

钟信号的部分高电平与第六时钟信号的部分高电平重叠，其中，第三时钟信号和第四时钟信号是相互反相的，第五时钟信号和第六时钟信号是相互反相的。

11、如权利要求 9 所述的扫描驱动电路，其中，将第三和第五时钟信号提供给第一和第二提升驱动单元的奇数级的第一时钟端，并且将第四和第六时钟信号提供给第一和第二提升驱动单元的奇数级的第二时钟端。

12、如权利要求 9 所述的扫描驱动电路，其中，将第四和第六时钟信号提供给第一和第二提升驱动单元的偶数级的第一时钟端，并且将第三和第五时钟信号提供给第一和第二提升驱动单元的偶数级的第二时钟端。

13、如权利要求 9 所述的扫描驱动电路，其中，第一时钟信号的部分高电平与第二时钟信号的部分高电平的重叠比第三时钟信号的部分高电平与第四时钟信号的部分高电平的重叠持续时间短，其中，第一时钟信号和第二时钟信号是相互反相的，第三时钟信号和第四时钟信号是相互反相的。

14、如权利要求 9 所述的扫描驱动电路，其中，将第三和第四时钟信号及第二输入信号输入到第一提升驱动单元的级，并且将第五和第六时钟信号及第三输入信号输入到第二提升驱动单元的级，其中，第五时钟信号实际上是延迟一个水平周期的第三时钟信号的版本，第六时钟信号实际上是延迟一个水平周期的第四时钟信号的版本，并且第三时钟信号实际上是延迟一个水平周期的第二输入信号的版本。

15、如权利要求 14 所述的扫描驱动电路，其中，第二和第三输入信号具有比输入到所述扫描驱动单元第一输入信号更长持续时间的低电平。

16、如权利要求 2 所述的扫描驱动电路，其中，第一和第二提升驱动单元的级还包括：

第六晶体管，连接到控制信号输入线和提升信号输出线，包括与第一晶体管的输出端连接的栅极端；

第七晶体管，连接在第一电源和提升信号输出线之间，包括与第一节点连接的栅极端。

17、如权利要求 15 所述的扫描驱动电路，还包括：第一和第三控制信号线，被配置为将第一和第三控制信号提供给第一和第二提升驱动单元的奇数级；以及第二和第四控制信号线，被配置为将第二和第四控制信号提供给第一和第二提升驱动单元的偶数级。

18、如权利要求 17 所述的扫描驱动电路，被配置为将第一和第二控制信号以及第三和第四时钟信号提供给第一提升驱动单元，其中，第一和第二控制信号的每一个的高电平和低电平之间的电压差比第三和第四时钟信号的每一个的高电平和低电平之间的差小。

19、如权利要求 17 所述的扫描驱动电路，被配置为将第三和第四控制信号，以及第五和第六时钟信号提供给第二提升驱动单元，其中，第三和第四控制信号的每一个的高电平和低电平之间的电压差比第五和第六时钟信号的每一个的高电平和低电平之间的差小。

20、一种与输入信号线连接并且包括与二相时钟信号输入线连接的多个级的扫描驱动电路，所述电路包括：

第一扫描驱动器，被配置为通过所述多个级的两个级或更多级依次输出选择信号和提升信号中的至少一个；以及

第二扫描驱动器，被配置为通过所述多个级的两个级或更多级输出发光信号，

其中，所述第一扫描驱动器包括：

第一扫描/提升驱动单元，被配置为输出奇数选择信号和奇数提升信号；以及

第二扫描/提升驱动单元，被配置为输出偶数选择信号和偶数提升信号，

其中，第一和第二扫描/提升驱动单元的每个都包括至少一个级，所述级包括：

第一晶体管，被配置为接收前一级的输出电压或第一输入信号，第一晶体管包括与第一时钟端连接的栅极端；

第二晶体管，连接到第二时钟端和输出线，第二晶体管包括与第一晶体管的输出端连接的栅极端；

第三晶体管，连接在第二电源和第一节点之间，第三晶体管包括与第一时钟端连接的栅极端；

第四晶体管，连接到第一时钟端和第一节点，第四晶体管包括与第一晶体管的输出端连接的栅极端；以及

第五晶体管，连接在第一电源和输出线之间，第五晶体管包括与第一节点连接的栅极端；

第六晶体管，连接到控制信号输入线和提升信号输出线，第六晶体管包括与第一晶体管的输出端连接的栅极端；

第七晶体管，连接在第一电源和提升信号输出线之间，第七晶体管包括与第一节点连接的栅极端；

第八晶体管，连接到选择控制信号输入线和选择信号输出线，第八晶体管包括与第一晶体管的输出端连接的栅极端；

第九晶体管，连接在第一电源和选择信号输出线之间，第九晶体管包括与第一节点连接的栅极端。

21、如权利要求 20 所述的扫描驱动电路，还包括：第一电容器，连接在第一晶体管的输出端和输出线之间。

22、如权利要求 20 所述的扫描驱动电路，其中，所述至少一个级被配置为接收控制信号，从而调整提升信号脉冲的摆动。

23、如权利要求 20 所述的扫描驱动电路，还包括：第三电源，被配置为将负电压提供给控制信号输入线。

24、如权利要求 20 所述的扫描驱动电路，被配置为将选择控制信号应用于选择控制信号输入线，并且响应于选择控制信号依次输出奇数和偶数选择信号。

25、一种有机发光显示器，包括：

面板部分，包括连接到选择信号线、数据线、发光信号线和提升信号线的多个像素；

数据驱动电路，被配置为将数据信号提供给数据线；以及

扫描驱动电路，与输入信号线连接，并且包括与二相时钟信号输入线连接的多个级，所述扫描驱动电路包括：

第一扫描驱动器，被配置为通过所述多个级的两个级或更多级依次输出选择信号和提升信号中的至少一个；

第二扫描驱动器，被配置为通过所述多个级的两个级或更多级依次输出发光信号；以及

第一和第二时钟信号线，被配置为将第一和第二时钟信号提供给所述多个级，其中，所述多个级的每一级包括：第一和第二时钟端，被配置为接收第一和第二时钟信号，其中，第一时钟信号的部分高电平与第二时钟信号的部分高电平重叠，第一时钟信号和第二时钟信号是相互反相

的，

其中，所述第一扫描驱动器包括：

扫描驱动单元，被配置为输出选择信号；

第一提升驱动单元，被配置为输出奇数提升信号；以及

第二提升驱动单元，被配置为输出偶数提升信号。

26、一种有机发光显示器，包括：

面板部分，包括连接到选择信号线、数据线、发光信号线和提升信号线的多个像素；

数据驱动电路，被配置为将数据信号提供给数据线；以及

扫描驱动电路，与输入信号线连接，并且包括与二相时钟信号输入线连接的多个级，所述扫描驱动电路包括：

第一扫描驱动器，被配置为通过所述多个级的两个级或更多级依次输出选择信号和提升信号中的至少一个；

第二扫描驱动器，被配置为通过所述多个级的两个级或更多级输出发光信号；以及

第一和第二时钟信号线，被配置为将第一和第二时钟信号提供给所述多个级，其中，所述多个级的每一级包括：第一和第二时钟端，被配置为接收第一和第二时钟信号，其中，第一时钟信号的部分高电平与第二时钟信号的部分高电平重叠，第一时钟信号和第二时钟信号是相互反相的，

其中，所述第一扫描驱动器包括：

第一扫描/提升驱动单元，被配置为输出奇数选择信号和奇数提升信号；以及

第二扫描/提升驱动单元，被配置为输出偶数选择信号和偶数提升信号。

扫描驱动电路及使用该电路的有机发光显示器

本申请要求于2005年9月20日在韩国知识产权局提交的第2005-87426号韩国专利申请的利益，该申请公开于此以资参考。

技术领域

本发明涉及一种有机发光显示器，更具体地说，涉及一种用于电流编程类型的有机发光显示器的扫描驱动电路。

背景技术

通常，有机发光显示器电激发磷光体有机化合物来发光，并且用电压或电流驱动有机发光单元的阵列来显示图像。这种有机发光单元包括：铟锡氧化物（ITO）阳极、有机薄膜和金属阴极层。

有机薄膜具有多层结构，它包括：发光层（EML）、电子传输层（ETL）和空穴传输层（HTL），从而保持电子和空穴之间的平衡并改善发光效率，并且还包含电子注入层（EIL）和空穴注入层（HIL）。

用于驱动有机发光单元的方法包括：无源矩阵驱动方法以及使用薄膜晶体管（TFT）或金属氧化物半导体场效应晶体管（MOSFET）的有源矩阵驱动方法。无源矩阵显示器包括相互交错的阴极线和阳极线的阵列。有源矩阵显示器包括像素阵列，其中，每个像素都具有 TFT、电容器和 ITO 像素电极以保持电容器上的电压。

有源矩阵驱动方法可根据用于对电容器充电的信号类型被分类为电压编程方法和电流编程方法。

有机发光显示器的有源矩阵类型包括：显示面板、数据驱动电路、扫描驱动电路和定时控制器。扫描驱动电路从定时控制器接收扫描驱动控制信号，产生扫描信号，并依次将扫描信号提供给显示面板的扫描线。也就是说，为了驱动包括在显示面板中的像素，扫描驱动电路运行来依次产生将提供给显示面板的扫描信号。

图 1 是显示传统的扫描驱动电路的框图。参照图 1，传统的扫描驱动电

路包括与开始脉冲 SP 输入线连接的 ST1 至 STn 的多个级。ST1 至 STn 的多个级响应于开始时钟 SP 依次切换时钟信号 C, 从而产生输出信号 SO1 至 SO_n。第二级 ST2 到第 n 级 STn 中的每个级都接收并切换作为下一级的开始脉冲的前一级的输出信号。因此, 所述级以依次切换开始脉冲这样的方式产生输出信号 SO1 至 SO_n, 并向矩阵像素阵列提供输出信号。

图 2 是在图 1 所示的扫描驱动电路中的级的电路图。图 3 是图 2 所示的级的输入/输出波形图。参照图 2 和图 3, 传统地, 组成扫描驱动电路的每个级使用主从触发器。当时钟 clk 处于低电平时, 这样的触发器在保持先前输出的同时继续接收输入。与其相反, 当时钟 clk 处于高电平时, 触发器保持当时钟 clk 处于低电平时接收的输入 IN, 并且输出接收的输入, 而不再接收输入。

在上述的电路中, 包括在触发器中的反相器具有包括当其输入处于低电平时流过静态电流的缺点。此外, 在触发器中, 已经接收低电平输入的反相器的数量与已经接收高电平输入的反相器的数量相同。因此, 静态电流流过触发器中的所有反相器的一半, 从而引起过多的功耗。

另外, 图 2 显示反相器电路的实施例。根据这个实施例, 根据第一 PMOS 晶体管 M1 和第二 PMOS 晶体管 M2 的电阻值的比率来确定反相器的高电平输出。根据第一 PMOS 晶体管 M1 的阈值电压确定反相器的低电平输出。

由于制造变化, 各个晶体管的电阻和阈值参数差别很大。因为用于有机发光显示器的晶体管经常使用具有高制造可变性的晶体管, 所以这是重要的问题。结果, 图 2 的电路的性能不确定。例如, 阈值变化引起每个反相器的低电平输出不同。结果, 当将来自具有不确定值的第一反相器的低电平输出作为输入提供给第二反相器时, 因为不确定的低电平值导致第二反相器的第一 PMOS 晶体管中不确定的上拉电阻, 所以第二反相器可能具有降低的高输出电平。

此外, 在反相器中, 当输出高电平时, 恒电流流过第一 PMOS 晶体管 M1 和第二 PMOS 晶体管 M2。这样导致了恒定功耗。另外, 在第二 PMOS 晶体管 M2 中流过的恒电流引起反相器输出信号的较慢的上升时间。

发明内容

因此, 一方面在于提供一种扫描驱动电路和使用该电路的有机发光显示

器，通过从每一单元的级去除静态电流的电流流通过程来减少功耗，其中，所述扫描驱动电路包括：第一扫描驱动器，用于提供选择信号和/或提升信号；以及第二扫描驱动器，用于提供发光信号，其中，第一扫描驱动器包括：扫描驱动单元，用于输出选择信号；第一提升驱动单元，用于输出奇数提升信号；以及第二提升驱动单元，用于输出偶数提升信号。

附图说明

通过下面结合附图对优选的实施例进行的描述，本发明的这些和/或其它方面和优点将会变得清楚而且更加容易理解，其中：

图 1 是显示传统的扫描驱动电路的框图；

图 2 是在图 1 所示的扫描驱动电路中的级的电路图；

图 3 是图 2 所示的级的输入/输出波形图；

图 4 是显示根据一个实施例的有机发光显示器的框图；

图 5 是显示布置在图 4 所示的有机发光显示器的每个像素区域的像素电路的示例的电路图；

图 6 是提供给图 5 所示的像素电路的选择、发光和提升信号的波形图；

图 7 是显示根据实施例的扫描驱动电路的第一扫描驱动器的结构的框图；

图 8 是根据第一实施例的扫描驱动电路的第一扫描驱动器中的级的电路图；

图 9 是图 8 所示的级的输入/输出波形图；

图 10 是显示根据实施例的扫描驱动电路的第一扫描驱动器的结构的框图；

图 11 是根据另一实施例的扫描驱动电路的第一扫描驱动器中的级的电路图；

图 12 是图 11 所示的级的输入/输出波形图；

图 13 是显示根据另一实施例的扫描驱动电路的第一扫描驱动器的结构的框图；

图 14 是根据另一实施例的扫描驱动电路的第一扫描驱动器中的级的电路图；

图 15 是图 14 所示的级的输入/输出波形图；

图 16 是显示根据另一实施例的扫描驱动电路的第一扫描驱动器的结构的框图;

图 17 是根据另一实施例的扫描驱动电路的第一扫描驱动器中的级的电路图;

图 18 是图 17 所示的级的输入/输出波形图。

具体实施方式

以下,参照附图来详细说明特定的发明方面。在这里,当第一部件连接到第二部件时,第一部件可直接地连接到第二部件,或者可经由第三部件间接地连接到第二部件。此外,为了清楚,省略了不相关的部件。另外,相同的标号始终表示相同的部件。

图 4 是显示根据一个实施例的有机发光显示器的框图。

如图 4 所示,根据一个实施例的有机发光显示器包括:有机发光显示面板(以下称为“显示面板”)100、数据驱动电路 200 和扫描驱动电路。所述扫描驱动电路包括:第一扫描驱动器 310 和第二扫描驱动器 320。第一扫描驱动器 310 提供选择信号和/或提升信号。第二扫描驱动器 320 提供发光信号。

可将第一扫描驱动器 310 配置成分为分别用于输出选择信号和提升信号的扫描驱动单元和提升驱动单元。在这种情况下,所述提升驱动单元可被进一步分为奇数提升信号和偶数提升信号。

显示面板 100 包括:多个数据线 D1 至 Dn、多个信号线 S1 至 Sm、E1 至 Em、B1 至 Bm 和多个像素电路 11。将多个数据线 D1 至 Dn 布置为列方向。将多个信号线 S1 至 Sm 和 E1 至 Em 布置为行方向。将多个像素电路 11 布置在阵列中。

在这里,信号线 S1 至 Sm 和 E1 至 Em 包括:多个选择信号线 S1 至 Sm,用于传送选择信号以选择像素行;多个发光信号线 E1 至 Em,用于传送发光信号来控制像素行的发光周期;以及多个提升信号线 B1 至 Bm,用于传送提升信号来设置像素行中的驱动薄膜晶体管的栅极电压。

此外,像素电路 11 在由数据线 D1 至 Dn、选择信号线 S1 至 Sm、发光信号线 E1 至 Em 和提升信号线 B1 至 Bm 定义的像素区域形成。

数据驱动电路 200 将数据电流 I_{DATA} 应用于数据线 D1 至 Dn。扫描驱动电路 300 的第一扫描驱动器 310 依次将用于选择像素电路 11 的选择信号应用

于选择信号线 S1 至 Sm。此外，第一扫描驱动器 310 依次将提升信号应用于提升信号线 B1 至 Bm 来设置每个像素行的驱动薄膜晶体管的栅极电压。

此外，扫描驱动电路 300 的第二扫描驱动器 320 将用于控制像素电路 11 的亮度的发光信号应用于发光信号线 E1 至 Em。

图 5 是显示图 4 所示布置的像素电路的示例的电路图。然而，为了帮助理解像素电路，在图 5 中仅显示连接到第 j 数据线 Dj 及第 i 信号线 Si 和 Ei 的像素电路。

如图 5 所示，根据一个实施例的像素电路包括：有机发光二极管 OLED、晶体管 m1 至 m4 和第一电容器 C1 与第二电容器 C2。在这里，尽管每个晶体管 m1 至 m4 都使用 PMOS 晶体管，但是也可用 NMOS 和 CMOS 来代替。

第一晶体管 m1 连接在电源 VDD 和有机发光二极管 OLED 之间，并且控制通过有机发光二极管 OLED 的电流。详细地，第一晶体管 m1 的源极连接到电源 VDD，其漏极通过第三晶体管 m3 连接到有机发光二极管 OLED 的阴极。

此外，响应于选择信号线 Si 的选择信号，第二晶体管 m2 将电压从数据线 Dj 传送到第一晶体管 m1 栅极。第四晶体管 m4 响应于选择信号二极管连接第一晶体管 m1。

此外，第一电容器 C1 连接在第一晶体管的栅极和源极之间，并且当数据电流 I_{DATA} 流入数据线 Dj 时，以与第一晶体管 m1 的栅极电压相应的电压对电容器 C1 充电。第三晶体管 m3 响应于发光信号线 Ei 的发光信号将流过第一晶体管 m1 的电流传送到有机发光二极管 OLED。

此外，第二电容器 C2 连接在第一晶体管 m1 的栅极和提升信号线 Bj 之间。

在这里，第二电容器 C2 的电压增加了提升信号线 Bj 上的提升信号的电压增量 ΔV_B ，并且产生第一晶体管 m1 的栅极电压 V_G 的增量 ΔV_G 。可通过下面的等式 1 来评价 V_G 。

$$\Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2} \quad (1)$$

如等式 1 所示，通过将提升信号的电压增加 ΔV_B ，栅极电压 V_G 根据第一和第二电容器的电容值增加了 ΔV_G 。晶体管 m1、m2 和 m4 的寄生电容及相互连接也将影响 ΔV_G 。寄生电容减少了与相对于第一和第二电容器的和的寄生

电容量相关量的 ΔV_G 。因此，提供给有机发光二极管 OLED 的电流 I_{OLED} 可被设置在期望的值。

图 6 是提供给图 5 所示的像素电路的选择信号、发光信号和提升信号的时序图。

参照图 5 和图 6，在第一晶体管 m1、第二晶体管 m2 和第四晶体管 m4 导通，并且由第一晶体管 m1 流出数据电流 I_{DATA} 时，第三晶体管 m3 截止。在这种状态中，通过第二晶体管 m2 和第四晶体管 m4 等效二极管连接第一晶体管。因此，第一晶体管 m1 的栅极电压达到与数据电流 I_{DATA} 相应的值，并且被存储在电容器 C1 中。

如图 6 所示，通过控制在选择信号线 S_i 的脉冲结束之后被产生的发光信号线 E_i 的发光信号的脉冲结束，在第二晶体管 m2 导通的同时第三晶体管 m3 没有导通。

也就是，在图 5 和图 6 的实施例，选择信号以选择信号的低电平的脉冲在水平周期之前大概 2 微秒结束的方式被施加。又如图 6 所示，发光信号以发光信号的高电平的脉冲宽度跨过选择信号的低电平的脉冲宽度的方式被应用。

此外，当在选择信号的脉冲结束之后产生来自提升信号线 B_i 的提升信号的脉冲结束时，当第二电容器 C2 的节点电压增加时，完成数据电流 I_{DATA} 的编程，并且消除了增加第二电容器 C2 的节点电压的影响。因此，在这个实施例中，如图 6 所示，通过控制传送到选择信号线 S_n 的选择信号的脉冲结束在传送到提升信号线 B_n 的提升信号的脉冲结束之前产生，在编程数据电流 I_{DATA} 之后第二电容器 C2 的节点电压增加。

此外，通过控制提升信号的脉冲开始在选择信号的脉冲开始之前产生，在第一电容器 C1 中对电压编程时，由于第二电容器 C2 的节点电压的下降，第一电容器 C1 的电压变化。如前面记录地，当第一电容器 C1 的电压改变时，应该再次执行第一电容器 C1 的电压编程操作，因此需要在第一电容器 C1 中对电压编程的时间。因此，如图 6 所示，通过控制传送到选择信号线 S_n 的选择信号的开始传送到提升信号线 B_n 的提升信号的开始之后产生，在第二电容器 C2 的节点电压下降之后执行数据电流 I_{DATA} 的编程操作。

由于连接到提升信号线 B_n 的负载和连接到发光信号线 E_n 的负载之间的差异，先于提升信号的脉冲结束产生发光信号的脉冲结束，在发光信号的脉

冲结束和提升信号的脉冲结束之间的时间段期间,在第二电容器 C2 的节点电压增加之前的电流流过有机发光二极管 OLED,从而在有机发光二极管 OLED 中产生应力。当重复这种操作时,可缩短有机发光二极管 OLED 的使用时间。因此,如图 6 所示,通过在传送到发光信号线 En 的发光信号的脉冲结束之前产生传送到提升信号线 Bn 的提升信号的脉冲结束,在已经增加第二电容器 C2 的节点电压之后电流流过有机发光二极管 OLED。

此外,如果在提升信号的脉冲开始之后产生发光信号的脉冲开始,则在发光信号的脉冲开始和提升信号的脉冲开始之间的时间段期间,由于第二电容器 C2 的节点电压的下降导致的电流流过有机发光二极管 OLED,从而导致有机发光二极管 OLED 中的应力。当重复这种操作时,可缩短有机发光二极管 OLED 的使用时间。因此,如图 6 所示,通过在提升信号的脉冲开始之前产生发光信号的脉冲开始,在第三晶体管 m3 截止之后第二电容器 C2 的节点电压下降。

也就是,在这个实施例中,提升信号以提升信号的低电平的脉冲宽度跨选择信号的低电平的脉冲宽度并且小于发光信号的高电平的脉冲宽度的方式被施加。

如图 4 所示,将提供给面板的选择信号、提升信号和发光信号通过第一扫描驱动器 310 和第二扫描驱动器 320 输出。

现在将给出用于输出具有如图 6 所示的波形的选择信号和提升信号的一个实施例的扫描驱动电路的结构和操作。

也就是,将仅描述扫描驱动电路的第一扫描驱动器。由于从第一扫描驱动器的描述可以很容易地获得第二扫描驱动器的描述,所以将不提供进一步的详细描述。

图 7 是根据一个实施例的第一扫描驱动器的结构的框图。

在这里,根据一个实施例的第一扫描驱动器 310 被分为扫描驱动单元 312 和提升驱动单元 314 与 316,以便扫描驱动单元 312 和提升驱动单元 314 与 316 分别输出选择信号和提升信号。此外,提升驱动单元包括分别输出奇数提升信号和偶数提升信号的第一提升单元 314 和第二提升单元 316。

扫描驱动单元 312、第一提升单元 314 和第二提升单元 316 包括分别从属地连接其输入信号 IN1、IN2 和 IN3 线的 n 级。

扫描驱动单元 312 的 n 级的第一输出线连接到包括在像素阵列中的 n 行

线 S1 至 Sn, 并且将选择信号提供给定义像素阵列的各像素。提升驱动单元 314 与 316 的 n 级的第二输出线连接到包括在像素阵列中的 n 行线 B1 至 Bn, 并且将提升信号提供给定义像素阵列的各像素。

在这里, 将第一输入信号 IN1 提供给包括在扫描驱动单元 312 中的第一级, 将第一输入信号 IN2 提供给包括在第一提升驱动单元 314 中的第一级, 并且将第一输入信号 IN3 提供给包括在第二提升驱动单元 316 中的第一级。将第一至第 (n-1) 级的输出信号作为输入信号提供给各自的下一级。

此外, 扫描驱动单元 312 的每一级包括第一时钟端 CLKa 和第二时钟端 CLKb。分别将高电平部分相互重叠的第一和第二反相时钟信号 CLK1 和 CLK2 提供给第一时钟端 CLKa 和第二时钟端 CLKb。将第一时钟信号 CLK1 提供给第一扫描驱动器 310 中奇数级的第一时钟端 CLKa, 并将第二时钟信号 CLK2 提供给第二时钟端 CLKb。与此相比, 将第二时钟信号 CLK2 提供给偶数级的第一时钟端 CLKa, 并将第一时钟信号 CLK1 提供给偶数级的第二时钟端 CLKb。

也就是, 当每一级接收第一输入信号 IN1 或前一级的输出电压 g_i 、以及第一时钟信号 CLK1 和第二时钟信号 CLK2 时, 以第一和第二时钟信号在高电平相互重叠的时间间隔通过其输出线依次输出低电平信号。

以与上面相同的方式, 第一提升驱动单元 314 和第二提升驱动单元 316 的各级包括第一时钟端 CLKa 和第二时钟端 CLKb。将相位被反转并且高电平部分相互重叠的第三时钟信号 CLK3 和第四时钟信号 CLK4 以及第五时钟信号 CLK5 和第六时钟信号 CLK6 提供给第一时钟端 CLKa 和第二时钟端 CLKb。

在这里, 如所示, 将第三时钟信号 CLK3 或第五时钟信号 CLK5 提供给奇数级的第一时钟端 CLKa, 将第四时钟信号 CLK4 或第六时钟信号 CLK6 提供给其第二时钟端 CLKb。

与此相比, 将第四时钟信号 CLK4 或第六时钟信号 CLK6 提供给偶数级的第一时钟端 CLKa, 将第三时钟信号 CLK3 或第五时钟信号 CLK5 提供给偶数级的第二时钟端 CLKb。

也就是, 当每一级接收第一输入信号 IN2 或 IN3 或前一级的输出电压 g_i 、以及第三时钟信号 CLK3 和第四时钟信号 CLK4 或第五时钟信号 CLK5 和第六时钟信号 CLK6 时, 以第三时钟信号 CLK3 和第四时钟信号 CLK4 或第五

时钟信号 CLK5 和第六时钟信号 CLK6 在高电平相互重叠的时间间隔通过其输出线依次将低电平信号输出到各自的奇数或偶数提升信号线。

如图 6 所示，以提升信号的低电平的脉冲宽度跨过选择信号的低电平的脉冲宽度并且小于发光信号的高电平的脉冲宽度的方式输出提升信号。此外，输出具有小于水平周期的脉冲宽度的低电平的脉冲宽度的选择信号。

也就是，在这个实施例中，为了设置大于水平周期的脉冲宽度的提升信号的脉冲宽度，提升驱动单元被配置为分为奇数输出单元 314 和偶数输出单元 316。

图 8 是在图 7 所示的扫描驱动电路中的级的实施例的电路图，其中，显示了扫描驱动单元、第一和第二提升驱动单元的奇数级的详细电路布置。图 9 是图 8 所示的级的输入/输出波形图。

参照图 8 和图 9，在具有相互反相的第一时间周期期间，扫描驱动单元、第一和第二提升驱动单元的每个奇数级预充电到第一和第二输入时钟信号 CLK1 和 CLK2、CLK3 和 CLK4 或 CLK5 和 CLK6。在具有与第一时间周期的相位反转的相位的第二周期期间，奇数级执行评价操作，以在高电平的时钟信号的重叠时间间隔依次输出低电平脉冲。

也就是，在预充电周期期间奇数级输出高电平信号，在评价周期期间输出与在预充电周期期间接收的输入信号相应的信号。

此外，指定奇数级的评价周期来与偶数级的预充电周期相符。

以下，将通过参照图 8 所示的奇数级的电路布置来详细描述级的操作。

现在将 PMOS 薄膜晶体管作为包括在级中的晶体管的示例来描述。然而，其它实现也是可行的，诸如 NMOS 或 CMOS 的实施例。

参照图 8，根据一个实施例的奇数级 400 包括第一 PMOS 晶体管 M1、第二 PMOS 晶体管 M2、第三 PMOS 晶体管 M3、第四 PMOS 晶体管 M4 和第五 PMOS 晶体管 M5。第一 PMOS 晶体管 M1 接收前一级的输出电压 g_i 或第一输入信号 IN1 或 IN2。第一 PMOS 晶体管 M1 的栅极端连接到第一时钟端。第二 PMOS 晶体管 M2 连接到第二时钟端和输出线 OUT，并且其栅极端连接到第一 PMOS 晶体管 M1 的输出端。第三 PMOS 晶体管 M3 连接在第二电源 VSS 和第一节点 N1 之间，其栅极端与第一时钟端连接。第四 PMOS 晶体管 M4 连接在第一时钟端和第一节点之间，并且其栅极端连接到第一 PMOS 晶体管 M1 的输出端。第五 PMOS 晶体管 M5 连接在第一电源 VDD 和输出线

OUT 之间，并且其栅极端连接到第一节点 N1。

扫描驱动电路还包括第一电容器 C1，它连接在第一 PMOS 晶体管 M1 的输出端和输出线 OUT 之间。

如所示，当所述级是扫描驱动单元的奇数级时，将第一时钟信号 CLK1 提供给第一时钟端，并且将第二时钟信号 CLK2 提供给第二时钟端。相反，当所述级是扫描驱动单元的偶数级 322 时，将第二时钟信号 CLK2 提供给第一时钟端，并且将第一时钟信号 CLK1 提供给第二时钟端。

与此相比，如所示，当所述级是第一提升驱动单元 314 的奇数级时，将第三时钟信号 CLK3 提供给第一时钟端，并且将第四时钟信号 CLK4 提供给第二时钟端。相反，当所述级是第一提升驱动单元 314 的偶数级时，将第四时钟信号 CLK4 提供给第一时钟端，并且将第三时钟信号 CLK3 提供给第二时钟端。

此外，如所示，当所述级是第二提升驱动单元 316 的奇数级时，将第五时钟信号 CLK5 提供给第一时钟端，并且将第六时钟信号 CLK6 提供给第二时钟端。相反，当所述级是第二提升驱动单元 316 的偶数级时，将第六时钟信号 CLK6 提供给第一时钟端，并且将第五时钟信号 CLK5 提供给第二时钟端。

此外，可将负电压应用于第二电源 VSS，但是如图 8 所示，第二电源 VSS 可以接地。在一个实施例中，显示第二电源 VSS 被实施为接地。

每一级包括：传送单元、反相单元和缓冲单元。传送单元包括：第一 PMOS 晶体管 M1、第二 PMOS 晶体管 M2 和第一电容器 C1。反相单元包括：第一 PMOS 晶体管 M1、第三 PMOS 晶体管 M3 和第四 PMOS 晶体管 M4。缓冲单元包括第五 PMOS 晶体管 M5。

假设所述级是第一扫描驱动器的奇数级 312，第一时钟信号 CLK1 具有低电平而第二时钟信号 CLK2 具有高电平的时间段变为预充电周期。第一时钟信号 CLK1 具有高电平而第二时钟信号 CLK2 具有低电平的时间段变为评价周期。第一扫描驱动器的奇数级 312 在预充电周期期间输出高电平信号，并且在评价周期期间输出与在预充电周期期间接收的输入相应的信号。

在这个实施例中，如所示，第一和第二时钟信号、第三和第四时钟信号或第五和第六时钟信号作为每一级的输入信号被提供，从而在部分高电平相互重叠。

每一级输出一对时钟信号 CLK1 和 CLK2、CLK3 和 CLK4 或 CLK5 和 CLK6, 以便具有与在高电平的第一和第二时钟信号 CLK1 和 CLK2 的重叠时间相应的时间间隔。在每一级的输出信号之间具有预定的时间间隔是为了保证时钟偏移或延迟的余地。

将参照图 8 和图 9 解释奇数级的操作。首先, 在预充电周期期间, 也就是, 在输入低电平的第一时钟信号 CLK1 和高电平的第二时钟信号 CLK2 时, 第一晶体管 M1 和第三晶体管 M3 导通, 从而输入信号 IN1 被传送到第二晶体管 M2 和第四晶体管 M4 的栅极端。

因此, 由于前一级的输出电压或输入信号 IN1 作为输入信号被存储在第一个电容器 C1 中, 并且第一节点 N1 由第二时钟信号 CLK2 或来自第二电源 VSS 的低电平信号进行充电, 所以第五晶体管 M5 导通, 伴随的结果是通过输出端 OUT 输出高电平的第一电源 VDD。

也就是, 在预充电周期期间, 所述级的缓冲单元的输出变为高电平。此外, 在评价周期期间, 第一晶体管 M1 截止, 从而阻断了输入信号 IN1, 并且第三晶体管 M3 和第四晶体管 M4 也相应地截止。

当在预充电周期期间接收的信号, 也就是, 前一级的输出电压或输入信号 IN1 是高电平时, 接收的信号保持在预充电周期期间预充电的信号的电平, 从而缓冲器输出不变的高电平信号。

与此相比, 当在预充电周期期间接收的信号, 也就是, 前一级的输出电压或输入信号 IN1 是低电平时, 根据在第一个电容器 C1 中存储的低电平信号第二晶体管 M2 导通。因此, 在传送单元中, 由于第二晶体管 M2 导通, 所以通过输出端 OUT 输出低电平的第二时钟信号 CLK2。

也就是, 在评价周期期间, 当在预充电周期期间接收的信号, 也就是, 前一级的输出电压或输入信号 IN1 是低电平时, 所述级输出低电平信号。当接收的信号是高电平时, 所述级输出高电平信号。

如前面记录地, 如图 9 所示, 第一和第二时钟信号作为每一级的输入信号被提供以在部分高电平相互重叠。

在第一时钟信号 CLK1 和第二时钟信号 CLK2 是高电平的情况下, 当先前周期是预充电周期时, 由第一时钟信号 CLK1 控制的第一晶体管 M1 和第三晶体管 M3 都截止, 并且电容器 C1 的电压保持不变, 从而保持先前的输出。

与此相比, 当先前周期是评价周期时, 第一晶体管 M1 和第三晶体管 M3

截止，第二晶体管 M2 保持先前状态。当第二晶体管 M2 截止时，所述级接收高电平信号，伴随的结果是由第五晶体管 M5 保持高电平输出。

相反，当第三晶体管 M3 导通时，由于所述级接收低电平信号，也就是，第二晶体管 M2 的栅极端处于浮动状态，所以电容器 C1 的电压保持不变，并且第二晶体管 M2 继续处于导通，使得高电平的第二时钟信号作为输出信号被输出。

从上面的描述可以看到，在第一时钟信号 CLK1 和第二时钟信号 CLK2 是高电平的情况下，当先前周期是预充电周期时，输出保持先前状态。当先前周期是评价周期时，输出具有高电平。因此，通过在第一时钟信号 CLK1 和第二时钟信号 CLK2 的高电平中的重叠的时间，在相邻级的输出脉冲之间可减小时间间隔。

尽管上面的描述是基于第一扫描驱动器的奇数级状态的结果，但是基于第一提升驱动单元或第二提升驱动单元的奇数级能获得相同的结果。

因此，当图 7 的第一提升驱动单元 314 和第二提升驱动单元 316 分别接收第三时钟信号 CLK3 和第四时钟信号 CLK4，及输入信号 IN2；和第五时钟信号 CLK5 和第六时钟信号 CLK6，及输入信号 IN3 时，它们在高电平的一对时钟信号 CLK3 和 CLK4 或时钟信号 CLK5 和 CLK6 的重叠的时间间隔依次输出低电平脉冲。

如图 9 所示，输入第三时钟信号 CLK3 和第四时钟信号 CLK4，或第五时钟信号 CLK5 和第六时钟信号 CLK6 以具有与第一时钟信号 CLK1 和第二时钟信号 CLK2 相比更长的重叠时间、预充电周期和评价周期。此外，分别输入到第一和第二提升驱动单元的输入信号 IN1 和输入信号 IN3 具有与输入到扫描驱动单元的输入信号 IN1 的低电平宽度相比更宽的低电平宽度。

此外，与将第三时钟信号 CLK3 和第四时钟信号 CLK4 及输入信号 IN3 输入到第一提升驱动单元 314 的级相比，将第五时钟信号 CLK5 和第六时钟信号 CLK6 及输入信号 IN2 输入到将被延迟大约一个水平周期的第二提升驱动单元 316 的级。

如图 6 所示，执行这个操作以使提升信号以提升信号的低电平的脉冲宽度包含相应的选择信号的低电平的脉冲宽度的方式被应用。

也就是，在一个实施例中，为了使输出的提升信号具有大于相应的选择信号的脉冲宽度的脉冲宽度，提升驱动单元被配置为分为奇数输出单元和偶

数输出单元。调整应用于各提升驱动单元的时钟信号 CLK3、CLK4、CLK5 和 CLK6 的时间周期和输入信号 IN1 和输入信号 IN2 的低电平宽度。

图 10 是显示根据另一实施例的扫描驱动电路的第一扫描驱动器的结构的框图。

然而，将省略与图 7 所示的第一实施例的结构和操作相同的第二实施例的结构和操作的描述。

以与图 7 中的第一实施例中相同的方式，第一实施例的第一扫描驱动器被配置成分为分别用于输出选择信号和提升信号的扫描驱动单元和提升驱动单元。具体地说，提升驱动单元包括用于分别输出奇数提升信号和偶数提升信号的第一提升驱动单元和第二提升驱动单元。

然而，除了时钟信号 CLK3、CLK4、CLK5 和 CLK6 及输入信号 IN2 和输入信号 IN3 之外，控制信号 D1、D2 和 D3 也被应用到第一和第二提升驱动单元以调整输出脉冲的摆动。

将第一控制信号 D1 和第三控制信号 D3 输入到第一和第二提升驱动单元的奇数级，而将第二控制信号 D2 和第四控制信号 D4 输入到第一和第二提升驱动单元的偶数级。

图 11 是扫描驱动电路的第一扫描驱动器的级的实施例的电路图，其中，显示图 10 所示的扫描驱动单元、第一和第二提升驱动单元的奇数级的详细电路布置。图 12 是图 11 所示的级的输入/输出波形图。

图 11 所示的扫描驱动单元的级 400 的部分，及其信号输入的时序图与图 9 所示的第一实施例相同，因此省略对其的描述。

然而，在第一和第二提升驱动单元的情况下，第六 PMOS 薄膜晶体管 M6 和第七 PMOS 薄膜晶体管 M7 在图 8 所示的第一实施例的结构中被另外设置。此外，为了调整输出提升信号的摆动，将控制信号 D1、D2、D3 和 D4 输入到第六晶体管 M6 的输入端。

在这里，分别将第一控制信号 D1 和第二控制信号 D2 输入到第一提升驱动单元的奇数和偶数级，而分别将第三控制信号 D3 和第四控制信号 D4 输入到第二提升驱动单元的奇数和偶数级。

在详细的描述中，如图 11 所示，提升驱动单元的奇数级 500 包括：第一晶体管 M1 至第五晶体管 M5、第六 PMOS 晶体管 M6 和第七 PMOS 晶体管 M7。第六 PMOS 晶体管 M6 连接到控制信号 D1 或控制信号 D3 输入线和提

升信号输出线 BST，并且其栅极端连接到第一晶体管 M1 的输出端。第七 PMOS 晶体管 M7 连接在第一电源 VDD 和提升信号输出线 BST 之间。

如前面记录地，另外包括第六 PMOS 晶体管 M6 和第七 PMOS 晶体管 M7。由于控制信号通过第六 PMOS 晶体管 M6 被施加，所以由控制信号控制从每一级输出的提升信号中高电平和低电平之间的差，也就是，输出脉冲的摆动。

也就是，与第一实施例相似，通过将被输入到下一级的级的输出端输出相同的信号。然而，根据控制信号的摆动电平通过每一级的提升信号输出线 BST 输出相应的提升信号。

如图 12 所示，与被应用于第一提升驱动单元的第三时钟信号 CLK3 和第四时钟信号 CLK4 的高电平和低电平的差相比，具有较小的高电平和低电平的差的第一控制信号 D1 和第二控制信号 D2 被施加于第一提升驱动单元。也就是，第一和第二控制信号具有比第三时钟信号 CLK3 和第四相应的时钟信号 CLK4 小的摆动。

与上面的描述相似，由于提升信号的脉冲宽度大于相应的选择信号的脉冲宽度，并且由于控制信号的脉冲具有较小的高电平和低电平的差，所以通过图 11 所示的提升驱动单元的级输出提升信号。

也就是，这个实施例具有可以调整输出提升信号的脉冲摆动的优点。

图 13 是显示根据另一实施例的扫描驱动电路的第一扫描驱动器的结构的框图。

在上述讨论的实施例中，第一扫描驱动器被分为扫描驱动单元、第一和第二提升驱动单元。在其它实施例中，扫描驱动单元可被配置成分为奇数和偶数扫描驱动单元，并且奇数和偶数扫描驱动单元连接到第一和第二提升驱动单元。

换句话说，如图 13 所示，第一扫描驱动器 310 包括：第一扫描/提升驱动单元 318 和第二扫描/提升驱动单元 319。第一扫描/提升驱动单元 318 输出奇数选择信号和提升信号。第二扫描/提升驱动单元 319 输出偶数选择信号和提升信号。

除了时钟信号 CLK7、CLK8、CLK9、CLK10、输入信号 IN4、IN5、及具有与上面讨论的相应信号相似的功能的用于调整输出脉冲的摆动的控制信号 D1、D2、D3、D4 之外，用于依次输出奇数和偶数选择信号的选择控制信

号 A1、A2、A3 和 A4 被另外应用于第一扫描/提升驱动单元 318 和第二扫描/提升驱动单元 319。

分别将第一选择控制信号 A1 和第三选择控制信号 A3 输入到第一扫描/提升驱动单元 318 和第二扫描/提升驱动单元 319 的奇数级。分别将第二选择控制信号 A2 和第四选择控制信号 A4 输入到第一扫描/提升驱动单元 318 和第二扫描/提升驱动单元 319 的偶数级。

图 14 是扫描驱动电路的第一扫描驱动器中的级的电路图，其中，显示了如图 13 所示的第一扫描/提升驱动单元 318 和第二扫描/提升驱动单元 319 的奇数级的详细电路布置。此外，图 15 是图 14 所示的级的输入/输出波形图。

如图 14 和图 15 所示，通过将第八 PMOS 晶体管 M8 和第九 PMOS 晶体管 M9 添加到图 11 所示的第二实施例的布置中来配置扫描/提升驱动单元。为了依次输出奇数和偶数选择信号，将选择控制信号 A1、A2、A3 和 A4 输入到第八 PMOS 晶体管 M8 的输入端。

在这里，分别将第一选择控制信号 A1 和第二选择控制信号 A2 输入到第一扫描/提升驱动单元的奇数和偶数级。此外，分别将第三选择控制信号 A3 和第四选择控制信号 A4 输入到第二扫描/提升驱动单元的奇数和偶数级。

如图 14 所示，扫描/提升驱动单元的奇数级 600 还包括：第一至第七晶体管 M1 至 M7、第一电容器 C1、第八 PMOS 晶体管 M8 和第九 PMOS 晶体管 M9。第八 PMOS 晶体管 M8 连接到选择控制信号 A1 或选择控制信号 A3 输入线和选择信号输出线 SEL，并且其栅极端连接到第一晶体管 M1 的输出端。第九 PMOS 晶体管 M9 连接在第一电源 VDD 和选择信号输出线 SEL 之间，并且其栅极端连接到第一节点 N1。

如前面记录地，另外包括第八 PMOS 晶体管 M8 和第九 PMOS 晶体管 M9。如图 15 所示，由于选择控制信号通过第八 PMOS 晶体管 M8 被施加，所以可输出从奇数和偶数级的输出的选择信号。

也就是，这个实施例具有可以调整提升信号的脉冲宽度和脉冲摆动并且可减少驱动单元的数量的优点。

图 16 是显示根据另一实施例的扫描驱动电路的第一扫描驱动器的结构的框图。

在这个实施例中，没有必要在每一级输入控制信号 D1、D2、D3 和 D4。

图 17 是扫描驱动电路的第一扫描驱动器中的级的电路图，其中，显示了

第一和第二扫描/提升驱动单元的奇数级的详细电路布置。图 18 是图 17 所示的级的输入/输出波形图。

如图 17 和图 18 所示，扫描/提升驱动单元具有与图 14 所示的结构相同的结构。

区别在于，取代控制信号 D1、D2、D3 和 D4 的第三电源 VL 被施加于第六 PMOS 晶体管 M6 的输入端。第三电源 VL 提供与控制信号的低电平值相应的负电压。在这种情况下，如图 18 所示，第四实施例仍然可获得与第三实施例相似的波形。

如上面的描述，依照具有用于提供选择信号和/或提升信号的第一扫描驱动器及用于提供发光信号的第二扫描驱动器的扫描驱动电路，通过自由地调整提升信号的脉冲宽度和摆动，可将提供给有机发光二极管的电流 I_{OLED} 设置在期望值。

此外，从使功耗减小的扫描驱动电路去除静态电流的流通过程。

另外，当扫描驱动电路输出高电平信号时，输出端不改变，从而使漏电流最小化。当扫描驱动电路输出低电平信号时，对输出端进行充电的电流的减少被最小化以提高操作速度。

尽管显示和描述了本发明的几个实施例，但本领域的技术人员应该理解，在不脱离本发明的精神和原则的情况下，可以对实施例进行改变。

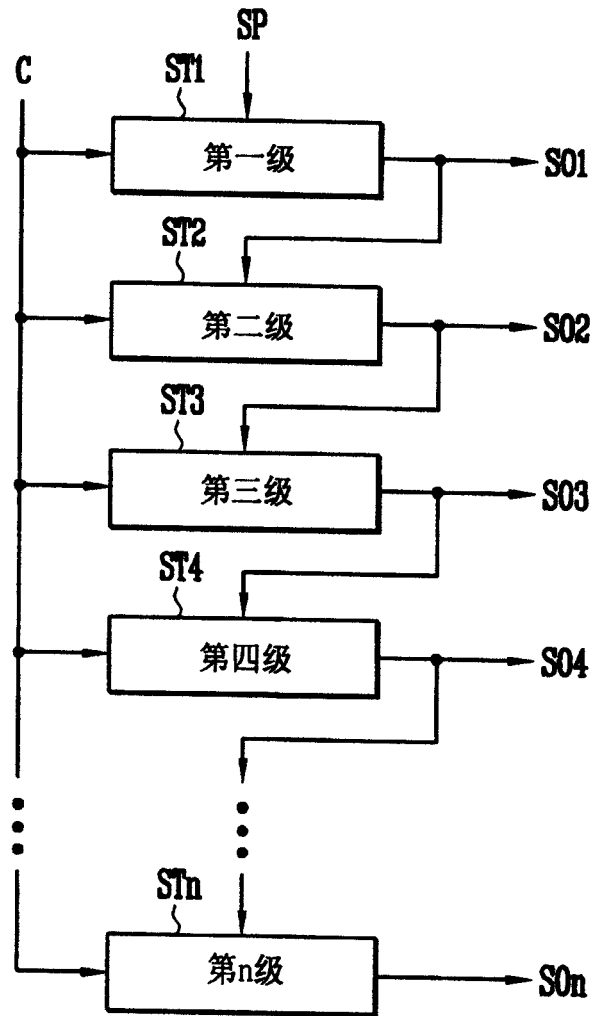


图 1

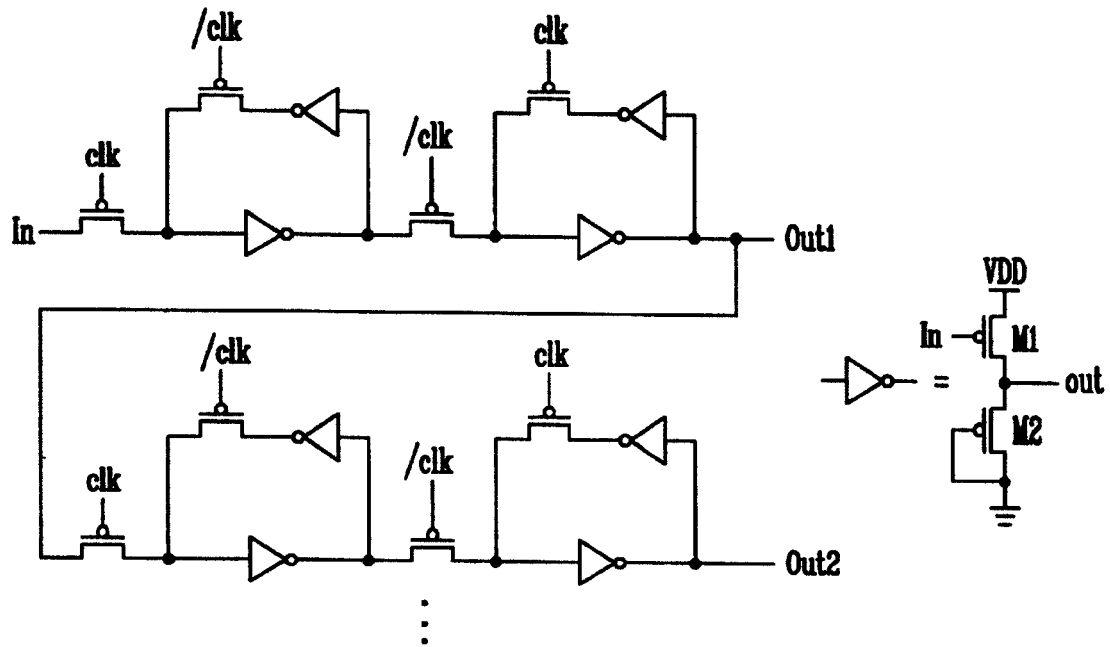


图 2

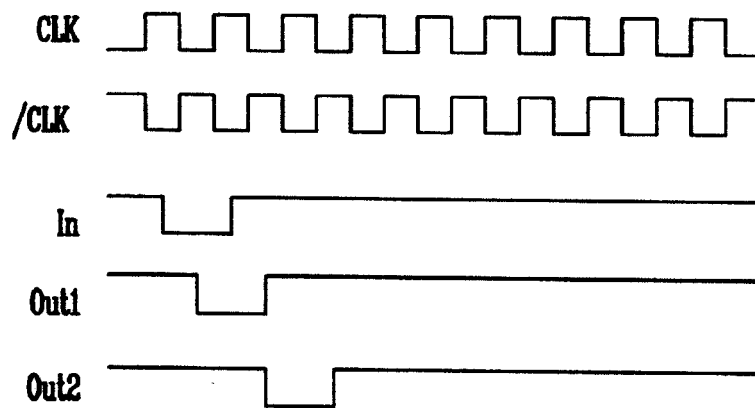


图 3

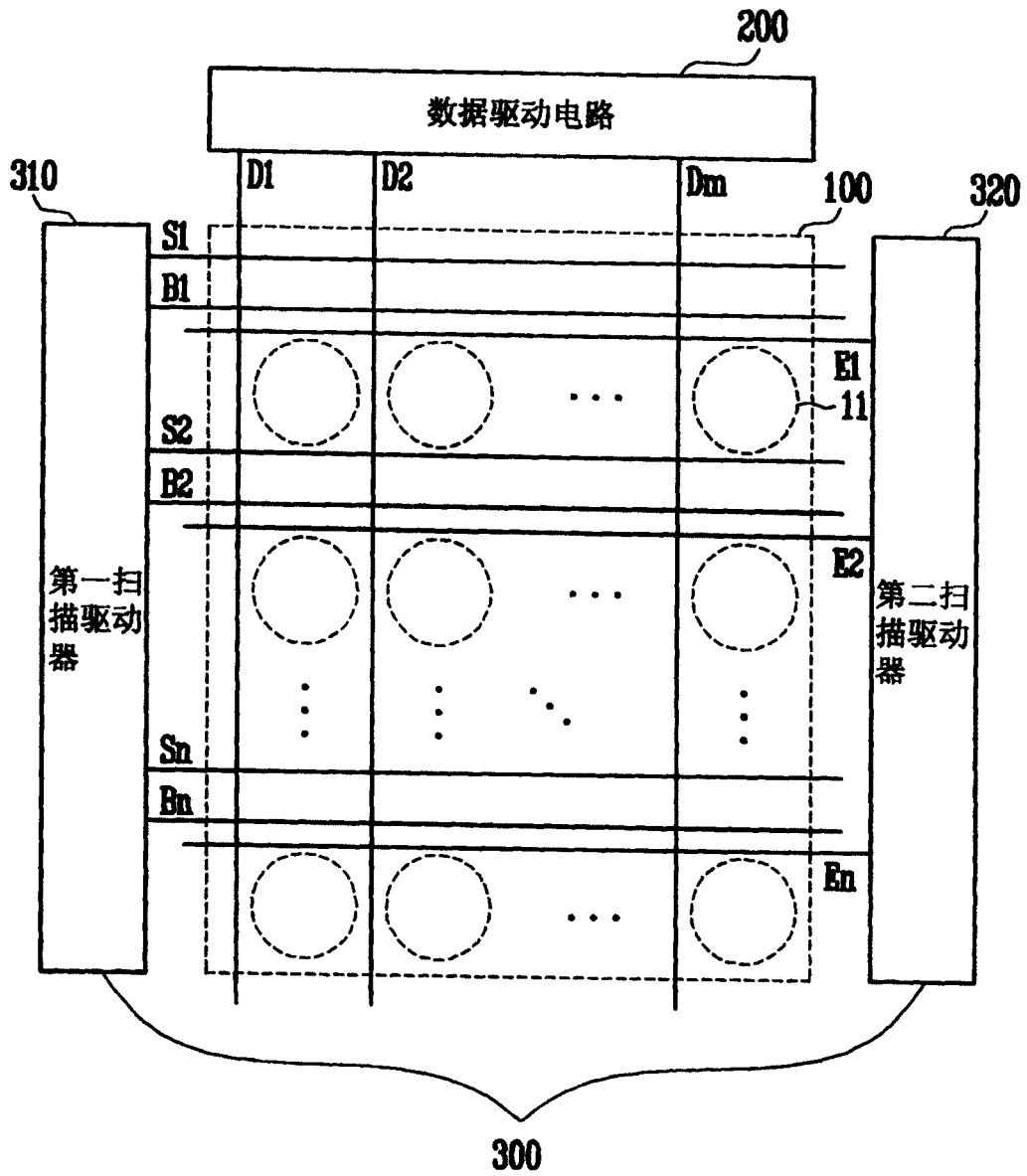


图 4

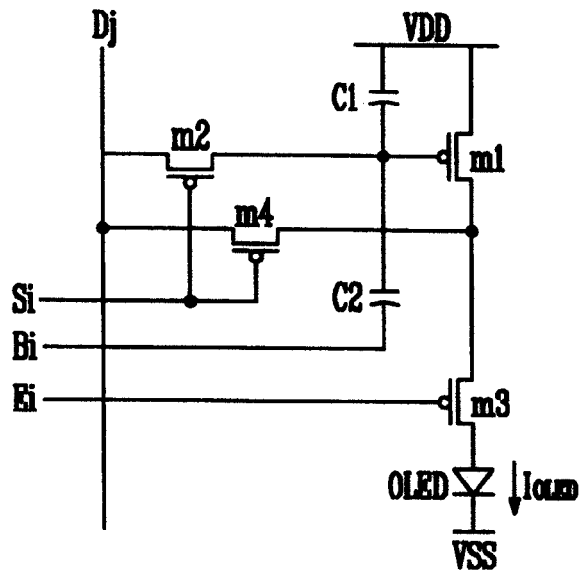


图 5

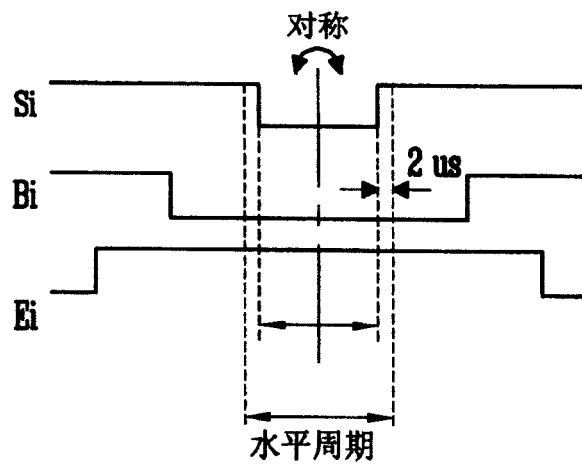


图 6

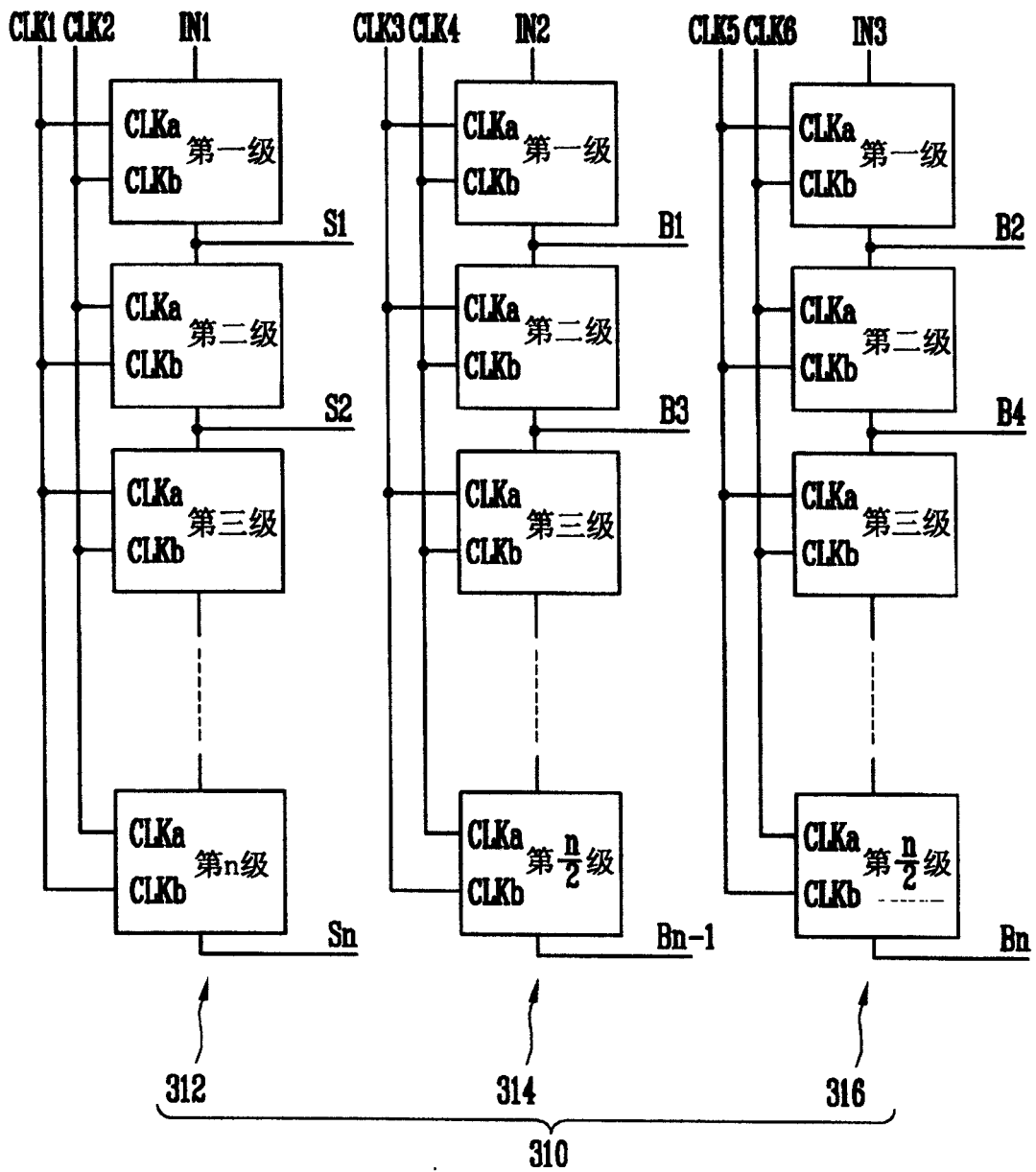


图 7

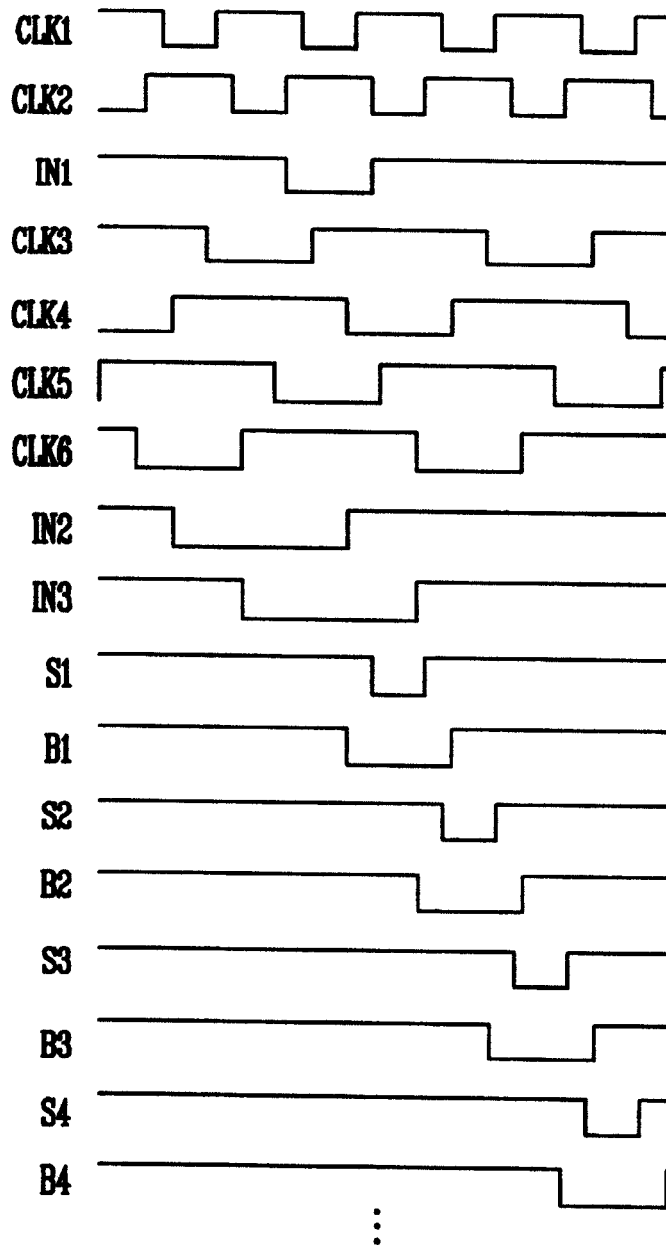


图 9

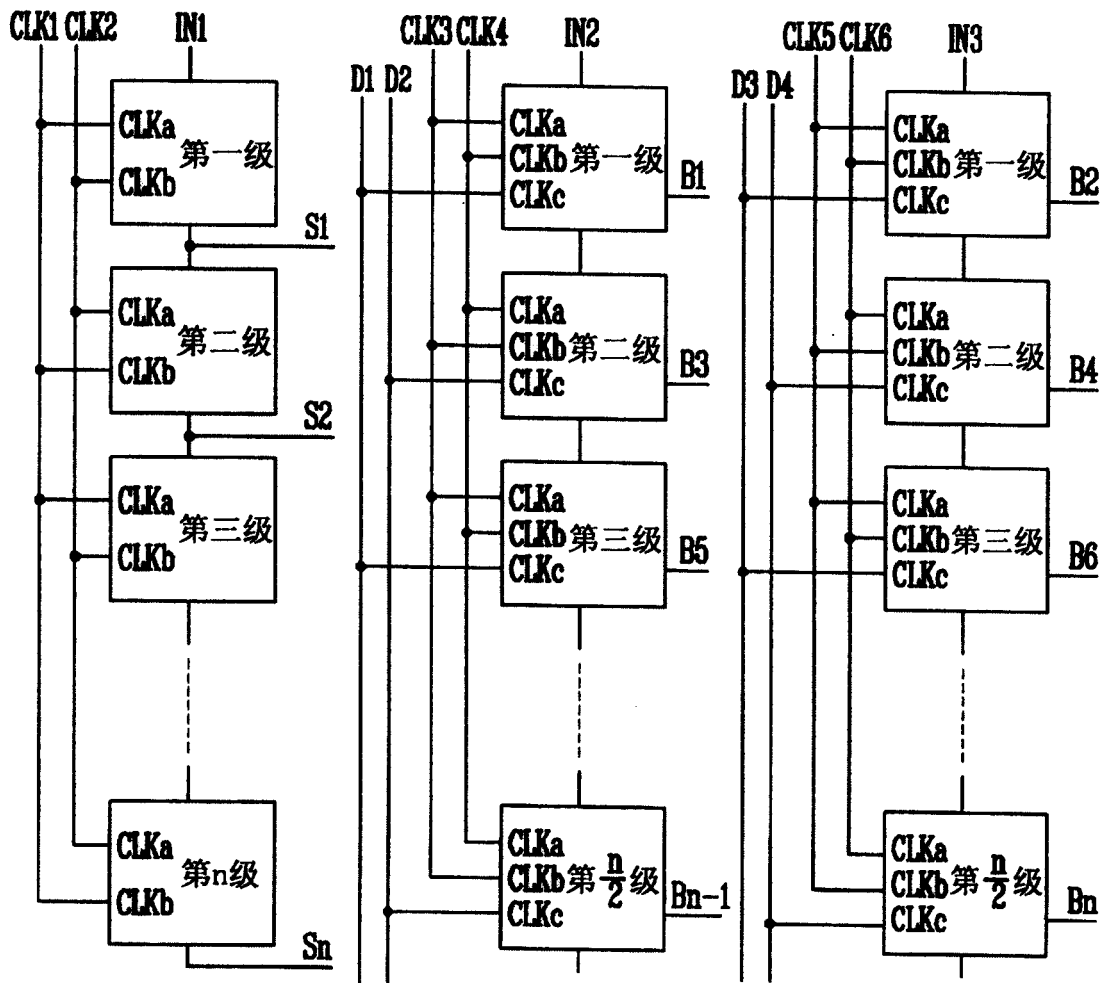


图 10

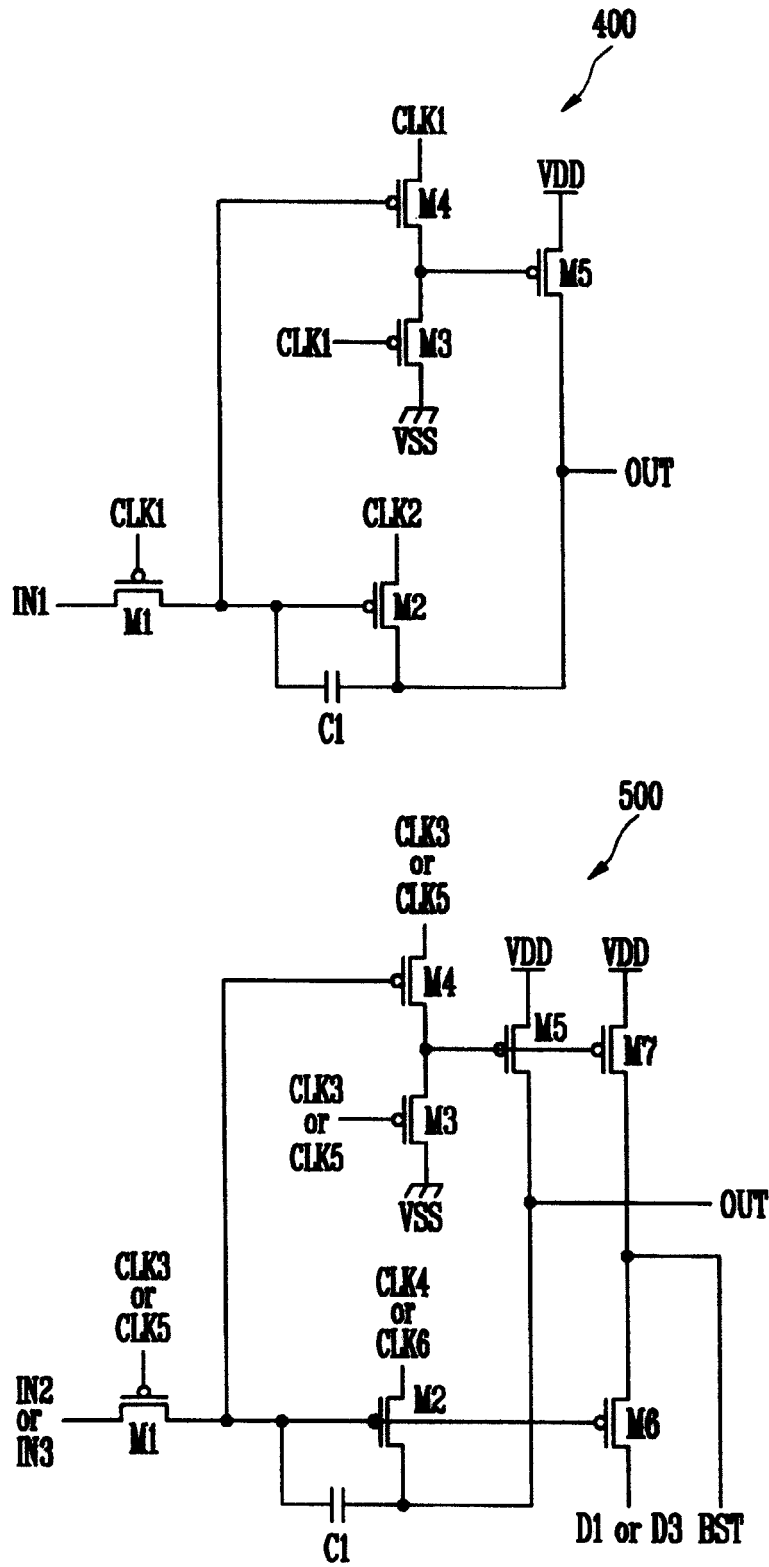


图 11

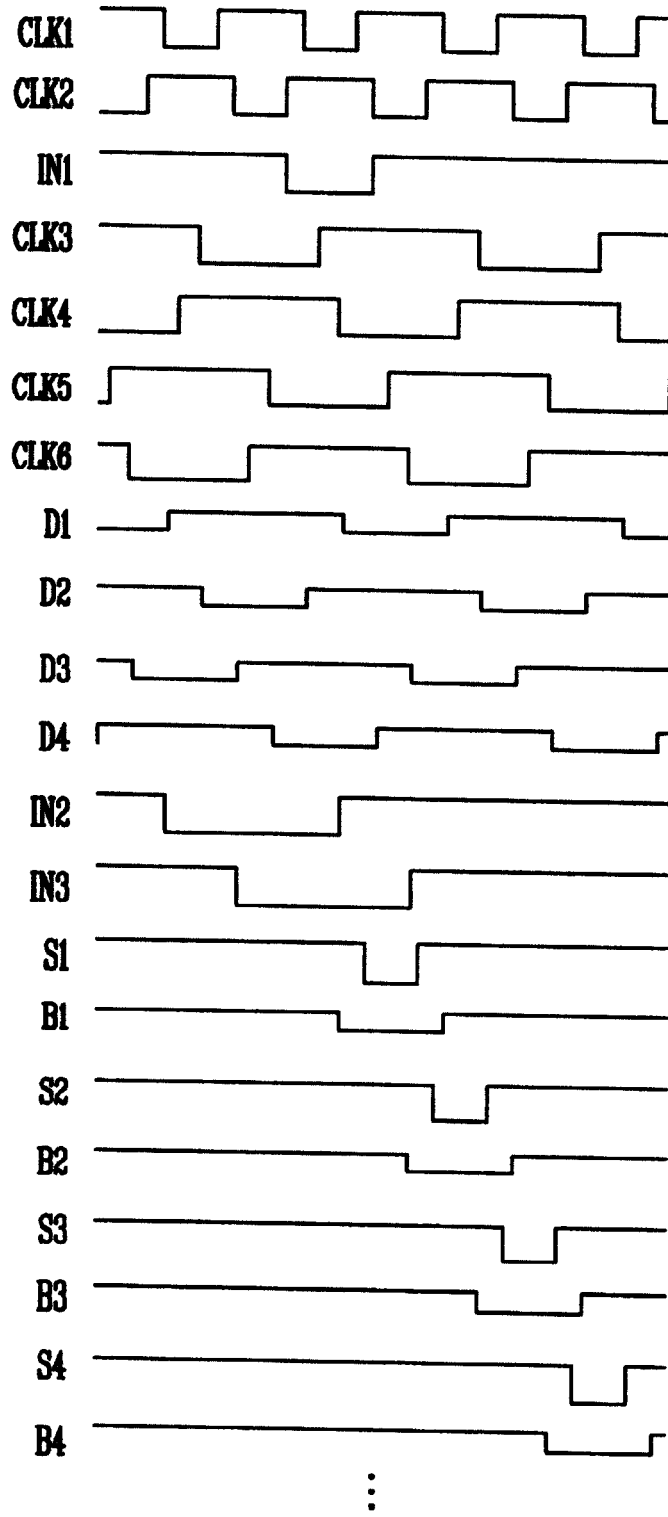


图 12

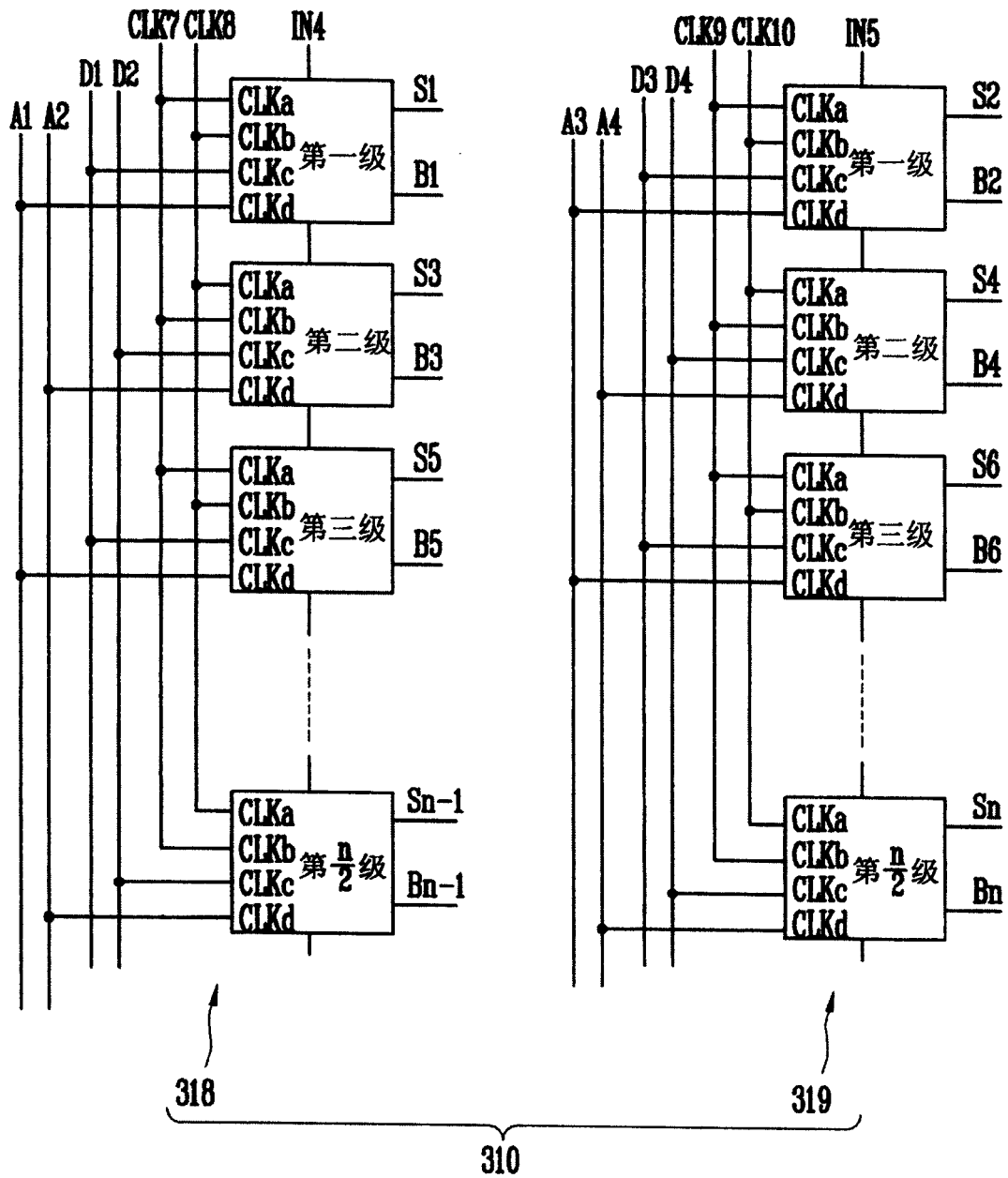


图 13

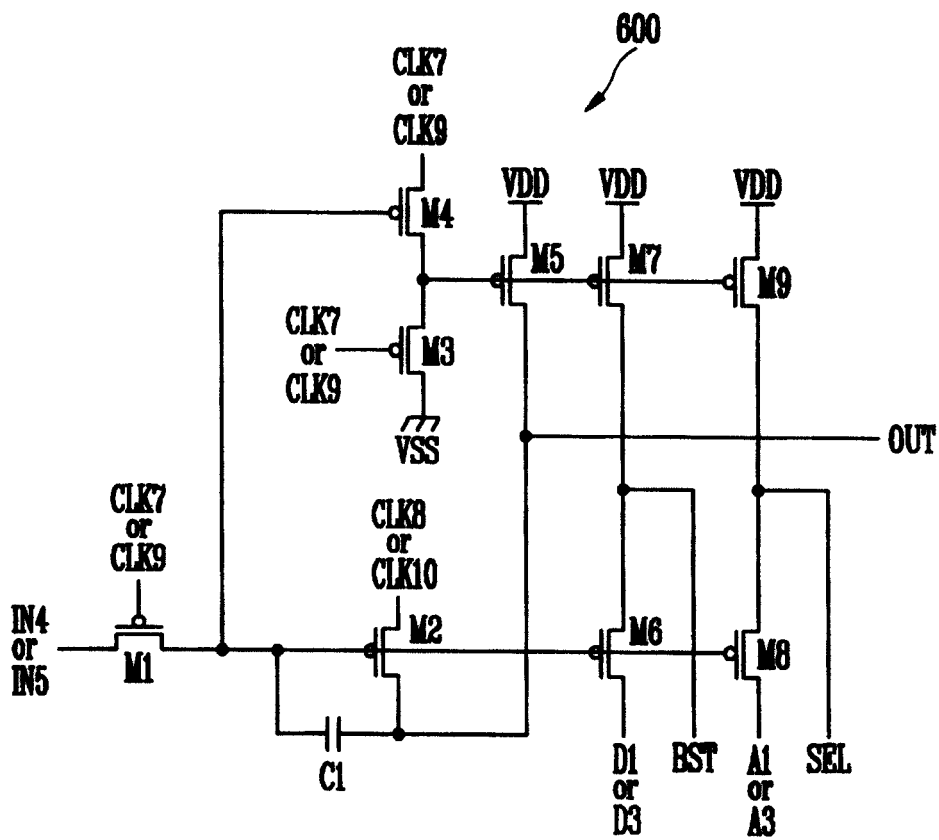


图 14

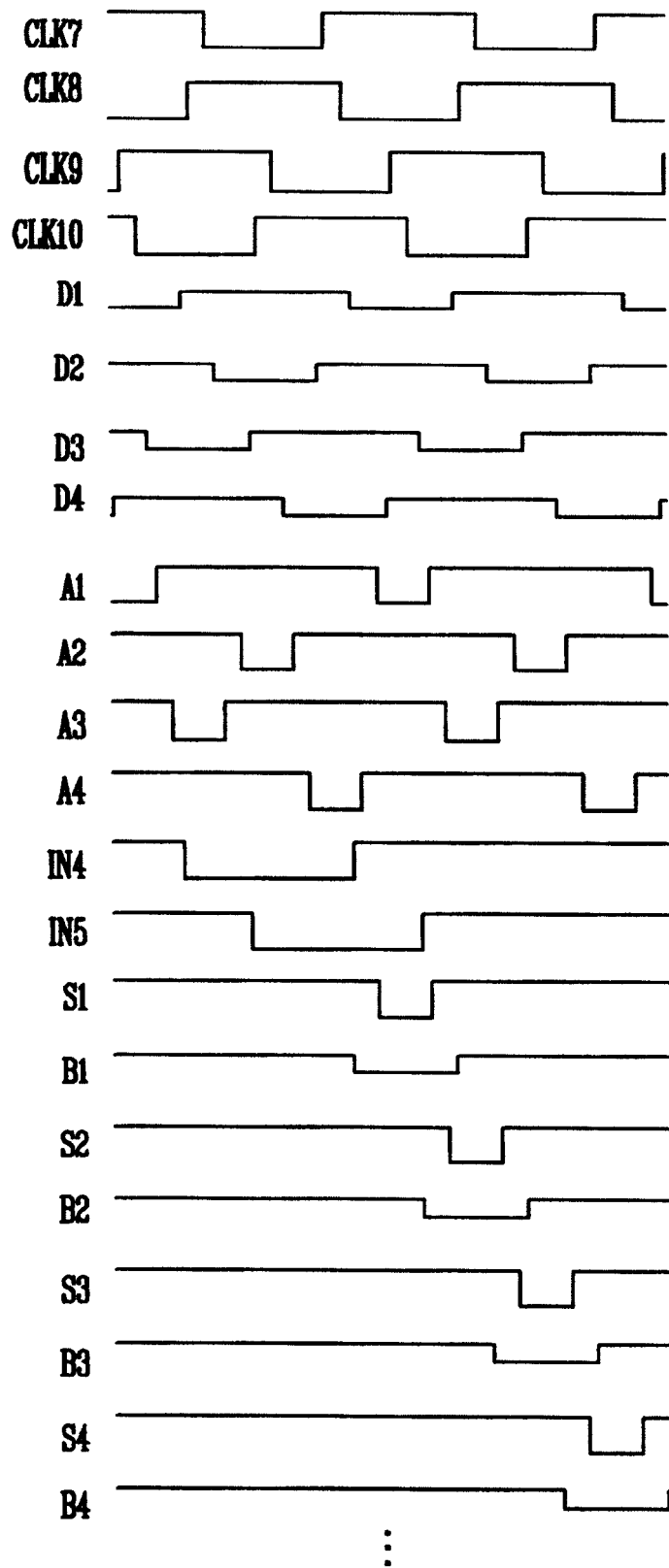


图 15

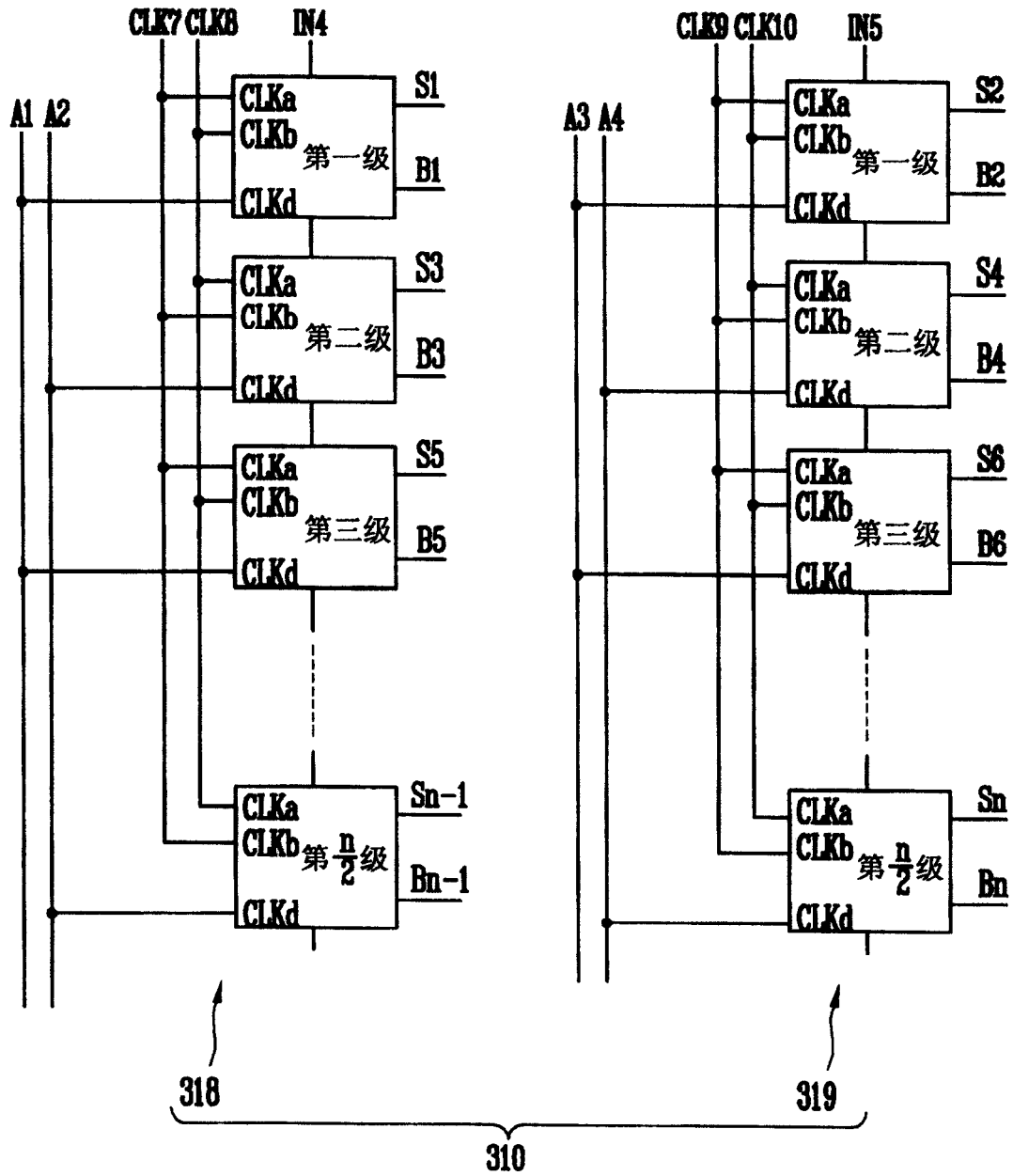


图 16

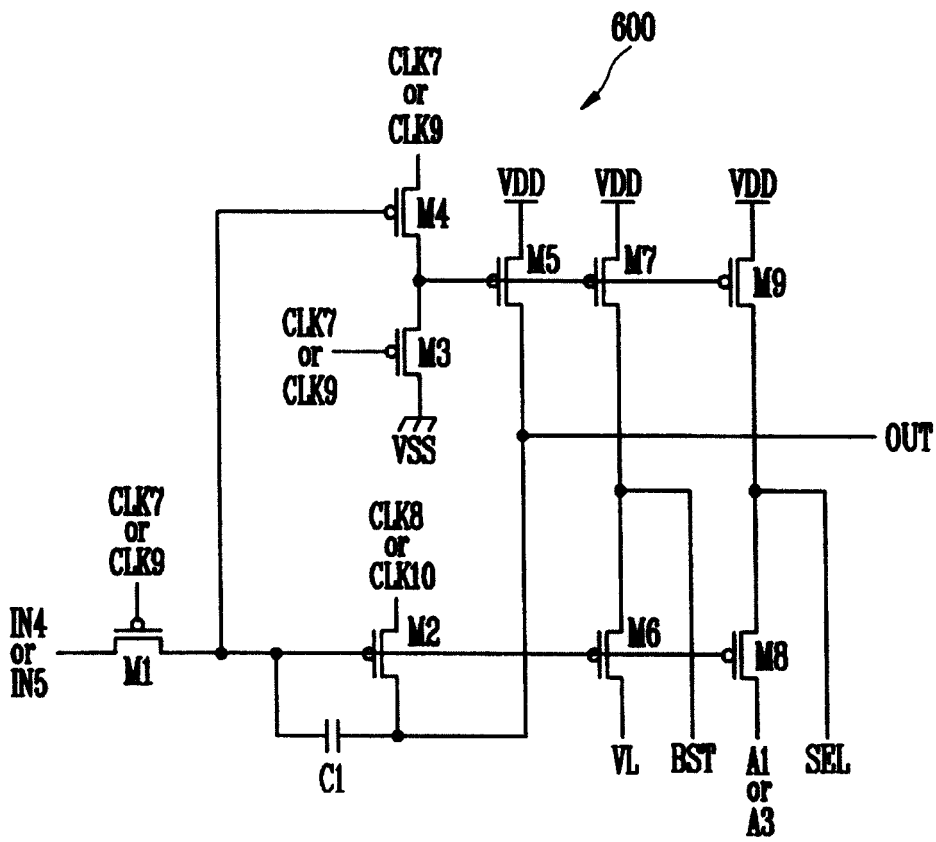


图 17

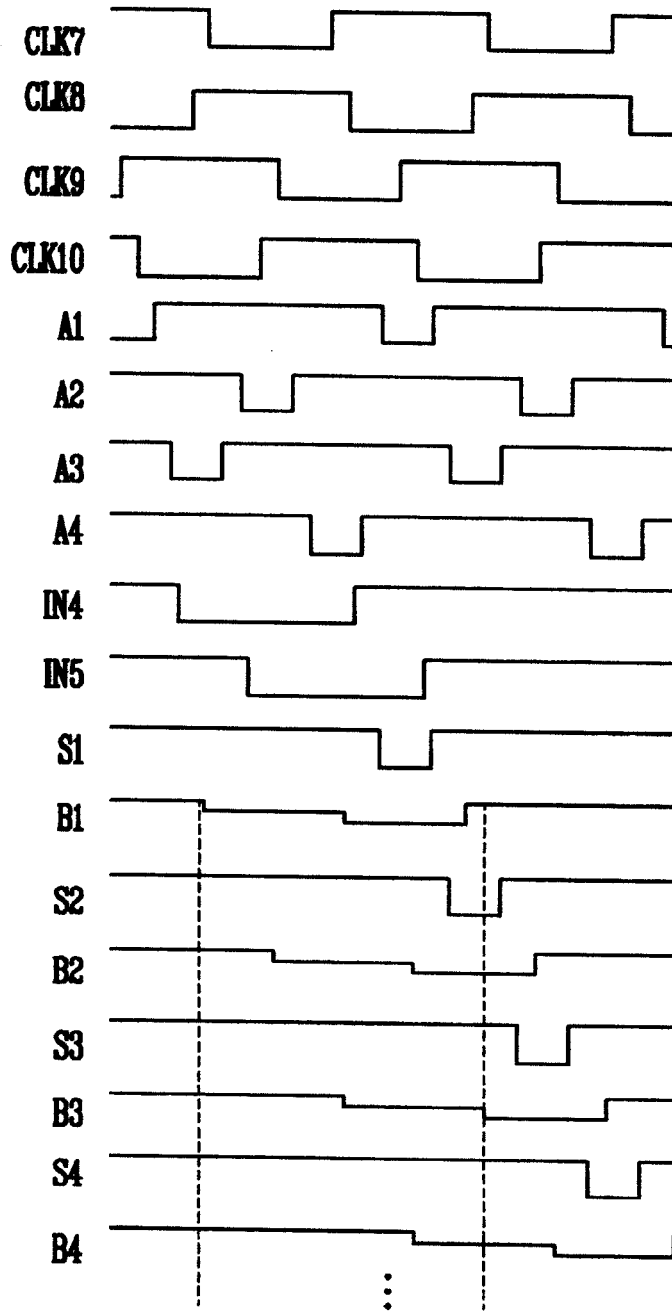


图 18

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 扫描驱动电路及使用该电路的有机发光显示器 | | |
| 公开(公告)号 | CN100479019C | 公开(公告)日 | 2009-04-15 |
| 申请号 | CN200610154274.1 | 申请日 | 2006-09-19 |
| [标]申请(专利权)人(译) | 三星斯笛爱股份有限公司 | | |
| 申请(专利权)人(译) | 三星SDI株式会社 | | |
| 当前申请(专利权)人(译) | 三星移动显示器株式会社 | | |
| [标]发明人 | 申东蓉 | | |
| 发明人 | 申东蓉 | | |
| IPC分类号 | G09G3/30 G09G3/20 H05B33/08 H05B33/14 | | |
| CPC分类号 | G11C19/28 G09G2310/0267 G09G2310/0262 G11C19/184 G09G3/20 G09G2300/0809 G09G2300/043 G09G2310/0286 G09G2330/021 G09G2300/0426 | | |
| 审查员(译) | 孙大林 | | |
| 优先权 | 1020050087426 2005-09-20 KR | | |
| 其他公开文献 | CN1937022A | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

公开了一种扫描驱动电路和使用该扫描驱动电路的有机发光显示器。该电路通过从每一单元的级去除静态电流的流电路来有效地减少功耗。所述扫描驱动电路与输入信号线或前一级的输出电压线连接，并且包括与二相时钟信号输入线连接的多个级。第一扫描驱动器通过所述多个级依次输出选择信号和/或提升信号。第二扫描驱动器通过所述多个级依次输出发光信号。第一扫描驱动器包括：扫描驱动单元，输出选择信号；第一提升驱动单元，输出奇数提升信号；以及第二提升驱动单元，输出偶数提升信号。

$$\Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2} \quad (1)$$