

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 51/52 (2006.01)

H01L 51/56 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510067438.2

[45] 授权公告日 2008 年 10 月 15 日

[11] 授权公告号 CN 100426555C

[22] 申请日 2005.4.21

[21] 申请号 200510067438.2

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹市

[72] 发明人 李信宏 陈明炎 陈坤宏

[56] 参考文献

CN1501336A 2004.6.2

CN1540602A 2004.10.27

审查员 常建军

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

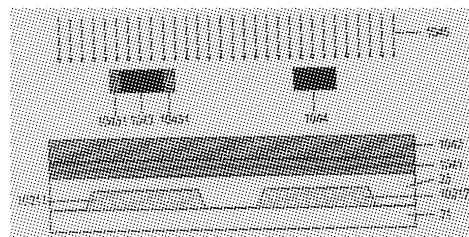
权利要求书 3 页 说明书 9 页 附图 17 页

[54] 发明名称

电致发光装置的像素结构及其制造方法

[57] 摘要

本发明揭露了一种适用于一电致发光装置的像素结构及其制造方法，该像素结构至少包括一开关晶体管、一驱动晶体管以及一电致发光元件。开关晶体管与驱动晶体管电连接，而开关晶体管以及驱动晶体管的载流子迁移率不相同，且电致发光元件与驱动晶体管电连接。而制造方法可还包括使用一灰阶光掩模的工艺方式形成不同载流子迁移率的开关晶体管与驱动晶体管。



1. 一种像素结构, 适用于一电致发光装置, 至少包括:
 - 一开关晶体管, 设置于一基板上;
 - 一驱动晶体管, 设置于该基板上, 与该开关晶体管电连接, 其中该开关晶体管以及该驱动晶体管的载流子迁移率不同; 以及
 - 一电致发光元件, 设置于该基板上, 与该驱动晶体管电连接,其中该开关晶体管包括一第一掺杂区域以及一第二掺杂区域, 该第二掺杂区域为一轻掺杂离子区域, 及
 - 其中该第一掺杂区域的离子掺杂浓度小于 1.33×10^{20} 原子/cm³, 及
 - 其中该第二掺杂区域的离子掺杂浓度小于 2.0×10^{18} 原子/cm³.
2. 如权利要求 1 所述的像素结构, 其中该第一掺杂区域以及该第二掺杂区域为一 P 型离子掺杂区域。
3. 如权利要求 1 所述的像素结构, 其中该第一掺杂区域的离子掺杂浓度为 8.88×10^{19} 原子/cm³。
4. 如权利要求 1 所述的像素结构, 其中该第二掺杂区域的离子掺杂浓度为 1.33×10^{18} 原子/cm³。
5. 如权利要求 1 所述的像素结构, 其中该电致发光元件为一有机发光二极管。
6. 如权利要求 1 所述的像素结构, 其中该基板为一玻璃基板或一可弯曲式基板。
7. 一种像素结构的制造方法, 包括:
 - 形成一半导体层于一基板上;
 - 图案化该半导体层以形成一第一半导体层以及一第二半导体层;
 - 形成一第一介电层于该第一半导体层、该第二半导体层以及该基板上;
 - 形成一导电层于该第一介电层上;
 - 形成一光致抗蚀剂层于该导电层上;
 - 图案化该光致抗蚀剂层以形成一第一光致抗蚀剂层以及一第二光致抗蚀剂层分别对应该第一半导体层以及该第二半导体层, 其中第一光致抗蚀剂层具有一第一厚度以及一第二厚度, 该第一厚度不等于该第二厚度;
 - 图案化该导电层以形成一第一导电层以及一第二导电层分别对应该第

一半导体层以及该第二半导体层;

以该第一光致抗蚀剂层、该第二光致抗蚀剂层、该第一导电层以及该第二导电层为屏蔽进行一第一离子注入程序,使得该第一半导体层以及该第二半导体层具有一第一离子掺杂区域;

图案化该第一光致抗蚀剂层以及该第二光致抗蚀剂层;

图案化该第一导电层以及该第二导电层;进行一第二离子注入程序,使得该第一半导体层具有一第二离子掺杂区域,其中该第二离子掺杂区域为一轻掺杂离子区域;

移除该第一光致抗蚀剂层以及该第二光致抗蚀剂层;

形成一第二介电层于该第一导电层、该第二导电层以及该第一介电层上;

图案化该第二介电层以形成多个开口而暴露出该第一半导体层以及该第二半导体层的第一离子掺杂区域;

形成电极层于该第二介电层上并经由该些开口连接该第一离子掺杂区域;以及

图案化该电极层以形成一驱动晶体管的源极/漏极以及一开关晶体管的源极/漏极。

8. 如权利要求 7 所述的像素结构的制造方法,其中图案化该光致抗蚀剂层以形成该第一光致抗蚀剂层以及该第二光致抗蚀剂层的步骤包括:

设置一灰阶光掩模于该第一光致抗蚀剂层之上以及一第一光掩模于该第二光致抗蚀剂层之上;以及

以该灰阶光掩模以及该第一光掩模为屏蔽,曝光该光致抗蚀剂层以形成该第一光致抗蚀剂层以及该第二光致抗蚀剂层。

9. 如权利要求 7 所述的像素结构的制造方法,其中该第一掺杂区域以及该第二掺杂区域为一 P 型离子掺杂区域。

10. 如权利要求 7 所述的像素结构的制造方法,其中该第一掺杂区域的离子掺杂浓度小于 1.33×10^{20} 原子/cm³。

11. 如权利要求 10 所述的像素结构的制造方法,其中该第一掺杂区域的离子掺杂浓度为 8.88×10^{19} 原子/cm³。

12. 如权利要求 7 所述的像素结构的制造方法,其中该第二掺杂区域的离子掺杂浓度小于 2.0×10^{18} 原子/cm³。

13. 如权利要求 12 所述的像素结构的制造方法, 其中该第二掺杂区域的离子掺杂浓度为 1.33×10^{18} 原子/cm³。

14. 如权利要求 7 所述的像素结构的制造方法, 还包括形成一电致发光元件于该基板上并与该驱动晶体管电连接。

电致发光装置的像素结构及其制造方法

技术领域

本发明涉及一种像素结构及其制作方法，特别是涉及一种适用于电致发光显示装置的像素结构及其制作方法。

背景技术

平面显示器的应用近年来已普遍被社会大众广泛接受使用，像平面电视、移动电话、个人数字助理、数码相机、车用显示器及投影机等等。

平面显示器可概略分为等离子显示器、液晶显示器、发光二极管显示器及有机电致发光显示器等等，其中有机电致发光显示器更以其轻薄、省电、高亮度、广视角及易携带性等种种优点使其成为最有前景的产业之一，有机电致发光显示器为电致发光显示器的一种，因此各厂商均投入大量经费进行电致发光显示器的研发与改良，以期能制造出品质优良的电致发光显示器，以提升产业的升级与竞争力。

请参阅图 1，其为现有电致发光显示器的一像素结构示意图，其中至少包括一开关晶体管 11、一驱动晶体管 12、一电致发光元件 13 以及还可包括一电容 14。其中开关晶体管 11 及驱动晶体管 12 在制造时具有相同的载流子迁移率，开关晶体管 11 是作为数字图像数据进入电容 14 的开关，而驱动晶体管 12 将电容 14 上的电压值转换成电流后，连续驱动电致发光元件 13 发光，其中电致发光元件 13 可为有机发光二极管，注入电流使得电子及空穴结合后产生能量发光，且当该电致发光元件 13 为一有机分子材料所组成时，特别指该电致发光显示器为有机电致发光显示器。

请参阅图 2 至图 11，其为现有制作电致发光显示器的一像素结构的剖面示意图。如图 2 所示，首先提供一基板 21，该基板 21 可为一平板玻璃基板，亦可为一可挠式基板。在该基板 21 表面上沉积一半导体层 22，此半导体层 22 可为多晶硅或单晶硅材料组成并通过化学气相沉积而形成，且在沉积过程中可掺杂少许掺杂物。

请接着参阅图 3，涂布光致抗蚀剂层于半导体层 22 上，并使用现有的光

掩模光刻技术，形成一第一光致抗蚀剂层 221 于半导体层 22 上。接着以第一光致抗蚀剂层 221 为屏蔽，图案化半导体层 22，该图案化过程可为现有的物理等离子干蚀刻或化学湿蚀刻。在图案化半导体层 22 的步骤中，由于该半导体层 22 有第一光致抗蚀剂层 221 在上层作为保护，遂可以形成如图 4 所示的独立的半导体层 22 以作为将来形成晶体管装置的基础。接着再将第一光致抗蚀剂层 221 与半导体层 22 拨离移除，该移除过程可用去光致抗蚀剂液完成。

请接着参阅图 5，继续沉积一第一介电层 23 及一导电层 24 于半导体层 22 及基板 21 上，其中第一介电层 23 可由绝缘材料如氧化硅所组成，通过化学气相沉积或在气态环境下的热成长而形成，而导电层 24 可由低电阻材料如铝所组成，通过金属离子溅射或化学电镀工艺沉积，接着形成一第二光致抗蚀剂层 241 于导电层 24 上。

请接着一并参阅图 6，以第二光致抗蚀剂层 241 为屏蔽，图案化导电层 24，以形成晶体管的一栅极 242 与连接多数特定晶体管栅极的栅金属导线，该图案化过程可为过蚀刻而使得栅极 242 截面范围较小于第二光致抗蚀剂层 241 范围。接着以第二光致抗蚀剂层 241 作为屏蔽进行一第一离子注入 25 程序将掺杂物注入于半导体层 22 内，以形成一第一离子掺杂区域 222，而该第一掺杂区域 222 可作为晶体管的源极及漏极的基础。其中掺杂物可为浓度较高的硼或双氟硼，且第二光致抗蚀剂层 241 正下方未受第一离子注入 25 的半导体层 22 区域，即可形成晶体管的栅通道。至此即完成晶体管元件包括源极、漏极以及栅极的基础制作。由于晶体管元件尺寸在光刻技术不断的改良下可以不断地缩小，但也使得热电子效应在元件尺寸过小下会造成晶体管的漏电流增高，故一般均会在半导体层 22 两旁再掺杂浓度较低的掺杂物，以降低晶体管的漏电流，但相对的也会降低晶体管的载流子迁移率。

请接着一并参阅图 7，将第二光致抗蚀剂层 241 拨离移除后，使用一第二离子注入 251 程序以栅极 242 作为屏蔽将掺杂物注入于半导体层 22 内，以形成一第二掺杂区域 223 作为晶体管的轻掺杂漏极区，其中掺杂物可为浓度较低的硼或双氟硼，如此即可以降低晶体管的漏电流。

请接着参阅图 8，继续沉积一第二介电层 26 后，接着图案化第一介电层 23 及第二介电层 26，以形成从第二介电层 26 上表面贯穿至第一离子掺杂区域 222 的一第一开口 261。

请接着一并参阅图 9，继续沉积一电极层 27，其沉积过程还包括沉积至第一开口 261 中，以提供一从第二介电层 26 至第一离子掺杂区域 222 的连线。接着图案化电极层 27 以形成连接各晶体管的金属导线，以完成电路制作。在上述离子注入掺杂程序后，通常会进行一热回火工艺以修复掺杂区域的任何物理性伤害，同时活化、分散掺杂物。

请接着一并参阅图 10，继续沉积一第三介电层 28，接着图案化第三介电层 28，以形成从第三介电层上表面贯穿至电极层 27 的一第二开口 281。

最后请接着一并参阅图 11，继续沉积一阳电极层 29，其沉积过程还包括沉积至第二开口 281 中，以提供一从第三介电层 28 至电极层 27 的连线，该连线是作为将驱动晶体管电连接至电致发光元件，其中阳电极层 29 一般均为铟锡氧化物所组成。接着图案化阳电极层 29 以完成电致发光元件的阳电极制作，最后在阳电极层 29 上形成一发光层及一阴电极即完成电致发光显示器的一像素结构的晶体管制作，其中该发光层可由一有机分子材料所组成或为发光二极管。

由前述现有制作电致发光显示器一像素的方法，其中像素内的晶体管因工艺方式相同，使得像素内的晶体管具有相同的载流子迁移率。请再参阅图 1 及之前所述，电致发光显示器的一像素其中开关晶体管及驱动晶体管在驱动时分别具有不同的功能，开关晶体管作为数字影像数据进入电容器的开关，而驱动晶体管是将电容上的电压值转换成电流后，连续驱动电致发光元件发光。其中开关晶体管在特性上要求较低的漏电流，以满足可以明确地表现出开或关的切换特性，而驱动晶体管在特性上要求较高的载流子迁移率，以满足可以快速供给电流以驱动电致发光元件。但是较低的漏电流与较高的载流子迁移率这两种特性通常乃是鱼与熊掌不可兼得，在工艺上若没有进行离子注入掺杂浓度较低的掺杂物以形成轻掺杂漏极区，则会形成较高漏电流及较高载流子迁移率特性的晶体管；反之，在工艺上若有进行离子注入掺杂浓度较低的掺杂物以形成轻掺杂漏极区，则会形成较低漏电流及较低载流子迁移率特性的晶体管。一般在制作电致发光显示器的一像素时，由于开关晶体管可以明确地表现出开或关的切换特性比较重要，通常都会进行离子注入掺杂浓度较低的掺杂物以形成轻掺杂漏极区，如此便牺牲了驱动晶体管可以快速供给电流以驱动电致发光元件的特性，而且在需要较高的电流驱动时，往往因为较低的载流子迁移率特性使得驱动晶体管无法正常地驱动电致发

光元件而使得电致发光显示器的品质大为下降。在显示器产业迅速发展的今日，若能够试图解决上述问题提升显示器品质，就可以大幅提升电致发光显示器产业的竞争力。

藉此，开发一种像素结构，该显示像素至少包括两种不同特性的晶体管以解决上述现有制作电致发光显示器的一像素时整合度不佳问题。

发明内容

本发明提供的一种像素结构，至少包括一开关晶体管、一驱动晶体管以及一电致发光元件设置于一基板上，而该基板可为一玻璃基板或为一可挠式基板。其中开关晶体管是以电连接至驱动晶体管，且开关晶体管及驱动晶体管具有不同的载流子迁移率特性；而电致发光元件是以电连接至驱动晶体管以供驱动晶体管所驱动。

其中开关晶体管还包括一第一掺杂区域以及一第二掺杂区域，而该第二掺杂区域为一轻掺杂离子区域。而驱动晶体管只包括第一掺杂区域以使得驱动晶体管的载流子迁移率特性不同于开关晶体管。

如此开关晶体管就具有较低的漏电流特性，以满足可以明确地表现出开或关的切换特性，而驱动晶体管具有较高的载流子迁移率特性，以满足可以快速供给电流以驱动发光元件。

而在该像素中，形成开关晶体管及驱动晶体管的制造方法，还可包括：

使用灰阶光掩模及光光刻技术，形成具有不同厚度的光致抗蚀剂层，其中经由灰阶区域显影的光致抗蚀剂区域具有较薄的厚度，进而可以利用屏蔽保护的面积大小不同进行离子注入，形成不同特性的开关晶体管及驱动晶体管，其中开关晶体管还包括第二掺杂区域。

综合上述，本发明提供的一种像素结构及其晶体管的制造方法，可以满足电致发光显示器显示及驱动原理的特性要求，使电致发光显示器的品质大幅提升，可以提升电致发光显示器产业的竞争力。

为了使本发明的技术特征及所达成的功效得到进一步的了解与认识，下文提供优选实施例并辅以相关图式，并以详细说明文字配合说明如后。

附图说明

图1是现有电致发光显示器的一像素结构示意图；

图 2 至图 11 是现有制作电致发光显示器的一像素结构的每一步骤剖面示意图；以及

图 12 至图 23 是依据本发明制作电致发光显示器的一像素结构的每一步骤剖面示意图。

简单符号说明

- 11: 开关晶体管；
- 12: 驱动晶体管；
- 13: 电致发光元件；
- 14: 电容；
- 21: 基板；
- 22: 半导体层；
- 221: 第一光致抗蚀剂层；
- 222: 第一离子掺杂区域；
- 223: 第二离子掺杂区域；
- 23: 第一介电层；
- 24: 导电层；
- 241: 第二光致抗蚀剂层；
- 242: 栅极；
- 25: 第一离子注入；
- 251: 第二离子注入；
- 26: 第二介电层；
- 261: 第一开口；
- 27: 电极层；
- 28: 第三介电层；
- 281: 第二开口；
- 29: 阳电极层；
- 1021: 半导体层；
- 10211: 第一半导体层；
- 10212: 第二半导体层；
- 10213: 第一掺杂区域；
- 10214: 第二掺杂区域；

1041: 导电层;
10411: 第一导电层;
10412: 第二导电层;
1042: 光致抗蚀剂层;
10421: 第一光致抗蚀剂层;
104211: 第一厚度;
104212: 第二厚度;
10422: 第二光致抗蚀剂层;
1043: 灰阶光掩模;
10431: 灰阶区域;
1044: 第一光掩模; 以及
1045: 光刻光源。

具体实施方式

请参阅图 12 至图 23, 其为依据本发明制作电致发光显示器的一像素结构薄膜晶体管剖面示意图。为简化叙述, 本发明是以制作一 P 通道的晶体管为例, 但不限于此, 只要改变掺杂物, 即可制作 N 通道的装置。如图 12 所示, 提供一如前述的基板 21, 该基板 21 可为一玻璃基板或一可挠式基板。在基板 21 表面上沉积一半导体层 1021, 此半导体层 1021 可为多晶硅或单晶硅材料组成并通过化学气相沉积而形成, 且在沉积过程中可掺杂少许的掺杂物。

请接着一并参阅图 13, 利用光掩模光刻技术图案化半导体层 1021 以形成一第一半导体层 10211 以及一第二半导体层 10212, 其中该第一半导体层 10211 为开关晶体管的基础, 而该第二半导体层 10212 为驱动晶体管的基础。

请接着参阅图 14, 继续沉积一如前述的第一介电层 23 于第一半导体层 10211、第二半导体层 10212 以及基板 21 上, 其中第一介电层 23 可由绝缘材料如氧化硅所组成, 通过化学气相沉积或在气态环境下的热成长而形成。继续沉积一导电层 1041 于第一介电层 23 上, 而导电 1041 层可由金属材料如铝、钼或其合金所组成, 通过金属离子溅射或化学电镀工艺沉积。接着涂布一光致抗蚀剂层 1042 于导电层 1041 上, 并使用一灰阶光掩模 1043 及一第一光掩模 1044 作为屏蔽进行光刻, 灰阶光掩模 1043 可为半调光掩模; 其

中灰阶光掩模 1043 包括一灰阶区域 10431。当使用一光刻光源 1045 进行光刻照射时，在灰阶光掩模 1043 正下方的光致抗蚀剂层 1042 由于有屏蔽保护不受光刻光源 1045 照射而产生化学变化，使光致抗蚀剂层 1042 在显影过程中形成如图 15 所示的一第一光致抗蚀剂层 10421 具有一第一厚度区域 104211，而光刻光源 1045 可部分通过灰阶区域 10431 照射在该灰阶区域 10431 正下方的光致抗蚀剂层 1042 上，但曝光能量不足使得显影时光致抗蚀剂薄膜厚度会比较薄，以形成如图 15 所示的一第一光致抗蚀剂层 10421 具有一第二厚度区域 104212。在第一光掩模 1044 正下方的光致抗蚀剂层 1042 在显影过程中形成如图 15 所示的一第二光致抗蚀剂层 10422。

请接着一并参阅图 16，以第一光致抗蚀剂层 10421 以及第二光致抗蚀剂层 10422 为屏蔽，图案化该导电层 1041 以形成一第一导电层 10411 以及一第二导电层 10412 分别对应第一半导体层 10211 以及第二半导体层 10212，其中该第一导电层 10411 可作为开关晶体管的栅极且该第二导电层 10412 可作为驱动晶体管的栅极。接着以第一光致抗蚀剂层 10421、第二光致抗蚀剂层 10422、第一导电层 10411 以及第二导电层 10412 作为屏蔽，进行一如前述的第一离子注入 25 程序将掺杂物注入于第一半导体层 10211 以及第二半导体层 10212 内，以形成一第一离子掺杂区域 10213，而该第一掺杂区域 10213 可作为开关及驱动晶体管的源、漏极的基础，其中掺杂物可为浓度较高的硼或双氟硼等 P 型掺杂物，且该第一掺杂区域 10213 的离子掺杂浓度约小于或等于 1.33×10^{20} 原子/cm³，更好的可约为 8.88×10^{19} 原子/cm³。而第一光致抗蚀剂层 10421 及第二光致抗蚀剂层 10422 正下方未受第一离子注入 25 的第一半导体层 10211 以及第二半导体层 10212 区域即可形成开关及驱动晶体管的栅通道。至此即完成开关及驱动晶体管元件包括源极、漏极以及栅极的基础制作。

由于晶体管元件尺寸在光刻技术不断的改良下可以不断地缩小，但也使得热电子效应在元件尺寸过小下会造成开关晶体管的漏电流增高，故将会在第一半导体层 10211 两旁再掺杂浓度较低的掺杂物，以降低开关晶体管的漏电流以及载流子迁移率。

请接着一并参阅图 17，使用等离子灰化光致抗蚀剂以形成第一光致抗蚀剂层 10421 以及第二光致抗蚀剂层 10422，由于第二厚度区域 104212 较第一厚度区域 104211 薄，故在灰化过程中使得第二厚度区域 104212 被完全灰化

掉而只留下第一厚度区域 104211。接着再一次以第一光致抗蚀剂层 10421 以及第二光致抗蚀剂层 10422 为屏蔽, 图案化第一导电层 10411 以及第二导电层 10412, 由于第一导电层 10411 上方部分光致抗蚀剂被等离子灰化掉, 使得没有光致抗蚀剂保护的第一导电层 10411 部分会被蚀刻掉, 如图 18 所示。

请接着参阅图 19, 以第一光致抗蚀剂层 10421、第二光致抗蚀剂层 10422、第一导电层 10411 以及第二导电层 10412 作为屏蔽, 进行如前述的第二离子注入 251 程序, 将掺杂物注入于第一半导体层 10211 内, 以形成一第二离子掺杂区域 10214 以降低开关晶体管的漏电流及载流子迁移率, 而该第二离子掺杂区域 10214 为一轻掺杂离子区域, 其中掺杂物可为浓度较低的硼或双氟硼等 P 型掺杂物, 且该第二掺杂区域的离子掺杂浓度约小于或等于 2.0×10^{18} 原子/cm³, 更好的可约为 1.33×10^{18} 原子/cm³。由于第二半导体层 10212 完全受第二光致抗蚀剂层 10422 以及第二导电层 10412 屏蔽的保护, 故不会形成第二离子掺杂区域 10214, 至此便已使开关晶体管及驱动晶体管产生不同特性, 其中开关晶体管具有第二离子掺杂区域 10214, 可以大幅降低开关晶体管的漏电流, 而驱动晶体管未含有第二离子掺杂区域 10214 而仍保有其高载流子迁移率的特性。在上述离子注入掺杂程序后, 通常会进行一热回火工艺以修复掺杂区域的任何物理性伤害, 同时活化、分散掺杂物。

请接着参阅如图 20 所示, 将第一光致抗蚀剂层 10421 以及第二光致抗蚀剂层 10422 移除后继续沉积一如前述的第二介电层 26 于第一导电层 10411、第二导电层 10412 以及第一介电层 23 上, 接着图案化第一介电层 23 及第二介电层 26, 以形成从第二介电层 26 上表面贯穿至第一离子掺杂区域 10213 的第一开口 261。

请接着一并参阅图 21, 继续沉积一如前述的电极层 27, 其沉积过程更包括沉积至第一开口 261 中, 以提供一从第二介电层 26 至第一离子掺杂区域 10213 的连线。接着图案化电极层 27 以形成连接各晶体管的金属导线, 其中连接至第一离子掺杂区域 10213 的导线更可作为开关及驱动晶体管的源、漏极, 以完成电路制作。

请接着一并参阅图 22, 继续沉积一如前述的第三介电层 28 后, 接着图案化第三介电层 28, 以形成从第三介电层上表面贯穿至电极层 27 的第二开口 281。

最后请参阅图 23，继续沉积一如前述的阳电极层 29，其沉积过程还包括沉积至第二开口 281 中，以提供一从第三介电层 28 至电极层 27 的连线，该连线是将驱动晶体管电连接至电致发光元件。其中阳电极层 29 一般均为铟锡氧化物所组成，接着图案化阳电极层 29 以完成电致发光元件的阳电极的制作，最后在阳电极层 29 上形成一发光层及一阴电极即完成电致发光显示器的一像素结构的晶体管制作，其中该电致发光元件的发光层可由一有机分子材料所组成或为发光二极管。

由上述实施例说明，利用本发明提供的一种像素结构及其晶体管的制造方法，可以满足电致发光显示器显示及驱动原理的特性要求。而本实施例特别使用含有灰阶光掩模光刻技术，在一显示像素内同时制作出不同特性的开关及驱动晶体管，以满足电致发光显示器显示及驱动原理的特性要求。

虽然本发明以优选实施例揭露如上，然而其并非用以限定本发明，本领域的技术人员在不脱离本发明的精神和范围内，可作些许的更动与润饰，因此本发明的保护范围应当以后附的权利要求所界定者为准。

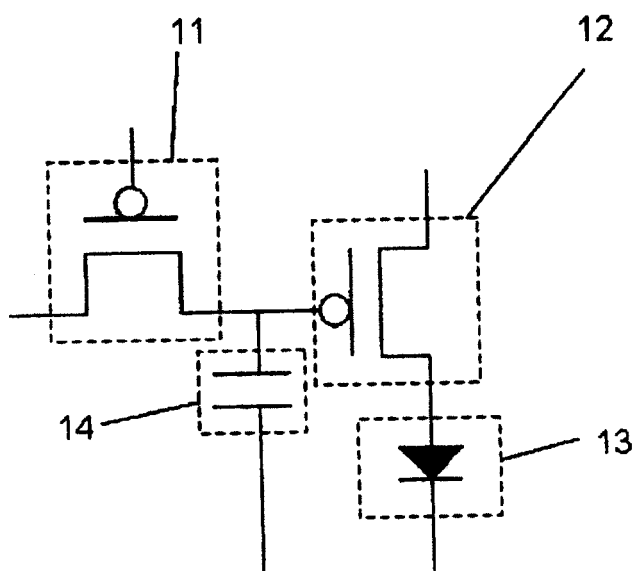


图 1

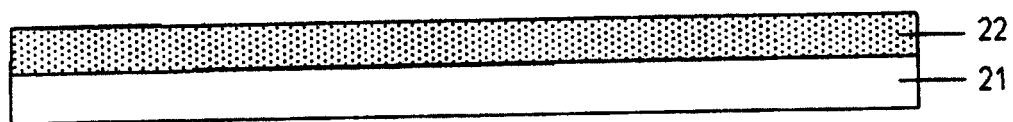


图 2

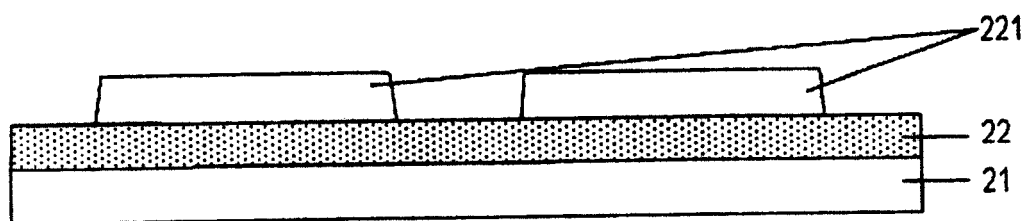


图 3

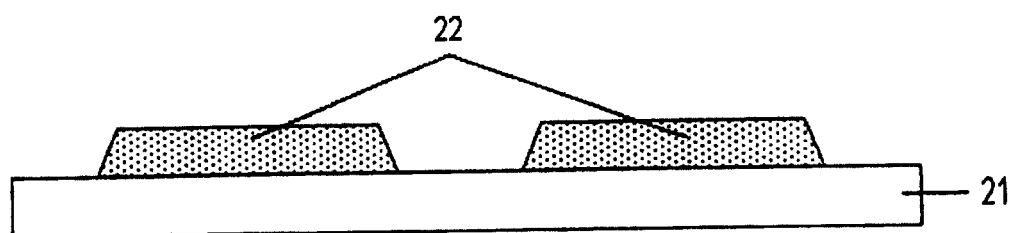


图 4

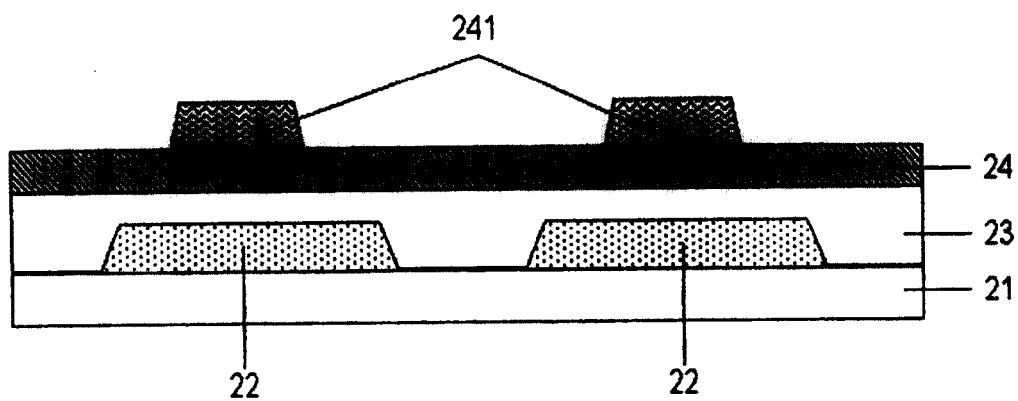


图 5

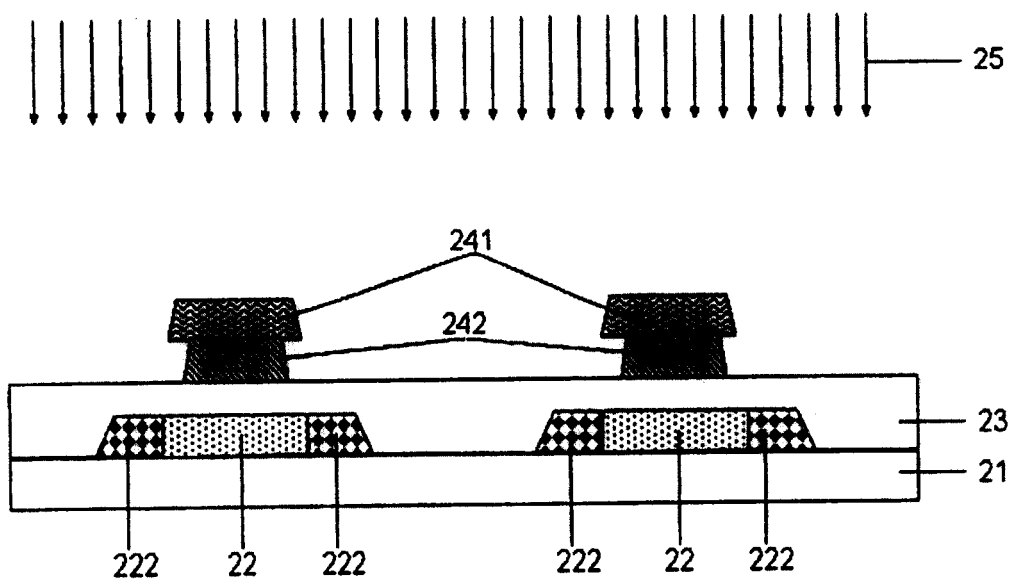


图 6

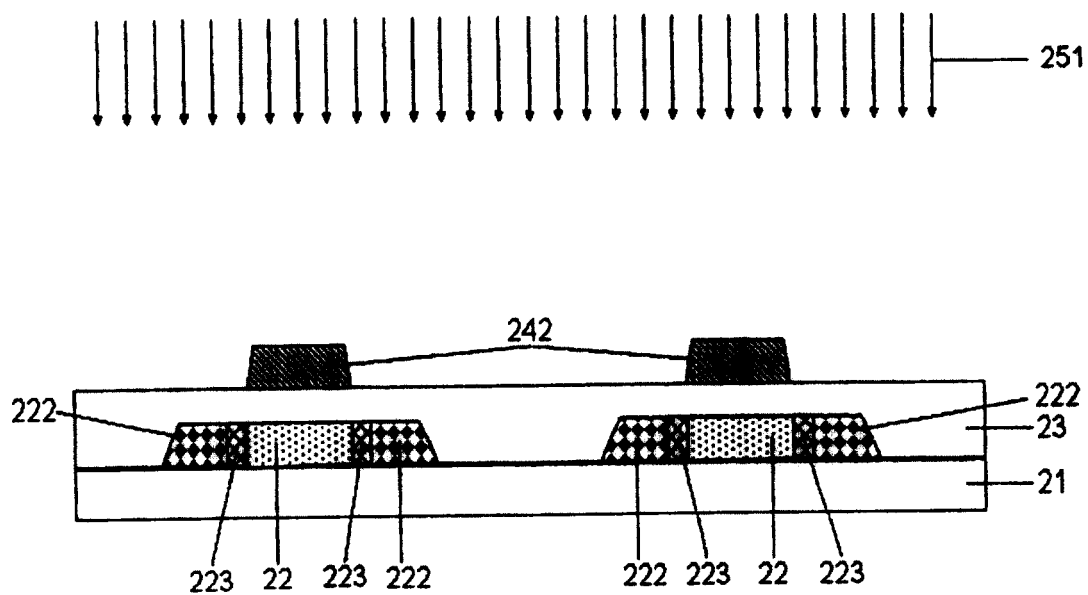


图 7

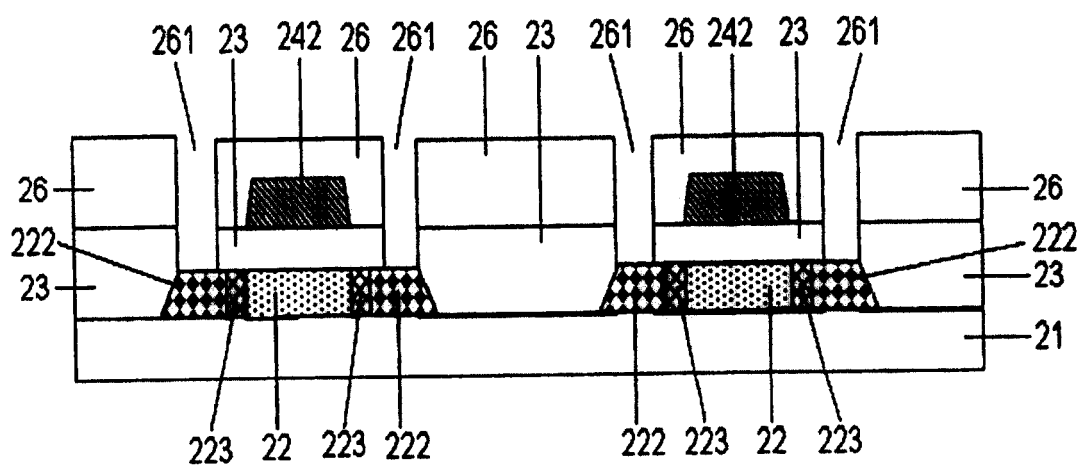


图 8

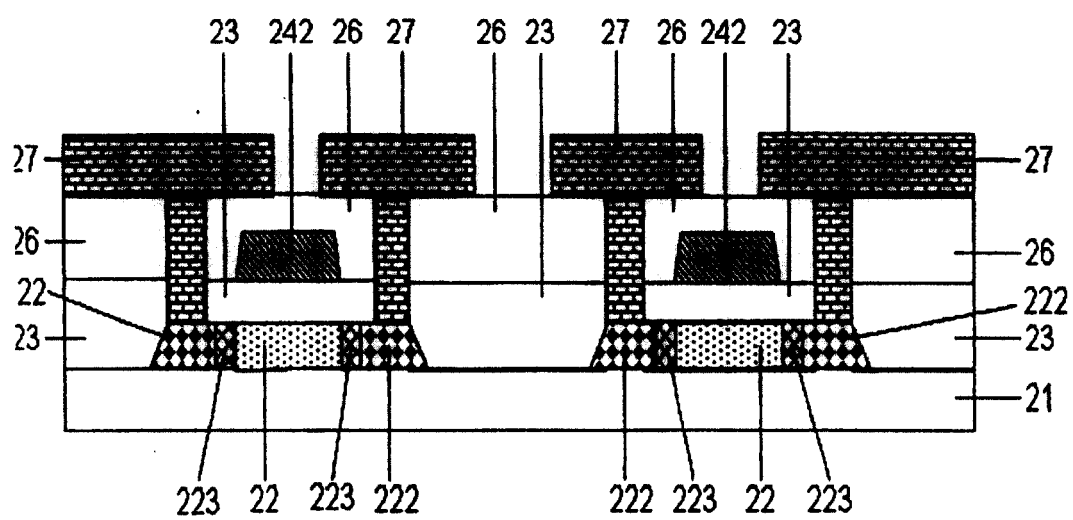


图 9

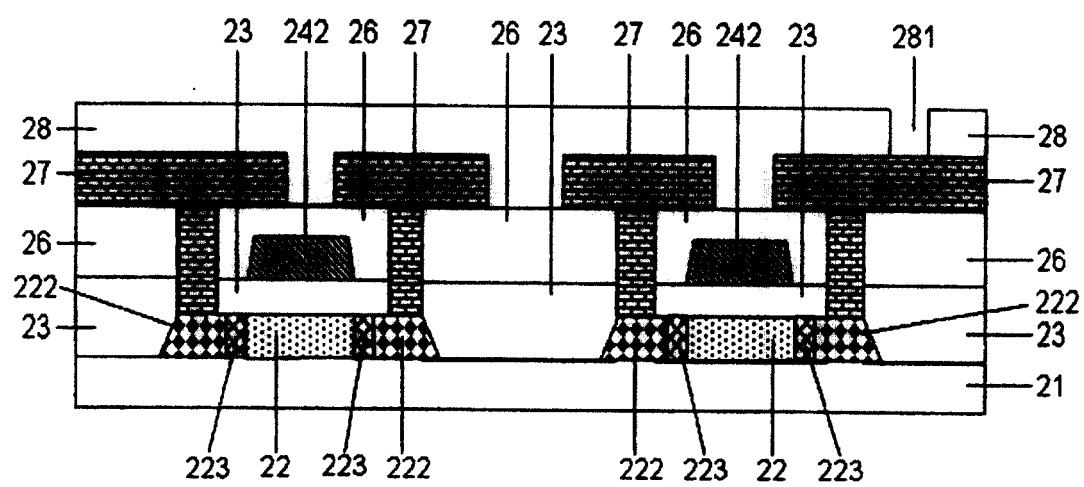


图 10

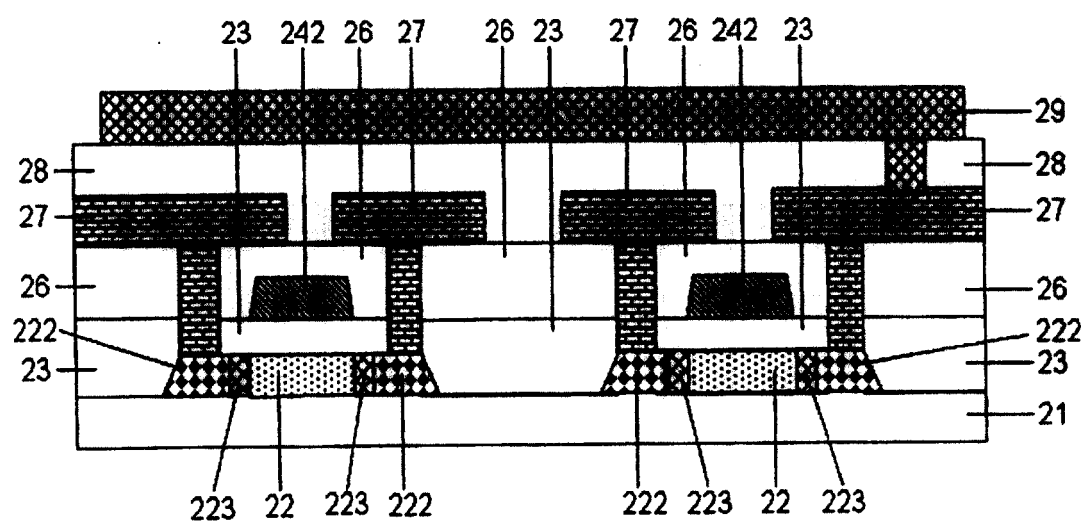


图 11



图 12



图 13

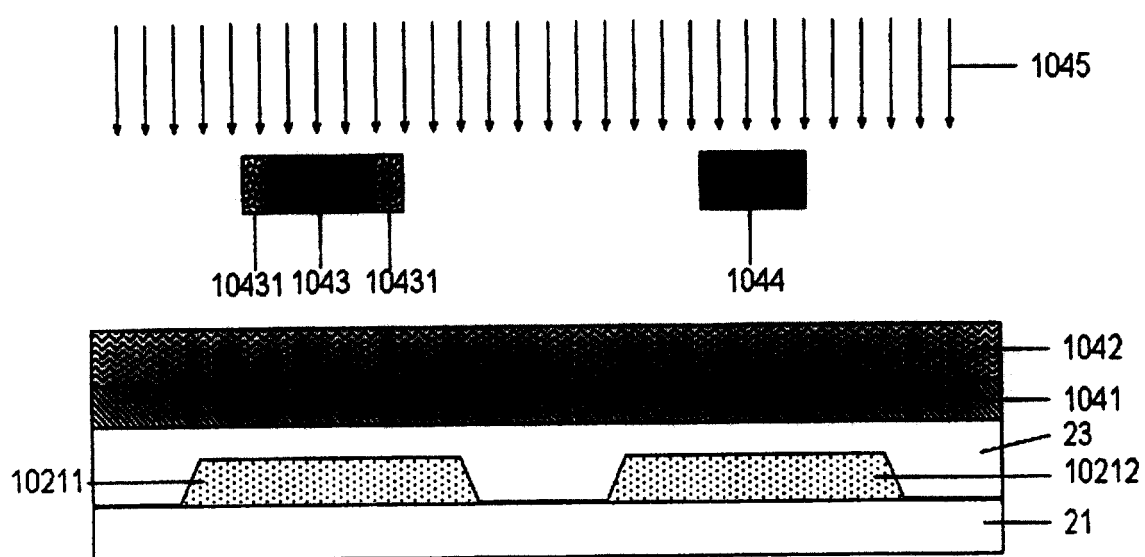


图 14

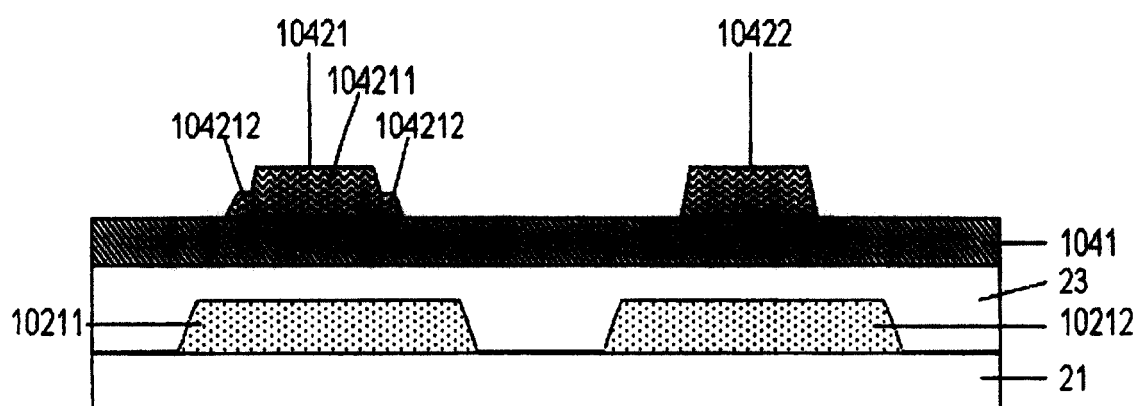


图 15

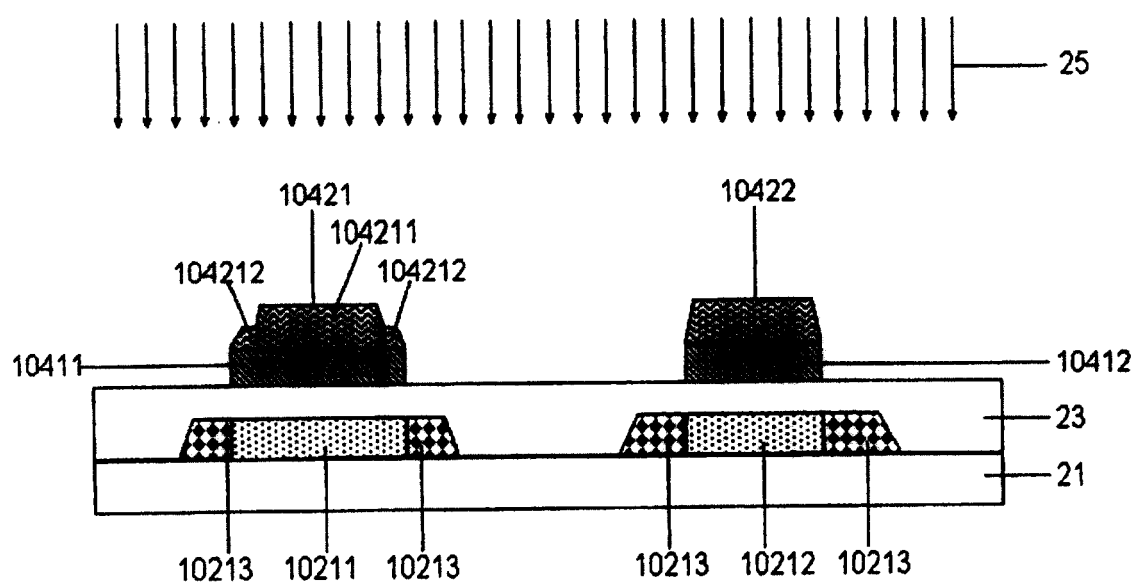


图 16

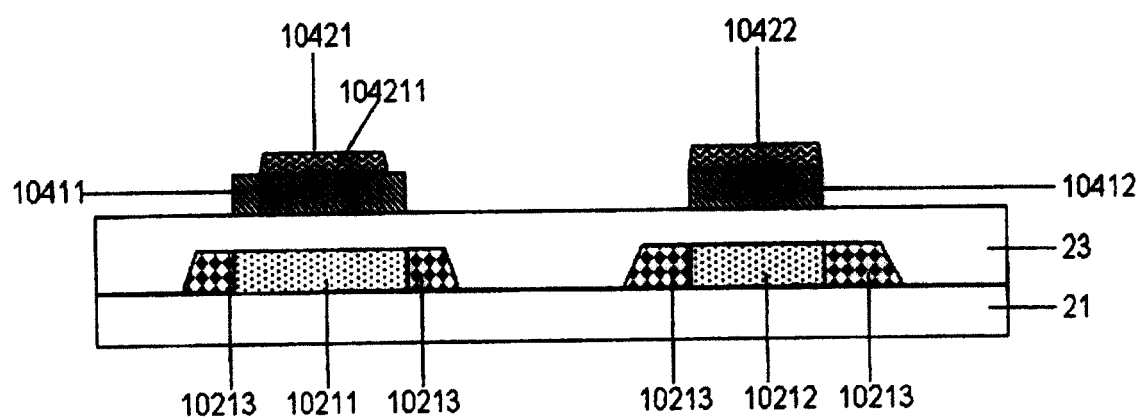


图 17

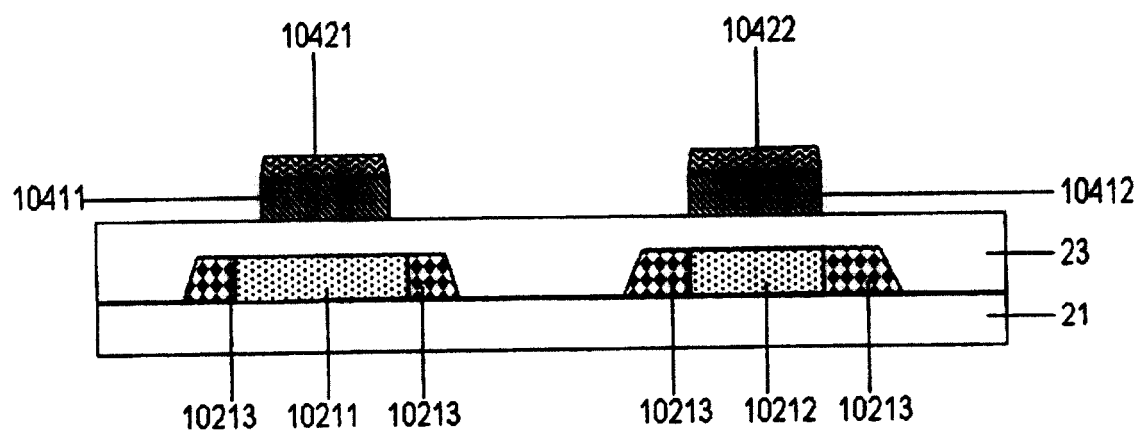


图 18

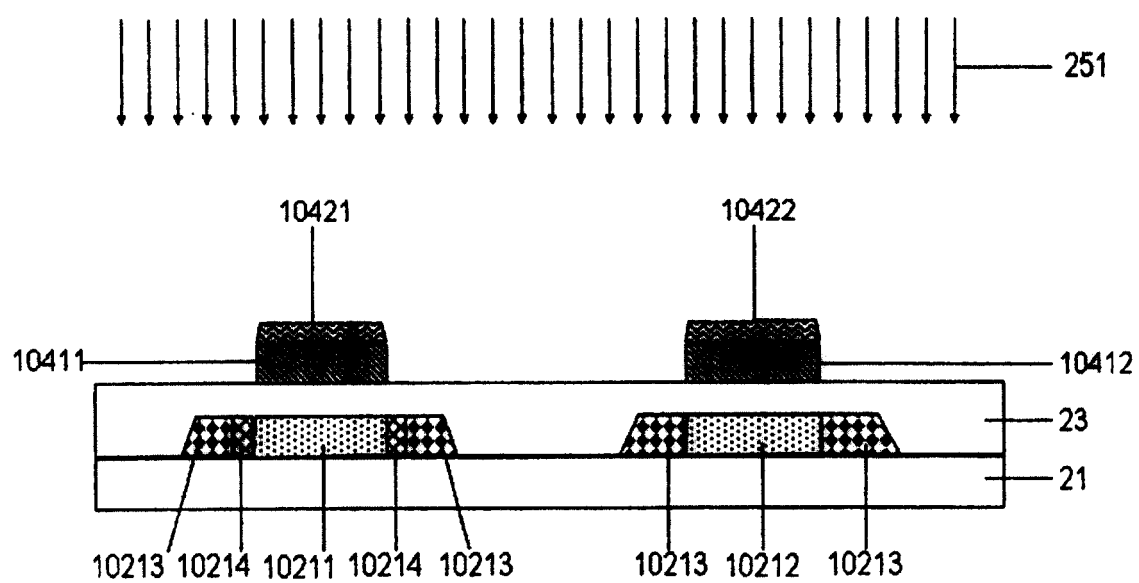


图 19

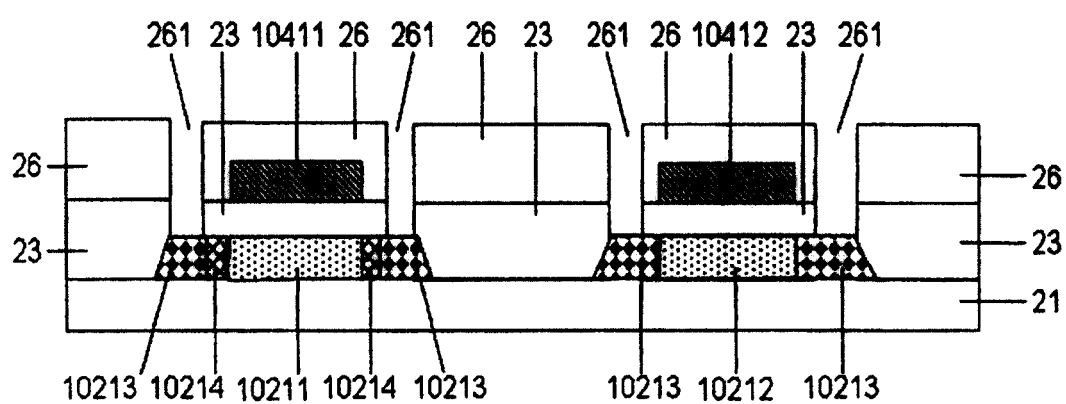


图 20

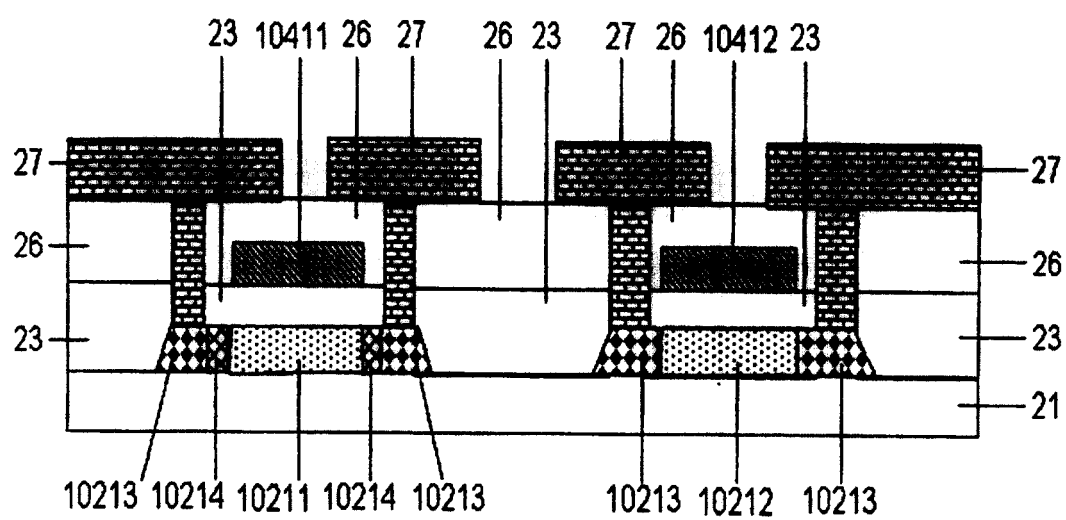


图 21

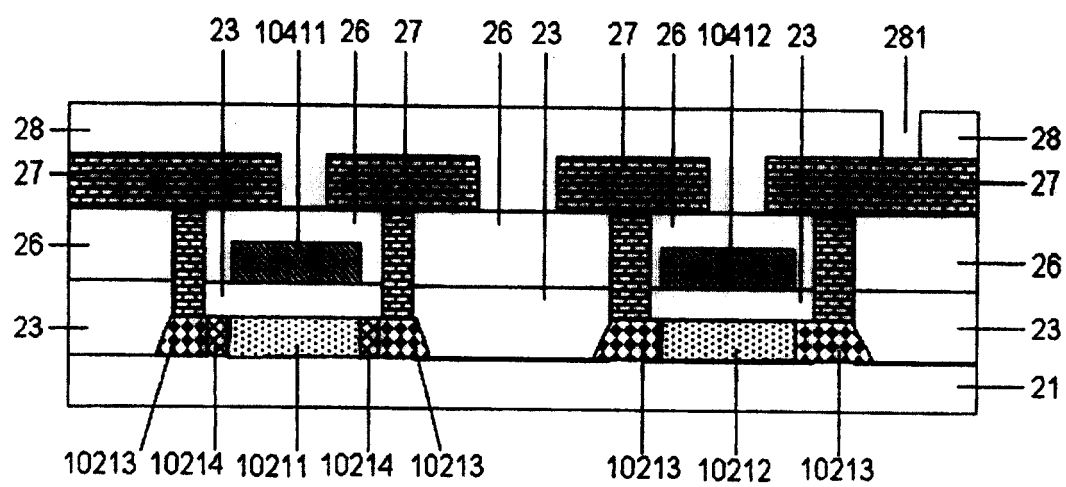


图 22

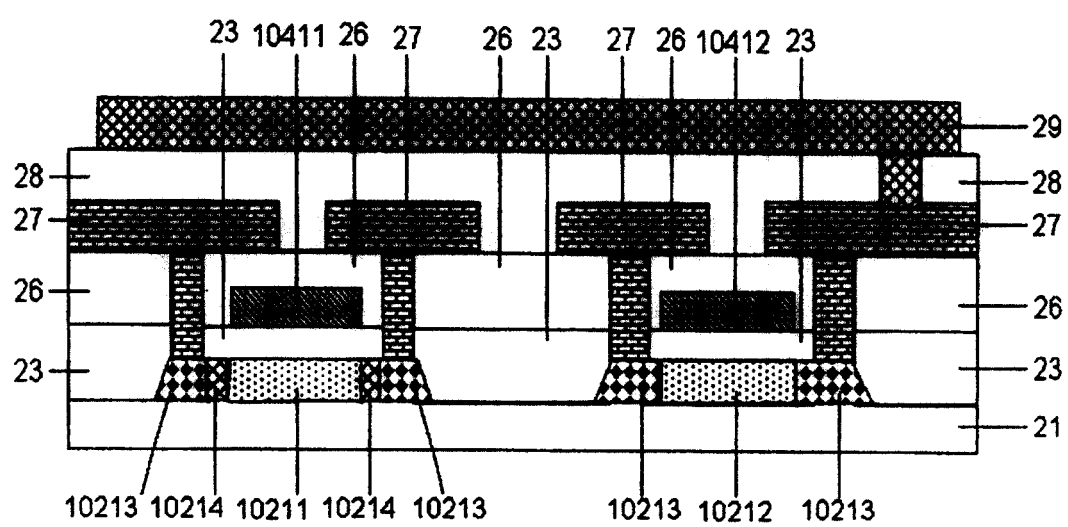


图 23

专利名称(译)	电致发光装置的像素结构及其制造方法		
公开(公告)号	CN100426555C	公开(公告)日	2008-10-15
申请号	CN200510067438.2	申请日	2005-04-21
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	李信宏 陈明炎 陈坤宏 LI XINHONG CHEN MINGYAN CHEN KUNHONG		
发明人	李信宏 陈明炎 陈坤宏		
IPC分类号	H01L51/52 H05B33/12 H05B33/20 H05B33/10 H01L51/56 H05B33/08		
代理人(译)	侯宇		
其他公开文献	CN1668147A		
外部链接	Espacenet SIPO		

摘要(译)

本发明揭露了一种适用于一电致发光装置的像素结构及其制造方法，该像素结构至少包括一开关晶体管、一驱动晶体管以及一电致发光元件。开关晶体管与驱动晶体管电连接，而开关晶体管以及驱动晶体管的载流子迁移率不相同，且电致发光元件与驱动晶体管电连接。而制造方法可还包括使用一灰阶光掩模的工艺方式形成不同载流子迁移率的开关晶体管与驱动晶体管。

