

[51] Int. Cl.
H01L 27/00 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 03806248.8

[11] 授权公告号 CN 100339990C

审查员 赵 端

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 梁 永

[86] 国际申请 PCT/IB2003/000670 2003.2.21

[87] 国际公布 WO2003/079440 英 2003.9.25

[85] 进入国家阶段日期 2004.9.17

[73] 专利权人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 D·A·菲什 M·J·蔡尔滋

J · R · 赫克托 N · D · 杨

[56] 参考文献

CN1233929A 1999.11.3

US6057647A 2000.5.2

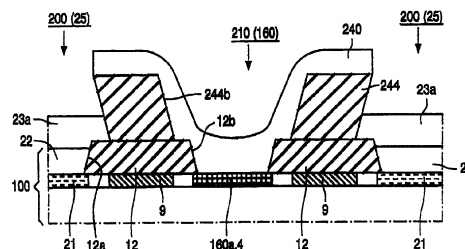
权利要求书 2 页 说明书 11 页 附图 6 页

[54] 发明名称

有源矩阵电致发光显示装置及其制造方法

[57] 摘要

在有源矩阵电致发光显示装置，尤其具有有机半导体材料的 LED(25) 的有源矩阵电致发光显示装置的电路基板(100)上，在相邻像素(200)之间存在物理阻隔(210)。为了减小电路基板中的寄生电容，本发明形成具有金属或其他导电性材料(240)的这些阻隔(210)，其在比所述电路基板(100)更高的水平处提供至少部分的信号线(160)。所述导电阻隔材料(240)与所述基板(100)内的矩阵电路相连，但至少在与 LED(25) 邻近的侧面处是绝缘的(40)。优选地，电容间防护线(9)包含在所述信号线(160)与基板(100)中的电路之间的所述电路基板(100)中。



1. 一种有源矩阵电致发光显示装置，包括：电路基板，在该电路基板上，在阵列的至少一个方向中，像素阵列在至少一些相邻的像素之间存在有物理阻隔；每个像素包括电致发光元件；电路基板包括通过横向寻址和信号线提供像素寻址的矩阵寻址电路，所述物理阻隔包括导电阻隔材料，其在比所述电路基板更高的水平处提供至少部分信号线，且通过电路基板上的中间绝缘层中的接触窗口与电路基板的矩阵寻址电路相连，所述导电阻隔材料至少在与电致发光元件邻近的物理阻隔的侧面处被绝缘。

2. 根据权利要求1所述的装置，其中所述导电阻隔材料在与像素邻近的长度的至少一半上提供信号线，以减小电路基板中的寄生电容，且导电阻隔材料通过用于线的每个像素的单独接触窗口而连接至电路基板的矩阵寻址电路。

3. 根据权利要求1或2所述的装置，其中在电路基板中的导体层在信号线的导电阻隔材料下方延伸，作为所述信号线与电路基板的路之间的电容间防护线。

4. 根据权利要求3所述的装置，其中电压缓冲器连接在所述信号线和所述防护线之间。

5. 根据前述任意一项权利要求所述的装置，其中所述物理阻隔包括金属涂层，所述金属涂层提供信号线的导电阻隔材料，且通过基板中的各个电路元件与像素相连。

6. 根据权利要求5所述的装置，其中所述物理阻隔主要是绝缘材料，通孔通过其延伸，用于在中间绝缘层的接触窗口处与矩阵寻址电路的电极连接相连，其中所述金属涂层在物理阻隔的顶部上和穿过物理阻隔的通孔中延伸。

7. 根据权利要求5所述的装置，其中绝缘涂层至少存在于所述金属涂层的侧面上，作为与所述电致发光元件邻近的绝缘。

8. 根据权利要求1到4任意一项所述的装置，其中所述物理阻隔包括提供所述信号线的导电阻隔材料的金属芯，该金属芯通过基板中的各个电路元件与所述像素相连，并至少在其侧面上具有绝缘涂层。

9. 根据权利要求8所述的装置，其中在所述金属芯的顶部和侧面上的所述绝缘涂层上存在有金属涂层。

10. 根据前述任意一项权利要求所述的装置，其中附加的阻隔平行于寻址线延伸，并包括附加的导电阻隔材料，其与所述信号线的导电阻隔材料相绝缘，所述附加的导电阻隔材料通过接触窗口与基板中的部分寻址线相连，以减小沿所述寻址线的电压降。

11. 根据前述任意一项权利要求所述的装置，其中所述电致发光元件是有机半导体材料的发光二极管。

12. 一种制造前述任意一项权利要求所述的有源矩阵电致发光显示装置的方法，包括下述步骤：

- a. 在电路基板上的中间绝缘层中开出接触窗口，以暴露电路基板中用于矩阵寻址电路的电极连接；
- b. 在电路基板上形成物理阻隔，至少在邻近像素区域的物理阻隔的侧面处绝缘；和
- c. 在所述物理阻隔之间的像素区域中提供电致发光元件；

其中导电性材料作为一部分物理阻隔被沉积，以在比所述电路基板更高的水平处提供至少部分的信号线，该导电性材料通过所述中间绝缘层的接触窗口与所述矩阵寻址电路的电极连接相连。

13. 根据权利要求12所述的方法，其中所述步骤a包括形成主要为导电性材料的物理阻隔，并至少在该导电阻隔材料的侧面上沉积绝缘涂层。

14. 根据权利要求13所述的方法，其中至少所述导电阻隔材料的块是通过电镀沉积的。

15. 根据权利要求13所述的方法，其中所述导电阻隔材料包括铝，所述绝缘涂层通过阳极氧化形成在至少所述铝阻隔材料的侧面上。

16. 根据权利要求12所述的方法，其中所述步骤b包括形成主要为绝缘材料的物理阻隔，通孔穿过其延伸，用于在所述中间绝缘层的接触窗口处与所述矩阵寻址电路的电极连接相连，其中信号线的导电性材料作为导电涂层沉积在所述物理阻隔的顶部上和穿过物理阻隔的通孔中。

17. 根据权利要求16所述的方法，其中所述信号线的导电涂层和电致发光元件的上部电极同时沉积，并通过所述物理阻隔侧面中的悬垂形状的荫罩效应分离。

有源矩阵电致发光显示装置及其制造方法

本发明涉及有源矩阵电致发光显示装置，尤其是但不排它地涉及使用半导体共轭聚合物或其它有机半导体材料的发光二极管的有源矩阵电致发光显示装置。本发明也涉及制造这种装置的方法。

这种有源矩阵电致发光显示装置是公知的，包含存在于电路基板上的像素阵列，其中每个像素包含电致发光元件，典型地是有机半导体材料。所述电致发光元件与基板内的电路相连，例如驱动电路，其包括电源线和矩阵寻址电路，其包括寻址（行）和信号（列）线。这些线一般通过薄膜导体层形成在所述基板内。所述电路基板还包括用于每个像素的寻址和驱动元件（典型地为薄膜晶体管，以后称作“TFT”）。

在很多这种阵列中，在阵列其中至少一个方向上，相邻像素之间存在绝缘材料的物理阻隔。在公布的英国专利申请 GB-A-2 347 017，公布的 PCT 专利申请 WO-A1-99/43031，公布的欧洲专利申请 EP-A-0 895 219，EP-A-1 096 568，和 EP-A-1 102 317 中给出了这种阻隔的例子，其全部内容在这里结合作为参考资料。

这种阻隔有时称作例如“壁”，“分隔物”，“堤”，“肋”，“分离物”，或“坝（dam）”。从所引用的参考文献中可以看出，它们可以提供几个功能。它们可以用在制造过程中，来限定单个像素和/或像素列的电致发光层和/或电极层。因此，例如，所述阻隔防止了通过喷墨印刷为彩色显示的红、绿和蓝色像素，或通过旋涂用于单色显示的共轭聚合物材料的像素溢出。在所制造的装置中的阻隔可以提供像素的明确光学分离。它们可以携带或包含导电材料（例如电致发光元件的上部电极材料），作为用于减小电致发光元件的公共上部电极阻抗（因此为跨越上部电极的电压降）的辅助布线。

具有开关电流镜象像素电路的有源矩阵电致发光显示器可以获得非常好的图象质量。这种显示装置公开在公布的美国专利申请 US-A-2001/0052606（Philips 参考文献：PHNL000281），其全部内容在这里结合作为参考资料。其要求在显示器的行时间上用非常小的电流寻

址所述显示器的列。在大显示器的情况下，列电容变得很高，其意味着用于寻址像素以纠正电流电平的时间常数变得很大。显示器的高分辨率通过缩短行时间使得该情况甚至更加困难。

本发明的一个目的是以与基本的装置构造、其布局和其电子线路兼容的方式，开发、改进、采用和/或扩展有源矩阵电致发光显示装置的特定特征，以减小与信号线（列导体）相关的这类问题。

依照本发明的一个方面，提供一种具有权利要求 1 中列出的特征的有源矩阵电致发光显示装置。

依照本发明，像素之间的物理阻隔用导电性材料（典型地为金属）形成，其用于在比电路基板更高的水平处提供至少部分的信号线（列导体）。因此，列电容问题从电路基板内（在那里其受到电路布局严格限制）被转移到基板上更加自由的像素阻隔环境。这种转移很容易使列电容减小，由此减小用于寻址像素到纠正电流电平的时间常数。所述导电阻隔材料与电路基板内的所述矩阵寻址电路相连，而至少在邻近电致发光元件的阻隔的侧面处也是绝缘的。

依照本发明可能有更多功能性。可以采用各种结构特征用于像素阻隔。因此，阻隔可以主要是导电材料或绝缘材料，可以具有绝缘和/或导电涂层。优选地，至少在阻隔的信号线与电路基板的电路之间包含电容间防护线。电压缓冲器可以连接在信号线与防护线之间，以保持其间的电压接近零。

依照本发明的另一个方面，还提供了制造这种有源矩阵电致发光显示装置的有利的方法。

在附加的权利要求中列出了依照本发明的各种有利的特征和特征组合。本发明实施方案中展示了这些和其它特征，现在通过例如参照附加的概略图描述所述实施方案，其中：

图 1 是依照本发明的有源矩阵电致发光显示装置的四像素区域的电路图，所述有源矩阵电致发光显示装置设置有用其信号线的导电阻隔材料；

图 2 是显示现有技术类型的显示装置的像素区域中寄生电容的概略截面图；

图 3 是有源矩阵电致发光显示装置一个实施方案的部分像素阵列和电路基板的横截面视图，显示了依照本发明用于其信号线的导电阻隔结构的一个例子；

图 4 是依照本发明具有使用金属涂层用于其信号线的导电阻隔结构的另一个实施例的装置部分的截面图；

图 5 是图 4 装置的电路基板的导电层图案布局的平面视图，用于依照本发明装置的特定实施方案中包括防护线；

图 6 是与图 2 相似的概略截面图，但是显示了依照本发明的图 4 和 5 显示装置的像素区域中的寄生电容；

图 7 是用于如图 4 到 6 的装置实施方案中的防护线的电压缓冲器设置的电路图；

图 8 是与图 3 相似的导电阻隔结构的横截面视图，但另外包含用于依照本发明变型的实施方案的金属涂层；

图 9 是用于依照本发明的、具有横向导电阻隔的装置特定实施方案的布局特征实例的平面视图；

图 10 到 12 是使用依照本发明一个特定实施方案，在其制造阶段中如图 3 的装置部分的截面视图；

图 13 是在图 12 阶段处装置部分的截面视图，显示了同样依照本发明的导电阻隔材料的绝缘中的变型。

应当注意到，所有图都是概略的。在附图中为清楚和方便起见，部分图的相关尺度和比例在尺寸上已经扩大地或缩小地显示出来。在修改的和不同的实施方案中，相同的参考标记一般用于指对应的或类似的特征。

图 1 和 3 的实施方案

图 1 和 3 实施方案的有源矩阵电致发光显示装置包括在具有矩阵寻址电路的电路基板 100 上的像素 200 的阵列。物理阻隔 210 在阵列的至少一个方向上存在于至少一些相邻像素之间。至少一些这些阻隔 210 由用作依照本发明的至少部分信号线（列导体）160 的导电阻隔材料 240 构成。除了依照本发明的该特定结构和使用阻隔 210 以外，该显示器可以用公知的装置技术和电路技术，例如上文引用的背景参考文献中的技术来构造。

矩阵寻址电路包括横向的寻址（行）和信号（列）线 150 和 160 的组，分别如图 1 中所示。寻址元件 T2（典型地为薄膜晶体管，以后称作“TFT”）在这些线 150 和 160 的每个相交处结合。应当理解，图 1 是通过一个具体像素电路结构的例子来描述的。其它像素电路结构对于有源矩阵电致发光显示装置是公知的。应当很容易理解到，不管该装置的具体像素电路结构如何，可以将本发明用于这种装置的像素阻隔。

如图 1 所示，每个像素 200 包括电流驱动的电致发光元件 25（21，22，23），典型地为有机半导体材料的发光二极管（LED）。LED 25 在阵列的两条电压电源线 140 和 230 之间与驱动元件 T1（典型地为 TFT）串联连接。该两条电源线典型地是电源线 140（具有电压 Vdd）和地线 230（也称作“回线”）。随着由其各自的驱动 TFT T1 改变，LED 25 的光发射通过流过 LED 25 的电流控制。

像素的每行通过施加到相关行导体 150 上（由此施加到该行像素的寻址 TFT T2 的栅极上）的选择信号的方式，在一个帧周期内依次被寻址。该信号开启寻址 TFT T2，如此用来自列导体 160 的各个数据信号加载该行的像素。这些数据信号被施加到各个像素的单独驱动 TFT T1 的栅极上。为了保持该驱动 TFT T1 所产生的导电状态，通过保持电容器 Ch 将数据信号保持在其栅极 5 上，所述保持电容器耦合在栅极 5 与驱动线 140，240 之间。因此，在前一个寻址周期过程中施加的并作为电压存储在相应电容器 Ch 上的驱动信号的基础上，通过驱动 TFT T1 来控制流经每个像素 200 的 LED 25 的驱动电流。在图 1 特定的实施例中，T1 显示为 P 沟道 TFT，而 T2 显示为 N 沟道 TFT。

该电路可以用公知的薄膜技术来构造。所述基板 100 可以具有绝缘玻璃基底 10，其上沉积有例如二氧化硅的绝缘表面缓冲层 11。以公知的方式在层 11 上建立所述薄膜电路。

图 3 显示了 TFT T2 特定的例子，其包括：有源半导体层 1（典型为多晶硅）；栅极介电层 2（典型为二氧化硅）；栅电极 5（典型为铝或多晶硅）；和金属电极 3 和 4（典型为铝），其通过叠在上面的绝缘层 2 和 8 内的窗口（通孔）与半导体层 1 掺杂的源极和漏极区接触。

根据特定的 TFT（例如电路基板的 T1 或 T2 或其它 TFT）和其电路功能，电极 3，4 和 5 的延伸部分可以形成例如，元件 T1，T2，Ch 和

LED 25 之间的互连，和/或至少部分导线 140，150 和 160。图 3 显示了作为用于信号线 160 连接的 T2 的电极 4 的小面积局部延伸 160a。T2 的栅电极 5 的线延伸形成所述寻址（行）线 150。T1（图 3 中没有示出）的电极 4 的线延伸可以形成电源线 140。

保持电容器 Ch 同样以公知的方式形成为电路基板 100 内的薄膜结构。

LED 25 典型地包括下部电极 21 和上部电极 23 之间的发光有机半导体材料 22。在优选的特定实施方案中，半导体共轭聚合物可以用做电致发光材料 22。对于穿过基板 100 发射光 250 的 LED，下部电极 21 可以是氧化铟锡（ITO）的阳极，上部电极 23 可以是包括例如钙和铝的阴极。图 3 示出了 LED 结构，其中下部电极 21 作为薄膜形成在电路基板 100 中。随后沉积的有机半导体材料 22 在（例如氮化硅的）平面绝缘层 12 内的窗口 12a 处与该薄膜电极层 21 相接触，所述平面绝缘层 12 在基板 100 的薄膜结构上延伸。

像在公知的装置中一样，依照本发明图 1 和 3 的所述装置在阵列的至少一个方向中，在至少一些相邻的像素之间包括物理阻隔 210。这些阻隔 210 也可以称作例如“壁”，“分隔物”，“堤”，“肋”，“分离物”，或“坝”。根据所述特定装置的实施方案及其制造方法，其可以以公知的方式使用，例如：

- 在提供半导体聚合物层 22 的过程中，分离和防止在单独的电极 200 和/或像素 200 的列的各个区域之间聚合物溶液的溢出；

- 在用于单独的像素 200 和/或用于像素 200 的列的半导体聚合物或其它电致发光层 22 的限定内，在基板表面上提供自构图能力（甚至可能提供对于像素单独电极的自分离，例如上部电极 23 的单独底部层）；

- 在至少有机半导体材料 22 和/或电极材料的沉积过程中，充当用于基板表面上的掩模的间隔物作用。

- 当通过顶部（代替地，或也通过底部基板 100）发射光 250 时，在阵列中形成用于像素 200 的明确光学分离的不透明阻隔 210。

在这些公知方式中无论具体使用哪一种，本发明实施方案中平行于所述阵列的列延伸的物理阻隔 210 都以特殊的方式来构造和使用。因此，图 3 的像素阻隔 210 包括金属 240（或其它导电性材料 240），

其在比电路基板 100 更高的水平面处提供至少部分信号线（列导体）160，从而减小所述列电容。

该导电阻隔材料 240 在其邻近 LED 25 的侧面处被绝缘，并在其延伸 160a 处与寻址 TFT 的主电极 4 相连。如图 3 中所示，导电阻隔材料 240 与 TFT T2 的这些连接发生在沿所述列的每个像素处中间绝缘层 12 内的单独连接窗口 12b 处。因此，该导电阻隔材料 240 能在邻近于像素的其大部分长度上提供信号线 160。

依照本发明用于信号线 160 的阻隔 210 的具体结构和使用，允许图 2 中示出的先有技术列电容减小。因此，图 2 显示了通过在典型的先有技术设置中每个单独像素上的信号（列）线所见到的电容。在这种公知的设置中，例如，信号（列）线 160X 作为 TFT 电极 4 的线延伸 160X 在电路基板 100 内完全形成。阻隔 210X 简单地是绝缘材料（例如，绝缘聚合物）。跨越电介质 12 和 210X，在薄膜列线 160X 和 LED 上部电极 23（典型地为聚合物 LED 25 中的阴极）之间具有寄生电容（ C_D 和 C_{SN} ）。高的寄生电容 C_P 和 C_A 跨越电介质 8（典型地为氮化硅），分别产生在薄膜列线 160X 与电源线 140 及寻址（行）线 150 之间。作为这种高的列电容的结果，用于寻址这种装置设置中的单独像素以纠正电流电平的时间常数，对于大显示器令人无法接受地变大。

本发明通过在像素区域中形成和使用具有金属 240（或其它导电性材料 240）的像素阻隔 210 作为信号线（列导体）160 避免了这个问题，即，在比电路基板 100 高的平面处。因此，从图 3 可以看出，电路基板 100 的顶部平面化绝缘层 12 作为附加的电介质插入在阻隔形成的信号线 160 与电路基板 100 的薄膜线 150 和 5，150 之间。因此显著减小了所述高的寄生电容 C_P 和 C_A 。

图 3 显示了一个特定的实施方案，其中像素阻隔 210 主要是导电性材料 240，240x，优选非常低的电阻率的金属（例如铝或铜或镍或银）。因此，图 3 的这些阻隔 210 包括导电材料的块或芯 240，所述导电材料在其侧面和顶部上具有绝缘涂层 40（例如是二氧化硅或氮化物）。图 3 通过例子显示了邻接该绝缘涂层 40 的像素 LED 25 的上部电极 23。从而，电极 23 在跨越像素阵列的布局中具有几何条纹。可选择地，如果足够厚度的绝缘体用作涂层 40，那么像素阵列可以具有公共电极 23，其也在像素阻隔 210 的上面延伸。

图 4 和 5 的替换的列线阻隔实施方案

图 4 显示了修改的实施方案，其中阻隔 210 主要是绝缘材料 244。在这种情况下，在电路基板 100 中，穿过绝缘材料 244 到电极区域 160a，4 蚀刻或研磨出通孔 244b。金属涂层 240 提供导电阻隔材料，所述导电阻隔材料在绝缘阻隔 210 的顶部上和穿过其中的通孔 244b 中延伸。

阻隔 210 的金属涂层 240 可以与 LED 25 上部电极 23 的主要部分 23a 以自对准方式同时形成。因此，可以同时沉积金属层以用于金属涂层 240 和电极 23，它们通过阻隔 210 侧面中的悬垂形状的荫罩效应而分离，如图 4 中所示。这是用于根据本发明的列线阻隔 210，240 的一个可能的处理实施方案。图 11 到 13 示出了用于主要为金属的列线阻隔 210，240 的其它处理实施方案。

图 4 和 5 一起显示了也被有利地包含在本发明实施方案中的防护线特征。在该实施方案中，薄膜导体层 9（用 TFT 电极区域 3，4 和 160a 同时形成）在信号线 160 的导电阻隔材料 240 下面延伸作为电容间防护线。因此，该防护线 9 作为屏蔽存在于基板 100 的电路与在其大部分长度上的列线 160 之间。图 6 显示了通过在每个单独像素上的列线 160 而现在看到的电容。可以获得非常低的列电容，尤其当图 6 的设置与图 7 中示出的有利缓冲器电路部件一起使用时。

图 6 和 7 的特定防护线实施方案

在图 6 的设置中，用防护线 9（而不是用图 2 现有技术中的列线 160），（跨越电介质 8）形成电源线 140 和行线 150 的各个电容 C_p 和 C_A 。而且，在所述防护线 9 与图 4 实施方案中的列线 160 之间形成电介质 12 和 244 的各个电容 C_{SN} 和 C_D 。

使用图 7 的缓冲器电路结构现在可以获得非常低的列电容。在这种情况下，电压缓冲器 600 连接在列线 160 与防护线 9 之间。除了包含缓冲器 600 和防护线 9 以及列线 160 的阻隔结构以外，图 7 的基本电路可是公知的类型。因此，620 可以代表公知类型的电流镜像素电路，例如，与 US-A-2001/0052606 中公开的一样。通过例如公知的电流源类型的列驱动器 610，将信号施加到列线 160。列驱动器 610 和电

压缓冲器 600 可以外部地实现在与电路基板 100 连接的 IC(集成电路)中。可选择地,它们可以使用多晶硅 TFT 技术内部集成在电路基板 100 上。

电压缓冲器 600 采用在列驱动器 610 输出的信号电压作为其输入,并将其缓冲到防护线 9 上。结果,列线 160 与防护线 9 之间的电压为零或几乎为零,以致在该列防护电容 C_D , C_{SN} 上没有电荷累积,且所有电流从像素电路 620 中汲取。这允许快速的操作。电压缓冲器需要给防护线 9 与各个电源和寻址线 140 和 150 之间的电容 C_P 和 C_A 充电,但是缓冲器 600 的低输出阻抗使其快速实现。

图 8 和 9 的多导体阻隔实施方案

图 8 的实施方案与图 3 的相似,其中阻隔 210 包括其上具有金属涂层 40a 的金属芯 240x。然而,图 8 实施方案附加地包括在芯 240x 的顶部和侧面上,存在于绝缘涂层 40a 上的金属涂层 240y。

图 8 的这个结构比图 3 的更通用。其允许金属芯 240x 和金属涂层 240y 用于不同的目的。因此,例如金属芯 240x 可以提供如图 3 的列(信号)线 160,并因此与 TFT T2 的电极 4 相连。金属涂层 240y 可以用作芯线 240x 上的信号的同轴屏蔽。金属涂层 240y 可以与基板 100 内的部分防护线 9b 连接,和/或与另一个电路元件连接,例如与另一个 TFT 相连。可选择地,金属涂层 240y 可以提供列(信号)线 160,金属芯 240x 可以形成部分防护线 9a。

代替屏蔽列(信号)线 160,为了不同的目的,用于阻隔 210 的多导体结构 240x, 240y 可以在显示器中其他地方使用,例如为了交迭两条线,如 140 和 150,或为了形成附加的部件。金属涂层 240y 可以局限在沿阻隔 210 的特定位置,其中需要特定的连线或部件,例如在单独的像素或子像素处。

尤其重要的是其中图 8 的多导体结构 240x, 240y 被设计成形成具有电容器电介质 40a 的电容器的实施方案。因此,金属芯 240x、绝缘涂层 40a 和金属涂层 240y 的分离的和/或绝缘的长度可以一起形成连接于基板电路元件 4, 5 等之间的电容器。例如,这种电容器可以是用于每个连接在电源线 140 (TFT T1 的主电极线 4) 和 TFT T2 的栅极线 5 (TFT T1 的主电极线 3) 之间的各个像素 200 的单独的保持电容器 C_h 。

图 9 显示了用于集成这种多导体阻隔结构 240x, 240y 作为每个像素区域 200 的保持电容器 Ch 的合适的像素布局。在这种情况下, 多导体阻隔结构 240x, 240y 包括横向延伸至列形成阻隔 210 (240, 160) 的绝缘阻隔长度。

可选择地, 图 9 的横向阻隔布局可以被采用以阻隔 210 和 210c, 每一个阻隔都包括如图 3 或图 4 中的单一金属导体 240 (不具有金属涂层 240y)。在这种情况下, 横向阻隔 210c 的导电阻隔材料 240 可以与 TFT T2 的栅极线 5, 150 连接, 以备和/或取代寻址 (行) 线 150 的长度。由于导电阻隔材料 240 具有一横截面积, 其比在电路基板 100 中典型地提供 TFT 栅极线 5 (150) 的导线层的横截面积至少大两倍 (甚至可能是数量级), 所以以这种方式可以显著减小所述行线的线电阻。此外, 栅极线 5 (150) 典型地是掺杂多晶硅, 而导电阻隔材料 240 典型地是具有更高电导率的金属。

图 10 到 12 的处理实施方案

除了构造和使用用于信号线 160 的具有导电材料 240 的其阻隔 210 以外, 依照本发明装置的有源矩阵电致发光显示器可以使用公知的装置技术和电路技术来构造, 如所引用的背景参考文献中的。

图 10 到 12 示出了在特定的制造实施方案中新颖的处理步骤。以公知的方式制造具有其上部平面绝缘层 12 (例如氮化硅的) 的薄膜电路基板 100。以公知的方式, 例如通过光刻掩模和蚀刻在层 12 中开出连接窗口 (例如通孔 12a, 12b, 12x 等)。但是, 为了制造依照本发明的装置, 这些通孔的图案包括暴露出元件 4, 5 等的通孔 12b, 12x, 12y, 用于与导电阻隔材料 240, 240x, 240y 等的底部连接。得到的结构显示在图 10 中。不管阻隔 210 是具有如图 3 和 8 中的金属芯, 还是主要是如图 4 中的绝缘材料, 这一阶段是共有的。

主要是绝缘材料的阻隔 210 的形成已经参照图 4 在上面进行了描述。现在将参照图 11 和 12 描述用于具有金属芯的阻隔 210 的合适的处理步骤。

在这种情况下, 用于阻隔 210 的导电性材料沉积在至少在其通孔 12a, 12b 等内的绝缘层 12 上。使用公知的掩模技术获得用于阻隔 210 的期望长度和布局图案。图 11 示出了一个实施方案, 其中通过电镀沉

积至少导电阻隔材料（例如，铜或镍或银）的块 240。在这种情况下，首先在绝缘层 12 和其通孔 12a, 12b, 12x 等上沉积例如铜或镍或银的薄种晶层 240a，用光刻掩模限定阻隔布局图案，然后将导电阻隔材料的块 240 电镀至所期望的厚度。得到的结构展示在图 11 中。

然后，使用 CVD（化学气相沉积）沉积绝缘材料（例如二氧化硅或氮化硅），用于绝缘涂层 40。通过使用公知的光刻掩模和蚀刻技术进行构图，所述沉积材料被留在导电阻隔材料的侧面和顶部，如图 12 中所示。

之后以公知的方式继续制造。从而，例如，可以喷墨印刷或旋涂共轭聚合物材料 22 以形成像素 200。具有其绝缘涂层 40 的阻隔 240，40 能以公知的方式使用，以防止聚合物从物理阻隔 240，40 之间的像素区域中溢出。然后沉积上部电极材料 23。

图 13 的变型处理实施方案

该实施方案使用阳极氧化处理（代替沉积），以至少在与像素区域相邻的阻隔 210 的侧面提供绝缘涂层 40。典型地，导电阻隔材料 240 可以包含铝。使用公知的光刻掩模和蚀刻技术可以限定所沉积的铝的期望长度和布局图案。图 13 显示了保留在铝阻隔图案 240 顶部上的光刻限定的蚀刻剂掩模 44。

然后，使用公知的阳极氧化技术至少在铝阻隔材料 240 的侧面上形成氧化铝的阳极绝缘涂层。因此，不需要额外的掩模来限定该涂层 40 的布局。

如图 13 中所示，在该阳极氧化过程中，掩模 44 可以保留在希望保护和形成非绝缘顶部连接区域 240t 的区域中。在这些区域中，只在铝阻隔图案 240 的侧面形成阳极涂层。在该阳极氧化之前，掩模 44 可以从在铝阻隔图案 240 的侧面和顶部处需要阳极涂层的区域中移除。可选择地，例如绝缘聚合物或二氧化硅或氮化物的掩模 44 可以保留在这些区域中，其中在所制造的装置中阻隔 210（240，40）顶部上希望有绝缘。

到目前为止所描述的实施方案中，导电阻隔材料 240 是厚且不透明的金属，例如，铝，铜，镍或银。但是，也可以使用其它导电材料 240，例如金属硅化物或（不太有利地）简并掺杂的（degenerately-

doped) 多晶硅, 它们都可以被表面氧化, 以形成绝缘涂层 40。如果需要透明阻隔 210, 则可以使用 ITO 作为导电阻隔材料 240。

通过阅读当前公开的内容, 其它变化和修改对于本领域熟练技术人员来说是显而易见的。这种变化和修改包括等价的及其它的特征, 这些特征在本领域中已经是公知的(例如在引用的背景参考文献中), 并且这些特征可以替代或添加这里已经描述过的特征来使用。

尽管在该特定特征组合的申请中已经阐明了权利要求, 应当理解本发明公开的范围还包括在这里明确或暗含公开的任何新颖的特征或任何新颖特征的组合或其任意的概括, 无论其是否涉及与任意权利要求中要求的一样的发明, 和是否减低与处理本发明一样的任意或全部的技术问题。

因此申请人给出提示, 在本申请或任何可以从其导出的进一步申请的申请过程中, 新的权利要求可以被描述成任何这种特征和/或这种特征的组合。

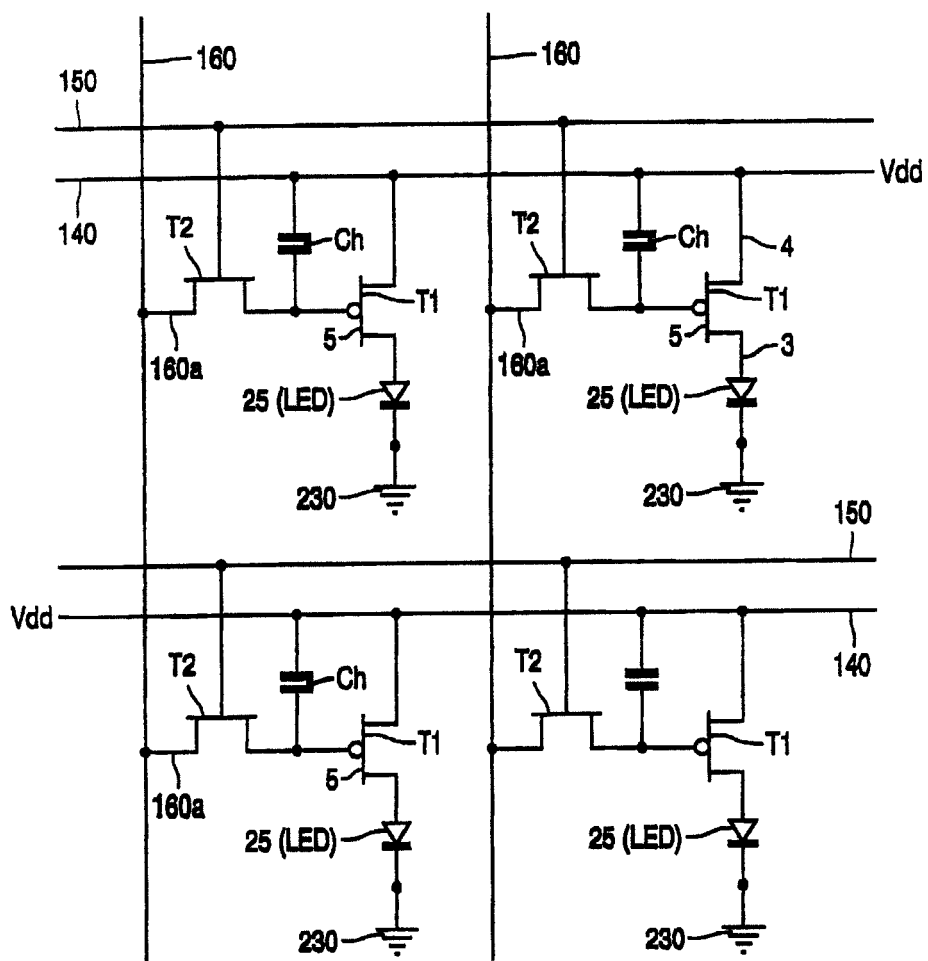


图 1

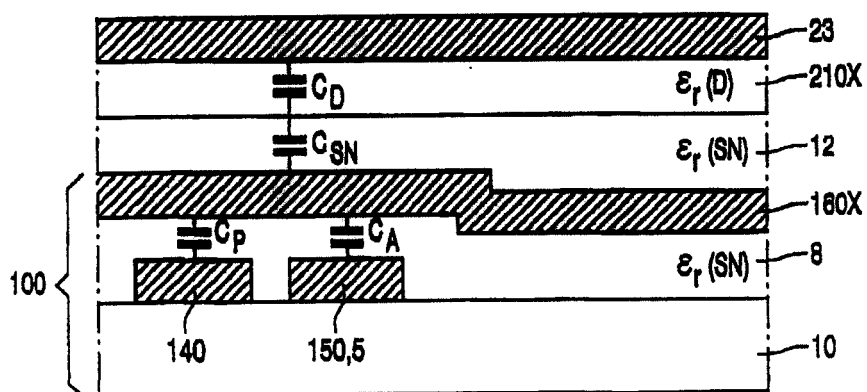
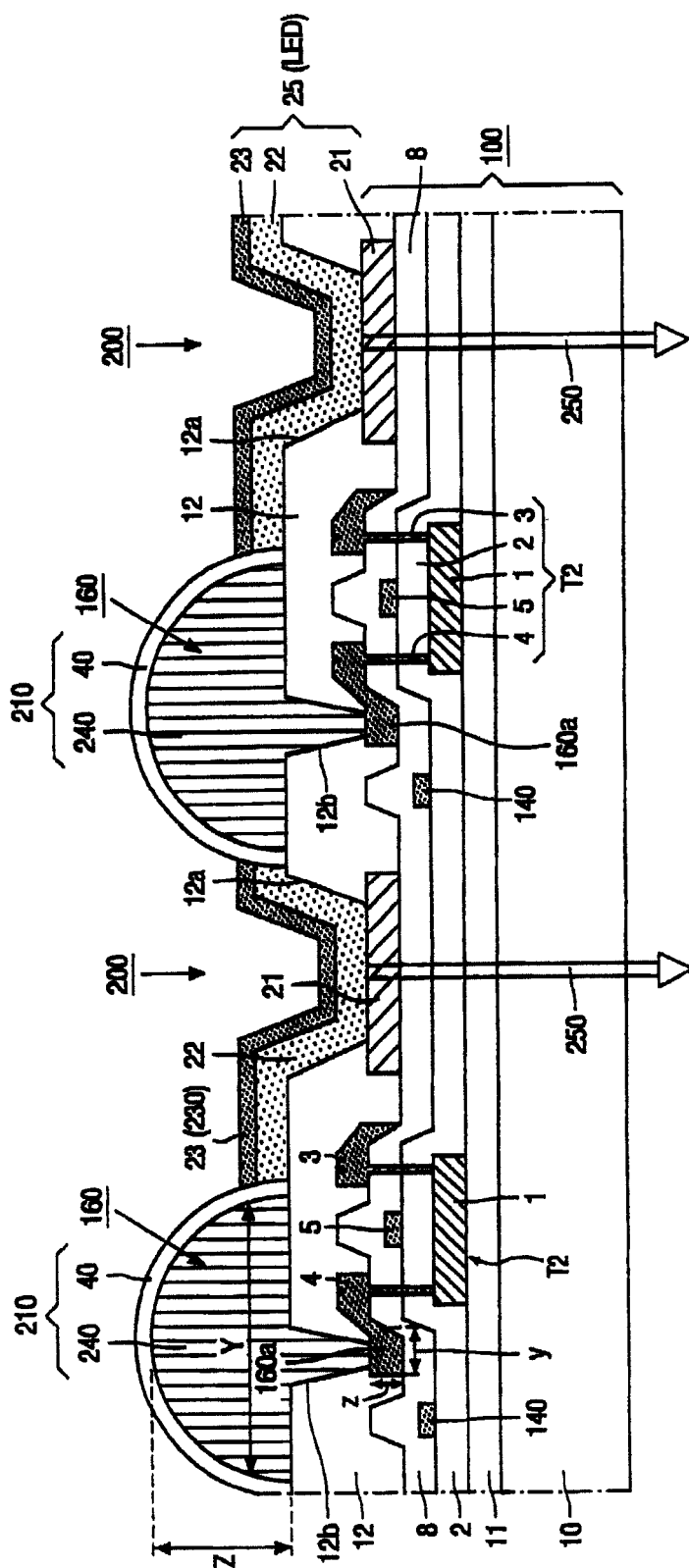


图 2



3

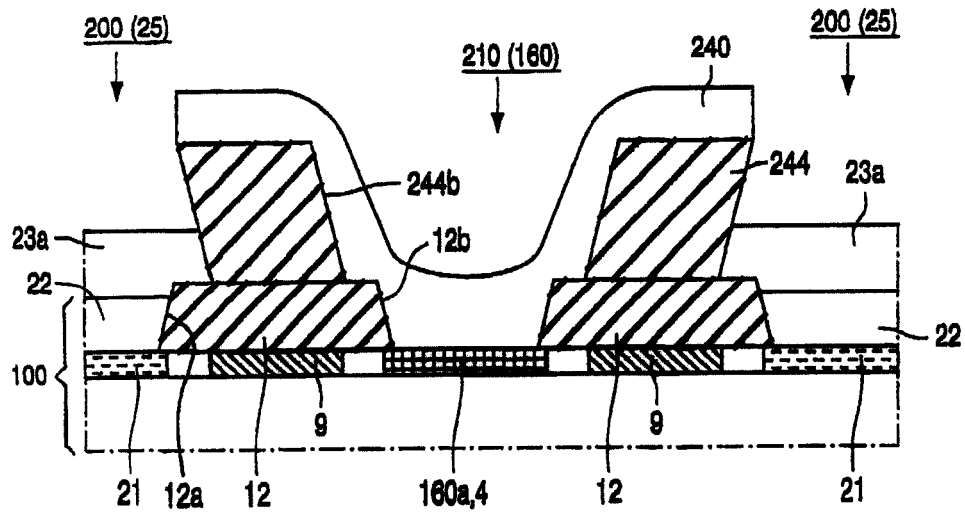


图 4

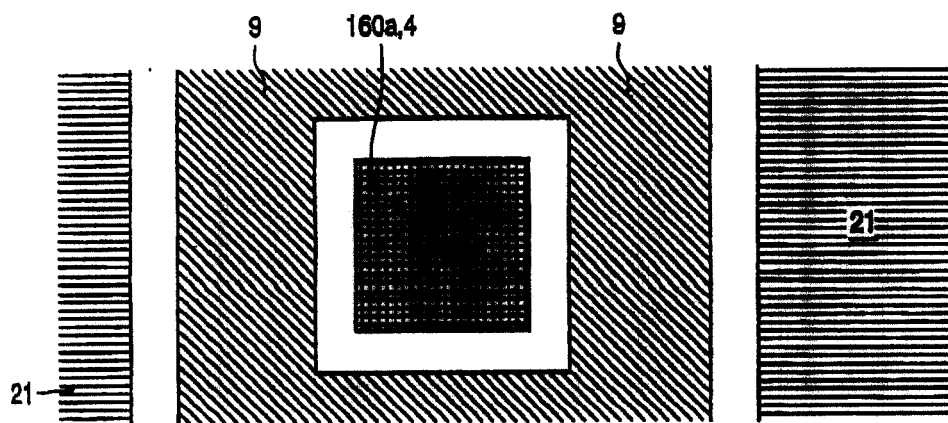


图 5

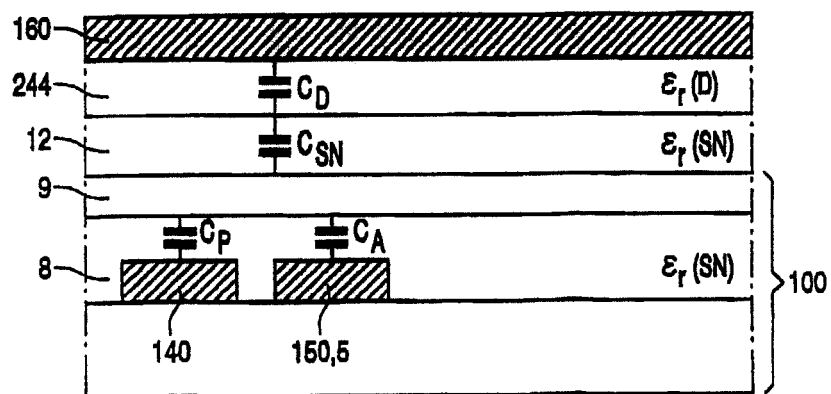


图 6

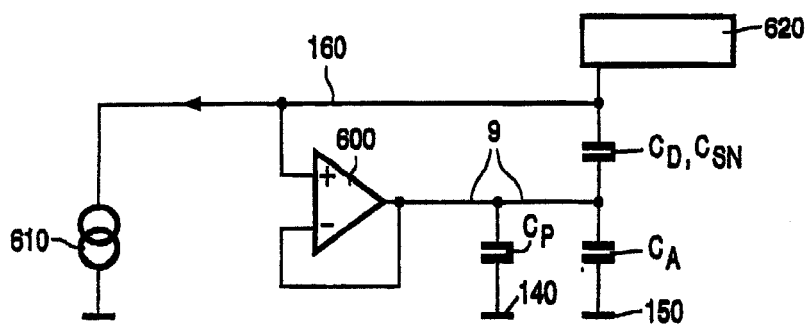


图 7

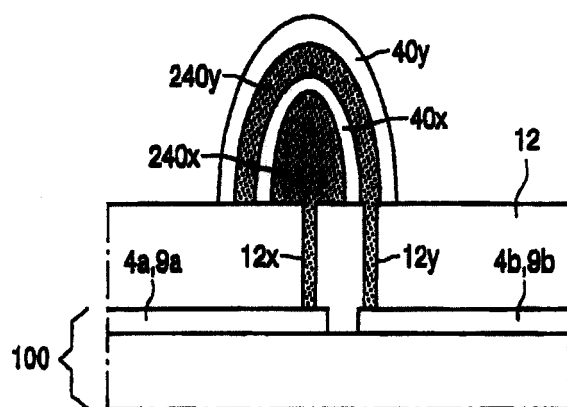


图 8

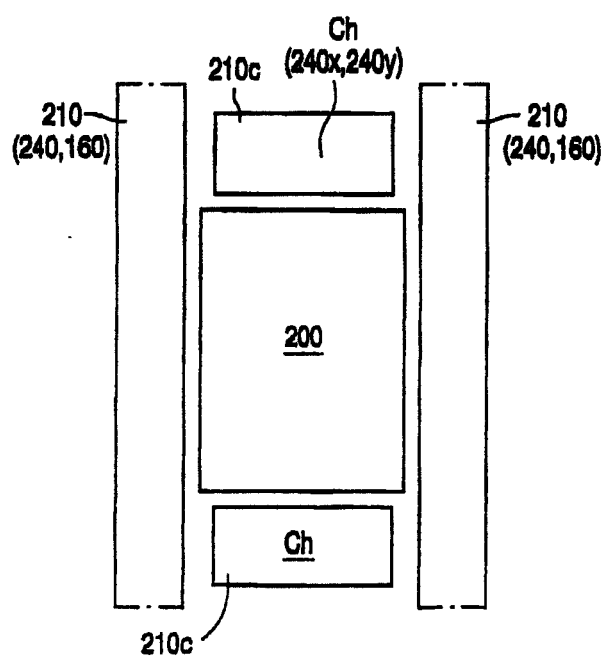


图 9

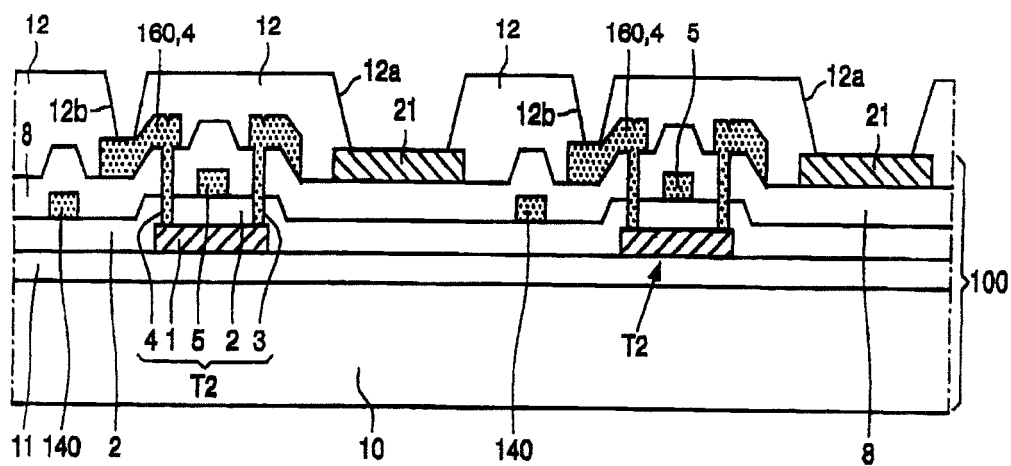


图 10

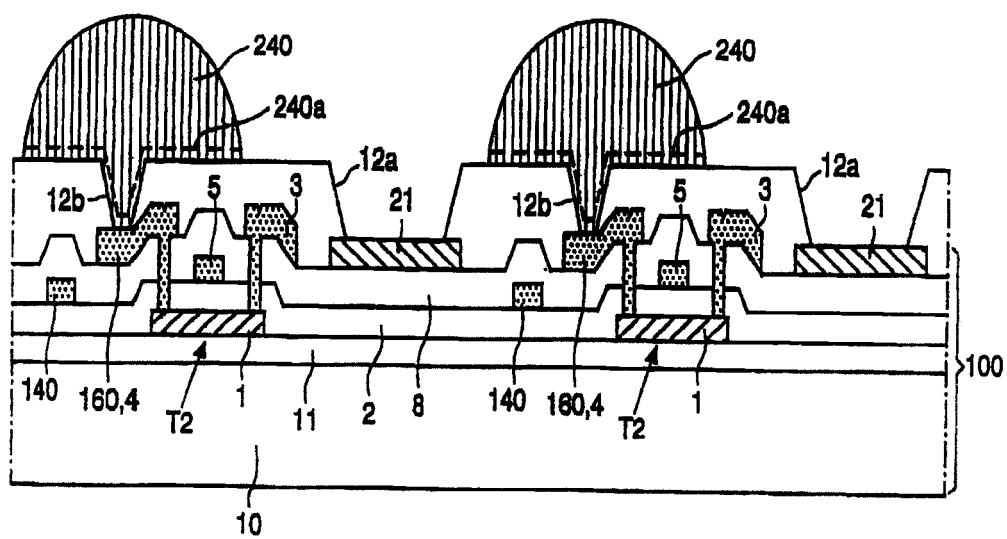


图 11

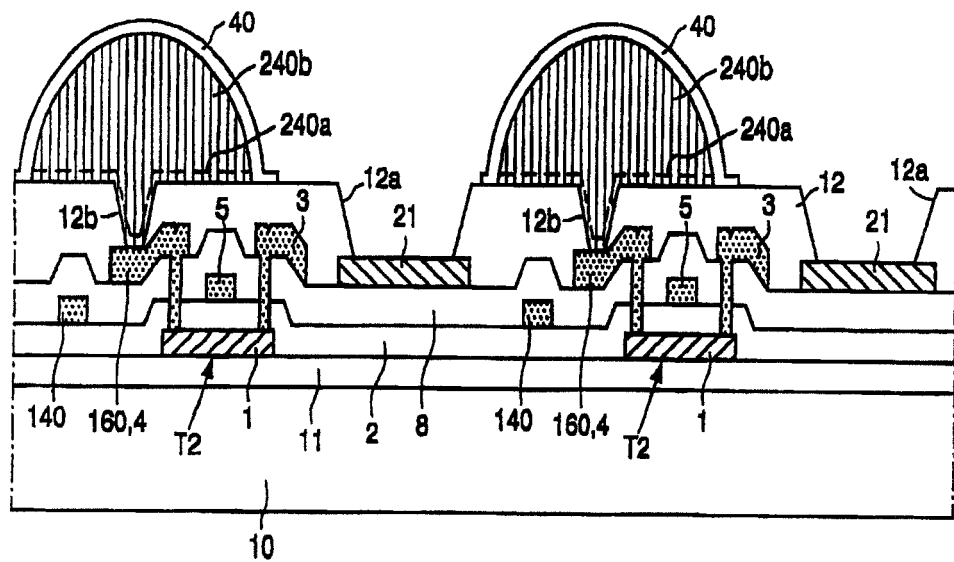


图 12

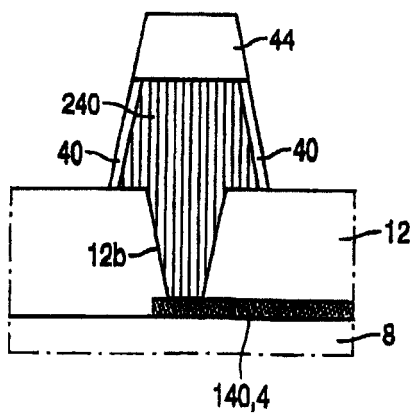


图 13

专利名称(译)	有源矩阵电致发光显示装置及其制造方法		
公开(公告)号	CN100339990C	公开(公告)日	2007-09-26
申请号	CN03806248.8	申请日	2003-02-21
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
当前申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
[标]发明人	DA菲什 MJ蔡尔滋 JR赫克托 ND杨		
发明人	D·A·菲什 M·J·蔡尔滋 J·R·赫克托 N·D·杨		
IPC分类号	H01L27/00 H05B33/22 G09F9/30 G09G3/30 H01L21/3205 H01L23/52 H01L27/32 H01L29/786 H01L51/50 H05B33/10 H05B33/12 H05B33/14		
CPC分类号	H01L27/3276 H01L27/3246 H01L27/3279 H01L27/00 H01L27/124		
代理人(译)	吴立明 梁永		
审查员(译)	赵端		
优先权	2002006551 2002-03-20 GB 2002009559 2002-04-26 GB 2002016058 2002-07-11 GB		
其他公开文献	CN1643686A		
外部链接	Espacenet SIPO		

摘要(译)

在有源矩阵电致发光显示装置，尤其具有有机半导体材料的LED(25)的有源矩阵电致发光显示装置的电路基板(100)上，在相邻像素(200)之间存在物理阻隔(210)。为了减小电路基板中的寄生电容，本发明形成具有金属或其他导电性材料(240)的这些阻隔(210)，其在比所述电路基板(100)更高的水平处提供至少部分的信号线(160)。所述导电阻隔材料(240)与所述基板(100)内的矩阵电路相连，但至少在与LED(25)邻近的侧面处是绝缘的(40)。优选地，电容间防护线(9)包含在所述信号线(160)与基板(100)中的电路之间的所述电路基板(100)中。

