

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610108993.X

[51] Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/08 (2006.01)

H05B 33/14 (2006.01)

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100476931C

[22] 申请日 2006.7.31

[21] 申请号 200610108993.X

[30] 优先权

[32] 2005.8.1 [33] KR [31] 10-2005-0070437

[73] 专利权人 三星 SDI 株式会社

地址 韩国京畿道水原市

共同专利权人 汉阳大学校产业协力团

[72] 发明人 郑宝容 柳道亨 金烘权 权五敬

[56] 参考文献

CN1581253A 2005.2.16

JP2004219623A 2004.8.5

P2003173164A 2003.6.20

KR20040071802A 2004.8.16

JP2000206935A 2000.7.28

CN1450510A 2003.10.22

WO2005/029456A1 2005.3.31

CN1573906A 2005.2.2

CN1512828A 2004.7.14

审查员 常青

[74] 专利代理机构 北京铭硕知识产权代理有限公司

代理人 韩明星 常桂珍

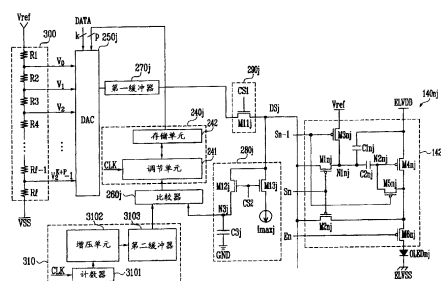
权利要求书 5 页 说明书 25 页 附图 11 页

[54] 发明名称

数据驱动电路和具有其的有机发光显示器的
驱动方法

[57] 摘要

一种用于发光显示器的数据驱动电路可包括：
伽玛电压发生器，产生等级电压；电流吸收器，在
用于驱动像素的一个完整周期的第一部分时间段
内，通过数据线从像素接收预定电流；电压发生
器，在第一部分时间段内，产生逐渐增加的比较电
压；比较器，将基于预定电流产生的补偿电压与比
较电压作比较，并基于比较的结果来产生逻辑信
号；补偿单元，基于逻辑信号来产生补偿数据；数
-模转换器，利用补偿数据和外部提供的数据来产
生合成数据，基于合成数据的位值来从多个等级电
压中选择一个作为像素的数据信号。



1、一种基于像素的 k 位的外部提供的数据来驱动发光显示器中的像素的数据驱动电路，其中，所述像素可通过数据线与所述数据驱动电路电连接，其中， k 是自然数，所述数据驱动电路包括：

伽玛电压发生器，产生多个等级电压；

电流吸收器，在用于驱动所述像素的一个完整周期的第一部分时间段内，所述电流吸收器通过所述数据线从所述像素接收预定电流，其中，所述电流吸收器包括：电流源，用于接收所述预定电流；第一晶体管，设置在所述数据线和所述比较器之间，所述第一晶体管在所述第一部分时间段内导通；第二晶体管，设置在所述数据线和所述电流源之间，所述第二晶体管在所述第一部分时间段内导通；电容器，在其中充入所述补偿电压；

电压发生器，在所述一个完整周期的第一部分时间段内，产生逐渐增加的比较电压；

比较器，将基于所述预定电流产生的补偿电压与逐渐增加的所述比较电压作比较，并基于比较的结果来产生逻辑信号；

补偿单元，基于所述逻辑信号来产生 p 位的补偿数据，其中， p 是自然数；

数-模转换器，利用 p 位的补偿数据和 k 位的外部提供的数据来产生合成数据，并基于所述合成数据的位值从所述多个等级电压中选择一个来作为所述像素的数据信号，

其中，所述预定电流的值等于或大于所述像素可用来发射最大明度的光的最小电流的值；

所述最大明度对应于当所述多个等级电压中的最大的一个施加到所述像素时的像素的明度。

2、如权利要求 1 所述的数据驱动电路，还包括：

开关单元，在所述一个完整周期的第二部分时间段内，将所选择的数据信号提供到所述数据线；

缓冲器，布置在所述数-模转换器和所述开关单元之间。

3、如权利要求 2 所述的数据驱动电路，其中，所述开关单元包括在所述第二部分时间段内导通的至少一个晶体管。

4、如权利要求3所述的数据驱动电路，其中，所述开关单元包括两个晶体管，所述两个晶体管彼此连接以形成传输门。

5、如权利要求1所述的数据驱动电路，其中，所述伽玛电压发生器产生 2^{k+p} 个等级电压。

6、如权利要求1所述的数据驱动电路，其中，所产生的合成数据是 $(k+p)$ 位的，所述数-模转换器通过采用 k 位数据作为 $(k+p)$ 位补偿数据的包括最高有效位的高位并采用 p 位补偿数据作为 $(k+p)$ 位补偿数据的包括最低有效位的低位来产生所述合成数据。

7、如权利要求1所述的数据驱动电路，其中，所述电压发生器包括：
计数器，基于在所述第一部分时间段内接收到的时钟信号来产生计数信号；

增压单元，响应来自所述计数器的所述计数信号来逐渐增加电压，并产生所述比较电压；

缓冲器，布置在所述增压单元和所述比较器之间。

8、如权利要求7所述的数据驱动电路，其中，所述补偿单元包括：

存储单元，所述存储单元暂时存储所述 p 位的补偿数据；

调节单元，所述调节单元基于所述时钟信号来增加所述 p 位补偿数据的位值，并基于所述逻辑信号将所述 p 位的补偿数据发送到所述存储单元。

9、如权利要求1所述的数据驱动电路，其中，当所述比较电压的电压值被确定为大于或等于所述 p 位补偿电压的电压值时，所述比较器产生所述逻辑信号。

10、如权利要求1所述的数据驱动电路，还包括：

移位寄存器，顺序地产生取样脉冲；

取样锁存器单元，包括至少一个取样锁存器，用于基于所述取样脉冲来接收和存储所述 k 位的外部提供的数据；

保持锁存器单元，接收存储在取样锁存器单元中的 k 位的外部提供的数据，并将存储在所述保持锁存器单元中的 k 位的外部提供的数据提供给所述数-模转换器。

11、如权利要求10所述的数据驱动电路，还包括：

电平转变单元，增大存储在所述保持锁存器中的 k 位的外部提供的数据

的电压电平，并将电压改变了的 k 位的外部提供的数据提供给所述数-模转换器。

12、一种发光显示器，包括：

像素单元，包括多个像素，所述像素连接到 n 条扫描线中的一条、多条发射控制线中的一条和多条数据线中的一条，其中 n 是整数；

扫描驱动器，所述扫描驱动器在各扫描周期内分别顺序地将 n 个扫描信号提供给 n 条扫描线，并用于分别顺序地将发射控制信号提供给所述发射控制线；

数据驱动电路，所述数据驱动电路包括：

在 n 个扫描信号中的一个施加到所述 n 条扫描线中的相应的一条的一个完整周期的第一部分时间段内，基于从所述像素流到所述数据线的预定电流来产生补偿电压；

利用所产生的补偿电压和外部提供的数据来产生多个补偿数据；

基于所产生的补偿数据从多个等级电压中选择一个；

在所述一个完整周期的第二部分时间段内，将所述多个等级电压中所选择的一个提供给各像素，

其中，所述数据驱动器包括电流吸收器，所述电流吸收器包括：电流源，用于接收所述预定电流；第一晶体管，设置在所述数据线和比较器之间，所述第一晶体管在所述第一部分时间段内导通；第二晶体管，设置在所述数据线和所述电流源之间，所述第二晶体管在所述第一部分时间段内导通；电容器，在其中充入所述补偿电压，

其中，所述预定电流的值等于或大于所述像素可用来发射最大明度的光的最小电流的值；

所述最大明度对应于当所述多个等级电压中的最大的一个施加到所述像素时的像素的明度。

13、如权利要求 12 所述的发光显示器，其中，所述像素中的一个连接到 n 条扫描线中的两条，在所述扫描周期的每个内，在所述两条扫描线中的第二条扫描线接收所述 n 个扫描信号中的相应的一个之前，所述两条扫描线中的第一条扫描线接收所述 n 个扫描信号中的相应的一个，所述像素中的每个包括：

发光器，从第一电源接收电流；

第一晶体管和第二晶体管，各具有第一电极，所述第一电极连接到与所述像素相关的相应的一条数据线，当所述两个扫描信号中的第二个扫描信号被提供时，所述第一晶体管和所述第二晶体管导通；

第三晶体管，具有与参考电源连接的第一电极和与所述第一晶体管的第二电极连接的第二电极，当所述两个扫描信号中的第一个扫描信号被提供时，所述第三晶体管导通；

第四晶体管，所述第四晶体管控制提供到所述发光器的电流的量，所述第四晶体管的第一端与所述第一电源连接；

第五晶体管，具有与所述第四晶体管的栅电极连接的第一电极和与所述第四晶体管的第二电极连接的第二电极，当所述两个扫描信号中的第一个扫描信号被提供时，所述第五晶体管导通，使得所述第四晶体管如二极管般操作。

14、如权利要求 13 所述的发光显示器，其中，所述像素中的每个还包括：

第一电容器，具有第一电极和第二电极，所述第一电极与所述第一晶体管的第二电极和所述第四晶体管的栅电极中的一个连接，所述第二电极与所述第一电源连接；

第二电容器，具有与所述第一晶体管的所述第二电极连接的第一电极和与所述第四晶体管的所述栅电极连接的第二电极。

15、如权利要求 13 所述的发光显示器，其中，所述像素中的每个还包括：

第六晶体管，具有与所述第四晶体管的所述第二电极连接的第一端和与所述有机发光二极管连接的第二端，当各发射控制信号被提供时，所述第六晶体管截止，

其中，在用于基于所选择的等级电压驱动所述像素的一个完整周期的第一部分时间段内，所述电流吸收器从所述像素接收所述预定电流，在基于所选择的等级电压来驱动所述像素的一个完整周期的所述第二部分时间段之前出现所述第一部分时间段，在用于驱动所述像素的一个完整周期的第二部分时间段内，所述第六晶体管截止。

16、一种基于像素的 k 位的外部提供的数据来驱动发光显示器的像素的方法，其中，所述像素可通过数据线与驱动电路电连接，所述方法包括：

在用于驱动所述像素的一个完整周期的第一个部分时间段内，通过所述数据线从所述像素接收预定电流，存储基于所述预定电流的电压，其中，所

述预定电流的值等于或大于所述像素可用来发射最大明度的光的最小电流的值；所述最大明度对应于当所述多个等级电压中的最大的一个施加到所述像素时的像素的明度；

在所述一个完整周期的第一部分时间段内产生逐渐增加的比较电压；

将所述存储的电压作为补偿电压与逐渐增加的所述比较电压作比较，并基于比较的结果来产生逻辑信号；

基于所述逻辑信号来产生 p 位的补偿数据，其中 p 是自然数；

利用所述 p 位的补偿数据和所述 k 位的外部提供的数据来产生合成数据，并基于所述合成数据的位值来从多个等级电压中选择一个作为所述像素的数据信号，其中 k 是自然数；

在用于驱动所述像素的所述一个完整周期的第二部分时间段内，通过所述数据线将所选择的数据信号提供到所述像素，所述第一部分时间段与所述第二部分时间段不同。

17、如权利要求 16 所述的方法，其中，产生所述逻辑信号的步骤包括：当所述比较电压的电压值被确定为等于或大于所述 p 位补偿电压的电压值时产生所述逻辑信号。

18、如权利要求 16 所述的方法，其中，所述合成数据是 $(k+p)$ 位，产生所述合成数据的步骤包括采用 k 位数据作为 $(k+p)$ 位补偿数据的包括最高有效位的高位并采用 p 位补偿数据作为 $(k+p)$ 位补偿数据的包括最低有效位的低位。

数据驱动电路和具有其的有机发光显示器的驱动方法

技术领域

本申请涉及一种数据驱动电路、采用这种数据驱动电路的发光显示器及驱动发光显示器的方法。更具体地讲，本发明涉及一种能够显示具有均匀明度（brightness）的图像的数据驱动电路、采用这种数据驱动电路的发光显示器及驱动发光显示器以显示具有均匀明度的图像的方法。

背景技术

现在正在开发平板显示器（FPD），其通常比阴极射线管（CRT）轻并且更小型化。FPD 包括液晶显示器（LCD）、场发射显示器（FED）、等离子体显示面板（PDP）和发光显示器。

发光显示器可利用有机发光二极管（OLED）来显示图像，OLED 在电子和空穴复合时产生光。发光显示器通常响应速度快、功率消耗量相对低。

图 1 示出了公知的发光显示器的结构的示意图。

如图 1 中所示，发光显示器可包括像素单元 30、扫描驱动器 10、数据驱动器 20 和时序控制器 50。像素单元 30 可包括连接到扫描线 S1~Sn 和数据线 D1~Dm 的多个像素 40。扫描驱动器 10 可驱动扫描线 S1~Sn。数据驱动器 20 可驱动数据线 D1~Dm。时序控制器 50 可控制扫描驱动器 10 和数据驱动器 20。

时序控制器 50 可基于外部提供的同步信号（未示出）来产生数据驱动控制信号 DCS 和扫描驱动控制信号 SCS。数据驱动控制信号 DCS 可提供到数据驱动器 20，扫描驱动控制信号 SCS 可提供到扫描驱动器 10。时序控制器 50 可根据外部提供的数据（未示出）向数据驱动器 20 提供数据 DATA。

扫描驱动器 10 可从时序控制器 50 接收扫描驱动控制信号 SCS。扫描驱动器 10 可基于接收到的扫描驱动控制信号 SCS 来产生扫描信号（未示出）。产生的扫描信号可通过扫描线 S1~Sn 被顺序提供到像素单元 30。

数据驱动器 20 可从时序控制器 50 接收数据驱动控制信号 DCS。数据驱动器 20 可基于接收到的数据 DATA 和数据驱动控制信号 DCS 来产生数据信

号(未示出)。与提供到扫描线 S1~Sn 的扫描信号中的每个同步地,产生的数据信号中相应的数据信号可提供到数据线 D1~Dm。

像素单元 30 可连接到第一电源 ELVDD 和第二电源 ELVSS,第一电源 ELVDD 用于向像素 40 提供第一电压 VDD,第二电源 ELVSS 用于向像素 40 提供第二电压 VSS。像素 40 与第一电压 VDD 信号和第二电压 VSS 信号一起,可根据相应的数据信号来控制流过各 OLED 的电流。因此,像素 40 可基于第一电压 VDD 信号、第二电压 VSS 信号和数据信号来产生光。

在公知的发光显示器中,像素 40 中的每个可包括像素电路,像素电路包括用于选择性提供各数据信号和各扫描信号的至少一个晶体管,其中,各扫描信号用于选择性地选通和断开发光显示器的各像素 40。

发光显示器中的各像素 40 响应各数据信号的不同值来产生预定明度的光。例如,当相同的数据信号施加到显示器的所有像素 40 时,通常理想的是显示器的所有像素 40 产生相同的明度。然而,各像素 40 产生的明度不仅取决于数据信号,还取决于各像素 40 的特性例如像素电路中的各晶体管的阈值电压。

通常,各晶体管的阈值电压和/或电子迁移率存在差异,这使得不同的晶体管具有不同的阈值电压和电子迁移率。晶体管的特性也可随着时间和/或使用而改变。例如,晶体管的阈值电压和电子迁移率会取决于晶体管的导通/截止的经历。

因此,在发光显示器中,各像素响应各数据信号产生的明度取决于可包括在各像素电路中的晶体管的特性。阈值电压和电子迁移率的这种变化可干扰或阻碍显示均匀图像。因此,阈值电压和电子迁移率的这种变化还可阻碍具有期望明度的图像的显示。

虽然通过控制像素 40 中的像素电路的结构来至少部分补偿晶体管的阈值电压的差异是可能的,但是仍然需要能够补偿电子迁移率变化的电路和方法。也期望不管电子迁移率的变化如何都能够显示具有均匀明度的图像的 OLED。

发明内容

本发明因此提供了一种数据驱动电路和使用该数据驱动电路的发光显示器,其基本克服了由于相关领域的限制和缺点而导致的一个或多个问题。

因此,本发明实施例的一个特征在于提供了一种能够驱动发光显示器的像素以显示具有均匀明度的图像的数据驱动电路,和使用该数据驱动电路的发光显示器,以及驱动该发光显示器的方法。

本发明的以上和其它特征和优点中的至少一个可通过提供一种基于像素的 k 位外部提供的数据来驱动发光显示器的像素的数据驱动电路来实现,其中 k 为自然数,其中,像素通过数据线与驱动电路可电连接,数据驱动电路包括:伽玛电压发生器,产生多个等级电压;电流吸收器,在用于驱动像素的一个完整周期的第一部分时间段内,通过数据线从像素接收预定电流;电压发生器,在一个完整周期的第一部分时间段内,产生逐渐增加的比较电压;比较器,将基于预定电流产生的补偿电压与逐渐增加的比较电压作比较,并基于比较的结果来产生逻辑信号;补偿单元,基于逻辑信号来产生 p 位的补偿数据,其中 p 为自然数;数-模转换器,利用 p 位的补偿数据和 k 位的外部提供的数据来产生合成数据,并基于合成数据的位值来从多个等级电压中选择一个作为像素的数据信号。

数据驱动电路可包括:开关单元,在一个完整周期的第二部分时间段内,将所选择的数据信号提供到数据线;缓冲器,布置在数-模转换器和开关单元之间。伽玛电压发生器可产生 2^{k+p} 个等级电压。产生的合成数据可以是 $(k+p)$ 位的,数-模转换器可通过采用 k 位数据作为 $(k+p)$ 位补偿数据的包括最高有效位的高位并采用 p 位补偿数据作为 $(k+p)$ 位补偿数据的包括最低有效位的低位来产生合成数据。

电流吸收器可包括:电流源,用于接收预定的电流;第一晶体管,设置在数据线和比较器之间,第一晶体管在第一部分时间段内导通;第二晶体管,设置在数据线和电流源之间,第二晶体管在第一部分时间段内导通;电容器,在其中充入补偿电压。

预定电流的值可等于或大于像素可用来发出最大明度的光的最小电流的值,最大的明度可对应于当多个等级电压中的最大的一个施加到像素时像素的明度。电压发生器可包括:计数器,计数器可基于在第一部分时间段内接收的时钟信号来产生计数信号;增压单元,可响应来自计数器的计数信号来逐渐增加电压,并产生比较电压;缓冲器,布置在增压单元和比较器之间。补偿单元可包括:存储单元,存储单元可暂时存储 p 位的补偿数据;调节单元,调节单元可基于时钟信号来增加 p 位补偿数据的位值,并基于逻辑信号

将 p 位的补偿数据发送到存储单元。当比较电压的电压值被确定为大于或等于 p 位补偿电压的电压值时，比较器可产生逻辑信号。

开关单元可包括在第二部分时间段内导通的至少一个晶体管。开关单元可包括两个晶体管，这两个晶体管彼此连接以形成传输门。数据驱动电路还可包括：移位寄存器，可顺序地产生取样脉冲；取样锁存器单元，包括至少一个取样锁存器，用于基于取样脉冲来接收和存储 k 位的外部提供的数据；保持锁存器单元，可接收存储在取样锁存器单元中的 k 位的外部提供的数据，并将存储在保持锁存器单元中的 k 位的外部提供的数据提供给数-模转换器。数据驱动电路可包括电平转变单元，电平转变单元可增加存储在保持锁存器单元中的 k 位的外部提供的数据的电压电平，并将电压转变了的 k 位外部提供的数据提供给数-模转换器。

本发明的以上和其它特征和优点的至少一个通过提供一种发光显示器来单独地实现，该发光显示器包括：像素单元，包括多个像素，像素连接到 n 条扫描线中的一条、多条发射控制线中的一条和多条数据线中的一条，其中 n 是整数；扫描驱动器，扫描驱动器在各扫描周期内分别顺序地将 n 个扫描信号提供给 n 条扫描线，并分别顺序地将发射控制信号提供给发射控制线；数据驱动电路，在 n 个扫描信号中的一个被施加到 n 条扫描线中的相应的一条的一个完整周期的第一部分时间段内，数据驱动电路可基于分别从像素流向数据线的电流来产生补偿电压，在一个完整周期的第二部分时间段内，利用产生的补偿电压和外部提供的数据来产生多个补偿数据，并基于产生的补偿数据从多个等级电压中选择一个，并且将多个等级电压中所选择的一个提供到各像素。

像素中的每个可与 n 条扫描线中的两条连接，在扫描周期的每个内，在两条扫描线中的第二条扫描线接收 n 个扫描信号中相应的一个之前，两条扫描线中的第一条扫描线接收 n 个扫描信号中相应的一个，像素的每个可包括：发光器，从第一电源接收电流；第一晶体管和第二晶体管，各具有第一电极，第一电极连接到与像素相关的相应的一条数据线，当两个扫描信号中的第二个扫描信号被提供时，第一晶体管和第二晶体管导通；第三晶体管，具有与参考电源连接的第一电极和与第一晶体管的第二电极连接的第二电极，当两个扫描信号中的第一个扫描信号被提供时，第三晶体管导通；第四晶体管，可控制提供到发光器的电流的量，第四晶体管的第一端与第一电源连接；第

五晶体管，具有与第四晶体管的栅电极连接的第一电极和与第四晶体管的第二电极连接的第二电极，当所述两个扫描信号中的第一个扫描信号被提供时第五晶体管导通，使得第四晶体管如二极管般操作。

像素中的每个还可包括：第一电容器，具有第一电极和第二电极，第一电极与第一晶体管的第二电极和第四晶体管的栅电极中的一个连接，第二电极与第一电源连接；第二电容器，具有与第一晶体管的第二电极连接的第一电极和与第四晶体管的栅电极连接的第二电极。像素中的每个还可包括：第六晶体管，具有与第四晶体管的第二电极连接的第一端和与有机发光二极管连接的第二端，当各发射控制信号被提供时，第六晶体管截止，其中，在用于基于所选择的等级电压驱动像素的一个完整周期的第一部分时间段内，电流吸收器从像素接收预定电流，在基于所选择的等级电压来驱动像素的一个完整周期的第二部分时间段之前出现第一部分时间段，在用于驱动像素的一个完整周期的第二部分时间段内，第六晶体管截止。

本发明的以上和其它特征和优点的至少一个可通过提供一种基于像素的 k 位的外部提供的数据驱动发光显示器中的像素的方法来单独地实现，其中，像素通过数据线与驱动电路可电连接，该方法可包括：在用于驱动像素的一个完整周期的第一个部分时间段内，通过数据线从像素接收预定电流；在一个完整周期的第一部分时间段内产生逐渐增加的比较电压；将基于预定电流产生的补偿电压与逐渐增加的比较电压作比较，并基于比较的结果来产生逻辑信号；基于逻辑信号来产生 p 位的补偿数据，其中 p 是自然数；利用 p 位的补偿数据和 k 位的外部提供的数据来产生合成数据，并基于合成数据的位值来从多个等级电压中选择一个作为像素的数据信号，其中 k 是自然数；在用于驱动像素的一个完整周期的第二部分时间段内，通过数据线将所选择的数据信号提供到像素，第一部分时间段与第二部分时间段不同。

产生逻辑信号的步骤可包括：当比较电压的电压值被确定为等于或大于 p 位补偿电压的电压值时产生逻辑信号。合成数据可以是 $(k+p)$ 位，产生合成数据的步骤可包括：采用 k 位数据 DATA 作为 $(k+p)$ 位补偿数据的包括最高有效位的高位并采用 p 位补偿数据作为 $(k+p)$ 位补偿数据的包括最低有效位的低位。

通过参照附图的对本发明示例性实施例的详细描述，本发明的这些和其它特征和优点对于本领域的普通技术人员变得显而易见，在附图中：

图 1 示出了公知的发光显示器的示意图；

图 2 示出了根据本发明实施例的发光显示器的示意图；

图 3 示出了在图 2 中示出的发光显示器中可采用的一个示例性像素的电路图；

图 4 示出了驱动图 3 中示出的像素可采用的示例性波形；

图 5 示出了在图 2 中示出的发光显示器中可采用的另一个示例性像素的电路图；

图 6 示出了图 2 中示出的数据驱动电路的第一实施例的框图；

图 7 示出了图 2 中示出的数据驱动电路的第二实施例的框图；

图 8 示出了将图 3 中示出的像素和图 6 中示出的电压发生器、数-模转换器、第一缓冲器、伽玛电压发生器、比较器、补偿单元、开关单元、电流吸收单元连接的连接方案的示意图；

图 9 示出了图 8 中的电压发生单元产生的电压的一般模式；

图 10 示出了驱动图 8 中示出的像素、开关单元和电流吸收单元可采用的示例性波形；

图 11 示出了采用开关单元的另一实施例的图 8 中示出的连接方案；

图 12 是用于示出将图 5 中示出的像素与图 6 中示出的伽玛电压单元、数据驱动电路的电压发生单元、用于发光显示器的各通道/列的数-模转换器、第一缓冲器、比较器、补偿单元、开关单元、电流吸收单元连接的连接方案的第二实施例的示意图。

具体实施方式

2005 年 8 月 1 日在韩国知识产权局提交的名为“数据驱动电路和采用该数据驱动电路的有机发光显示器的驱动方法”的第 2005-0070437 号韩国专利申请，通过引用完全包含于此。

现在，将在下文中参照附图来更充分地描述本发明，在附图中示出了本发明的示例性实施例。然而，本发明可以以不同的形式来实施，不应该被理解为受限于这里提出的实施例。相反，提供这些事实例，使得该公开将是彻底和完全的，并将本发明的范围充分地传达给本领域的技术人员。相同的标

号始终表示相同的元件。

在下文中，将参照图 2 至图 12 来描述本发明的示例性实施例。在采用本发明的一个或多个方面的数据驱动电路和方法中，基于从各像素提供到电流吸收器的电流可产生补偿电压，补偿电压可用于产生补偿数据。产生的补偿数据和外部提供的数据可用于产生合成数据。随后，合成数据可用于从多个等级电压中选择一个等级电压，从而使得不管晶体管的特性例如阈值电压、迁移率如何都能够显示具有均匀明度的图像。

图 2 示出了根据本发明实施例的发光显示器的示意图。

如图 2 中所示，发光显示器可包括扫描驱动器 110、数据驱动器 120、像素单元 130 和时序控制器 150。像素单元 130 可包括多个像素 140。像素单元 130 可包括例如布置成 n 行、 m 列的 $n \times m$ 个像素 140，其中， n 和 m 都可以是整数。像素 140 可连接到扫描线 $S1 \sim Sn$ 、发射控制线 $E1 \sim En$ 和数据线 $D1 \sim Dm$ 。像素 140 可分别形成在由发射控制线 $E1 \sim En$ 和数据线 $D1 \sim Dm$ 分隔的区域中。扫描驱动器 110 可驱动扫描线 $S1 \sim Sn$ 和发射控制线 $E1 \sim En$ 。数据驱动器 120 可驱动数据线 $D1 \sim Dm$ 。时序控制器 150 可控制扫描驱动器 110 和数据驱动器 120。数据驱动器 120 可包括一个或多个数据驱动电路 200。

时序控制器 150 可响应外部提供的同步信号（未示出）来产生数据驱动控制信号 DCS 和扫描驱动控制信号 SCS。由时序控制器 150 产生的数据驱动控制信号 DCS 可提供到数据驱动器 120。由时序控制器 150 产生的扫描驱动控制信号 SCS 可提供到扫描驱动器 110。时序控制器 150 可根据外部提供的数据（未示出）来向数据驱动器 120 提供数据 DATA。

扫描驱动器 110 可从时序控制器 150 接收扫描驱动控制信号 SCS。扫描驱动器 110 可基于接收到的扫描驱动控制信号 SCS 来产生扫描信号 $SS1 \sim SSn$ ，并可分别顺序地向扫描线 $S1 \sim Sn$ 提供扫描信号 $SS1 \sim SSn$ 。扫描驱动器 110 可顺序地向发射控制线 $E1 \sim En$ 提供发射控制信号 $ES1 \sim ESn$ 。可提供发射控制信号 $ES1 \sim ESn$ 中的每个，例如可提供从低电压信号改变到高电压信号的发射控制信号，使得“选通”发射控制信号例如高电压信号与扫描信号 $SS1 \sim SSn$ 中的至少两个至少部分叠置。因此，在本发明的实施例中，发射控制信号 $ES1 \sim ESn$ 的脉宽可等于或大于扫描信号 $SS1 \sim SSn$ 的脉宽。

数据驱动器 120 可从时序控制器 150 接收数据驱动控制信号 DCS。数据驱动器 120 可基于接收到的数据驱动控制信号 DCS 和数据 DATA 来产生数据

信号 DS1~DSm。与施加到扫描线 S1~Sn 的扫描信号 SS1~SSn 同步地,产生的数据信号 DS1~DSm 可被提供到数据线 D1~Dm。例如,当第一个扫描信号 SS1 被提供时,所产生的与像素 140 (1) (1~m) 对应的数据信号 DS1~DSm 可通过数据线 D1~Dm 同步地提供到在第 1 行中的第 1 个像素至第 m 个像素,当第 n 个扫描信号 SSn 被提供时,所产生的与像素 140 (n) (1~m) 对应的数据信号 DS1~DSm 可通过数据线 D1~Dm 同步地提供到在第 n 行中的第 1 个像素至第 m 个像素。

在用于驱动一个或多个像素 140 的一个水平周期 1H 的第一时间段内,数据驱动器 120 可向数据线 D1~Dm 提供预定电流。例如,一个水平周期 1H 可对应于与为了驱动各像素 140 提供到各像素 140 的扫描信号 SS1~SSn 中的一个以及数据信号 DS1~DSm 中相应的一个相关的完整周期。在一个水平周期的第二时间段内,数据驱动器 120 可向数据线 D1~Dm 提供预定的电压。例如,一个水平周期 1H 可对应于与为了驱动各像素 140 提供到各像素 140 的扫描信号 SS1~SSn 中的一个以及数据信号 DS1~DSm 中相应的一个相关的完整周期。在本发明的实施例中,数据驱动器 120 可包括至少一个数据驱动电路 200,数据驱动电路 200 用于在一个水平周期 1H 的第一时间段和第二时间段内提供这种预定的电流和预定的电压。在下面的描述中,在第二时间段内会提供到数据线 D1~Dm 的预定电压将被表示为数据信号 DS1~DSm。

像素单元 130 可被连接到第一电源 ELVDD、第二电源 ELVSS 和参考电源 ELVref(未示出),其中,第一电源 ELVDD 向像素 140 提供第一电压 VDD,第二电源 ELVSS 向像素 140 提供第二电压 VSS,参考电源 ELVref 向像素 140 提供参考电压 Vref。第一电源 ELVDD、第二电源 ELVSS 和参考电源 ELVref 可由外部提供。像素 140 可接收第一电压 VDD 信号和第二电压 VSS 信号,并可根据数据信号 DS1~DSm 来控制流过各发光器件/材料例如 OLED 的电流,其中,数据信号 DS1~DSm 可由数据驱动器 120 提供到像素 140。因此,像素 140 可对应于接收到的数据 DATA 来产生光分量。

像素 140 中的一些或全部可分别从第一电源 ELVDD、第二电源 ELVSS 和参考电源 ELVref 接收第一电压 VDD 信号、第二电压 VSS 信号和参考电压 Vref 信号。像素 140 可利用参考电压 Vref 信号来补偿阈值电压和/或第一电压 VDD 信号的压降。补偿的量可基于分别由参考电源 ELVref 和第一电源 ELVDD 提供的参考电压 Vref 信号和第一电压 VDD 信号的电压值之间的差。

像素 140 可响应各数据信号 DS1~DSm 提供从第一电源 ELVDD 经过例如 OLED 到第二电源 ELVSS 的各电流。在本发明的实施例中，像素 140 的每个可具有例如图 3 或图 5 中示出的结构。

图 3 示出了在图 2 示出的发光显示器中可采用的第 nm 个示例性像素 140nm 的电路图。为了简便起见，图 3 示出了第 nm 个像素，该第 nm 个像素可为在第 n 行的扫描线 Sn 和第 m 列数据线 Dm 的交叉处设置的像素。第 nm 个像素 140nm 可连接到第 m 条数据线 Dm、第 n-1 条扫描线 Sn-1、第 n 条扫描线 Sn 和第 n 条发射控制线 En。为了简便起见，图 3 仅示出了一个示例性像素 140nm。在本发明的实施例中，示例性像素 140nm 的结构可用于发光显示器的所有像素 140 或部分像素 140。

参照图 3，第 nm 个像素 140nm 可包括发光材料/器件例如 OLEDnm 以及用于向相关发光材料/器件提供电流的第 nm 个像素电路 142nm。

第 nm 个 OLEDnm 可响应第 nm 个像素电路 142nm 提供的电流来产生预定颜色的光。第 nm 个 OLEDnm 可由例如有机材料、荧光体材料和/或无机材料形成。

在本发明的实施例中，第 nm 个像素电路 142nm 可产生补偿电压，用于补偿在像素 140 之中和/或像素 140 内的变化，使得像素 140 可显示具有均匀明度的图像。在各扫描周期中，第 nm 个像素电路 142nm 可利用扫描信号 SS1~SSn 中的前一个提供的扫描信号来产生补偿电压。在本发明的实施例中，一个扫描周期可对应于被顺序提供的扫描信号 SS1~SSn。因此，在本发明的实施例中，在各周期内，在提供第 n 个扫描信号 SSn 之前可先提供第 n-1 个扫描信号 SSn-1，并且当第 n-1 个扫描信号 SSn-1 被提供到发光显示器的第 n-1 条扫描信号线时，第 nm 个像素电路 142nm 可采用第 n-1 个扫描信号 SSn-1 来产生补偿电压。例如，在第二列中的第二像素即 2-2 像素 140₂₂ 可利用第一扫描信号 SS1 来产生补偿电压。

补偿电压可补偿源电压信号的压降和/或由第 nm 个像素电路 142nm 中的晶体管的阈值电压导致的压降。例如，基于补偿电压，第 nm 个像素电路 142nm 可补偿晶体管的阈值电压例如像素电路 142nm 中的第四晶体管 M4nm 的阈值电压和/或第一电压 VDD 信号的压降，其中，补偿电压可利用在相同扫描周期内的前一个提供的扫描信号来产生。

在本发明的实施例中，当第 n-1 个扫描信号 SSn-1 被提供到第 n-1 条扫描

线 S_{n-1} 时, 像素电路 142nm 可补偿第四晶体管 M_{4nm} 的阈值电压和第一电源 ELVDD 的压降, 并且当第 n 个扫描信号 SS_n 被提供到第 n 条扫描线 S_n 时, 像素电路 142nm 可充入与数据信号对应的电压。在本发明的实施例中, 像素电路 142nm 可包括第一晶体管 M_{1nm} 至第六晶体管 M_{6nm} 、第一电容器 C_{1nm} 和第二电容器 C_{2nm} , 用于产生补偿电压并驱动发光材料/器件。

第一晶体管 M_{1nm} 的第一电极可与数据线 D_m 连接, 第一晶体管 M_{1nm} 的第二电极可与第一节点 N_{1nm} 连接。第一晶体管 M_{1nm} 的栅电极可连接到第 n 条扫描线 S_n 。当第 n 个扫描信号 SS_n 被提供到第 n 条扫描线 S_n 时, 第一晶体管 M_{1nm} 可导通。当第一晶体管 M_{1nm} 导通时, 数据线 D_m 可与第一节点 N_{1nm} 电连接。

第一电容器 C_{1nm} 的第一电极可与第一节点 N_{1nm} 连接, 第一电容器 C_{1nm} 的第二电极可与第一电源 ELVDD 连接。

第二晶体管 M_{2nm} 的第一电极可与数据线 D_m 连接, 第二晶体管 M_{2nm} 的第二电极可与第四晶体管 M_{4nm} 的第二电极连接。第二晶体管 M_{2nm} 的栅电极可与第 n 条扫描线 S_n 连接。当第 n 个扫描信号 SS_n 被提供到第 n 条扫描线时, 第二晶体管 M_{2nm} 可导通。当第二晶体管 M_{2nm} 导通时, 数据线 D_m 可被电连接到第四晶体管 M_{4nm} 的第二电极。

第三晶体管 M_{3nm} 的第一电极可与参考电源 ELVref 连接, 第三晶体管 M_{3nm} 的第二电极可与第一节点 N_{1nm} 连接。第三晶体管 M_{3nm} 的栅电极可与第 $n-1$ 条扫描线 S_{n-1} 连接。当第 $n-1$ 个扫描信号被提供到第 $n-1$ 条扫描线 S_{n-1} 时, 第三晶体管 M_{3nm} 可导通。当第三晶体管 M_{3nm} 导通时, 参考电压 V_{ref} 可与第一节点 N_{1nm} 电连接。

第四晶体管 M_{4nm} 的第一电极可与第一电源 ELVDD 连接, 第四晶体管 M_{4nm} 的第二电极可与第六晶体管 M_{6nm} 的第一电极连接。第四晶体管 M_{4nm} 的栅电极可与第二节点 N_{2nm} 连接。

第二电容器 C_{2nm} 的第一电极可与第一节点 N_{1nm} 连接, 第二电容器 C_{2nm} 的第二电极可与第二节点 N_{2nm} 连接。

在本发明的实施例中, 当第 $n-1$ 个扫描信号 SS_{n-1} 被提供时, 第一电容器 C_{1nm} 和第二电容器 C_{2nm} 可被充电。具体地讲, 第一电容器 C_{1nm} 和第二电容器 C_{2nm} 可被充电, 第四晶体管 M_{4nm} 可将与第二节点 N_{2nm} 处的电压对应的电流提供到第六晶体管 M_{6nm} 的第一电极。

第五晶体管 M5nm 的第二电极可与第二节点 N2nm 连接, 第五晶体管 M5nm 的第一电极可与第四晶体管 M4nm 的第二电极连接。第五晶体管 M5nm 的栅电极可与第 n-1 条扫描线 Sn-1 连接。当第 n-1 个扫描信号 SSn-1 提供到第 n-1 条扫描线 Sn-1 时, 第五晶体管 M5nm 可导通, 使得电流流过第四晶体管 M4nm。因此, 第四晶体管 M4nm 可如二极管般操作。

第六晶体管 M6nm 的第一电极可与第四晶体管 M4nm 的第二电极连接, 第六晶体管 M6nm 的第二电极可与第 nm 个 OLEDnm 的阳极连接。第六晶体管 M6nm 的栅电极可与第 n 条发射控制线 En 连接。当发射控制信号 ESn 例如高电压信号被提供到第 n 条发射控制线 En 时, 第六晶体管 M6nm 可截止, 而当没有发射控制信号被提供到第 n 条发射控制线 En 时, 例如当低电压信号被提供到第 n 条发射控制线 En 时, 第六晶体管 M6nm 可导通。

在本发明的实施例中, 提供到第 n 条发射控制线 En 的发射控制信号 ESn 可被提供, 以与第 n-1 个扫描信号 SSn-1 和第 n 个扫描信号 SSn 至少部分叠置, 其中, 第 n-1 个扫描信号 SSn-1 可被提供到第 n-1 条扫描线 Sn-1, 第 n 个扫描信号 SSn 可被提供到第 n 条扫描线 Sn。因此, 当第 n-1 个扫描信号 SSn-1 例如低电压被提供到第 n-1 条扫描线 Sn-1 和第 n 个扫描信号 SSn 例如低电压被提供到第 n 条扫描线 Sn 时, 第六晶体管 M6nm 可截止, 使得预定电压可充入第一电容器 C1nm 和第二电容器 C2nm。在其它时间段内, 第六晶体管 M6nm 可导通, 从而使第四晶体管 M4nm 和第 nm 个 OLEDnm 彼此电连接。在图 3 中示出的示例性实施例中, 晶体管 M1nm~M6nm 是 PMOS 型晶体管, 当低电压信号被提供到各栅电极时, 晶体管 M1nm~M6nm 可导通, 当高电压信号被提供到各栅电极时, 晶体管 M1nm~M6nm 可截止。然而, 本发明不限于 PMOS 器件。

在图 3 示出的像素中, 因为参考电源 ELVref 不向像素 140 提供电流, 所以不会发生参考电压 Vref 的压降。因此, 不管像素 140 的位置如何, 都能够保持参考电压 Vref 信号的电压值一致。在本发明的实施例中, 参考电压 Vref 的电压值可与第一电压 ELVDD 相等或不同。

图 4 示出了驱动图 3 中示出的示例性的第 nm 个像素 140nm 可采用的示例性波形。如图 4 中所示, 用于驱动第 nm 个像素 140nm 的各水平周期 1H 可分为第一时间段和第二时间段。在第一时间段内, 预定电流 (PC) 可分别流过数据线 D1~Dm。在第二时间段内, 数据信号 DS1~DSm 可通过数据线

D1~Dm 被提供到各像素 140。在第一时间段内, 各 PC 可从各像素 140 被提供到数据驱动电路 200, 其中, 数据驱动电路 200 能够至少部分用作电流吸收器。在第二时间段内, 数据信号 DS1~DSm 可从数据驱动电路 200 被提供到像素 140。为了简便起见, 在下面的描述中, 将假设至少在最初, 即在像素 140 的操作可导致任何压降之前, 参考电压 Vref 信号的电压值等于第一电压 VDD 信号的电压值。

将参照图 3 和图 4 来详细描述操作像素 140 中的第 nm 个像素 140nm 的第 nm 个像素电路 142nm 的示例性方法。首先, 第 n-1 个扫描信号 SSn-1 可被提供到第 n-1 条扫描线 Sn-1, 以控制可与第 n-1 条扫描线 Sn-1 连接的 m 个像素的选通操作/关断操作。当扫描信号 SSn-1 被提供到第 n-1 条扫描线 Sn-1 时, 第 nm 个像素 140nm 的第 nm 个像素电路 142nm 中的第三晶体管 M3nm 和第五晶体管 M5nm 可导通。当第五晶体管 M5nm 导通时, 电流可流过第四晶体管 M4nm, 使得第四晶体管 M4nm 可如二极管般操作。当第四晶体管 M4nm 如二极管般操作时, 第二节点 N2nm 的电压值可对应于第一电源 ELVDD 提供的第一电压 VDD 信号的电压与第四晶体管 M4nm 的阈值电压之间的差。

更具体地讲, 当第三晶体管 M3nm 导通时, 来自参考电源 ELVref 的参考电压 Vref 信号可被提供到第一节点 N1nm。第二电容器 C2nm 可被充以与第一节点 N1nm 和第二节点 N2nm 之间的差对应的电压。在本发明的实施例中, 来自参考电源 ELVref 的参考电压 Vref 信号和来自第一电源 ELVDD 的第一电压 VDD 可至少初始地相等, 即在像素 140 的操作期间可导致任何压降之前可相等, 与第四晶体管 M4nm 的阈值电压对应的电压可充入第二电容器 C2nm。在第一电压 VDD 信号的预定压降发生的本发明的实施例中, 第四晶体管 M4nm 的阈值电压和与第一电源 ELVDD 的压降的大小对应的电压可被充入第二电容器 C2nm。

在本发明的实施例中, 在第 n-1 个扫描信号 SSn-1 可被提供到第 n-1 条扫描线 Sn-1 的时间段内, 与第四晶体管 M4nm 的阈值电压和对应于第一电压 VDD 的压降的电压之和相对应的预定电压可被充入第二电容器 C2nm。通过第 m 列的第 n-1 个像素的操作期间存储与来自第一电源 ELVDD 的第一电压 VDD 信号的压降和第四晶体管 M4nm 的阈值电压之和对应的电压, 随后能够在第 nm 个像素 140nm 的操作期间利用所存储的电压来补偿第一电压

VDD 信号的压降和第四晶体管 M4nm 的阈值电压。

在本发明的实施例中，在第 n 个扫描信号 SSn 提供到第 n 条扫描线 Sn 之前，与第四晶体管 M4nm 的阈值电压和参考电压信号 Vref 同第一电压 VDD 信号之间的差的和对应的电压可充入第二电容器 C2nm。当第 n 个扫描信号 SSn 提供到第 n 条扫描线 Sn 时，第一晶体管 M1nm 和第二晶体管 M2nm 可导通。在一个水平周期的第一时间段内，当第 nm 个像素 140nm 的像素电路 142nm 中的第二晶体管 M2nm 导通时，PC 可从第 nm 个像素 140nm 通过数据线 Dm 被提供到数据驱动电路 200。在本发明的实施例中，PC 可通过第一电源 ELVDD、第四晶体管 M4nm、第二晶体管 M2nm 和数据线 Dm 被提供到数据驱动电路 200。随后，响应提供的 PC，预定电压可被充入第一电容器 C1nm 和第二电容器 C2nm。

数据驱动电路 200 可基于预定电压的值即当如上所述 PC 吸收时会产生补偿电压来重置伽玛电压单元（未示出）的电压。来自伽玛电压单元（未示出）的重置电压可用于产生将被分别提供到数据线 D1~Dm 的数据信号 DS1~DSm。

在本发明的实施例中，在一个水平周期的第二时间段内，产生的数据信号 DS1~DSm 可被分别提供到各数据线 D1~Dm。更具体地讲，例如，在一个水平周期的第二时间段内，各产生的数据信号 DSm 可通过第一晶体管 M1nm 被提供到各第一节点 N1nm。然后，与数据信号 DSm 和第一电源 ELVDD 之间的差对应的电压可被充入第一电容器 C1nm。第二节点 N2nm 可随后悬浮，并且第二电容器 C2nm 可保持先前充入的电压。

在本发明的实施例中，在第 m 列的第 n 个像素被控制并且扫描信号 SSn-1 被提供到前一扫描线 Sn-1 的时间段内，与第四晶体管 M4nm 的阈值电压和来自第一电源 ELVDD 的第一电压 VDD 信号的压降对应的电压可充入第 nm 个像素 140nm 的第二电容器 C2nm，以补偿来自第一电源 ELVDD 的第一电压 VDD 信号的压降和第四晶体管 M4nm 的阈值电压。

在本发明的实施例中，在第 n 个扫描信号 Sn 被提供到第 n 条扫描线 Sn 的时间段内，伽玛电压单元（未示出）的电压可被重置，利用各重置的伽玛电压，使得包括在与各数据线 D1~Dm 相关的相应的第 n 个像素 140n 中的晶体管的电子迁移率可被补偿，并且各产生的数据信号 DS1~DSm 可被提供到第 n 个像素 140n。因此，在本发明的实施例中，晶体管的阈值电压和电子迁

移率的不一致可以得到补偿,从而可显示具有均匀明度的图像。以下将描述用于重置伽玛电压单元的电压的过程。

图5示出了图2中示出的发光显示器可采用的第 nm 个像素 $140nm'$ 的另一个示例性实施例。图5中示出的第 nm 个像素 $140nm'$ 的结构与图3中示出的第 nm 个像素 $140nm$ 的结构基本相同,除了像素电路 $142nm'$ 中的第一电容器 $C1nm'$ 的布置以及与第一节点 $N1nm'$ 和第二节点 $N2nm'$ 的连接之外。在图5中示出的示例性实施例中,第一电容器 $C1nm'$ 的第一电极可与第二节点 $N2nm'$ 连接,第一电容器 $C1nm'$ 的第二电极可与第一电源 $ELVDD$ 连接。第二电容器 $C2nm$ 的第一电极可与第一节点 $N1nm'$ 连接,第二电容器 $C2nm$ 的第二电极可与第二节点 $N2nm'$ 连接。第一节点 $N1nm'$ 可与第一晶体管 $M1nm$ 的第二电极、第三晶体管 $M3nm$ 的第二电极和第二电容器 $C2nm$ 的第一电极连接。第二节点 $N2nm'$ 可与第四晶体管 $M4nm$ 的栅电极、第五晶体管 $M5nm$ 的第二电极、第一电容器 $C1nm$ 的第一电极和第二电容器 $C2nm$ 的第二电极连接。

在下面的描述中,将采用图3中示出的第 nm 个像素 $140nm$ 的描述中的采用的相同的参考标号来描述在图5中示出的第 nm 个像素 $140nm'$ 的示例性实施例中的相同的特征。

将参照图4和图5来详细描述用于操作像素140中的第 nm 个像素 $140nm'$ 的第 nm 个像素电路 $142nm'$ 的示例性方法。首先,在驱动第 $n-1$ 个像素 $140(n-1)(1\text{ to }m)$,即布置在第 $(n-1)$ 行的像素的水平周期内,当第 $n-1$ 个扫描信号 SS_{n-1} 被提供到第 $n-1$ 条扫描线 $Sn-1$ 时,第 n 个像素 $140(n)(1\text{ to }m)$ 即布置在第 n 行的像素的第三晶体管 $M3nm$ 和第五晶体管 $M5nm$ 可导通。

当第五晶体管 $M5nm$ 导通时,电流可流过第四晶体管 $M4nm$,使得第四晶体管 $M4nm$ 可以如二极管般操作。当第四晶体管 $M4nm$ 如二极管般操作时,通过与由第一电源 $ELVDD$ 减去第四晶体管 $M4nm$ 的阈值电压得到的值对应的电压可被提供到第二节点 $N2nm'$ 。与第四晶体管 $M4nm$ 的阈值电压对应的电压可充入第一电容器 $C1nm'$ 。如图5中所示,第一电容器 $C1nm'$ 可设置在第二节点 $N2nm'$ 和第一电源 $ELVDD$ 之间。

当第三晶体管 $M3nm$ 导通时,参考电源 ELV_{ref} 的电压可被施加到第一节点 $N1nm'$ 。然后,第二电容器 $C2nm$ 可被充以与第一节点 $N1nm'$ 和第二节点

$N2nm'$ 之间的差对应的电压。在第 $n-1$ 个扫描信号 SS_{n-1} 被提供到第 $n-1$ 条扫描线 $Sn-1$ 并且第一晶体管 $M1nm$ 和第二晶体管 $M2nm$ 可截止的时间段内, 数据信号 DSm 可不被提供到第 nm 个像素 $140nm'$ 。

然后, 在用于驱动第 nm 个像素 $140nm'$ 的一个水平周期的第一时间段内, 扫描信号 SSn 可被提供到第 n 条扫描线 Sn , 第一晶体管 $M1nm$ 和第二晶体管 $M2nm$ 可导通。当第二晶体管 $M2nm$ 导通时, 在一个水平周期的第一时间段内, 各 PC 可从第 nm 个像素 $140nm'$ 通过数据线 Dm 被提供到数据驱动电路 200。PC 可通过第一电源 $ELVDD$ 、第四晶体管 $M4nm$ 、第二晶体管 $M2nm$ 和数据线 Dm 被提供到数据驱动电路 200。响应 PC, 预定电压可被充入第一电容器 $C1nm'$ 和第二电容器 $C2nm$ 。

数据驱动电路 200 可利用响应 PC 施加的补偿电压来重置伽玛电压单元的电压, 以利用伽玛电压单元的各重置电压来产生数据信号 DS 。

然后, 在用于驱动第 nm 个像素 $140nm'$ 的一个水平周期的第二时间段内, 数据信号 DSm 可被提供到第一节点 $N1nm'$ 。与数据信号 DSm 对应的预定电压可被充入第一电容器 $C1nm'$ 和第二电容器 $C2nm$ 。

当提供数据信号 DSm 时, 第一节点 $N1nm'$ 的电压可从参考电源 $ELVref$ 的电压 $Vref$ 减小为数据信号 DSm 的电压。此时, 由于第二节点 $N2nm'$ 可悬浮, 所以第二节点 $N2nm'$ 的电压值可响应第一节点 $N1nm'$ 的压降的量来减小。第二节点 $N2nm'$ 会出现的电压的减小量可由第一电容器 $C1nm'$ 和第二电容器 $C2nm$ 的电容来决定。

当第二节点 $N2nm'$ 的电压减小时, 与第二节点 $N2nm'$ 的电压值对应的预定电压可被充入第一电容器 $C1nm'$ 。当参考电源 $ELVref$ 的电压值被固定时, 充入第一电容器 $C1nm'$ 的电压的量可由数据信号 DSm 来决定。即, 在图 5 中示出的第 nm 个像素 $140nm'$ 中, 因为充入第一电容器 $C1nm'$ 和第二电容器 $C2nm$ 的电压值可由参考电源 $ELVref$ 和数据信号 DSm 来决定, 所以不管第一电源 $ELVDD$ 的压降如何, 都可以充入期望的电压。

在本发明的实施例中, 伽玛电压单元的电压可被重置, 利用重置的伽玛电压, 使得包括在各像素 140 中的晶体管的电子迁移率可被补偿, 并且可提供各产生的数据信号。在本发明的实施例中, 晶体管的阈值电压之间的一致及晶体管的电子迁移率的偏差可被补偿, 因此使得能够显示具有均匀明度的图像。

图 6 示出了图 2 中示出的数据驱动电路的第一实施例的框图。为了简便起见,在图 6 中,假设数据驱动电路 200 具有 j 个通道(channel),其中 j 是大于或等于 2 的自然数。

如图 6 中所示,数据驱动电路 200 可包括移位寄存器单元 210、取样锁存器单元 220、保持锁存器单元 230、补偿单元 240、数-模转换单元(在下文中被称作“DAC 单元”) 250、比较器单元 260、第一缓冲器 270、电流提供单元 280、选择器 290、伽玛电压单元 300 和电压发生单元 310。

移位寄存单元 210 可从时序控制器 150 接收源移位时钟 SSC 和源起始脉冲 SSP。移位寄存单元 210 可利用源移位时钟 SSC 和源起始脉冲 SSP,以在源移位时钟 SSC 的每个周期内将源起始脉冲 SSP 移位的同时,顺序地产生 j 个取样信号。移位寄存单元 210 可包括 j 个移位寄存器 2101-210j。

取样锁存器单元 220 可响应移位寄存单元 210 顺序提供的取样信号来顺序地存储各数据 DATA。取样锁存器单元 220 可包括 j 个取样锁存器 2201-220j,以存储 j 个数据 DATA。取样锁存器 2201-220j 中的每个可具有与数据 DATA 的位数对应的大小。例如,当数据 DATA 由 k 位组成时,取样锁存器 2201-220j 中的每个可具有 k 位的大小。

保持锁存器单元 230 可从取样锁存器单元 220 接收数据 DATA,以在源输出使能 SOE 信号输入时存储数据 DATA。当 SOE 信号输入到保持锁存器单元 230 时,保持锁存器单元 230 可提供存储在其中的数据 DATA。保持锁存器单元 230 可包括 j 个保持锁存器 2301-230j,以存储 j 个数据 DATA。保持锁存器 2301-230j 中的每个可具有与数据 DATA 的位数对应的大小。例如,保持锁存器 2301-230j 中的每个可具有 k 位的大小,使得各数据 DATA 可被存储。

在一个水平周期的第一时间段内,电流提供单元 280 可从与数据线 D1-Dj 连接的像素 140 吸收 PC。例如,电流提供单元 280 可从各像素 140 中吸收电流。如以下所讨论的,各像素可吸收至电流提供单元 280 的电流量可对应于或大于将被提供到每个像素 140 的各发光器例如 OLED 的使之以最大的明度发光的最小电流量。电流提供单元 280 可有助于当各电流吸收至第二缓冲单元 260 时分别产生预定的补偿电压。电流提供单元 280 可包括 j 个电流吸收器 2801-280j。

在一个水平周期 1H 的第一时间段内,电压发生单元 310 可产生电压例如比较电压。如图 9 中所示,比较电压可以以阶梯状方式增大。电压发生单

元 310 可以向比较器单元 260 提供产生的比较电压。比较器单元 260 可包括 j 个通道的每个的比较器 2601-260j。在本发明的实施例中，电压发生单元 310 可向与 j 个通道的每个相关的比较器 2601-260j 提供产生的比较电压。

比较器单元 260 可将电流吸收器 2801-280j 提供的补偿电压与电压发生单元 310 提供的比较电压作比较。比较器单元 260 可将与各比较的比较结果对应的 j 个逻辑信号提供给补偿单元 240。例如，当阶梯状增长的比较电压的电压超过相应的补偿电压时，比较器 2601-260j 中的每个可产生逻辑信号，各比较器 2601-260j 可将与各比较结果对应的各逻辑信号提供给补偿单元 240。

补偿单元 240 可包括分别与 j 个通道的每个相关的 j 个补偿器 2401-240j。补偿器 2401-240j 中的每个可根据从各比较器 2601-260j 输入的各逻辑信号的输入时序来产生补偿数据，并可将产生的补偿数据提供到 DAC 单元 250。在下面的描述中，为了简便起见，将假设补偿器 2401-240j 中的每个产生 p 位的补偿数据，其中， p 为自然数。

DAC 单元 250 可包括 j 个 DAC 2501-250j。DAC 2501-250j 中的每个可从保持锁存器 2301-230j 中的一个接收 k 位数据 DATA，并从补偿器 2401-240j 中的一个接收 p 位补偿数据。基于从各保持锁存器 2301-230j 接收的 k 位数据 DATA 和从各补偿器 2401-240j 接收的 p 位补偿数据，DAC 2501-250j 可分别产生合成数据。

通过将 k 位的数据 DATA 布置为包括最高有效位 MSB 的高位并将 p 位的补偿数据布置为包括最低有效位 LSB 的低位，DAC 2501-250j 可产生合成数据。基于产生的合成数据，DAC 2501-250j 可从伽玛电压单元 300 产生的多个等级电压中选出一个等级电压来作为数据信号 DS1-DSj。DAC 2501-250j 可基于 $(k+p)$ 位合成数据的位值来选择等级电压中的一个。

伽玛电压单元 300 可向 DAC 单元 250 提供预定数目的等级电压。如图 8 中所示，伽玛电压单元 300 可包括多个分压电阻器 R1-R_L，用于产生 2^{k+p} 个等级电压。伽玛电压单元 300 产生的等级电压可被提供到 DAC 2501-250j 中的每个。在本发明的实施例中，数据驱动电路 200 可仅包括一个伽玛电压单元 300。

第一缓冲器 270 可将来自 DAC 单元 250 的各数据信号 DS1-DSj 提供到选择器 290。因此，在本发明的实施例中，第一缓冲器 270 可包括 j 个第一缓冲器 2701-270j，和/或选择器 290 可包括 j 个开关单元 2901-290j。 j 个第一缓

冲器 2701-270j 可分别将各 DAC 2501-250j 所选择的数据信号 DS1-DSj 提供到各开关单元 2901-290j。

选择器 290 可控制数据线 D1-Dj 与第一缓冲器 2701-270j 之间的电连接。在一个水平周期的第二时间段内, 或者在一个水平周期的除了第一时间段外的任何时间段内, 选择器 290 可将数据线 D1-Dj 与第一缓冲器 2701-270j 电连接。在本发明的实施例中, 仅在一个水平周期的第二时间段内, 选择器 290 可将数据线 D1-Dj 与第一缓冲器 2701-270j 电连接。在除了各水平周期的第二时间段外的时间段内, 选择器 290 可保持数据线 D1-Dj 与第一缓冲器 2701-270j 电断开。

如图 7 中所示, 在本发明的一个或多个方面的第二示例性实施例中, 数据驱动电路 200 可包括电平转变单元 320, 电平转变单元 320 可与保持锁存器单元 230 连接。电平转变单元 320 可增大保持锁存器单元 230 提供的数据 DATA 的电压电平, 并可将电平改变了的结果提供给 DAC 单元 250。当从外部系统提供到数据驱动电路 200 的数据 DATA 具有高电压电平时, 通常应该提供具有耐高压特性的电路组件, 从而增加了制造成本。在本发明的实施例中, 从外部系统提供到数据驱动电路 200 的数据 DATA 可具有低的电压电平, 并且可通过电平转变单元 320 将低的电压电平转变为高的电压电平。

图 8 示出了连接第 nj 个像素 140nj 与如图 6 中所示的伽玛电压单元 300、电压发生单元 310、数-模转换器 (DAC) 单元 250j、第一缓冲器 270j、补偿单元 240j、开关单元 290j、比较器 260j、电流吸收器 280j 的连接方案的第一实施例的示意图。为了简便起见, 图 8 仅示出了一个通道即第 j 个通道, 并假设数据线 Dj 与根据图 3 中示出的像素 140nm 的示例性实施例的第 nj 个像素 140nj 连接。

如图 8 中所示, 伽玛电压单元 300 可包括多个分压电阻器 R1-R_L。分压电阻器 R1-R_L 可置于参考电源 Vref 和第三电源电压 VSS' 之间。分压电阻器 R1-R_L 可划分参考电源 Vref 和第三电源电压 VSS' 之间的电压, 以产生多个等级电压 (V0-V2^{k+p}-1), 并可将产生的等级电压 (V0-V2^{k+p}-1) 提供到 DAC 250j。在本发明的实施例中, 相同的电源或不同的电源例如 ELVSS 可被用来提供第二电压 VSS 信号和第三电源电压 VSS' 信号。

电压发生单元 310 可包括计数器 3101、增压单元 3102 和第二缓冲器 3103。计数器 3101 可以是 p 位的计数器, 并可每当信号例如时钟信号 CLK

被输入时, 增加预定增量的值例如 1 或 1 位,。计数器 3101 可仅在水平周期 1H 的第一时间段内操作。如图 9 中所示, 在水平周期的第一时间段内, 计数器 3101 可产生计数信号, 该计数信号随着每个时钟信号增加 1, 例如每当时钟信号从高信号改变成低信号或者从低信号改变成高信号时该计数信号增加 1。计数器 3101 可将产生的计数信号提供到增压单元 3102。虽然在图 9 中 2^p 被示出为具有 16 的值, 但是 p 可以是任意的自然数。

响应计数器 3101 输出的计数信号的值的增加, 增压单元 3102 可产生例如以楼梯状的方式增大的电压。增压单元 3102 可将产生的电压提供到第二缓冲器 3103。第二缓冲器 3103 可将从增压单元 3102 输入的电压提供到比较器 260j。在本发明的实施例中, 相同的电压发生单元 310 可将产生的电压提供给比较器 2601-260j...260m 中的全部、一些或仅一个。

如图 8 中所示, 电流吸收器 280j 可包括第十二个晶体管 M12j、第十三个晶体管 M13j、电流源 Imaxj 和第三电容器 C3j。电流源 Imaxj 可与第十三个晶体管 M13j 的第一电极连接。第三电容器 C3j 可连接在第三节点 N3j 和地电压源 GND 之间。可由第二控制信号 CS2 来控制第十二个晶体管 M12j 和第十三个晶体管 M13j。第十二晶体管 M12 的第一电极也可与第三节点 N3j 连接。

第十二晶体管 M12j 的栅电极可与第十三个晶体管 M13j 的栅电极连接。第十二晶体管 M12j 和第十三个晶体管 M13j 可接收第二控制信号 CS2。第十二晶体管 M12j 的第二电极可与第十三个晶体管 M13j 的第二电极及数据线 Dj 连接。第十二晶体管 M12j 的第一电极可与比较器 260j 连接。第十二晶体管 M12j 通过第二控制信号 CS2 在一个水平周期 1H 的第一时间段内可导通, 并在一个水平周期 1H 的第二时间段内可截止。

第十三个晶体管 M13j 的栅电极可与第十二晶体管 M12j 的栅电极连接, 第十三个晶体管的第二电极可与数据线 Dj 连接。第十三个晶体管 M13j 的第一电极可与电流源 Imaxj 连接。第十三个晶体管 M13j 通过第二控制信号 CS2 在一个水平周期 1H 的第一时间段内可导通, 在一个水平周期 1H 的第二时间段内可截止。

在第十二晶体管 M12j 和第十三个晶体管 M13j 可导通的第一时间段内, 电流源 Imaxj 可用作电流吸收器, 可从各像素 140nj 接收发光器例如 OLED 所需的使得像素 140nj 能够发射具有最大明度的光的最小电流。

当电流通过各像素 140nj 被提供到电流源 Imaxj 时, 第三电容器 C3j 可存

储施加到第三节点 N3j 的补偿电压。第三电容器 C3j 在第一时间段内可充入施加到第三节点 N3j 的补偿电压,并且即使在第十二晶体管 M12j 和第十三晶体管 M13j 截止时也保持第三节点 N3j 的补偿电压均匀。

如上所述,比较器 260j 可将第二缓冲器 3103 提供的电压与电流吸收器 280j 提供的补偿电压作比较,并可基于比较的结果将逻辑信号提供给补偿器 240j。当第二缓冲器 3103 提供的电压被确定为具有等于或大于补偿电压的电压值的值时,比较器 260j 可产生逻辑信号。当确定第二缓冲器 3103 提供的电压具有等于或大于补偿电压的电压值的值时,比较器 260j 可将补偿电压和/或逻辑信号提供给补偿器 240j。在本发明的实施例中,当确定第二缓冲器 3103 提供的电压具有等于或大于补偿电压的电压值的值时,比较器 260j 可仅将补偿电压提供给补偿器 240j。

分别与 j 个通道相关的比较器 2601-260j 可在相同的时间或不同的时间产生各逻辑信号。在本发明的实施例中,比较器 2601-260j 中的每个可基于各补偿电压的电压值来产生各逻辑信号。例如,在一个水平周期 1H 内,例如在第 n 个水平周期内,当从各第二缓冲器 3103 提供的电压具有等于或大于各补偿电压的电压值的值时, j 个通道的每个中的第 n 个像素 140n, 即 140n1、140n2...、140nj 可被驱动,并且像素 140n1、140n2...、140nj 中的每个可分别将补偿电压提供给各比较器 2601-260j。

以下将描述用于提供各补偿电压来补偿例如像素单元中的像素的不同晶体管中的电子迁移率的差的示例性方法。分别提供给 j 个电流吸收器 2801-280j 的补偿电压,可基于在各水平周期内被驱动的 j 个通道中的每个的各像素 140 的特性来确定。

如图 8 中所示,补偿器 240j 可包括调节单元 241 和存储单元 242。虽然仅示出补偿器 240j,但是这里所描述的特征可适用于补偿器 2401-240j 中的每个。例如,补偿器 2401-240j 中的每个可分别包括调节单元和存储单元,使得在具有 j 通道的实施例中,可以存在 j 个调节单元和 j 个存储单元。

调节单元 241 可以每当时钟信号 CLK 输入时将 p 位的补偿数据位值加 1。在本发明的实施例中,当逻辑信号从比较器 260j 输入时,调节单元 241 可将作为补偿数据的 p 位补偿数据提供到存储单元 242。补偿数据的位值可基于从比较器 260j 输入的逻辑信号来确定。因此,在本发明的实施例中,各逻辑信号由比较器 260j 提供得越晚,位值增加得越多,因此导致形成补偿数据的

高位值。逻辑信号由比较器 260j 提供得越早，位值可增加得越少，因此导致形成补偿数据的低位值。

存储单元 242 可暂时存储由调节单元 241 提供的补偿数据。所存储的补偿数据可被提供到 DAC 250j。

如以上所讨论的，DAC 250j 可使用 k 位的数据 DATA 和 p 位的补偿数据来产生 k+p 位的合成数据，并且 DAC 250j 响应所产生的合成数据的位值来选择多个等级电压 ($V_0-V_{2^{k+p}-1}$) 中的一个等级电压作为数据信号 DSj。多个等级电压 ($V_0-V_{2^{k+p}-1}$) 中的所选择的一个可被提供到第一缓冲器 270j。在本发明的实施例中，可通过补偿数据的电压值来确定可与合成数据的低位对应的 p 位补偿数据，使得即使包含在像素 140 中的晶体管的迁移率不均匀，像素单元 130 也能够显示均匀的图像。在本发明的实施例中，数据驱动电路 200 可使用补偿电压来产生补偿数据，其中，补偿电压可基于像素 140 中的晶体管的特性例如迁移率、阈值电压等来产生，并且数据驱动电路 200 可选择与补偿数据的值对应的数据信号 DS，因此能够补偿不一致例如晶体管的电子迁移率的不同和/或阈值电压的不同。

如图 8 中所示，第一缓冲器 270j 可向开关单元 290j 发送 DAC 250j 提供的数据信号 DSj。开关单元 290j 可包括第十一个晶体管 M11j。第十一个晶体管 M11j 由如图 10 中所示的第一控制信号 CS1 来控制。在本发明的实施例中，第十一个晶体管 M11j 在一个水平周期 1H 的第二时间段内可导通，在一个水平周期 1H 的第一时间段内可截止。结果，在一个水平周期 1H 的第二时间段内数据信号 DSj 可被提供到数据线 Dj，而在一个水平周期 1H 的其它时间段内不提供数据信号 DSj。

图 10 示出了可用于驱动图 8 中示出的像素、开关单元 290j 和电流吸收单元 280j 的示例性波形。将参照图 8 和图 10 来详细解释用于产生将被提供到像素 140 的各数据信号 DS1-DSj 的示例性方法。在下面的描述中，以上在图 3 中示出的第 nm 个像素 140nm 的描述中的相同的标号，将被用来描述在图 8 中示出的第 nj 个像素 140nj 的示例性实施例中的相同的特征。

首先，扫描信号 SSn-1 可被提供到第 n-1 条扫描线 Sn-1。当扫描信号 SSn-1 被提供到第 n-1 条扫描线 Sn-1 时，第三晶体管 M3nj 和第五晶体管 M5nj 可导通。通过从第一电源 ELVDD 减去第四晶体管 M4nj 的阈值电压得到的电压值随后可被施加到第二节点 N2nj，参考电源 ELVref 的电压可被施加到第一节点

N1nj。与第四晶体管 M4nj 的阈值电压和第一电源 ELVDD 的压降对应的电压随后可被充入第二电容器 C2nj。

施加到第一节点 N1nj 和第二节点 N2nj 的电压可用等式 1 和等式 2 来表示。

[等式 1]

$$V_{N1} = V_{ref}$$

[等式 2]

$$V_{N2} = ELVDD - |V_{thM4}|$$

在等式 1 和等式 2 中, V_{N1} 、 V_{N2} 和 V_{thM4} 分别表示施加到第一节点 N1nj 的电压, 施加到第二节点 N2nj 的电压和第四晶体管 M4nj 的阈值电压。

从扫描信号 SSn-1 提供到第 n-1 条扫描线 Sn-1 截止的时间至扫描信号 SSn 提供到第 n 条扫描线 Snj 的时间, 第一节点 N1nj 和第二节点 N2nj 可以是悬浮的。因此, 在这个时间内, 充入第二电容器 C2nj 的电压值不会改变。

随后, 第 n 个扫描信号 SSn 可被提供到第 n 条扫描线 Sn, 使得第一晶体管 M1nj 和第二晶体管 M2nj 可导通。当扫描信号 SSn 被提供到第 n 条扫描线 Sn 时, 在第 n 条扫描线 Sn 被驱动的一个水平周期的第一时间段内, 第十二晶体管 M12j 和第十三晶体管 M13j 可导通。当第十二晶体管 M12j 和第十三晶体管 M13j 导通时, 可吸收通过第一电源 ELVDD、第四晶体管 M4nj、第二晶体管 M2nj、数据线 Dj 和第十三晶体管 M13nj 流过电流源 Imaxj 的电流。

当电流通过第一电源 ELVDD、第四晶体管 M4nj 和第二晶体管 M2nj 流过电流源 Imaxj 时, 可应用等式 3。

[等式 3]

$$I_{max} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (ELVDD - V_{N2} - |V_{thM4}|)^2$$

在等式 3 中, μ_p 、 C_{ox} 、 W 和 L 分别表示电子迁移率、氧化层的电容、沟道的宽度和沟道的长度。

当通过等式 3 得到的电流流过第四晶体管 M4nj 时施加到第二节点 N2nj 的电压可用等式 4 来表示。

[等式 4]

$$V_{N2} = ELVDD - \sqrt{\frac{2I_{max} L}{\mu_p C_{ox} W}} - |V_{thM4}|$$

通过第二电容器 C2nj 的耦合, 施加到第一节点 N1nj 的电压可用等式 5 来表示。

[等式 5]

$$V_{N1} = V_{ref} - \sqrt{\frac{2 I_{max} \alpha x}{\mu_p C_{ox}}} \frac{L}{W} = V_{N3}$$

在等式 5 中, 电压 V_{N1} 可对应于施加到第一节点 $N1nj$ 的电压, 电压 V_{N3} 可对应于施加到第三节点 $N3j$ 的电压。在本发明的实施例中, 当电流被电流源 I_{maxj} 吸收时, 满足等式 5 的电压可施加到第三节点 $N3j$ 。

如在等式 5 中看到的, 施加到第三节点 $N3j$ 的电压会受包括在向电流源 I_{maxj} 提供电流的像素 140nj 中的晶体管的电子迁移率影响。因此, 例如当像素 140 的每个中电子迁移率变化时, 在像素 140 的每个中, 当电流提供到电流源 I_{maxj} 时施加到第三节点 $N3nj$ 的电压值会变化。

在等式 5 中示出的补偿电压会受包含在像素 140nj 中的晶体管的迁移率影响。因此, 当电流吸收至电流源 I_{maxj} 时, 施加到第三节点 $N3j$ 的电压值可基于各像素 140 的特性而不同。

如以上所讨论的, 施加到第三节点 $N3j$ 的补偿电压可提供到各比较器 260j。比较器 260j 可将电压发生单元 310 提供的比较电压与电流吸收器 280j 提供的补偿电压作比较, 并可基于比较的结果将逻辑信号提供到补偿器 240j。然后, 比较器 260j 可产生逻辑信号, 并将逻辑信号提供到补偿器 240j。可基于电流吸收器 280j 提供的补偿电压的电压值来确定逻辑信号的产生时间。

补偿器 240j 可响应逻辑信号的产生时间来产生 p 位的补偿数据, 所产生的补偿数据可提供到 DAC 250j。然后, DAC 250j 可响应 k 位的数据 DATA 和 p 位的补偿数据来产生合成数据, DAC 250j 可响应所产生的合成数据的位值来从多个等级电压中选择一个等级电压作为数据信号 DSj 。DAC 250j 可将所选择的数据信号 DSj 提供到第一缓冲器 270j。可由外部提供的 k 位数据 DATA 及 p 位补偿数据可响应各电流吸收器 280j 提供的补偿电压的电压值来产生。在本发明的实施例中, 数据信号 DS 的电压值可基于提供吸收电流的各像素 140 中的晶体管的特性例如迁移率、阈值电压等来确定。

在一个水平周期 $1H$ 的第二时间段内, 第十一晶体管 $M11j$ 可导通。提供到第一缓冲器 270j 的数据信号 DSj 可通过第十一晶体管 $M11j$ 、数据线 Dj 和第一晶体管 $M1nj$ 提供到第一节点 $N1j$ 。随后, 第一电容器 $C1nj$ 可被充以对应于数据信号 DSj 的预定电压。

如图 10 中所示, 可控制提供到第 n 条发光控制线 En 的发射控制信号 ESn , 例如控制其从高信号改变成低信号, 并且第六晶体管 $M6nj$ 可导通。然后, 第

四晶体管 M4nj 可将与充入第一电容器 C1nj 和第二电容器 C2nj 中的电压对应的电流通过第六晶体管 M6nj 提供到 OLEDnj。在本发明的实施例中，因为数据信号 DSj 的电压值可由各像素 140nj 中的晶体管的迁移率来确定，所以，不管第四晶体管 M4nj 的特性例如电子迁移率和阈值电压如何，OLEDnj 可被提供与所选择的等级电压对应的电流，使得可显示均匀的图像。

在本发明的实施例中，如以上所讨论的，可采用不同的开关单元。图 11 示出采用开关单元 290j' 的另一实施例的图 8 中示出的连接方案。图 11 中示出的示例性连接方案与图 8 中示出的示例性连接方案基本相同，除了开关单元 290j' 的另一实施例之外。在下面的描述中，将采用以上采用的相同的标号来描述图 11 中示出的示例性实施例的相同的特征。

如图 11 中所示，另一示例性开关单元 290j' 可包括第十一晶体管 M11j 和第十四晶体管 M14j，第十一晶体管 M11j 和第十四晶体管 M14j 可以以传输门的形式彼此连接。第十四晶体管 M14j 可接收第二控制信号 CS2，其中，第十四晶体管 M14j 可以是 PMOS 型晶体管。第十一晶体管 M11j 可接收第一控制信号 CS1，其中，第十一晶体管 M11j 可以是 NMOS 型晶体管。在这种实施例中，当第一控制信号 CS1 的极性与第二控制信号 CS2 的极性相反时，第十一晶体管 M11j 和第十四晶体管 M14j 可同时导通和截止。

在第十一晶体管 M11j 和第十四晶体管 M14j 可以以传输门的形式彼此连接的本发明的实施例中，电压-电流特性曲线可以是直线的形式，开关误差可被最小化。

图 12 示出第 nj 个像素 140nj' 与如图 6 中所示的对于特定通道的伽玛电压单元 300、电压发生单元 310、数-模转换器 (DAC) 单元 250、第一缓冲器 270j、补偿单元 240j、开关单元 290j、比较器 260j 和电流吸收器 280j 的连接方案的第二示例性实施例的示意图。为了简便起见，图 12 仅示出了一个通道，即 j 通道，并假设数据线 Dj 与根据图 5 中示出的像素 140nm' 的示例性实施例的第 nj 个像素 140nj' 连接。图 12 中示出的示例性连接方案与图 8 中示出的示例性连接方案基本相同。在下面的描述中，将采用以上采用的相同的标号来描述图 12 中示出的示例性实施例中的相同特征。因此，下面将仅简要描述施加到像素 140nj' 的电压和/或信号或者由像素 140nj' 提供的电压和/或信号。

如图 12 中所示，像素 140nj' 的第一电容器 C1nj' 可连接在第一电源

ELVDD 和第二节点 N2nj' 之间。在本发明的实施例中，例如采用像素 140nj' 的实施例中，即使当像素 140nj' 的第一节点 N1nj' 的电压可大大改变即为 $(C1+C2)/C2$ 时，第二节点 N2nj 的电压也可逐渐改变。作为第二节点 N2nj 的逐渐改变的电压的结果，与采用图 3 中示出的像素 140nm 的情况相比，可以给伽玛电压单元 300 设置较大的电压范围。当伽玛电压单元 300 的电压范围可以较大时，第十一晶体管 M11j 和第一晶体管 M1nj 的开关误差减小。

在采用本发明的一个或多个方面的数据驱动电路和方法中，基于从各像素提供到电流吸收器的电流可产生补偿电压，该补偿电压可用于产生补偿数据。所产生的补偿数据和外部提供的数据可用于产生合成数据。随后，合成数据可用于从多个等级电压中选择一个等级电压，从而不管晶体管的特性例如阈值电压、迁移率等如何，都能够显示具有均匀明度的图像。

在这里已经公开了本发明的示例性实施例，虽然采用了特定的术语，但是这些术语只是总体和描述性地解释，而不是出于限制的目的。因此，本领域的普通技术人员将理解的是，在不脱离如权利要求所提出的本发明的精神和范围的情况下，可以对形式和细节作各种改变。

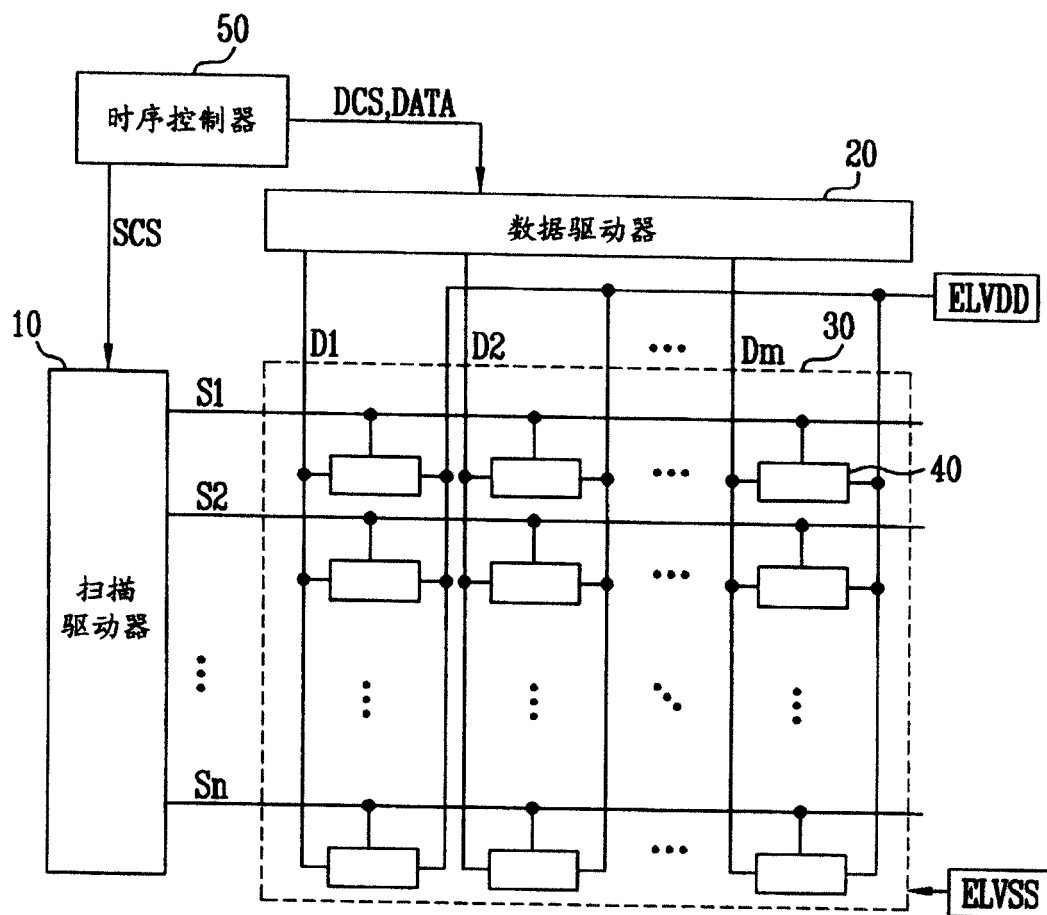


图 1

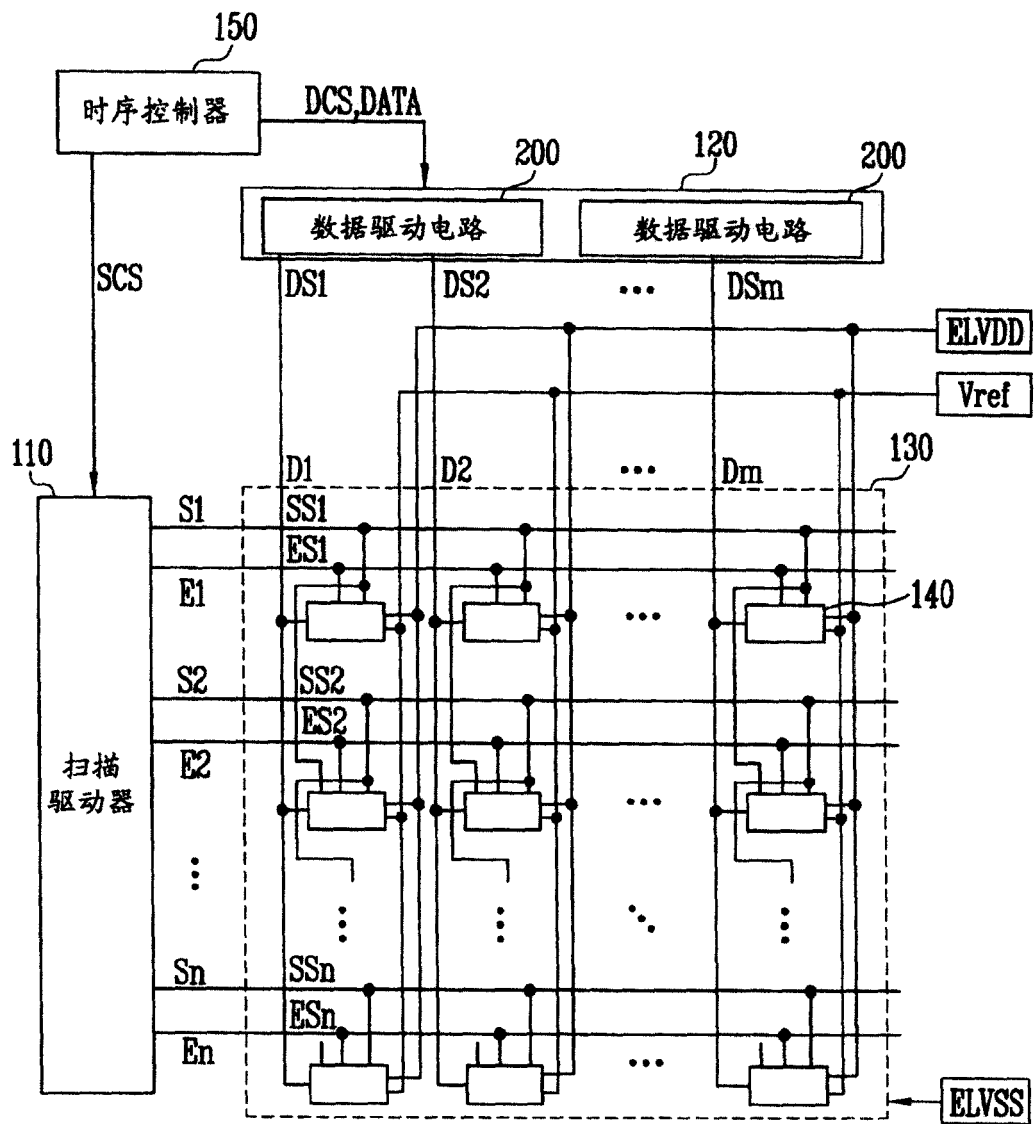


图 2

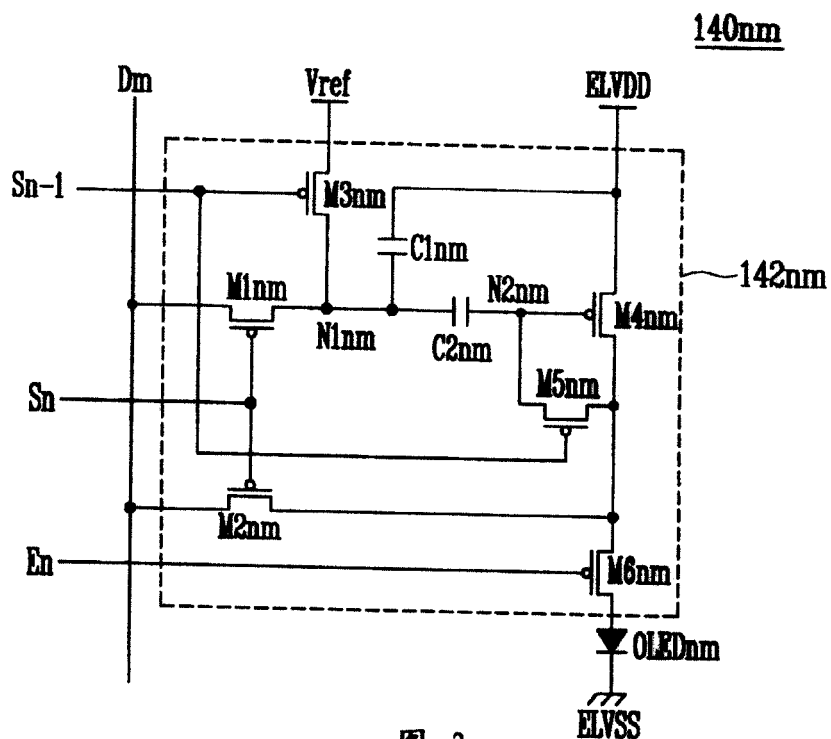


图 3

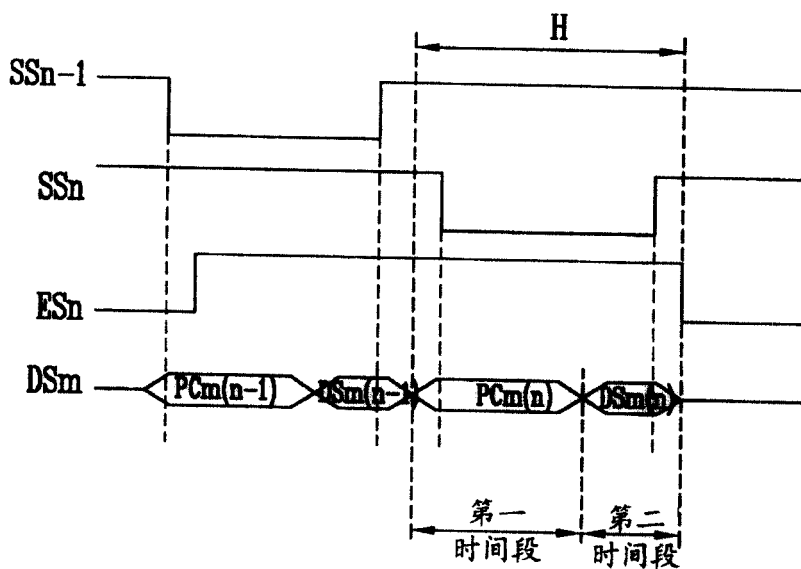


图 4

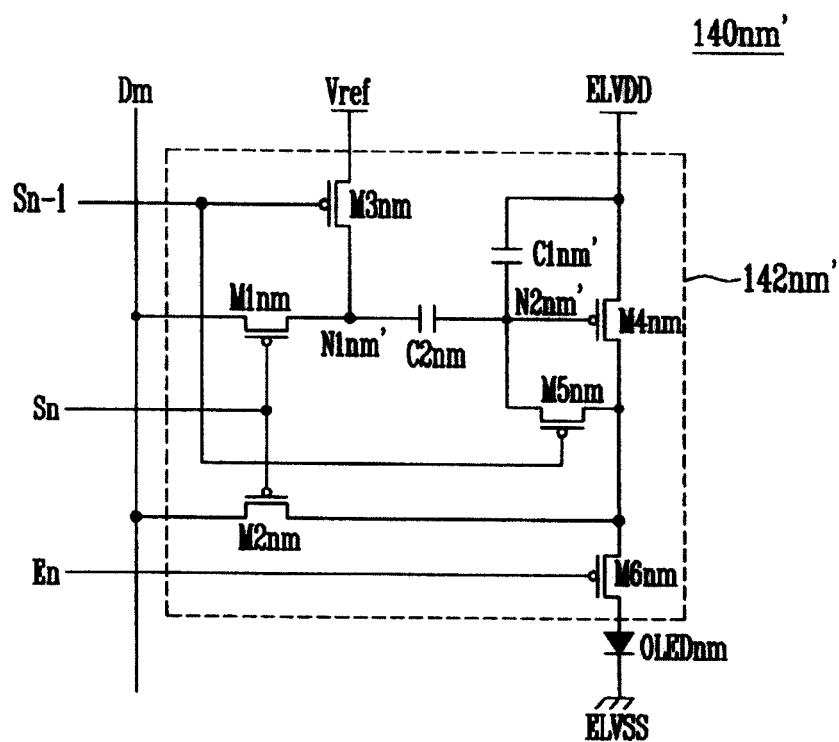


图 5

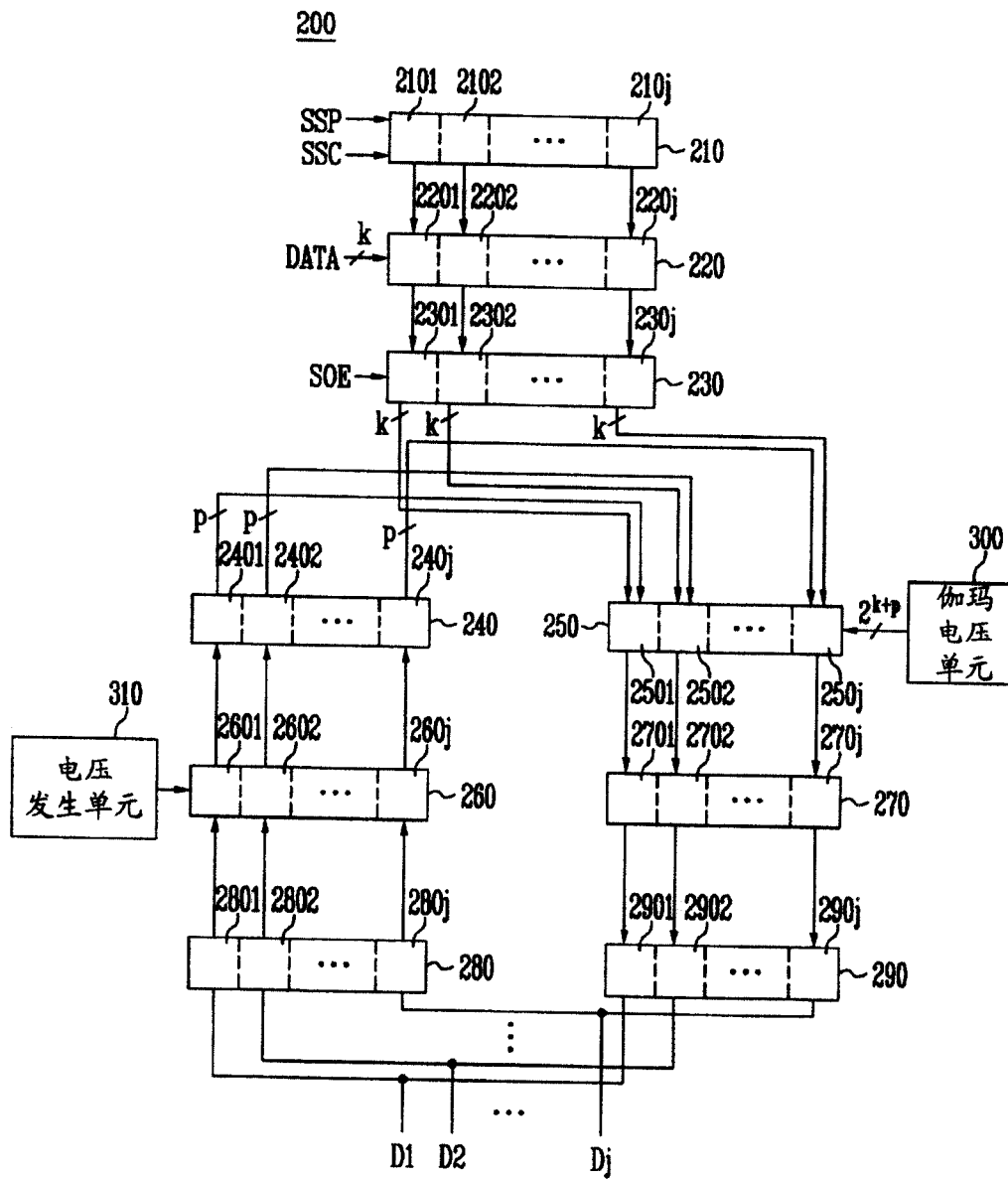


图 6

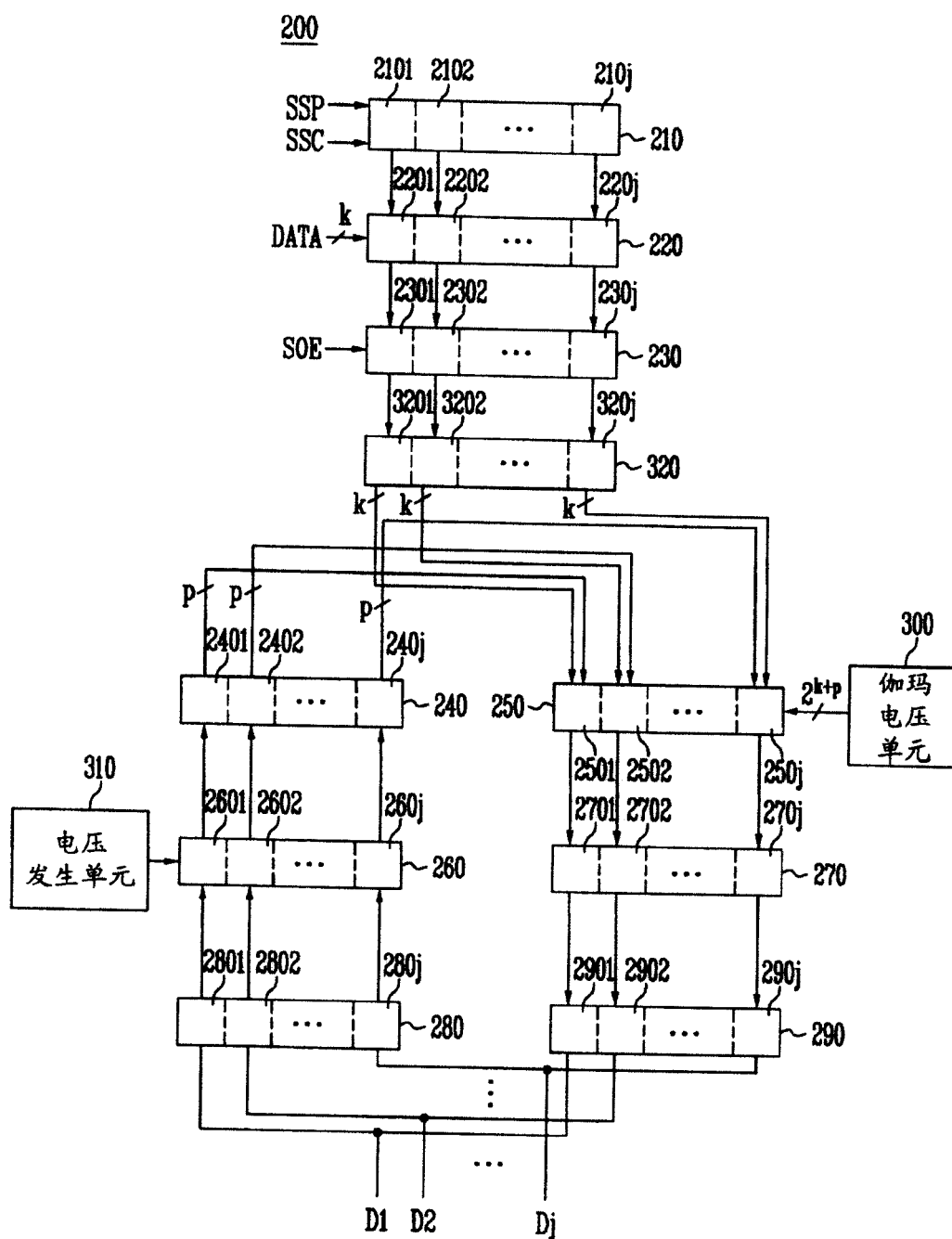
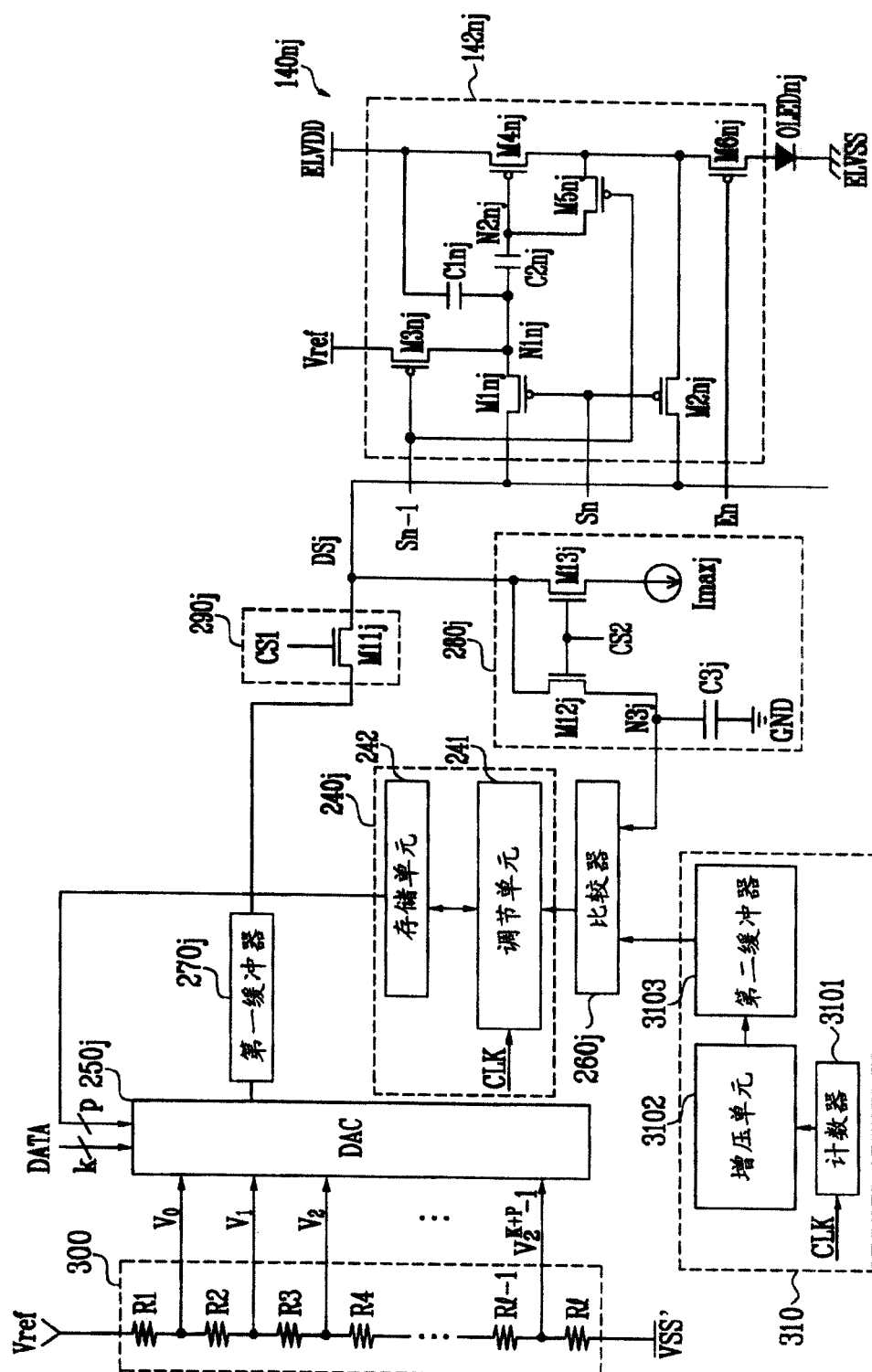


图 7



8
四

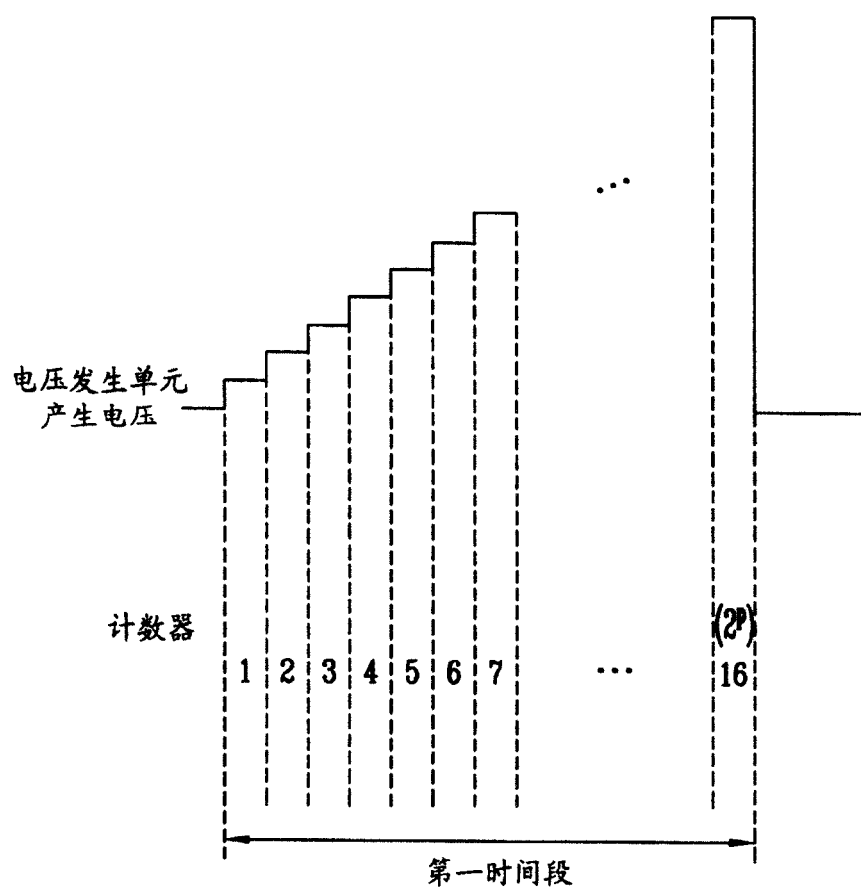


图 9

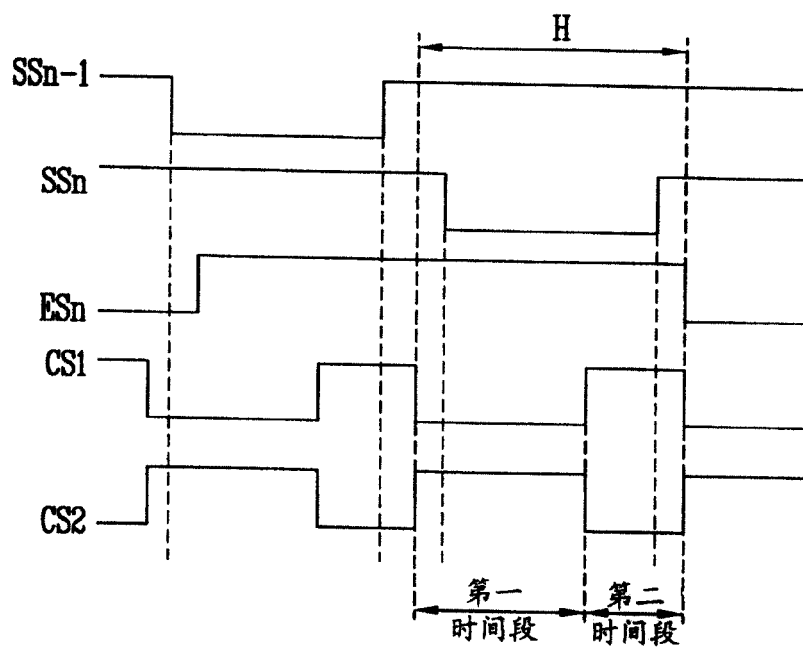
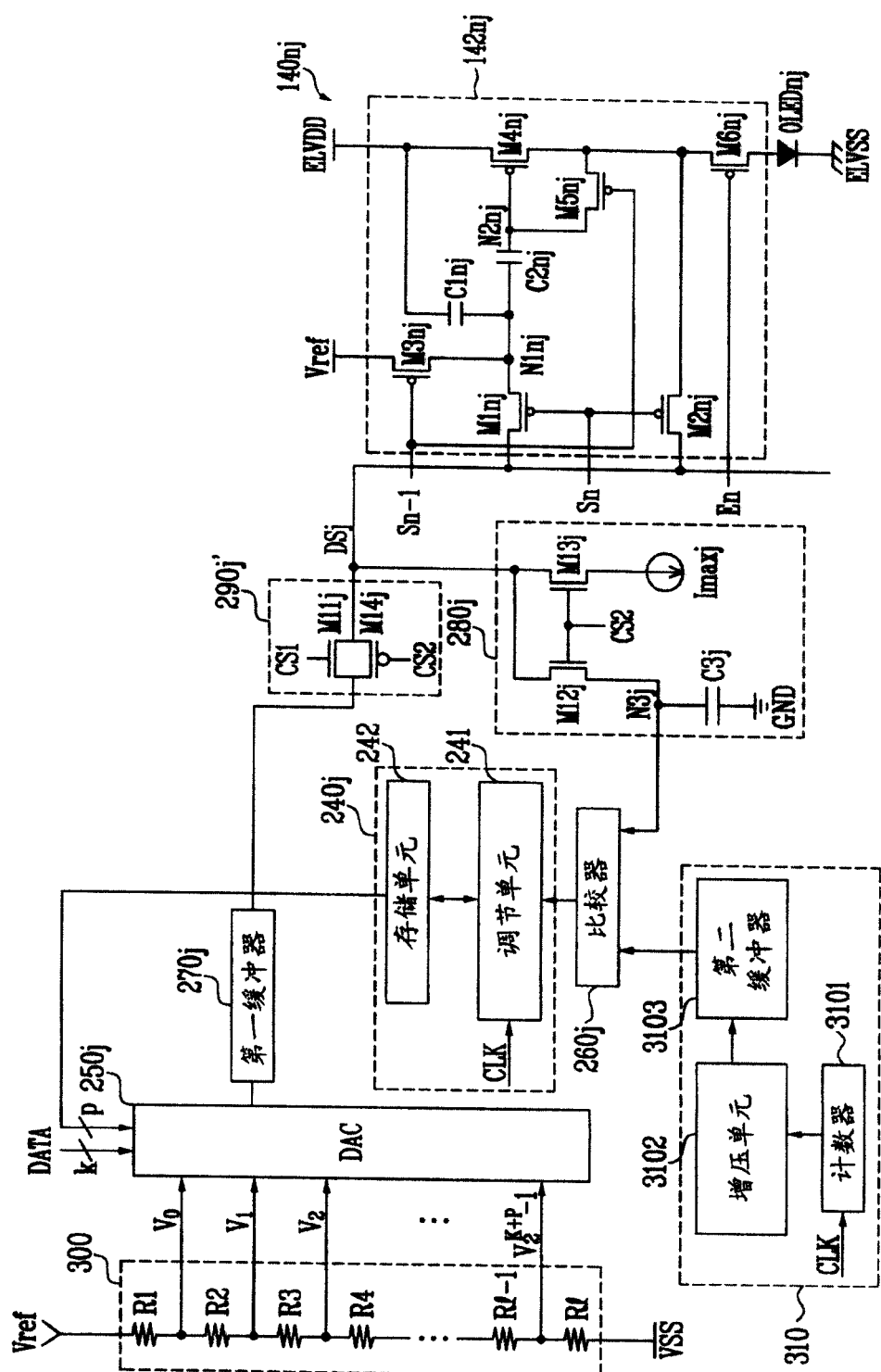


图 10



11 回

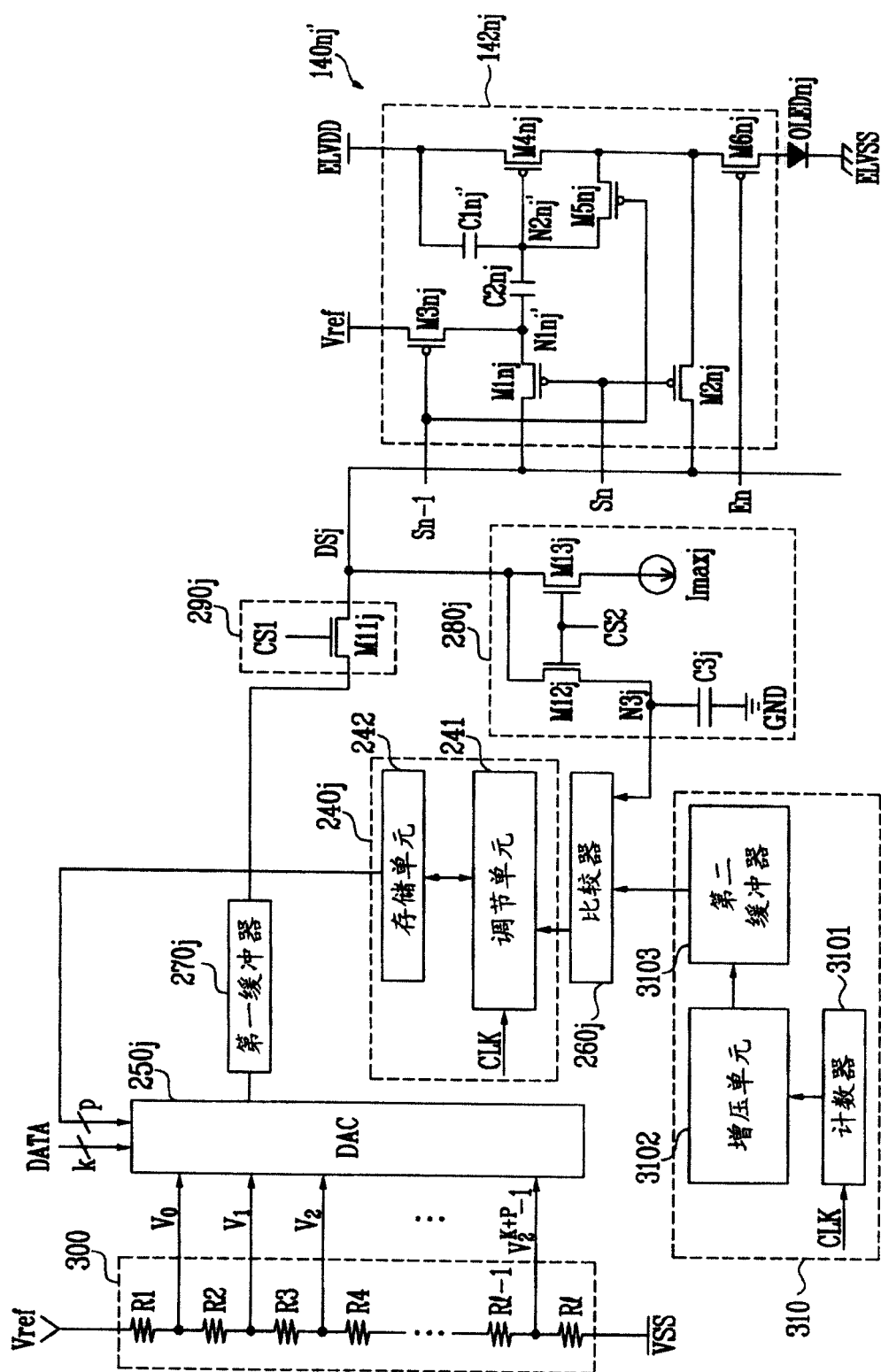


图 12

专利名称(译)	数据驱动电路和具有其的有机发光显示器的驱动方法		
公开(公告)号	CN100476931C	公开(公告)日	2009-04-08
申请号	CN200610108993.X	申请日	2006-07-31
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星SDI株式会社 汉阳大学产业协力团		
当前申请(专利权)人(译)	三星SDI株式会社 汉阳大学产业协力团		
[标]发明人	郑宝容 柳道亨 金烘权 权五敬		
发明人	郑宝容 柳道亨 金烘权 权五敬		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/08 H05B33/14		
CPC分类号	G09G2310/027 G09G2310/066 G09G2330/02 G09G3/3283 G09G2300/0852 G09G2300/0861 G09G2320/043 G09G2310/0251 G09G3/3233 G09G2310/0289 G09G2300/0819 G09G2320/0276 G09G3/3291		
代理人(译)	韩明星		
审查员(译)	常青		
优先权	1020050070437 2005-08-01 KR		
其他公开文献	CN1909042A		
外部链接	Espacenet SIPO		

摘要(译)

一种用于发光显示器的数据驱动电路可包括：伽玛电压发生器，产生等级电压；电流吸收器，在用于驱动像素的一个完整周期的第一部分时间段内，通过数据线从像素接收预定电流；电压发生器，在第一部分时间段内，产生逐渐增加的比较电压；比较器，将基于预定电流产生的补偿电压与比较电压作比较，并基于比较的结果来产生逻辑信号；补偿单元，基于逻辑信号来产生补偿数据；数-模转换器，利用补偿数据和外部提供的数据来产生合成数据，基于合成数据的位值来从多个等级电压中选择一个作为像素的数据信号。

